

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4398413号
(P4398413)

(45) 発行日 平成22年1月13日 (2010. 1. 13)

(24) 登録日 平成21年10月30日 (2009. 10. 30)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
H01L 51/50 (2006.01)

G09G 3/30 J
G09G 3/20 611H
G09G 3/20 612J
G09G 3/20 622D
G09G 3/20 622E

請求項の数 16 外国語出願 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2005-216831 (P2005-216831)
(22) 出願日 平成17年7月27日 (2005. 7. 27)
(65) 公開番号 特開2006-48041 (P2006-48041A)
(43) 公開日 平成18年2月16日 (2006. 2. 16)
審査請求日 平成17年9月22日 (2005. 9. 22)
(31) 優先権主張番号 60/598, 168
(32) 優先日 平成16年8月2日 (2004. 8. 2)
(33) 優先権主張国 米国 (US)
(31) 優先権主張番号 60/634, 401
(32) 優先日 平成16年12月7日 (2004. 12. 7)
(33) 優先権主張国 米国 (US)
(31) 優先権主張番号 11/173, 820
(32) 優先日 平成17年7月1日 (2005. 7. 1)
(33) 優先権主張国 米国 (US)

(73) 特許権者 503141075
統寶光電股▲ふん▼有限公司
台湾苗栗縣竹南鎮科中路12號 新竹科學
工業園區
(74) 代理人 230104019
弁護士 大野 聖二
(74) 代理人 100106840
弁理士 森田 耕司
(74) 代理人 100115679
弁理士 山田 勇毅
(72) 発明者 彭 杜仁
台湾新竹縣竹北市中正東路393巷17号
(72) 発明者 黄 士峰
台湾台中市西屯区上安路60-6号13樓
之5

最終頁に続く

(54) 【発明の名称】 スレッシュホールド電圧の補償を備えた画素駆動回路

(57) 【特許請求の範囲】

【請求項 1】

第一と第二節点を有する蓄積コンデンサ、
蓄積コンデンサの第一節점에接続され、データ信号、または可変基準信号を前記蓄積コンデンサの前記第一節点に転送する転送回路、

第一固定電位に接続された第一端子、前記蓄積コンデンサの前記第二節点に接続されたゲート端子と、駆動電流を出力する第二端子を有する駆動トランジスタ、

前記駆動トランジスタの前記第二端子と前記蓄積コンデンサの前記第二節点に接続され、前記駆動トランジスタを一期間内にダイオード接続させ、前記駆動電流がもう一つの期間内で表示素子に出力されるようにすることができるスイッチング回路を含む画素駆動回路であって、

前記転送回路は、

前記データ信号を受ける第一端子、第一スキャンラインに接続されたゲート端子、前記蓄積コンデンサの前記第一節点に接続された第二端子を有する第一トランジスタ、および

前記可変基準信号を受ける第一端子、第二スキャンラインに接続されたゲート端子、前記蓄積コンデンサの前記第一節点に接続された第二端子を有する第二トランジスタを含み、

前記スイッチング回路は、

前記表示素子に接続された第一端子、第二スキャンラインに接続されたゲート端子、前記駆動トランジスタの第二端子に接続された第二端子を有する第三トランジスタ、および

10

20

前記駆動トランジスタの前記第二端子と前記第三トランジスタの前記第二端子に接続された第一端子、前記蓄積コンデンサの前記第二節点と前記駆動トランジスタの前記ゲート端子に接続された第二端子と、第一スキャンラインに接続されたゲート端子を有する第四トランジスタを含む、
画素駆動回路。

【請求項 2】

前記駆動トランジスタは、PMOSトランジスタである請求項 1 に記載の画素駆動回路。

【請求項 3】

前記可変基準信号は、パルス基準信号である請求項 1 に記載の画素駆動回路。

10

【請求項 4】

前記第一と第二トランジスタは、それぞれPMOSとNMOSトランジスタである請求項 1 に記載の画素駆動回路。

【請求項 5】

前記第一と第二トランジスタは、PMOSトランジスタである請求項 1 に記載の画素駆動回路。

【請求項 6】

前記第一と第二スキャンラインは、それぞれ同じ極性のパルスをも有する請求項 4 に記載の画素駆動回路。

【請求項 7】

20

前記第一と第二スキャンラインは、それぞれ異なる極性のパルスをも有する請求項 5 に記載の画素駆動回路。

【請求項 8】

前記第二スキャンラインは、前記第一スキャンラインより遅いパルスの終了タイミングをも有する請求項 6 または 7 に記載の画素駆動回路。

【請求項 9】

前記第一と第二スキャンラインは、互いに接続される請求項 4 に記載の画素駆動回路。

【請求項 10】

前記第三と第四トランジスタは、それぞれNMOSとPMOSトランジスタである請求項 1 に記載の画素駆動回路。

30

【請求項 11】

前記第三と第四トランジスタは、PMOSトランジスタである請求項 1 に記載の画素駆動回路。

【請求項 12】

前記第一固定電位は、電力供給電位である請求項 1 に記載の画素駆動回路。

【請求項 13】

前記表示装置は、エレクトロルミネッセント装置である請求項 1 に記載の画素駆動回路。

【請求項 14】

前記転送回路に接続された基準信号発生器をも含む請求項 1 に記載の画素駆動回路。

40

【請求項 15】

前記基準信号発生器は、

垂直シフトレジスタからの信号を受ける二つの入力を備え、出力信号を発生する第一ANDゲート、

前記第一ANDゲートからの出力信号を受ける第一入力と、第一許可信号を受ける第二入力を備え、第一スキャン信号を第二スキャンラインに発生する第一NANDゲート、

前記第一ANDゲート、前記第一許可信号と、第二許可信号からの出力信号をそれぞれ受ける三つの入力を備え、第二スキャン信号を前記第一スキャンラインに発生する第二NANDゲート、および

前記第一ANDゲートからの出力信号を受ける第一入力と、第二許可信号を受ける第二

50

入力を備え、基準信号を発生する第二ANDゲートを含む請求項14に記載の画素駆動回路。

【請求項16】

前記基準信号発生器は、

垂直シフトレジスタからの信号を受ける二つの入力と、第一許可信号を受ける第三入力を備え、第一スキャン信号を第二スキャンラインに発生する第一NANDゲート、

垂直シフトレジスタからの信号を受ける二つの入力と、前記第一許可信号と第二許可信号をそれぞれ受ける二つの入力を備え、第二スキャン信号を前記第一スキャンラインに発生する第二NANDゲート、および

垂直シフトレジスタからの信号を受ける二つの入力と、第二許可信号を受ける第三入力を備え、基準信号を発生するANDゲートを含む請求項14に記載の画素駆動回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パネル表示の回路に関し、特に、スレッショルド電圧とエレクトロルミネッセント(EL)電力補償を備えた画素駆動回路に関するものである。

【背景技術】

【0002】

アクティブマトリックス型有機発光ダイオード(AMOLED)ディスプレイは、最近登場した次世代フラットパネルディスプレイである。アクティブマトリックス型液晶ディスプレイ(AMLCD)に比べ、AMOLEDディスプレイは、例えば、高コントラスト比、広視角、バックライト不用の薄型モジュール、低電力消費と低コストなど、多くの利点を有する。電源によって駆動されるAMLCDディスプレイと違って、AMOLEDディスプレイは、EL装置を駆動する電流源を必要とする。EL装置の輝度は、それにより伝導された電流に比例する。電流レベルの変動は、AMOLEDディスプレイの輝度の均一性に大きな影響がある。よって、画素駆動回路の品質は、表示品質に重要な意味を持つ。

20

【0003】

図1は、AMOLEDディスプレイの各画素の従来の2T1C(二つのトランジスタと1つのコンデンサ)回路の構造を図示している。信号SCANがトランジスタM1をオンにした時、図で V_{data} として示されているデータは、P型トランジスタM2のゲートに取り込まれ、コンデンサCstに保存される。よって、一定の電流によってEL装置が駆動し、発光する。特に、AMOLEDでは、図1に示すように、データ電圧 V_{data} によってゲート制御され、それぞれ V_{dd} とEL装置の陽極に接続されるソースとドレインを有するP型TFT(図1のM2)が電流源となる。よって、 V_{data} に対応するEL装置の輝度は、下記の関係を有する。

30

$$\text{輝度} \propto \text{電流} \propto (V_{dd} - V_{data} - V_{th})^2$$

ここで、 V_{th} は、M2のスレッショルド電圧であり、 V_{dd} は、電流供給電圧である。

【0004】

40

低温ポリシリコン(LTPS)のプロセスにより、通常、低温ポリシリコン型TFTの V_{th} の変動があることから、 V_{th} が適当に補償されなければ、AMOLEDディスプレイに輝度の不均一な問題が生じるとされている。また、電力線上の電圧降下も輝度の不均一な問題を引き起こす。このような問題を解決するために、ディスプレイの均一性を改善するための V_{th} と V_{dd} の補償を備えた画素駆動回路の実施が望ましい。

【発明の開示】

【発明が解決しようとする課題】

【0005】

ディスプレイの均一性を改善するための V_{th} と V_{dd} の補償を備えた画素駆動回路を提供する。

50

【課題を解決するための手段】

【0006】

本発明の実施例は、スレッシュホールド電圧とEL電力補償を備えた画素駆動回路を開示する。画素電流に影響する入力電圧の変動は、例えば、スイッチスレッシュホールド電圧の切替、電力供給電圧、または両方の変動から生じる、画素電圧に影響する入力電圧の変動が補償され、回路設計に応じる駆動電流は、 $V_{th}(V_{dd})$ からそれほど影響を受けず、無関係になることができる。よって、各画素の輝度は、 $V_{th}(V_{dd})$ と無関係である。

【0007】

本発明のいくつかの実施例に基づいたスレッシュホールド電圧の補償を備えた画素駆動回路は、蓄積コンデンサ、転送回路、駆動トランジスタと、スイッチング回路を含む。転送回路は、データ信号、または可変基準信号を蓄積コンデンサの第一節点に転送する。駆動トランジスタは、第一固定電位に接続される第一端子と、蓄積コンデンサの第二節点に接続される第二端子を有する。スイッチング回路は、駆動トランジスタの第三端子と蓄積コンデンサの第二節点に接続される。スイッチング回路は、駆動トランジスタをダイオード接続させるように制御されることができる。

10

【0008】

本発明の一つの実施例に基づいた表示装置の駆動方法は、蓄積コンデンサへのデータ信号、第一トランジスタのスレッシュホールド電圧と、固定電位の取り込みを含む。取り込まれたデータ信号、取り込まれた第一トランジスタのスレッシュホールド電圧と、取り込まれた固定電位は、第一トランジスタに接続され、スレッシュホールドまたは固定電位と無関係である駆動電流を表示装置に提供する。

20

【発明の効果】

【0009】

本発明の実施例のスレッシュホールド電圧の補償を備えた画素駆動回路によれば、スレッシュホールド電圧の変動、電力供給電圧、または両方が補償され、駆動電流は、 $V_{th}(V_{dd})$ と無関係になる。よって、各画素の輝度は、 $V_{th}(V_{dd})$ と無関係である。

【発明を実施するための最良の形態】

【0010】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照にしながら、詳細に説明する。

30

【実施例】

【0011】

図2は、本発明の実施例1に基づいたスレッシュホールド電圧と電力の補償を有する画素駆動回路の構造を表す回路図である。画素駆動回路200は、蓄積コンデンサCst、転送回路210、駆動トランジスタ221と、スイッチング回路220を含む。転送回路210は、蓄積コンデンサCstの第一節点Aに接続され、データ信号Data、または可変基準信号 V_D を蓄積コンデンサCstの第一節点Aに転送する。可変基準信号 V_D は、パルス基準信号であることができる。駆動トランジスタ221は、PMOSTランジスタであり、第一固定電位に接続された第一端子(ソース)を有し、蓄積コンデンサの第二節点Bに接続された第二端子(ゲート)を有する。より具体的に言えば、第一固定電位は、電力供給電位 V_{DD} である。スイッチング回路220は、駆動トランジスタ221の第三端子(ドレイン)と蓄積コンデンサの第二節点Bに接続される。スイッチング回路220は、駆動トランジスタ221をダイオード接続(diode connected)させるように制御させることができる。表示装置ELは、スイッチング回路220に接続される。好ましくは、表示装置ELは、エレクトロルミネッセント(EL)装置であることができる。また、表示装置ELの陰極は、第二固定電位に接続される。より具体的に言えば、第二固定電位は、接地電位 V_{SS} である。

40

【0012】

本発明の本実施例に基づいた転送回路210は、図2に示すように、第一トランジスタ211と第二トランジスタ213を含む。図2では、第一と第二トランジスタは、それぞ

50

れPMOSとNMOSトランジスタである。第一トランジスタ211の第一端子(ソース)は、データ信号Dataを受信する。第一トランジスタ211の第二端子(ゲート)と第三端子(ドレイン)は、それぞれ第一スキャンラインScanと蓄積コンデンサCstの第一節点Aに接続される。第二トランジスタ213の第一端子(ドレイン)は、可変基準信号V_Dを受信する。第二トランジスタ213の第二端子(ゲート)と第三端子(ソース)は、それぞれ第二スキャンラインScanXと蓄積コンデンサCstの第一節点Aに接続される。より具体的に言えば、第一トランジスタ211と第二トランジスタ213は、薄膜トランジスタである。好ましくは、薄膜トランジスタは、ポリシリコン薄膜トランジスタであり、より高い電流駆動能力を提供する。第一スキャンラインScanが低レベルに引き下げられた時、転送回路210は、データ信号Dataを蓄積コンデンサCstの第一節点Aに転送する。第二スキャンラインScanXが高レベルに引き上げられた時、転送回路210は、可変基準信号V_Dを蓄積コンデンサCstの第一節点Aに転送する。

10

【0013】

本発明の実施例に基づいたスイッチング回路220は、図2に示すように、第三トランジスタ223と第四トランジスタ225を含む。図2では、第三と第四トランジスタは、それぞれNMOSとPMOSトランジスタである。第三トランジスタ223の第一(ソース)端子は、表示装置ELの陽極に接続され、第三トランジスタ223の第二(ゲート)と第三(ドレイン)端子は、それぞれ第二スキャンラインScanXと駆動トランジスタ221の第三(ドレイン)端子に接続される。第四トランジスタ225の第一(ドレイン)端子は、駆動トランジスタ221と第三トランジスタ223の第三(ドレイン)端子に接続される。第四トランジスタ225の第二(ソース)端子は、蓄積容量Cstと駆動トランジスタ221の第二(ゲート)端子の第二節点Bに接続される。第四トランジスタ225の第三(ゲート)端子は、第一スキャンラインScanに接続される。より具体的に言えば、第三トランジスタ223と第四トランジスタ225は、薄膜トランジスタである。好ましくは、薄膜トランジスタは、ポリシリコン薄膜トランジスタであり、より高い電流駆動能力を提供する。第一スキャンラインが低レベルに引き下げられた時、スイッチング回路の第四トランジスタ225は、駆動トランジスタ221をダイオード接続(diode connected)のトランジスタにさせる。

20

【0014】

図3は、図2で示した画素駆動回路200の第一と第二スキャンラインScan、ScanXと、可変基準信号V_Dの信号のタイミング図を図示している。画素駆動回路の前発光モードから、信号V_Dが高レベルに引き上げられ、信号Scan、ScanXが高レベルのまま維持された時、図2の画素駆動回路200は、放電モード302で動作される。この放電モードでは、高レベル基準信号V_Dは、蓄積コンデンサCstの節点Aに入力され、よって、トランジスタ223と225をオンにする。蓄積コンデンサCstに保存された電荷は、この放電モード302で放電される。蓄積コンデンサCstの放電は、次に続くステップのダイオード接続の駆動トランジスタ221と第四トランジスタ225の正常動作を確保する。

30

【0015】

蓄積コンデンサCstの放電に続いて、スキャンラインScan、ScanXは、低レベルに引き下げられ、画素駆動回路200がスキャンモード304に入る。第一と第二スキャンラインScan、ScanXが低レベルに引き下げられた時、トランジスタ211と225は、オンにされ、トランジスタ213と223は、オフにされる。トランジスタ211と225がオンにされることから、蓄積コンデンサCstの第一節点Aの電圧V_Aは、データ信号Dataの電圧V_{data}に等しく、且つ、蓄積コンデンサCstの第二節点Bの電圧V_Bは、V_{dd} - V_{th}の電圧に等しく、V_{th}は、駆動トランジスタ221のスレッシュホールド電圧である。よって、蓄積コンデンサにかかる保存された電圧は、V_A - V_B = V_{data} - V_{dd} + V_{th}である。

40

【0016】

50

第一スキャンライン *S c a n* と第二スキャンライン *S c a n X* が高レベルに引き上げられた時、スキャンモード 304 は、終了し、画素駆動回路 200 は、発光モード 306 に入る。スキャンモード 304 がほぼ終了の時、基準信号 V_D は、引き下げられる。第一スキャンライン *S c a n* が高レベルのままで維持され、第二スキャンライン *S c a n X* も高レベルに引き上げられることから、トランジスタ 211 と 225 は、オフにされ、トランジスタ 213 と 223 は、オンにされる。 V_D が 0 V に引き下げられ、トランジスタ 213 がオンにされることから、蓄積コンデンサ *C s t* の第一節点 A の電圧 V_A も 0 V に引き下げられる。蓄積コンデンサにかかる保存された電圧は、直ちに換えられることができず、蓄積コンデンサ *C s t* の第二節点 B の電圧 V_B は、 $V_{dd} - V_{data} - V_{th}$ になる。表示装置に流れる電流は、 $(V_{sg} - V_{th})^2$ に比例し、よって、 V_{data}^2 に比例する。表示装置に流れる電流は、駆動トランジスタ 221 のスレッシュホールド電圧 V_{th} と駆動トランジスタ 221 の電力供給電位 V_{dd} と無関係である。前述の動作は、画素駆動回路が画素の発光を制御するように繰り返す。

10

【0017】

図 4 は、従来の技術と本発明の実施例に基づいた画素駆動回路 200 の V_{th} 変動に対する電流変動の比率を表しており、スレッシュホールド電圧 $V_{th} = 1.4 V$ を基準とする。従来技術では、スレッシュホールド電圧 V_{th} が 1.4 V からそれる時、電流変動が著しくなる。本発明の実施例に基づいた画素駆動回路 200 では、従来技術と比べた時、電流変動はごくわずかということが言える。

【0018】

20

図 7 は、本発明の実施例 2 を表しており、図 2 の第一スキャンライン *S c a n* と第二スキャンライン *S c a n X* が互いに接続され、同じ信号 *S c a n* によって制御されていることを除き、図 2 に示した画素駆動回路に類似の構造を示している。図 8 は、図 7 で示した画素駆動回路 700 のスキャンラインの信号 *S c a n* と可変基準信号 V_D のタイミング図を図示している。

【0019】

図 11 は、本発明の実施例 3 を表しており、下記を除く図 2 に示した画素駆動回路に似た構造を示している。図 12 は、図 11 で示した画素駆動回路のスキャン信号 *S c a n*、*S c a n X* と、基準信号 V_D のタイミングを表すタイミング図である。図 2 と図 11 の違いは、第二スキャンライン *S c a n X* によって制御されたトランジスタは、逆のタイプである点である。よって、図 12 に示すように、第二スキャンライン *S c a n X* の信号も反転され、図 11 に示すように画素駆動回路を動作させる。この実施例では、図 12 に示すように、3 つのモードが提供される。その動作は、実施例 1 に関する記述と同様であり、よって、ここでは詳細を必要とすることなく、当業者には明らかである。

30

【0020】

ここで、本発明はまた基準信号発生器の実施例を提供する。基準信号発生器の一つの実施例は、図 9 に示すように、二つの NAND ゲート 930、950 と二つの AND ゲート 910、970 を含む。信号 $VSR1$ と $VSR2$ は、第一 AND ゲート 910 の 2 つの入力 911、913 に送られる。 $VSR1$ と $VSR2$ は、ゲート駆動回路の垂直シフトレジスタによって発生した信号を意味する。第一 AND ゲート 910 の出力信号と第一許可信号 $ENBV1$ は、それぞれ第一 NAND ゲート 930 の第一と第二入力 931、933 に送られ、よって、第一スキャン信号 *S c a n X* を発生する。第一 AND ゲート 910 の出力信号と許可信号 $ENBV1$ 、 $ENBV2$ は、第二 NAND ゲート 950 の入力 951、953 と、955 に送られる。よって、第二 NAND ゲート 950 は、第二スキャン信号 *S c a n* を発生する。第一 AND ゲート 910 の出力信号と第二許可信号 $ENBV2$ は、それぞれ第二 AND ゲート 970 の第一と第二入力 971、973 に送られ、よって、基準信号 V_D を提供する。

40

【0021】

図 10 は、基準信号発生器のもう一つの実施例を表している。この基準信号発生器の実施例は、二つの NAND ゲート 110、120 と一つの AND ゲート 130 を含む。信号

50

VSR1、VSR2と、ENBV1は、第一NANDゲート110の入力111、113と、115に送られ、よって、第一スキャン信号ScanXを提供する。信号VSR1、VSR2と、ENBV1は、第二NANDゲート120の入力121、123、125と、127に送られる。よって、第二NANDゲート120は、第二スキャン信号Scanを発生する。信号VSR1、VSR2と、ENBV2は、ANDゲート130の入力131、133と、135に送られ、よって、信号VDを発生する。

【0022】

この他、本発明の実施例はまた、パネルディスプレイを提供する。図6に示すように、パネルディスプレイ600は、画素アレイ610と制御器640を含む。画素アレイ610は、図2に示す複数の画素駆動回路を含む。制御器は、動作可能なように画素アレイに接続され、蓄積コンデンサ、転送回路、駆動素子と、スイッチング回路の動作を制御する。また、図13に示すように、本発明の実施例はまた、図6に挙げたパネルディスプレイを含む電子装置を提供する。

10

【0023】

図5は、本発明に基づいた表示装置を駆動する方法の実施例を図示している。駆動方法は、放電モードで、蓄積コンデンサの放電から始まる（ステップ510）。放電モードは、スキャンモードの前に発生し、好ましくは、基準信号の第一スイッチングから始まり、スキャンモードの始めて終わる。その後、データ信号、駆動トランジスタ221のスレッシュホールド電圧と、固定電圧は、スキャンモードで、蓄積コンデンサに取り込まれる（ステップ520）。続いて、取り込まれたデータ信号、取り込まれた第一トランジスタのスレッシュホールド電圧と、取り込まれた固定電圧は、第一トランジスタに接続され、スレッシュホールドまたは固定電位に無関係の駆動電流を表示装置に供給する（ステップ530）。より具体的に言えば、表示装置は、一つの実施例に基づいたエレクトロルミネセント素子である。スキャンモードは、基準信号の第二スイッチングが発生し、画素駆動回路が発光モードに入った時、実質的に完了する。

20

【0024】

好ましくは、スキャンモードが終了する前に基準信号の第二スイッチングが発生すれば、改善した表示品質が得られる。また、駆動トランジスタのゲートは、蓄積コンデンサに接続され、駆動トランジスタのソースは、固定電位に接続される。より具体的に言えば、固定電位は、電力供給電位である。

30

【0025】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することは可能である。従って、本発明が保護を請求する範囲は、特許請求の範囲を基準とする。

【図面の簡単な説明】

【0026】

【図1】AMOLEDディスプレイの各画素の従来の2T1C（二つのトランジスタと1つのコンデンサ）回路の構造を図示する回路図である。

【図2】本発明の一つの実施例に基づいた画素駆動回路の構造を表す回路図である。

40

【図3】図2で示した画素駆動回路のスキャンラインのスキャン信号Scanと、基準信号V_Dのタイミングを図示するタイミング図である。

【図4】従来の回路と本発明の一つの実施例に基づいた画素駆動回路のV_{th}変動に対する電流変動の比率を表す図である。

【図5】本発明の実施例に基づいた表示装置を駆動する方法を図示する流れ図である。

【図6】本発明の一つの実施例に基づいたパネル表示の構造を表すブロック図である。

【図7】本発明のもう一つの実施例に基づいた画素駆動回路を表す回路図である。

【図8】図7で示した画素駆動回路のスキャン信号Scan、ScanXと、基準信号V_Dのタイミングを表すタイミング図である。

【図9】本発明の一つの実施例に基づいた基準信号発生器の構造とその各ロジックの動作

50

を表すロジックダイアグラムである。

【図 1 0】本発明のもう一つの実施例に基づいた基準信号発生器の構造とその各ロジックの動作を表すロジックダイアグラムである。

【図 1 1】本発明のもう一つの実施例に基づいた画素駆動回路を表す回路図である。

【図 1 2】図 1 1 で示した画素駆動回路のスキャン信号 *S c a n*、*S c a n X* と、基準信号 V_D のタイミングを表すタイミング図である。

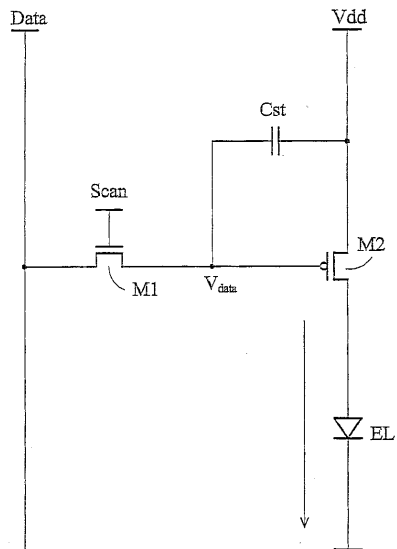
【図 1 3】図 6 のパネル表示を含む電子装置の概略図である。

【符号の説明】

【 0 0 2 7 】

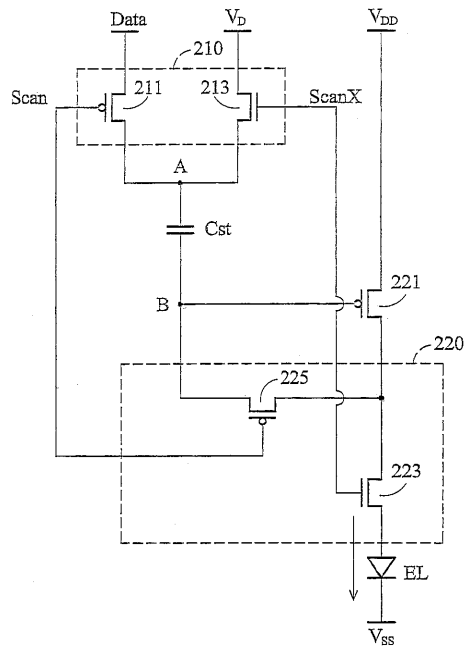
<i>C s t</i>	蓄積コンデンサ	10
2 1 0	転送回路	
2 2 1	駆動トランジスタ	
2 2 0	スイッチング回路	
A	第一節点	
<i>D a t a</i>	データ信号	
V_D	可変基準信号	
B	第二節点	
V_{DD}	電力供給電位	
<i>E L</i>	表示装置	20
V_{SS}	接地電位	
2 1 1	第一トランジスタ	
2 1 3	第二トランジスタ	
<i>S c a n</i>	第一スキャンライン	
<i>S c a n X</i>	第二スキャンライン	
2 2 3	第三トランジスタ	
2 2 5	第四トランジスタ	
3 0 2	放電モード	
3 0 4	スキャンモード	
3 0 6	発光モード	
9 3 0、9 5 0		30
9 3 0、9 5 0	N A N D ゲート	
9 1 0、9 7 0	A N D ゲート	
$V S R 1$ 、 $V S R 2$	ゲート駆動回路の垂直シフトレジスタが発生した信号	
9 1 1、9 1 3、9 3 1、9 3 3、9 5 1、9 5 3、9 5 5、9 7 1、9 7 3	入力	
<i>E N B V 1</i>	第一許可信号	
<i>E N B V 2</i>	第二許可信号	
1 1 0、1 2 0	N A N D ゲート	
1 3 0	A N D ゲート	
1 2 1、1 2 3、1 2 5、1 2 7、1 3 1、1 3 3、1 3 5	入力	
6 1 0	画素アレイ	40
6 4 0	制御器	
7 0 0	電子装置	

【図 1】

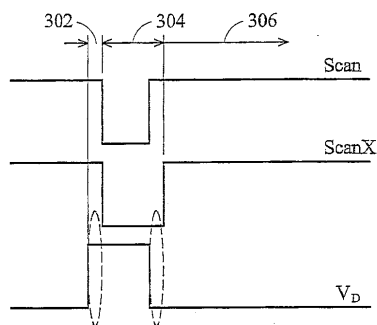


【図 2】

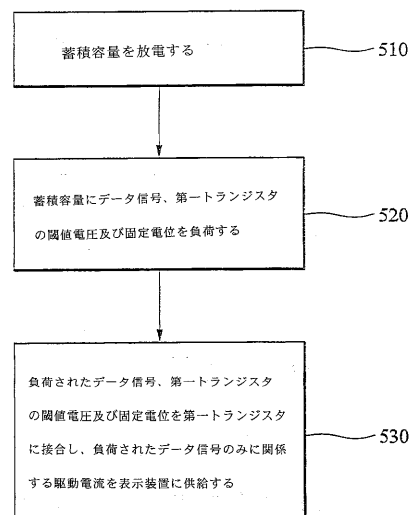
200



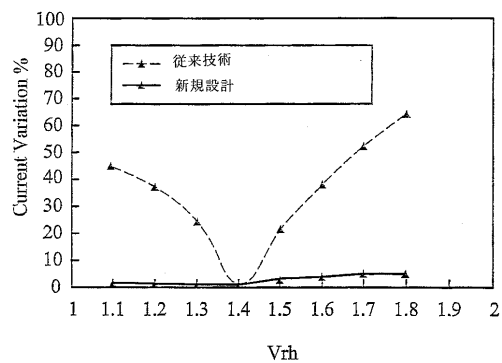
【図 3】



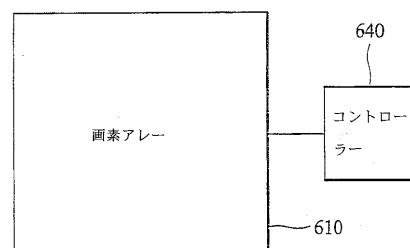
【図 5】



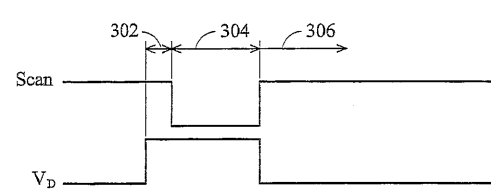
【図 4】



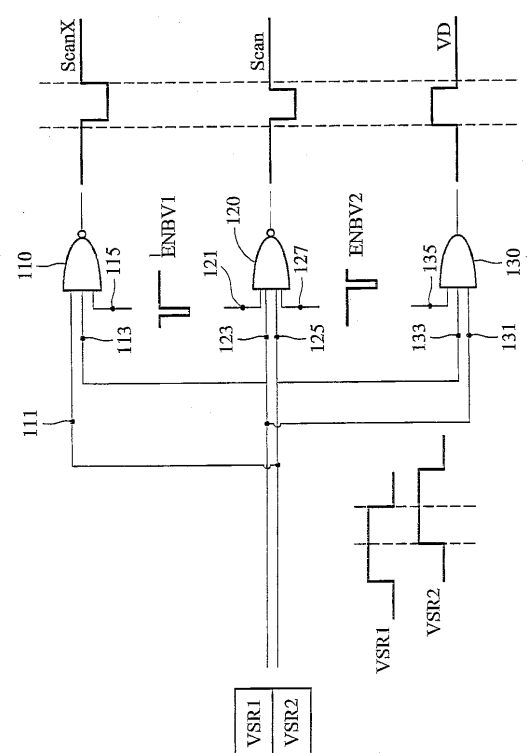
【図 6】



200

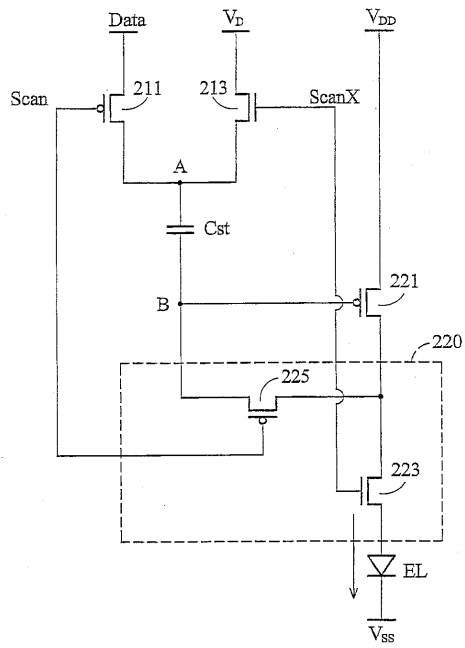


【 図 1 0 】

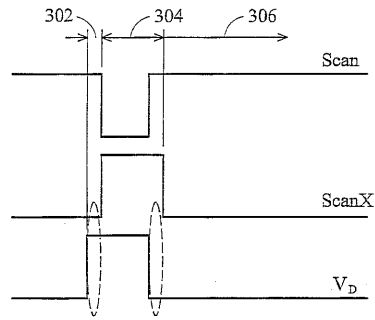


【図 1 1】

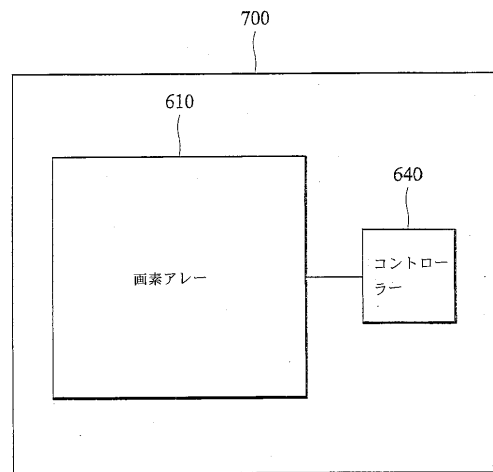
200



【図 1 2】



【図 1 3】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 2 G
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 3 D
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 4 2 A
	H 0 5 B	33/14	A

審査官 橋本 直明

(56)参考文献 特開 2 0 0 1 - 0 8 3 9 2 4 (J P , A)
 特開 2 0 0 3 - 1 9 5 8 0 9 (J P , A)
 特開 2 0 0 4 - 1 3 3 2 4 0 (J P , A)
 特開 2 0 0 4 - 2 4 5 9 3 7 (J P , A)
 特開 2 0 0 1 - 0 5 6 6 6 7 (J P , A)
 特開 2 0 0 3 - 1 2 2 3 0 1 (J P , A)
 特開 2 0 0 3 - 1 7 3 1 6 5 (J P , A)
 特開 2 0 0 2 - 3 4 1 7 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0
 H 0 1 L 5 1 / 5 0

专利名称(译)	具有阈值电压补偿的像素驱动电路		
公开(公告)号	JP4398413B2	公开(公告)日	2010-01-13
申请号	JP2005216831	申请日	2005-07-27
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	Toppori电子公司		
当前申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
[标]发明人	彭杜仁 黄士峰		
发明人	彭 杜仁 黄 士峰		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.J G09G3/20.622.D G09G3/20.622.E G09G3/20.622.G G09G3/20.623.B G09G3/20.623.D G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291 G11C19/28.230		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CB12 5C380/CB20 5C380/CC02 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC42 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD015 5C380/CE04 5C380/CE20 5C380/CF07 5C380/CF32 5C380/DA02 5C380/DA47		
代理人(译)	森田浩二		
审查员(译)	Naoaki桥本		
优先权	60/598168 2004-08-02 US 60/634401 2004-12-07 US 11/173820 2005-07-01 US		
其他公开文献	JP2006048041A		
外部链接	Espacenet		

摘要(译)

一种具有阈值电压和EL功率补偿的像素驱动电路。像素电路包括存储电容器，转移电路，驱动元件和开关电路。传送电路将数据信号或可变参考信号传送到存储电容器的第一节点。驱动元件具有耦合到第一固定电位的第一端子和耦合到存储电容器的第二节点的第二端子。开关电路耦接驱动元件的第三端以及储存电容的第二节点。可以控制开关电路以使驱动元件在一个时间段中二极管连接，并且允许驱动电流在另一个时间段中输出到显示元件。

