

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2013-190524
(P2013-190524A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 641E	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 641K	
	G09G 3/20 641Q	
審査請求 未請求 請求項の数 3 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2012-55548 (P2012-55548)	(71) 出願人	000005821
(22) 出願日	平成24年3月13日 (2012.3.13)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100109667
			弁理士 内藤 浩樹
		(74) 代理人	100109151
			弁理士 永野 大介
		(74) 代理人	100120156
			弁理士 藤井 兼太郎
		(72) 発明者	柘植 仁志
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC31 CC45 EE03 HH00 HH04 HH05
		最終頁に続く	

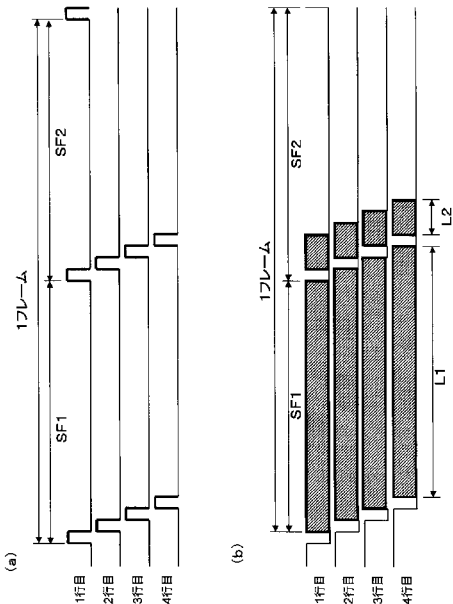
(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】 E L表示装置において、低コストのドライバ回路で高品質の画像が表示できる E L表示装置を提供することを目的とする。

【解決手段】 有機 E L素子に電流を流す駆動トランジスタを有する画素回路を複数配列した E L表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、 Nビットの D/Aコンバータを備えた E L表示装置において、 1フレームの画像表示期間は、上位の Nビットの階調信号に基づく発光表示を行う第 1のサブフレームと、下位の M (Mは M<Nを満足する) ビットの階調信号に基づく発光表示を行う第 2のサブフレームとに分割し、かつ前記第 1のサブフレームの発光期間 L1と前記第 2のサブフレームの発光期間 L2は、 L1>L2となるように制御する。

【選択図】 図 7



【特許請求の範囲】

【請求項 1】

有機 EL 素子に電流を流す駆動トランジスタを有する画素回路を複数配列した EL 表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路とを備えた EL 表示装置において、

1 フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM（Mは $M < N$ を満足する）ビットの階調信号に基づく発光表示を行う第2のサブフレームとを有する少なくとも2つのサブフレームに分割し、かつ前記第1のサブフレームの発光期間L1と前記第2のサブフレームの発光期間L2は、 $L1 > L2$ となるように前記ドライバ回路を制御することを特徴とする EL 表示装置。

10

【請求項 2】

前記画像信号処理回路は、入力される画像信号のうち、第1のサブフレームの画像信号が入力される第1のガンマ補正手段と、入力される画像信号のうち、第2のサブフレームの画像信号が入力される第2のガンマ補正手段と、前記第1のガンマ補正手段と前記第2のガンマ補正手段の出力信号を切り替えてNビットのD/Aコンバータに入力する切替手段とを備えたことを特徴とする請求項1に記載の EL 表示装置。

【請求項 3】

前記画像信号処理回路は、入力される画像信号が動画か否かを検出する動画検出手段を備え、前記動画検出手段が動画であることを検出した場合に、第1のサブフレームの期間の画像信号に基づく発光表示を行い、第2のサブフレームの期間は非発光とするように制御することを特徴とする請求項1に記載の EL 表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流発光素子を用いたアクティブマトリックス型の EL 表示装置に関する。

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス（EL）素子を用いた EL 表示装置は、バックライトが不要で視野角にも制限がないため、次世代の EL 表示装置として開発が進められている。

30

【0003】

有機 EL 素子は、流す電流量によって輝度を制御する電流発光素子である。近年は、画素回路毎に駆動トランジスタを備え有機 EL 素子を駆動するアクティブマトリックス型の有機 EL 表示装置が主流となってきている。

【0004】

駆動トランジスタおよびその周辺回路は、一般にポリシリコンやアモルファスシリコン等を用いた薄膜トランジスタで形成される。薄膜トランジスタは移動度および閾値電圧のばらつきが大きいという弱点があるものの、大型化が容易でかつ安価であるために大型の有機 EL 表示装置に適している。

40

【0005】

また、薄膜トランジスタの弱点である閾値電圧のばらつきおよび経時変化を画素回路の工夫により克服する方法についても検討されている。例えば特許文献1には、駆動トランジスタの閾値電圧を補正する機能を有する有機 EL 表示装置とその駆動方法が開示されている。さらに特許文献2には、全画素の輝度－電圧特性のゲインとオフセットとを格納したメモリと、メモリのデータに基づき画像信号を補正する補正回路とを備え、画素間の輝度ばらつきに起因する輝度ムラを抑えた EL 表示装置が開示されている。

【先行技術文献】

【特許文献】

50

【0006】

【特許文献1】特開2009-169145号公報

【特許文献2】特開2002-134169号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明はこのようなEL表示装置において、低コストのドライバ回路で高品質の画像が表示できるEL表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために本発明のEL表示装置は、有機EL素子に電流を流す駆動トランジスタを有する画素回路を複数配列したEL表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路とを備えたEL表示装置において、1フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM（Mは $M < N$ を満足する）ビットの階調信号に基づく発光表示を行う第2のサブフレームとを有する少なくとも2つのサブフレームに分割し、かつ前記第1のサブフレームの発光期間 L_1 と前記第2のサブフレームの発光期間 L_2 は、 $L_1 > L_2$ となるように前記ドライバ回路を制御するものである。

【発明の効果】

【0009】

本発明によれば、低コストのドライバ回路で高品質の画像表示が行えるEL表示装置を提供することが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明の一実施の形態におけるEL表示装置の構成図

【図2】同EL表示装置の表示ユニットの構成図

【図3】同EL表示装置の表示ユニットの画素回路の一例を示す回路図

【図4】同EL表示装置の表示ユニットの動作を示すタイミングチャート

【図5】同EL表示装置の表示ユニットの画素回路の動作を示すタイミングチャート

【図6】同EL表示装置の画像信号処理回路の回路ブロック図

【図7】本発明におけるEL表示装置の発光動作を説明するためのタイミングチャート

【発明を実施するための形態】

【0011】

以下、本発明の一実施の形態におけるEL表示装置について、図面を用いて説明する。ここではEL表示装置として、駆動トランジスタを用いて有機EL素子を発光させるアクティブマトリックス型の有機EL表示装置について説明する。しかし本発明は、電流量によって輝度を制御する電流発光素子と、電流発光素子に電流を流す駆動トランジスタとを有する画素回路を複数配列したアクティブマトリックス型のEL表示装置全般に適用可能である。

【0012】

図1は、本発明の一実施の形態におけるEL表示装置の構成図である。EL表示装置は、電流発光素子である有機EL素子に電流を流す駆動トランジスタを有する画素回路を複数配列したEL表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路とを備えた表示ユニット1と、入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路2とを有する。

【0013】

図2は、本発明の実施の形態におけるEL表示装置の表示ユニット1の構成図である。

10

20

30

40

50

表示ユニット 1 は、 n 行 m 列のマトリックス状に複数配列された多数の画素回路 1 1 (i 、 j) ($1 \leq i \leq n$ 、 $1 \leq j \leq m$) と、ソースドライバ回路 1 2 と、ゲートドライバ回路 1 3 と、電源回路 1 4 とを備えている。

【0014】

ソースドライバ回路 1 2 は、列方向に配列された画素回路 1 1 (1 、 j) $\sim$ 1 2 (n 、 j) に共通に接続されたデータ線 2 0 (j) に、それぞれ独立して画像信号電圧 $V_{sg}(j)$ が供給されている。また、ゲートドライバ回路 1 3 は、行方向に配列された画素回路 1 1 (i 、 1) $\sim$ 1 2 (i 、 m) に共通に接続された制御信号線 2 1 (i) $\sim$ 2 5 (i) に、それぞれ制御信号 $CNT_{21}(i) \sim CNT_{25}(i)$ を供給する。本実施の形態においては、1 つの画素回路 1 1 (i 、 j) に 5 種類の制御信号を供給しているが、制御信号の数はこれに限定するものではなく、必要に応じた数の制御信号を供給すればよい。

10

【0015】

電源回路 1 4 は、全ての画素回路 1 1 (1 、 1) $\sim$ 1 1 (n 、 m) に共通に接続された電源線 3 1 に高圧側電圧 V_{dd} を供給し、電源線 3 2 に低圧側電圧 V_{ss} を供給する。これら高圧側電圧 V_{dd} および低圧側電圧 V_{ss} の電源は、後述する有機 EL 素子を発光させるための電源である。また全ての画素回路 1 1 (1 、 1) $\sim$ 1 1 (n 、 m) に共通に接続された電圧線 3 3 に基準電圧 V_{ref} を供給し、電圧線 3 4 に初期化電圧 V_{int} を供給する。

【0016】

図 3 は、表示ユニット 1 の画素回路 1 1 (i 、 j) の一例を示す回路図である。本実施の形態における画素回路 1 1 (i 、 j) は、電流発光素子である有機 EL 素子 D 2 0 と、駆動トランジスタ Q 2 0 と、第 1 コンデンサ C 2 1 と、第 2 コンデンサ C 2 2 と、スイッチとして動作するトランジスタ Q 2 1 $\sim$ Q 2 5 とを備えている。

20

【0017】

駆動トランジスタ Q 2 0 は有機 EL 素子 D 2 0 に電流を流す。第 1 コンデンサ C 2 1 は画像信号に応じた画像信号電圧 $V_{sg}(j)$ を保持する。トランジスタ Q 2 1 は、第 1 コンデンサ C 2 1 および第 2 コンデンサ C 2 2 の一端に基準電圧 V_{ref} を印加するためのスイッチである。トランジスタ Q 2 2 は画像信号電圧 $V_{sg}(j)$ を第 1 コンデンサ C 2 1 に書込むためのスイッチである。トランジスタ Q 2 5 は駆動トランジスタ Q 2 0 のゲートに基準電圧 V_{ref} を印加するためのスイッチである。第 2 コンデンサ C 2 2 は駆動トランジスタ Q 2 0 の閾値電圧 V_{th} を保持する。トランジスタ Q 2 3 は、駆動トランジスタ Q 2 0 のドレインに初期化電圧 V_{int} を印加するためのスイッチであり、トランジスタ Q 2 4 は駆動トランジスタ Q 2 0 のドレインに高圧側電圧 V_{dd} を供給するためのスイッチである。

30

【0018】

なお、以下の説明では、駆動トランジスタ Q 2 0 およびトランジスタ Q 2 1 $\sim$ Q 2 5 は全て N チャンネル薄膜トランジスタで、エンハンスメント型トランジスタであるとして説明するが、本発明はこれに限定されるものではない。

【0019】

本実施の形態における画素回路 1 1 (i 、 j) は、電源線 3 1 と電源線 3 2 との間に、トランジスタ Q 2 4 と駆動トランジスタ Q 2 0 と有機 EL 素子 D 2 0 とが直列に接続されている。すなわち、トランジスタ Q 2 4 のドレインは電源線 3 1 に接続され、トランジスタ Q 2 4 のソースは駆動トランジスタ Q 2 0 のドレインに接続され、駆動トランジスタ Q 2 0 のソースは有機 EL 素子 D 2 0 のアノードに接続され、有機 EL 素子 D 2 0 のカソードは電源線 3 2 に接続されている。

40

【0020】

駆動トランジスタ Q 2 0 のゲートとソースとの間には、第 1 コンデンサ C 2 1 と第 2 コンデンサ C 2 2 とが直列に接続されている。すなわち、駆動トランジスタ Q 2 0 のゲートには第 1 コンデンサ C 2 1 の一方の端子が接続され、第 1 コンデンサ C 2 1 の他方の端子と駆動トランジスタ Q 2 0 のソースとの間に第 2 コンデンサ C 2 2 が接続されている。駆

50

動トランジスタQ 2 0のゲートと第1コンデンサC 2 1とが接続されている節点を「節点T p 1」、第1コンデンサC 2 1と第2コンデンサC 2 2とが接続されている節点を「節点T p 2」、第2コンデンサC 2 2と駆動トランジスタQ 2 0のソースとが接続されている節点を「節点T p 3」とそれぞれ呼称する。

【0021】

第1スイッチであるトランジスタQ 2 1のドレイン（またはソース）は、基準電圧V r e fが供給されている電圧線33に接続され、トランジスタQ 2 1のソース（またはドレイン）は節点T p 2に接続され、トランジスタQ 2 1のゲートは制御信号線21（i）に接続されている。このように接続することにより、トランジスタQ 2 1は節点T p 2に基準電圧V r e fを印加する。

10

【0022】

第2スイッチであるトランジスタQ 2 2のドレイン（またはソース）は、節点T p 1に接続され、トランジスタQ 2 2のソース（またはドレイン）は画像信号電圧V s gを供給するデータ線20（j）に接続され、トランジスタQ 2 2のゲートは制御信号線22（i）に接続されている。このように接続することにより、トランジスタQ 2 2は駆動トランジスタQ 2 0のゲートに画像信号電圧V s gを供給する。

【0023】

第5スイッチであるトランジスタQ 2 5のドレイン（またはソース）は、基準電圧V r e fが供給されている電圧線33に接続され、トランジスタQ 2 5のソース（またはドレイン）は節点T p 1に接続され、トランジスタQ 2 5のゲートは制御信号線25（i）に接続されている。このように接続することにより、トランジスタQ 2 5は駆動トランジスタQ 2 0のゲートに基準電圧V r e fを供給する。

20

【0024】

第3スイッチであるトランジスタQ 2 3のドレイン（またはソース）は、駆動トランジスタQ 2 0のドレインに接続され、トランジスタQ 2 3のソース（またはドレイン）は初期化電圧V i n tが供給されている電圧線34に接続され、トランジスタQ 2 3のゲートは制御信号線23（i）に接続されている。このように接続することにより、トランジスタQ 2 3は駆動トランジスタQ 2 0のドレインに初期化電圧V i n tを供給する。

【0025】

第4スイッチであるトランジスタQ 2 4のドレインは、電源線31に接続され、トランジスタQ 2 4のソースは駆動トランジスタQ 2 0のドレインに接続され、トランジスタQ 2 4のゲートは制御信号線24（i）に接続されている。このように接続することにより、トランジスタQ 2 4は駆動トランジスタQ 2 0のドレインに有機E L素子D 2 0を発光させる電流を供給する。ここで、制御信号線21（i）～25（i）には制御信号C N T 21（i）～C N T 25（i）が供給されている。

30

【0026】

このように画素回路11（i、j）は、駆動トランジスタQ 2 0のゲートに一方の端子が接続された第1コンデンサC 2 1と、第1コンデンサC 2 1の他方の端子と駆動トランジスタQ 2 0のソースとの間に接続された第2コンデンサC 2 2と、第1コンデンサC 2 1と第2コンデンサC 2 2との節点T p 2に基準電圧V r e fを印加する第1スイッチであるトランジスタQ 2 1と、駆動トランジスタQ 2 0のゲートに画像信号電圧V s gを供給する第2スイッチであるトランジスタQ 2 2と、駆動トランジスタQ 2 0のゲートに基準電圧V r e fを印加する第5スイッチであるトランジスタQ 2 5と、駆動トランジスタQ 2 0のドレインに初期化電圧V i n tを供給する第3スイッチであるトランジスタQ 2 3と、駆動トランジスタQ 2 0のドレインに有機E L素子D 2 0を発光させる電流を供給する第4スイッチであるトランジスタQ 2 4とを備えている。

40

【0027】

次に、画素回路11（i、j）の動作について説明する。図4は、E L表示装置の表示ユニット1の動作を示すタイミングチャートである。このように1フレーム期間を初期化期間T 1、閾値検出期間T 2、書込期間T 3、発光期間T 4の各期間に分割してそれぞれ

50

の画素回路 11 (i, j) の有機 EL 素子 D 20 を駆動する。

【0028】

初期化期間 T 1 では第 2 コンデンサ C 22 を所定の電圧に充電する。閾値検出期間 T 2 では駆動トランジスタ Q 20 の閾値電圧 V_{th} を検出する。書込期間 T 3 では、画像信号に応じた画像信号電圧 $V_{sg}(j)$ を第 1 コンデンサ C 21 に書込む。そして発光期間 T 4 では、駆動トランジスタ Q 20 のゲート・ソース間に第 1 コンデンサ C 21 および第 2 コンデンサ C 22 の端子間電圧の和の電圧が印加され、これにより有機 EL 素子 D 20 に画像信号に応じた電流が流れ、有機 EL 素子 D 20 は流れる電流値に応じた輝度で発光する。

【0029】

これらの 4 つの期間は、図 2 において行方向に配列された m 個の画素回路 11 (i, 1) ~ 11 (i, m) で構成される画素行毎に共通するタイミングで設定し、かつ異なる画素行では互いに書込期間 T 3 が重ならないように設定している。このように 1 つの画素行で書込み動作を行う期間に他の画素行で書込み以外の動作を行うことで、駆動時間を有効に活用することができる。

【0030】

図 5 は、EL 表示装置の表示ユニット 1 の画素回路 11 (i, j) の動作を示すタイミングチャートである。また図 5 には、節点 T p 1 ~ T p 3 の電圧の変化も示している。以下、画素回路 11 (i, j) の動作をそれぞれの期間における動作に分けて詳細に説明する。

【0031】

(初期化期間 T 1)

時刻 t 1 において、制御信号 CNT 22 (i)、CNT 24 (i) をローレベルにしてトランジスタ Q 22、Q 24 をオフ状態とするとともに、制御信号 CNT 21 (i)、CNT 23 (i)、CNT 25 (i) をハイレベルにしてトランジスタ Q 21、Q 23、Q 25 をオン状態とする。するとトランジスタ Q 25 を介して節点 T p 1 に基準電圧 V_{ref} が印加され、トランジスタ Q 21 を介して節点 T p 2 にも基準電圧 V_{ref} が印加される。

【0032】

またトランジスタ Q 23 を介して駆動トランジスタ Q 20 のドレインに初期化電圧 V_{int} が印加される。ここで、初期化電圧 V_{int} は、基準電圧 V_{ref} から閾値電圧 V_{th} を減じた電圧よりも十分低く設定されている。すなわち、 $V_{int} < V_{ref} - V_{th}$ である。そのため駆動トランジスタ Q 20 のソース電圧、すなわち節点 T p 3 の電圧もほぼ初期化電圧 V_{int} に等しくなる。これにより第 2 コンデンサ C 22 の端子間には閾値電圧 V_{th} よりも高い電圧 ($V_{ref} - V_{int}$) に充電される。

【0033】

さらに初期化電圧 V_{int} は、条件 1 および条件 2 から求められるように、低圧側電圧 V_{ss} と電圧 V_{led} との和よりも低い電圧に設定されている。すなわち、 $V_{int} < V_{ss} + V_{led}$ である。これにより、有機 EL 素子 D 20 に電流は流れず、有機 EL 素子 D 20 が発光することはない。なお本実施の形態において、初期化期間 T 1 は $1 \mu s$ に設定している。

【0034】

(閾値検出期間 T 2)

時刻 t 2 において制御信号 CNT 23 (i) をローレベルにしてトランジスタ Q 23 をオフ状態とし、制御信号 CNT 24 (i) をハイレベルにしてトランジスタ Q 24 をオン状態とする。すると駆動トランジスタ Q 20 のゲート・ソース間には閾値電圧 V_{th} よりも高い第 2 コンデンサ C 22 の端子間電圧 ($V_{ref} - V_{int}$) が印加されているために駆動トランジスタ Q 20 に電流が流れる。しかし有機 EL 素子 D 20 のアノードの電圧は基準電圧 V_{ref} から閾値電圧 V_{th} を減じた電圧よりもさらに低く、 $V_{ref} - V_{th} < V_{ss} + V_{led}$ であるので、有機 EL 素子 D 20 には電流は流れない。そして駆動

10

20

30

40

50

トランジスタQ 2 0に流れる電流により第2コンデンサC 2 2の電荷が放電され、第2コンデンサC 2 2の端子間電圧が低下しはじめる。しかし第2コンデンサC 2 2の端子間電圧は依然として閾値電圧 V_{th} より高いので駆動トランジスタQ 2 0には電流が減少しつつも流れ続ける。そのため第2コンデンサC 2 2の端子間電圧は徐々に低下し続ける。このようにして第2コンデンサC 2 2の端子間電圧は閾値電圧 V_{th} に漸近する。そして第2コンデンサC 2 2の端子間電圧が閾値電圧 V_{th} に等しくなった時点で駆動トランジスタQ 2 0に電流が流れなくなり、第2コンデンサC 2 2の端子間電圧の低下も止まる。このように第2コンデンサC 2 2は、対応する駆動トランジスタQ 2 0の閾値電圧 V_{th} を補正する補正コンデンサである。

【0035】

10

(書込期間T 3)

時刻 t_3 において制御信号CNT 2 5 (i)をローレベルにしてトランジスタQ 2 5をオフ状態とし、制御信号CNT 2 4 (i)をローレベルにしてトランジスタQ 2 4をオフ状態とする。その後、制御信号CNT 2 2 (i)をハイレベルにしてトランジスタQ 2 2をオン状態とする。すると節点Tp 1がアナログの画像信号電圧 $V_{sg}(j)$ となり、第1コンデンサC 2 1の端子間は電圧($V_{sg} - V_{ref}$)に充電される。この電圧($V_{sg} - V_{ref}$)を画像信号電圧 V_{sg}' とする。このとき駆動トランジスタQ 2 0には電流が流れないので、第2コンデンサC 2 2の端子間電圧は変化しない。なお本実施の形態において、書込期間T 3は $1\mu sec$ に設定している。

【0036】

20

(発光期間T 4)

時刻 t_4 において、制御信号CNT 2 2 (i)をローレベルにしてトランジスタQ 2 2をオフ状態とし、制御信号CNT 2 1 (i)をローレベルにしてトランジスタQ 2 1をオフ状態とする。これにより節点Tp 1~Tp 3は一旦フローティング状態となる。そして制御信号CNT 2 4 (i)をハイレベルにしてトランジスタQ 2 4をオン状態とする。これにより、駆動トランジスタQ 2 0のゲート・ソース間にはアナログ電圧($V_{sg}' + V_{th}$)が印加されているので、ソース電圧が上昇して、駆動トランジスタQ 2 0のゲート・ソース間電圧に応じた電流が有機EL素子D 2 0に流れる。このときの電流Iは、 $I = K \cdot (V_{GS} - V_{th}) = K \cdot V_{sg}'$ (ただし V_{GS} はゲート・ソース間電圧、Kは定数である。)となり、画像信号に応じた電流が有機EL素子D 2 0に流れることとなる。そして、有機EL素子D 2 0は、ソースドライバ回路1 2からデータ線を通して供給されるアナログの画像信号電圧に応じて流れる電流により発光する。そのときの発光輝度は、有機EL素子D 2 0に流れる電流に応じた発光輝度となる。

30

【0037】

以上のようなステップで、有機EL素子D 2 0は、ソースドライバ回路1 2から入力されるアナログの画像信号電圧に応じた輝度で発光することとなり、RGB毎に発光輝度を制御することにより、カラー表示を行うことができる。また、有機EL素子D 2 0に流す電流を制御して発光輝度を変えることにより、所定の階調の画像表示を行うことができる。

【0038】

40

以上説明したように、EL表示装置においては、画像信号に基づく電圧により有機EL素子に流れる電流が制御され、これにより所定の輝度で発光させることができる。

【0039】

ところで、EL表示装置において、高解像度の画像信号に基づき、低階調から高階調の高品質の画像表示を行うためには、入力されるデジタルの画像信号のビット数に応じたD/Aコンバータを用いてデジタル・アナログ変換を行い、入力される画像信号に応じたアナログ電圧を各画素回路に供給することが必要となる。しかしながら、高いビット数の信号を処理するD/Aコンバータを用いると、その分電気回路のコストが高くなるという課題が発生する。

【0040】

50

そこで、本発明においては、有機EL素子に電流を流す駆動トランジスタを有する画素回路を複数配列したEL表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路とを備えたEL表示装置において、1フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM（Mは $M < N$ を満足する）ビットの階調信号に基づく発光表示を行う第2のサブフレームとに分割し、かつ前記第1のサブフレームの発光期間 L_1 と前記第2のサブフレームの発光期間 L_2 は、 $L_1 > L_2$ となるようにドライバ回路を制御するものであり、NビットのD/Aコンバータにより、 $N+M$ ビットのデータ量の階調表示を行うことができるものである。

10

【0041】

以下、本発明によるEL表示装置の画像信号処理回路2の構成および動作について、図6、図7を用いて説明する。

【0042】

図6は、NビットのD/Aコンバータとして、8ビットのD/Aコンバータを備えた画像信号処理回路の一例を示すブロック回路図である。

【0043】

図6に示すように、入力される10ビットのデジタル画像信号のうち、上位8ビットの信号は第1のガンマ補正手段41に入力され、下位2ビットの信号は第2のガンマ補正手段42に入力される。この第1のガンマ補正手段41および第2のガンマ補正手段42に入力された上位8ビットの信号および下位2ビットの信号は、それぞれ所定のガンマ特性を満足するように補正された後、データラッチ手段43に入力され、一旦データが保持される。ここで、前記第1のガンマ補正手段41、第2のガンマ補正手段42は、入力される画像信号に対して予め設定したガンマ特性になるように信号を補正して出力するものである。

20

【0044】

データラッチ手段43により保持されたデータは、切替手段44により画像信号の同期信号に同期させて順次切り替えて8ビットのD/Aコンバータ45に入力され、デジタル・アナログ変換されて、EL表示ユニット1のソースドライバ回路に供給される。すなわち、このような構成とすることにより、1フレームの画像表示期間は、上位の8ビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位の2ビットの階調信号に基づく発光表示を行う第2のサブフレームとを有する2つのサブフレームに分割されることとなり、この上位8ビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位2ビットの階調信号に基づく発光表示を行う第2のサブフレームにより1フレームの画像表示が行われる。

30

【0045】

なお、図6において、46は入力される画像信号に基づき動画であるか静止画であるか動き検出を行う動画検出手段であり、入力される画像信号が動画の画像信号であることを検出した場合は、切替手段44を制御し、上位8ビットの第1のサブフレーム期間の画像信号のみに基づく発光表示を行い、下位2ビットの画像信号の第2のサブフレーム期間については、非発光とするように制御するもので、動画擬似輪郭の発生を抑制することができる。また、第2のサブフレームは黒表示を行うこととなるため、動画解像度も向上させることができる。

40

【0046】

また、図7は、1フレームの画像表示期間において、第1のサブフレームSF1と第2のサブフレームSF2とに分割した場合の駆動例を示す説明図であり、図7の(a)は書込期間のタイミングチャート、図7の(b)は発光期間のタイミングチャートである。図7(b)において、斜線で示す部分が第1のサブフレーム、第2のサブフレームそれぞれにおける発光期間である。

50

【0047】

図7に示すように、1フレームを構成する第1のサブフレームSF1と第2のサブフレームSF2とにおいて、書込期間は、図4、図5で説明したように、行方向に順次書込み電圧が印加されて書込みが行われる。その後の発光期間においては、図7(b)の斜線で示すように、第1のサブフレームの発光期間L1に比べ、前記第2のサブフレームの発光期間L2は、 $L1 > L2$ となるように画素回路のドライバ回路において、スイッチングのタイミングまたは電源供給が制御される。なお、前記第2のサブフレームの発光期間L2は、第1のサブフレームの発光期間L1の $1/50$ 程度とし、第2のサブフレームの期間における瞬時に流れる電流を大きくすることにより、ドライバ回路のダイナミックレンジを第1のサブフレームと第2のサブフレームとで同じ状態として発光駆動を行わせることが可能となる。

10

【0048】

このように、上位8ビットの第1のサブフレームの画像信号が入力される第1のガンマ補正手段41と、下位2ビットの第2のサブフレームの画像信号が入力される第2のガンマ補正手段42と、前記第1のガンマ補正手段41と前記第2のガンマ補正手段42の出力信号を切り替えて8ビットのD/Aコンバータ45に入力する切替手段44とを備えた構成であり、8ビットのD/Aコンバータ45を用いた構成で、10ビットの解像度の画像信号(階調信号)による表示を行うことができる。

【0049】

また、前記第1のサブフレームの発光期間L1と前記第2のサブフレームの発光期間L2は、 $L1 > L2$ となるように制御しており、ドライバ回路の出力偏差を緩和した駆動を実現することができる。

20

【0050】

なお、上記実施の形態においては、8ビットのD/Aコンバータを用い、1フレームを上位8ビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位2ビットの階調信号に基づく発光表示を行う第2のサブフレームとの分割して発光表示を行う例を示したが、ビット数は適宜決定すればよく、NビットのD/Aコンバータを用い、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM(Mは $M < N$ を満足する)ビットの階調信号に基づく発光表示を行う第2のサブフレームとに少なくとも分割して発光表示を行えばよい。

30

【0051】

以上のように本発明は、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して表示ユニットのドライバ回路に信号を供給する画像信号処理回路とを備え、1フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM(Mは $M < N$ を満足する)ビットの階調信号に基づく発光表示を行う第2のサブフレームとに少なくとも分割し、かつ前記第1のサブフレームの発光期間L1と前記第2のサブフレームの発光期間L2は、 $L1 > L2$ となるようにドライバ回路を制御するものであり、NビットのD/Aコンバータにより、 $N+M$ ビットのデータ量の階調表示を行うことができる。

【産業上の利用可能性】

40

【0052】

以上のように本発明は、低コストのドライバ回路で高品質の画像表示が行えるEL表示装置を実現する上で有用な発明である。

【符号の説明】

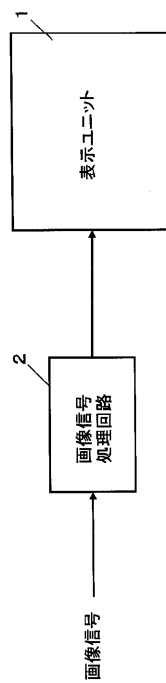
【0053】

- 1 表示ユニット
- 2 画像信号処理回路
 - 11 画素回路
 - 12 ソースドライバ回路
 - 13 ゲートドライバ回路

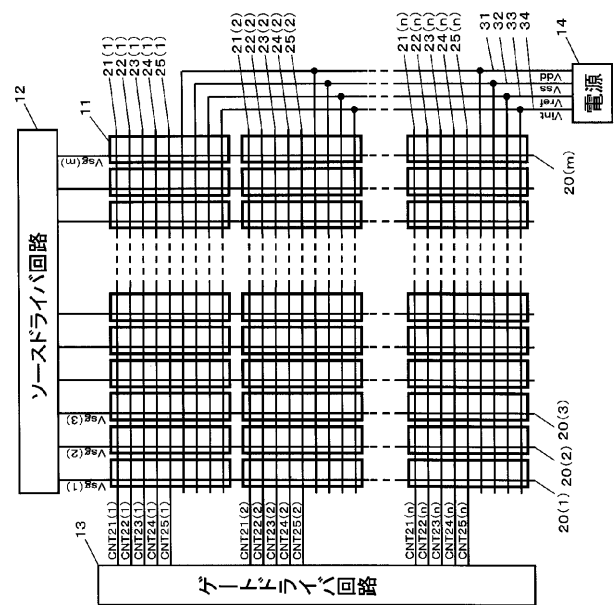
50

- 1 4 電源回路
- 4 1 第 1 のガンマ補正手段
- 4 2 第 2 のガンマ補正手段
- 4 4 切替手段
- 4 5 D/A コンバータ
- 4 6 動画検出手段

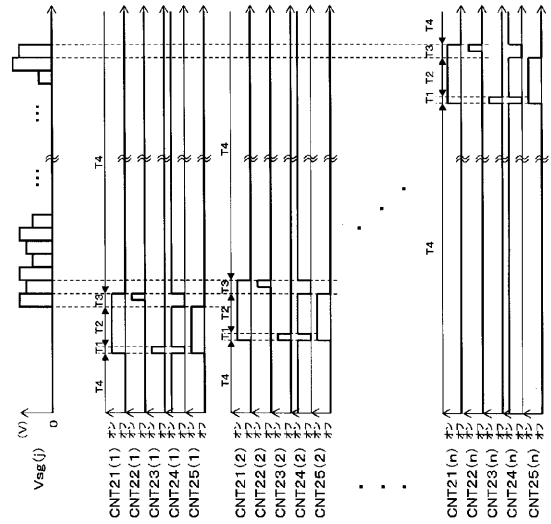
【図 1】



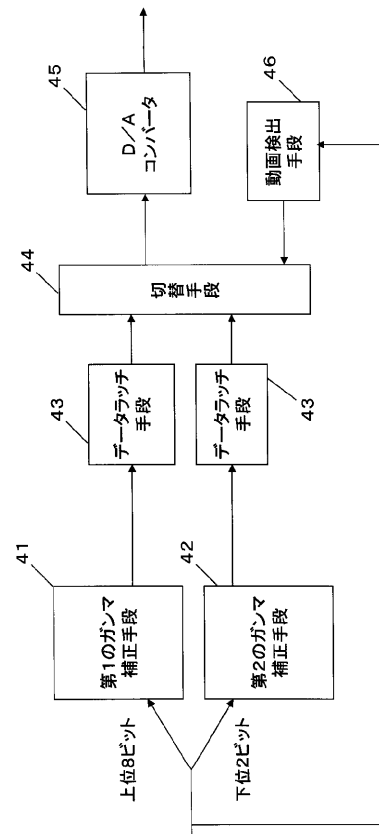
【図 2】



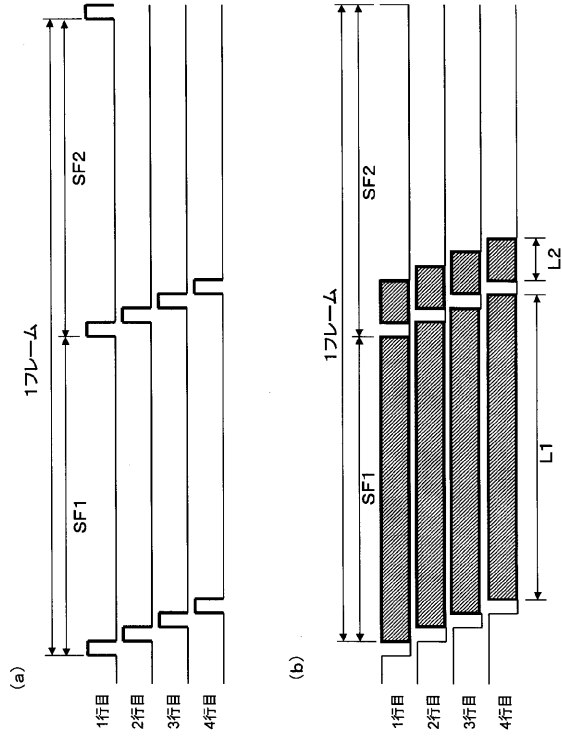
【図 4】



【图 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 6 0 W
G 0 9 G	3/20	6 4 1 R
H 0 5 B	33/14	A
G 0 9 G	3/20	6 2 3 K

F ターム(参考)	5C080	AA06	BB05	DD02	DD27	EE19	EE29	FF11	FF12	HH09	JJ02
		JJ03	JJ04								
	5C380	AA01	AB06	AB46	BA22	BA28	BE03	BE11	CA12	CA32	CB01
		CC07	CC27	CC33	CC39	CC61	CC66	CD026	CF09	CF48	DA02
		DA06	DA09	DA16	DA32	DA35	DA38	DA42	FA10	HA02	HA11

专利名称(译)	EL表示装置		
公开(公告)号	JP2013190524A	公开(公告)日	2013-09-26
申请号	JP2012055548	申请日	2012-03-13
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/30 G09G3/2025 G09G3/2081 G09G3/3291 G09G2300/0852 G09G2300/0861 G09G2310/027 G09G2320/0673 G09G2320/103		
FI分类号	G09G3/30.K G09G3/20.641.E G09G3/20.641.D G09G3/20.641.K G09G3/20.641.Q G09G3/20.660.W G09G3/20.641.R H05B33/14.A G09G3/20.623.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD27 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB46 5C380/BA22 5C380/BA28 5C380/BE03 5C380/BE11 5C380/CA12 5C380/CA32 5C380/CB01 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC66 5C380/CD026 5C380/CF09 5C380/CF48 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA16 5C380/DA32 5C380/DA35 5C380/DA38 5C380/DA42 5C380/FA10 5C380/HA02 5C380/HA11		
代理人(译)	内藤裕树 长野大辅 藤井 兼太郎		
其他公开文献	JP5938742B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种EL显示装置，其包括：EL显示面板，包括多个像素电路的阵列，每个像素电路具有向有机EL元件施加电流的驱动晶体管；驱动电路，响应于图像信号和用于选择预期发光的像素电路的信号，向每个像素电路施加信号；和一个N位D/A转换器。单帧中的图像显示时段被划分为第一子帧和第二子帧，第一子帧基于高N位的灰度级信号通过发光执行显示，第二子帧基于a通过发光执行显示。低M比特的灰度信号（其中M满足 $M \leq L_2$ ）。

