

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-139896
(P2010-139896A)

(43) 公開日 平成22年6月24日 (2010. 6. 24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 622D	5C080
G09F 9/30 (2006.01)	G09G 3/20 623D	5C094
H01L 27/32 (2006.01)	G09G 3/20 622C	
H01L 51/50 (2006.01)	G09G 3/20 623C	

審査請求 未請求 請求項の数 7 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願2008-317773 (P2008-317773)	(71) 出願人	000002185
(22) 出願日	平成20年12月15日 (2008. 12. 15)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094363
			弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	山下 淳一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

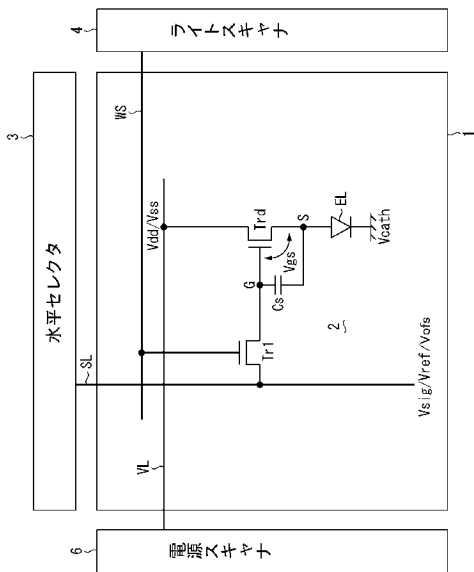
(54) 【発明の名称】 表示装置及びその駆動方法と電子機器

(57) 【要約】

【課題】 ドライブトランジスタの閾電圧のエンハンスメントシフトを抑制可能な表示装置を提供する。

【解決手段】 サンプリングトランジスタTr1は、第1の制御信号に応じて信号電位Vsigを取り込み、以ってドライブトランジスタTrdが1フィールド期間のうちの発光期間に順バイアス状態になって信号電位Vsigに応じた駆動電流を発光素子ELに供給する。発光素子ELは、駆動電流により信号電位Vsigに応じた輝度で発光する。サンプリングトランジスタTr1は、1フィールド期間のうちの非発光期間で第2の制御信号に応じてオンし第1基準電位Vrefを取り込み、以ってドライブトランジスタTrdが逆バイアス状態になる。更にサンプリングトランジスタTr1がオフする前に、第1基準電位Vrefから切換わった第2基準電位Vofsを取り込み、以ってドライブトランジスタTrdの逆バイアス状態を促進する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画素アレイ部と、駆動部とを有し、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、

前記駆動部は、1 フィールド期間にわたって各走査線に水平周期で順次制御信号を供給するとともに、1 水平周期内で信号電位と第 1 基準電位と第 2 基準電位とが切換わる映像信号を信号線に出力し、

前記画素は少なくともサンプリグトランジスタと、ドライブトランジスタと、発光素子とを含み、

前記サンプリグトランジスタは、第 1 の制御信号に応じて信号電位を取り込み、以って該ドライブトランジスタが 1 フィールド期間のうちの発光期間に順バイアス状態になって信号電位に応じた駆動電流を該発光素子に供給し、

前記発光素子は、該駆動電流により該信号電位に応じた輝度で発光し、

前記サンプリグトランジスタは、1 フィールド期間のうちの非発光期間で第 2 の制御信号に応じてオンし第 1 基準電位を取り込み、以って該ドライブトランジスタが逆バイアス状態になり、

前記サンプリグトランジスタがオフする前に、第 1 基準電位から切換わった第 2 基準電位を取り込み、以って該ドライブトランジスタの逆バイアス状態を促進する

表示装置。

【請求項 2】

前記サンプリグトランジスタは、第 1 の制御信号に先行する別の制御信号に応じてオンし第 1 基準電位を取り込み、以って該ドライブトランジスタのゲートを第 1 基準電位に初期化し、

前記サンプリグトランジスタがオフする前に、第 1 基準電位から切換わった第 2 基準電位を取り込み、以って該ドライブトランジスタをオフ状態にする請求項 1 記載の表示装置。

【請求項 3】

前記画素アレイ部は、発光素子が赤色に発光する赤色画素と、発光素子が緑色に発光する緑色画素と、発光素子が青色に発光する青色画素とを含み、

前記駆動部は、各色画素に対応して異なるレベルの第 2 基準電位を信号線に出力する請求項 1 記載の表示装置。

【請求項 4】

前記駆動部は、第 1 基準電位を所定のレベルに固定する一方、該画素アレイ部に含まれる画素の平均輝度に応じて第 2 基準電位のレベルを可変調整する請求項 1 記載の表示装置。

【請求項 5】

前記ドライブトランジスタは、そのゲートが該サンプリグトランジスタに接続し、そのソースが該発光素子に接続し、該ゲートとソースとの間に画素容量が接続し、

前記サンプリグトランジスタは、第 1 の制御信号に応じてオンし、該信号電位を該ドライブトランジスタのゲートとソースとの間に書き込んで順バイアス状態とし、

前記ドライブトランジスタは、該サンプリグトランジスタがオフした後該信号電位に応じて駆動電流を該発光素子に供給する発光期間で、ゲートとソースとの間の電位差を維持しながらソース電位が上昇し、

前記サンプリグトランジスタは、該第 2 の制御信号に応じてオンし、該ドライブトランジスタのゲートに第 1 基準電位を書き込み、以ってソースとゲートの電位を逆転して逆バイアス状態に切換える請求項 1 記載の表示装置。

【請求項 6】

本体と、該本体に入力する情報若しくは本体から出力された情報を表示する表示器とからなり、

10

20

30

40

50

前記表示器は、画素アレイ部と、駆動部とからなり、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、

前記駆動部は、1フィールド期間にわたって各走査線に水平周期で順次制御信号を供給するとともに、1水平周期内で信号電位と第1基準電位と第2基準電位とが切替わる映像信号を信号線に出力し、

前記画素は少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子とを含み、

前記サンプリングトランジスタは、第1の制御信号に応じて信号電位を取り込み、以って該ドライブトランジスタが1フィールド期間のうちの発光期間に順バイアス状態になって信号電位に応じた駆動電流を該発光素子に供給し、

10

前記発光素子は、該駆動電流により該信号電位に応じた輝度で発光し、

前記サンプリングトランジスタは、1フィールド期間のうちの非発光期間で第2の制御信号に応じてオンし第1基準電位を取り込み、以って該ドライブトランジスタが逆バイアス状態になり、

前記サンプリングトランジスタがオフする前に、第1基準電位から切替わった第2基準電位を取り込み、以って該ドライブトランジスタの逆バイアス状態を促進する

電子機器。

【請求項7】

画素アレイ部と、駆動部とからなり、

20

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、

前記駆動部は、1フィールド期間にわたって各走査線に水平周期で順次制御信号を供給するとともに、1水平周期内で信号電位と第1基準電位と第2基準電位とが切替わる映像信号を信号線に出力し、

前記画素は少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子とを含む

表示装置を駆動するため、

前記サンプリングトランジスタは、第1の制御信号に応じて信号電位を取り込み、以って該ドライブトランジスタが1フィールド期間のうちの発光期間に順バイアス状態になって信号電位に応じた駆動電流を該発光素子に供給し、

30

前記発光素子は、該駆動電流により該信号電位に応じた輝度で発光し、

前記サンプリングトランジスタは、1フィールド期間のうちの非発光期間で第2の制御信号に応じてオンし第1基準電位を取り込み、以って該ドライブトランジスタが逆バイアス状態になり、

前記サンプリングトランジスタがオフする前に、第1基準電位から切替わった第2基準電位を取り込み、以って該ドライブトランジスタの逆バイアス状態を促進する

表示装置の駆動方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。またこのような表示装置を組み込んだ電子機器に関する。

【背景技術】

【0002】

表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有

50

機 E L ディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機 E L ディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【特許文献6】特開2006-215213

【0004】

従来の表示装置は、基本的に画素アレイ部と駆動部とを有する。画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含む。駆動部は、1フィールド期間に亘って各走査線に順次制御信号を供給すると共に、各信号線に映像信号を供給する。画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子とを含む。サンプリングトランジスタは、走査線から供給された制御信号に応じて信号線から映像信号を取り込む。ドライブトランジスタは、1フィールド期間のうちの発光期間で順バイアス状態となり、取り込まれた映像信号に応じて駆動電流を供給する。発光素子は、駆動電流により映像信号に応じた輝度で発光する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の表示装置は、発光期間中にドライブトランジスタが順バイアス状態になる。即ち、ドライブトランジスタのソース電位に対してゲート電位が閾電圧以上となり、オン状態となって駆動電流を発光素子に供給する。しかしながら、ドライブトランジスタの順バイアス状態が長く続くと、閾電圧特性がエンハンスメント側にシフトする。ドライブトランジスタの閾電圧特性がエンハンスメント側にシフトすると、画素の動作に不具合が生じるため、解決すべき課題となっている。

【課題を解決するための手段】

【0006】

上述した従来の技術の課題に鑑み、本発明はドライブトランジスタの閾電圧のエンハンスメントシフトを抑制可能な表示装置を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち本発明に係る表示装置は、画素アレイ部と、駆動部とを有する。前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含む。前記駆動部は、1フィールド期間にわたって各走査線に水平周期で順次制御信号を供給するとともに、1水平周期内で信号電位と第1基準電位と第2基準電位とが切替わる映像信号を信号線に出力する。前記画素は少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子とを含む。前記サンプリングトランジスタは、第1の制御信号に応じて信号電位を取り込み、以って該ドライブトランジスタが1フィールド期間のうちの発光期間に順バイアス状態になって信号電位に応じた駆動電流を該発光素子に供給する。前記発光素子は、該駆動電流により該信号電位に応じた輝度で発光する。前記サンプリングトランジスタは、1

フィールド期間のうちの非発光期間で第2の制御信号に応じてオンし第1基準電位を取り込み、以って該ドライブトランジスタが逆バイアス状態になる。更に前記サンプリグトランジスタがオフする前に、第1基準電位から切換わった第2基準電位を取り込み、以って該ドライブトランジスタの逆バイアス状態を促進する。

【0007】

好ましくは前記サンプリグトランジスタは、第1の制御信号に先行する別の制御信号に応じてオンし第1基準電位を取り込み、以って該ドライブトランジスタのゲートを第1基準電位に初期化する。この場合、前記サンプリグトランジスタがオフする前に、第1基準電位から切換わった第2基準電位を取り込み、以って該ドライブトランジスタをオフ状態にする。

又前記画素アレイ部は、発光素子が赤色に発光する赤色画素と、発光素子が緑色に発光する緑色画素と、発光素子が青色に発光する青色画素とを含む。前記駆動部は、各色画素に対応して異なるレベルの第2基準電位を信号線に出力する。

又前記駆動部は、第1基準電位を所定のレベルに固定する一方、該画素アレイ部に含まれる画素の平均輝度に応じて第2基準電位のレベルを可変調整する。

又前記ドライブトランジスタは、そのゲートが該サンプリグトランジスタに接続し、そのソースが該発光素子に接続し、該ゲートとソースとの間に画素容量が接続している。前記サンプリグトランジスタは、第1の制御信号に応じてオンし、該信号電位を該ドライブトランジスタのゲートとソースとの間に書き込んで順バイアス状態とする。前記ドライブトランジスタは、該サンプリグトランジスタがオフした後該信号電位に応じて駆動電流を該発光素子に供給する発光期間で、ゲートとソースとの間の電位差を維持しながらソース電位が上昇する。前記サンプリグトランジスタは、該第2の制御信号に応じてオンし、該ドライブトランジスタのゲートに第1基準電位を書き込み、以ってソースとゲートの電位を逆転して逆バイアス状態に切換える

【発明の効果】

【0008】

本発明によれば、駆動部は、1フィールド期間のうちの非発光期間で走査線及び信号線を介して各画素のドライブトランジスタを順バイアス状態から逆バイアス状態に切り換えている。前述したように、発光期間ではドライブトランジスタが順バイアス状態に置かれるため、その閾電圧特性がエンハンスメント側にシフトする。一方非発光期間になるとドライブトランジスタが逆バイアス状態に切り換えられるため、閾電圧特性は逆にデプレッション側にシフトする。このように、順バイアス状態と逆バイアス状態を交互に切り換えることで、ドライブトランジスタの閾電圧特性のエンハンスメントシフトを抑制することができる。なおドライブトランジスタを逆バイアス状態に置くとドライブトランジスタはオフになるが、画素は非発光期間にあるので、動作上は問題がない。

特に本発明では、サンプリグトランジスタが1フィールド期間のうちの非発光期間で制御信号に応じてオンし第1基準電位を取り込む。これによりドライブトランジスタが逆バイアス状態になった後、サンプリグトランジスタがオフする前に、第1基準電位から切換わった第2基準電位を取り込む。これにより、ドライブトランジスタの逆バイアス状態を促進している。この結果、発光素子の電流劣化の影響を効果的に抑制若しくは緩和することができる。

【発明を実施するための最良の形態】

【0009】

以下図面を参照して、発明を実施するための最良の形態（実施形態と言う）について説明する。なお説明は以下の順序で行う。

第一実施形態

第二実施形態

第三実施形態

第四実施形態

第五実施形態

10

20

30

40

50

応用形態

【0010】

〈第一実施形態〉

〔全体構成〕

図1は、本発明に係る表示装置の第一実施形態の全体構成を示す模式的なブロック図である。図示するように、本表示装置は、画素アレイ部1（画面部）とこれを駆動する駆動部とからなる。画素アレイ部1は、行状の走査線WSと、列状の信号線（信号ライン）SLと、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線（電源ライン）VLとを備えている。なお本例は、各画素2にRGB三原色のいずれかが割り当てられており、カラー表示が可能である。但し本発明はこれに限られるものではなく、単色表示のデバイスも含む。駆動部は、各走査線WSに順次制御信号を供給して画素2を行単位で線順次走査するライトスキャナ4と、この線順次走査に合わせて各給電線VLに第1電位と第2電位で切換る電源電圧を供給する電源スキャナ6と、この線順次走査に合わせて列状の信号線SLに映像信号となる信号電位と基準電位を供給する水平セクタ3とを備えている。

10

【0011】

〔画素の回路構成〕

図2は、図1に示した表示装置に含まれる画素2の具体的な構成及び結線関係を示す回路図である。図示するように、この画素2は有機ELデバイスなどで代表される発光素子ELと、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、画素容量Csとを含む。サンプリングトランジスタTr1は、その制御端（ゲート）が対応する走査線WSに接続し、一对の電流端（ソース及びドレイン）の片方が対応する信号線SLに接続し、他方がドライブトランジスタTrdの制御端（ゲートG）に接続する。ドライブトランジスタTrdは、一对の電流端（ソースS及びドレイン）の一方が発光素子ELに接続し、他方が対応する給電線VLに接続している。本例では、ドライブトランジスタTrdがNチャンネル型であり、そのドレインが給電線VLに接続する一方、ソースSが出力ノードとして発光素子ELのアノードに接続している。発光素子ELのカソードは所定のカソード電位Vcathに接続している。画素容量CsはドライブトランジスタTrdの片方の電流端であるソースSと制御端であるゲートGの間に接続している。

20

【0012】

かかる構成において、サンプリングトランジスタTr1は走査線WSから供給された制御信号に応じて導通し、信号線SLから供給された信号電位Vsigをサンプリングして画素容量Csに保持する。ドライブトランジスタTrdは、第1電位（高電位Vdd）にある給電線VLから電流の供給を受け画素容量Csに保持された信号電位に応じて駆動電流を発光素子ELに流す。ライトスキャナ4は、信号線SLが信号電位にある時間帯にサンプリングトランジスタTr1を導通状態にするため、所定のパルス幅の制御信号を制御線WSに出力し、以って画素容量Csに信号電位を保持すると同時にドライブトランジスタTrdの移動度 μ に対する補正を信号電位に加える。この後ドライブトランジスタTrdは画素容量Csに書き込まれた信号電位Vsigに応じた駆動電流を発光素子ELに供給し、発光動作に入る。

30

40

【0013】

本画素回路2は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ6は、サンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第1タイミングで給電線VLを第1電位（高電位Vdd）から第2電位（低電位Vss）に切換える。またライトスキャナ4は同じくサンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第2タイミングでサンプリングトランジスタTr1を導通させて信号線SLから基準電位VrefをドライブトランジスタTrdのゲートGに印加すると共にドライブトランジスタTrdのソースSを第2電位（Vss）にセットする。電源スキャナ6は第2タイミングの後の第3タイミングで給電線VLを第2電位Vssから第1電位Vddに切換えて、ドライブトランジスタTrdの閾電圧Vth

50

に相当する電圧を画素容量 C_s に保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつくドライブトランジスタ T_{rd} の閾電圧 V_{th} の影響をキャンセルすることができる。

【0014】

本画素回路 2 は、さらにブートストラップ機能も備えている。即ちライトスキャナ 4 は画素容量 C_s に信号電位 V_{sig} が保持された段階で走査線 W_S に対する制御信号の印加を解除し、サンプリングトランジスタ T_{r1} を非導通状態にしてドライブトランジスタ T_{rd} のゲート G を信号線 S_L から電氣的に切り離し、以ってドライブトランジスタ T_{rd} のソース S の電位変動にゲート G の電位が連動し、ゲート G とソース S 間の電圧 V_{gs} を一定に維持することができる。

10

【0015】

[タイミングチャートの参考例 1]

図 3 は、図 2 に示した画素回路 2 の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線 W_S の電位変化、給電線 V_L の電位変化及び信号線 S_L の電位変化を表している。またこれらの電位変化と並行に、ドライブトランジスタのゲート G 及びソース S の電位変化も表してある。

【0016】

走査線 W_S には、サンプリングトランジスタ T_{r1} をオンするための制御信号パルスが印加される。この制御信号パルスは画素アレイ部の線順次走査に合わせて 1 フィールド (1 f) 周期で走査線 W_S に印加される。この制御信号パルスは一水平走査周期 (1 H) の間に二発のパルスを含んでいる。最初のパルスを第一パルス P_1 とし、後続のパルスを第二パルス P_2 と呼ぶ場合がある。給電線 V_L は同じように 1 フィールド周期 (1 f) で高電位 V_{dd} と低電位 V_{ss} との間で切替る。信号線 S_L には一水平走査周期 (1 H) 内で信号電位 V_{sig} と基準電位 V_{ref} が切替る映像信号を供給している。

20

【0017】

図 3 のタイミングチャートに示すように、画素は前のフィールドの発光期間から当該フィールドの非発光期間に入り、そのあと当該フィールドの発光期間となる。この非発光期間で準備動作、閾電圧補正動作、信号書込動作、移動度補正動作などを行う。

【0018】

前フィールドの発光期間では、給電線 V_L が高電位 V_{dd} にあり、ドライブトランジスタ T_{rd} が駆動電流 I_{ds} を発光素子 E_L に供給している。駆動電流 I_{ds} は高電位 V_{dd} にある給電線 V_L からドライブトランジスタ T_{rd} を介して発光素子 E_L を通り、カソードラインに流れ込んでいる。

30

【0019】

続いて当該フィールドの非発光期間に入るとまずタイミング T_1 で給電線 V_L を高電位 V_{dd} から低電位 V_{ss} に切替える。これにより給電線 V_L は V_{ss} まで放電され、さらにドライブトランジスタ T_{rd} のソース S の電位は V_{ss} まで下降する。これにより発光素子 E_L のアノード電位 (即ちドライブトランジスタ T_{rd} のソース電位) は逆バイアス状態となるため、駆動電流が流れなくなり消灯する。またドライブトランジスタのソース S の電位降下に連動してゲート G の電位も降下する。

40

【0020】

続いてタイミング T_2 になると、走査線 W_S を低レベルから高レベルに切替えることで、サンプリングトランジスタ T_{r1} が導通状態になる。この時信号線 S_L は基準電位 V_{ref} にある。よってドライブトランジスタ T_{rd} のゲート G の電位は導通したサンプリングトランジスタ T_{r1} を通じて信号線 S_L の基準電位 V_{ref} となる。この時ドライブトランジスタ T_{rd} のソース S の電位は V_{ref} よりも十分低い電位 V_{ss} にある。この様にしてドライブトランジスタ T_{rd} のゲート G とソース S との間の電圧 V_{gs} がドライブトランジスタ T_{rd} の閾電圧 V_{th} より大きくなるように、初期化される。タイミング T_1 からタイミング T_3 までの期間 $T_1 - T_3$ はドライブトランジスタ T_{rd} のゲート G / ソース S 間電圧 V_{gs} を予め V_{th} 以上に設定する準備期間である。

50

【0021】

この後タイミングT3になると、給電線VLが低電位Vssから高電位Vddに遷移し、ドライブトランジスタTrdのソースSの電位が上昇を開始する。やがてドリライブトランジスタTrdのゲートG／ソースS間電圧Vgsが閾電圧Vthとなった所で電流がカットオフする。この様にしてドライブトランジスタTrdの閾電圧Vthに相当する電圧が画素容量Csに書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら画素容量Cs側に流れ、発光素子ELには流れないようにするため、発光素子ELがカットオフとなるようにカソード電位Vcathを設定しておく。

【0022】

タイミングT4では走査線WSがハイレベルからローレベルに戻る。換言すると、走査線WSに印加された第一パルスP1が解除され、サンプリングトランジスタはオフ状態になる。以上の説明から明らかなように、第一パルスP1は閾電圧補正動作を行うために、サンプリングトランジスタTr1のゲートに印加される。

【0023】

この後信号線SLが基準電位Vrefから信号電位Vsigに切り換る。続いてタイミングT5で走査線WSが再びローレベルからハイレベルに立上る。換言すると第二パルスP2がサンプリングトランジスタTr1のゲートに印加される。これによりサンプリングトランジスタTr1は再びオンし、信号線SLから信号電位Vsigをサンプリングする。よってドライブトランジスタTrdのゲートGの電位は信号電位Vsigになる。ここで発光素子ELは始めカットオフ状態（ハイインピーダンス状態）にあるためドライブトランジスタTrdのドレインとソースの間に流れる電流は専ら画素容量Csと発光素子ELの等価容量に流れ込み充電を開始する。この後サンプリングトランジスタTr1がオフするタイミングT6までに、ドライブトランジスタTrdのソースSの電位は ΔV だけ上昇する。この様にして映像信号の信号電位VsigがVthに足し込まれる形で画素容量Csに書き込まれる共に、移動度補正用の電圧 ΔV が画素容量Csに保持された電圧から差し引かれる。よってタイミングT5からタイミングT6まで期間T5-T6が信号書込期間&移動度補正期間となる。換言すると、走査線WSに第二パルスP2が印加されると、信号書込動作及び移動度補正動作が行われる。信号書込期間&移動度補正期間T5-T6は、第二パルスP2のパルス幅に等しい。即ち第二パルスP2のパルス幅が移動度補正期間を規定している。

【0024】

この様に信号書込期間T5-T6では信号電にVsigの書込みと補正量 ΔV の調整が同時に行われる。Vsigが高いほどドライブトランジスタTrdが供給する電流Idsは大きくなり、 ΔV の絶対値も大きくなる。従って発光輝度レベルに応じた移動度補正が行われる。Vsigを一定とした場合、ドライブトランジスタTrdの移動度 μ が大きいほど ΔV の絶対値が大きくなる。換言すると移動度 μ が大きいほど画素容量Csに対する負帰還量 ΔV が大きくなるので、画素毎の移動度 μ のばらつきを取り除くことができる。

【0025】

最後にタイミングT6になると、前述したように走査線WSが低レベル側に遷移し、サンプリングトランジスタTr1はオフ状態となる。これによりドライブトランジスタTrdのゲートGは信号線SLから切り離される。このときドレイン電流Idsが発光素子ELを流れ始める。これにより発光素子ELのアノード電位は駆動電流Idsに応じて上昇する。発光素子ELのアノード電位の上昇は、即ちドライブトランジスタTrdのソースSの電位上昇に他ならない。ドライブトランジスタTrdのソースSの電位が上昇すると、画素容量Csのブートストラップ動作によりドライブトランジスタTrdのゲートGの電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中ドライブトランジスタTrdのゲートG／ソースS間の入力電圧Vgsは一定に保持される。このゲート電圧Vgsの値は信号電位Vsigに閾電圧Vth及び移動量 μ の補正をかけたものとなっている。ドライブトランジスタTrdは飽和領域で動作する。即ちドライブトランジスタTrdは、ゲートG／ソースS間の入力電圧Vgsに応じ

10

20

30

40

50

た駆動電流 I_{ds} を出力する。このゲート電圧 V_{gs} の値は信号電位 V_{sig} に閾電圧 V_{th} 及び移動量 μ の補正をかけたものとなっている。

【0026】

〔タイミングチャートの参考例2〕

図4は、図2に示した画素回路2の動作説明に供する他のタイミングチャートである。基本的には図3に示したタイミングチャートと同様であり、対応する部分には対応する参照番号を付してある。異なる点は、閾電圧補正動作を複数の水平期間に渡って時分割的に繰り返し行っていることである。図4のタイミングチャートの例では、1H期間毎の V_{th} 補正動作を2回行っている。画面部が高精細化すると、画素数が増えこれに伴って走査線数も増加する。走査線本数の増加により1H期間が短くなる。このように線順次走査が高速化すると、1H期間では V_{th} 補正動作が完了しない場合がある。そこで図4のタイミングチャートでは、閾電圧補正動作を時分割的に2回行って、ドライブトランジスタ T_{rd} のゲート G とソース S との間の電位 V_{gs} が確実に V_{th} まで初期化できるようにしている。

10

【0027】

具体的には、第一制御パルス P_1 に先立って、信号線 SL が基準電位 V_{ref} にあるとき、先行パルス P_0 を走査線 WS に供給する。これによりサンプリングトランジスタがオンし、信号線 SL から基準電位 V_{ref} を取り込み、ドライブトランジスタのゲートに取り込んだ基準電位 V_{ref} を印加する。この状態で給電線 VL が低電位 V_{ss} から高電位 V_{dd} に切換わる。これにより、ドライブトランジスタに電流が流れてソース電位が上昇し始め、一回目の補正動作が行われる。しかしながら、ドライブトランジスタのゲート／ソース間電圧が閾電圧 V_{th} に到達する前に、サンプリングトランジスタがオフする。

20

この後、信号線 SL が基準電位 V_{ref} にある時、制御パルス P_1 が走査線 WS に印加され、サンプリングトランジスタが再びオンする。これにより、二回目の補正動作が行われ、ドライブトランジスタのゲート／ソース間電圧が閾電圧 V_{th} にまで圧縮される。なお、 V_{th} 補正の繰り返し回数は2回に限られるものではなく、必要に応じ時分割数を増やすことができる。

【0028】

〔実施形態のタイミングチャート〕

図5は、本発明に係る表示装置の動作説明に供するタイミングチャートであり、本発明の第一実施形態を表している。図3及び図4に示した参考例のタイミングチャートでは、発光期間と非発光期間のいずれにおいても、ドライブトランジスタは順バイアス状態に置かれている。即ち、ドライブトランジスタのゲート電位はソース電位に対して閾電圧以上に保持されている。この順バイアスによりドライブトランジスタの閾電圧がエンハンスメント方向にシフトするという問題がある。図5に示した第一実施形態は、この問題に対処したもので、ドライブトランジスタの閾電圧のエンハンスメントシフトを抑制している。なお理解を容易にするため、図3及び図4に示したタイミングチャートと同様の表記を採用している。

30

【0029】

駆動部のライトスキャナ4は、1フィールド期間にわたって各走査線 WS に水平周期で順次制御信号を供給する。タイミングチャートに示すようにこの制御信号は、4つの制御パルス P_0 、 P_1 、 P_2 、 P_3 を含んでいる。このパルス列からなる制御信号の波形は、位相が1Hずつシフトしながら順次各走査線 WS に供給される。一方、駆動部の水平セクタ3は1水平周期（1H）内で信号電位 V_{sig} と第1基準電位 V_{ref} と第2基準電位 V_{ofs} とが切換わる映像信号を各信号線 SL に出力する。

40

【0030】

前述したように、各画素2は少なくともサンプリングトランジスタ T_{r1} と、ドライブトランジスタ T_{rd} と、発光素子 EL とを含む。タイミングチャートに示すように、サンプリングトランジスタは、制御信号パルス P_2 に応じて信号電位 S_{ig} を取り込み、以てドライブトランジスタが1フィールド期間のうちの発光期間に順バイアス状態になって

50

信号電位 V_{sig} に応じた駆動電流を発光素子に供給する。発光素子は、この駆動電流により信号電位 V_{sig} に応じた輝度で発光する。

【0031】

サンプリングトランジスタは、1フィールド期間のうちの非発光期間で制御信号パルス P_3 の立ち上がりに応じてオンし第1基準電位 V_{ref} を取り込み、以ってドライブトランジスタが逆バイアス状態になる。サンプリングトランジスタが制御信号パルス P_3 の立ち下がりに応じてオフする前に、第1基準電位 V_{ref} から切換わった第2基準電位 V_{ofs} を取り込み、以ってドライブトランジスタの逆バイアス状態を加速する。

【0032】

具体的にはドライブトランジスタは、そのゲートがサンプリングトランジスタに接続し、そのソースが発光素子に接続し、ゲートとソースとの間に画素容量が接続している。サンプリングトランジスタは、制御信号パルス P_2 に応じてオンし、信号電位 V_{sig} をドライブトランジスタのゲートとソースとの間に書き込んで順バイアス状態にする。ドライブトランジスタは、サンプリングトランジスタがオフした後信号電位 V_{sig} に応じて駆動電流を発光素子に供給する発光期間で、ゲートとソースとの間の電位差 V_{gs} を維持しながらソース電位が上昇する。サンプリングトランジスタは、制御信号パルス P_3 に応じてオンし、ドライブトランジスタのゲートに第1基準電位 V_{ref} を書き込み、以ってソースとゲートの電位を逆転して逆バイアス状態に切換える。

【0033】

タイミングチャートに示すように、発光期間ではドライブトランジスタは順バイアス状態にあり、ソース電位 (S) に比べゲート電位 (G) が上にある。これに対し非発光期間ではドライブトランジスタが逆バイアス状態にあり、ゲート電位 (G) よりもソース電位 (S) が上になっている。順バイアス状態ではドライブトランジスタの閾電圧 V_{th} のエンハンスメント方向シフトが進行する。逆に非発光期間の逆バイアス状態ではドライブトランジスタの閾電圧のデプレッション方向シフトが進行する。これによりドライブトランジスタの閾電圧のエンハンスメント方向シフトを抑制することができる。

【0034】

特に本発明では、サンプリングトランジスタがオフする前に、第1基準電位 V_{ref} から切換わった第2基準電位 V_{ofs} を取り込む。ここで、 $V_{ref} > V_{ofs}$ となっている。これにより、ドライブトランジスタの逆バイアス状態を促進若しくは加速している。この結果、発光素子の電流劣化の影響を効果的に抑制若しくは緩和することができる。

【0035】

図4に示した参考例と同様に、図5の第一実施形態でも、閾電圧補正動作を時分割的に二回繰り返している。具体的には、上述した制御パルス P_2 に先立って、信号線 SL が基準電位 V_{ref} にあるとき、先行パルス P_0 を走査線 WS に供給する。これによりサンプリングトランジスタがオンし、信号線 SL から第1基準電位 V_{ref} を取り込み、ドライブトランジスタのゲートに取り込んだ基準電位 V_{ref} を印加する。この状態で給電線 VL が低電位 V_{ss} から高電位 V_{dd} に切換わる。これにより、ドライブトランジスタに電流が流れてソース電位が上昇し始め、一回目の補正動作が行われる。しかしながら、ドライブトランジスタのゲート／ソース間電圧が閾電圧 V_{th} に到達する前に、サンプリングトランジスタがオフする。この後、信号線 SL が基準電位 V_{ref} にある時、次の制御信号パルス P_1 が走査線 WS に印加され、サンプリングトランジスタが再びオンする。これにより二回目の補正動作が行われ、ドライブトランジスタのゲート／ソース間電圧が閾電圧 V_{th} にまで圧縮される。

【0036】

本実施形態の特徴として、制御信号パルス P_0 の立下りに応じてサンプリングトランジスタがオフする前に、第1基準電位 V_{ref} から切換わった第2基準電位 V_{ofs} を取り込み、以ってドライブトランジスタをオフ状態にする。

【0037】

上述したように本実施形態にかかる表示装置は、各画素が信号電位 V_{sig} の書込動作

10

20

30

40

50

及び発光素子の発光動作を行う前に、ドライブトランジスタの閾電圧補正動作を行っている。この閾電圧補正動作は準備過程と通電過程を含んでいる。準備過程では、ドライブトランジスタのゲートを第1基準電位 V_{ref} に保持する一方ドライブトランジスタのゲート／ソース間電圧 V_{gs} を閾電圧 V_{th} より大きく設定して、ドライブトランジスタをオン状態にする。続く通電過程では、ゲートを第1基準電位 V_{ref} に維持したままドライブトランジスタに通電し、ドライブトランジスタがカットオフした時そのゲート／ソース間に現れる閾電圧 V_{th} 相当の電圧を画素容量に保持する。

【0038】

本発明の第一実施形態によると、閾電圧補正動作は準備過程及び通電過程の後に圧縮過程を含んでいる。この圧縮過程では、通電過程の後ゲートに印加されている第1基準電位 V_{ref} を第2基準電位 V_{ofs} に変えてゲート／ソース間電圧 V_{gs} を閾電圧 V_{th} 相当の電圧よりも圧縮して、ドライブトランジスタを確実にオフ状態にしている。これによりドライブトランジスタにはリーク電流が流れなくなり、閾電圧補正動作の結果が後の書込動作及び発光動作まで安定的に維持できる。換言すると閾電圧補正動作にばらつきがなくなり精度が高くなる。その結果発光輝度のばらつきがなくなり画面品位が高くなる。

【0039】

本発明の第一実施形態によれば、閾電圧補正動作の通電過程は、ドライブトランジスタがカットオフするまで複数回に分けて時分割的に行っている。これにより通電時間を十分確保することが可能となり、画素容量に閾電圧相当の電圧を確実に確保することが出来る。その際先に行う補正動作と後で行う補正動作とでドライブトランジスタのゲートに印加する基準電圧のレベルを変えている。一回目の補正動作では第2基準電位 V_{ofs} とし、二回目の補正動作では第1基準電位 V_{ref} としている。この様に時分割的に行う通電過程で基準電位のレベルを切換えることでドライブトランジスタの電流リークを抑制でき、結果的に閾電圧補正動作が安定化すると共に精度が高くなる。よって画素毎の発光輝度のばらつきも少なくなり、画面のユニフォーミティが改善する。

【0040】

時分割補正では、一回目の補正と二回目の補正との間で、ドライブトランジスタのゲートがフローティングになる。この間にドライブトランジスタがオン状態にあるとリーク電流が流れ補正動作に誤差が生じる。そこで本発明では、一回目の補正動作が終わるタイミングで、ドライブトランジスタのゲート電位を第1基準電位 V_{ref} から第2基準電位 V_{ofs} に下げ、ドライブトランジスタをオフにする。これによりリーク電流を抑制できる。

【0041】

〔動作説明〕

図6(A)は、逆バイアス時の V_{th} 変動を示すグラフである。横軸に経過時間を取り、縦軸にNチャネル型のドライブトランジスタの閾電圧の変化量 ΔV_{th} をとってある。グラフから明らかなように、逆バイアス状態では時間の経過と共にドライブトランジスタの閾電圧 V_{th} がマイナス方向（デプレッション方向）にシフトしていくことがわかる。逆に順バイアス状態では閾電圧 V_{th} はプラス側（エンハンスメント側）にシフトしていく。本発明では、順バイアスと逆バイアスを交互に切り換えることで、ドライブトランジスタの閾電圧の経時的な変動を抑制している。

【0042】

図6(B)は、逆バイアス時におけるドライブトランジスタ T_{rd} の動作点を表す模式図である。信号電位 V_{sig} は0Vから6Vまでのダイナミックレンジを有する。サンプリングトランジスタ T_{r1} のゲートに印加されるオフ電圧は-3Vである。基準電圧は0Vに設定されている。給電線 V_L の高電位は15Vである。発光期間ではブートストラップによりドライブトランジスタ T_{rd} のソース電位（即ち発光素子 E_L のアノード電位）は上昇しており、例えば5Vのレベルにある。非発光期間になるとドライブトランジスタ T_{rd} のゲートには基準電位0Vが書き込まれる。このようにして、ドライブトランジスタ T_{rd} の V_{gs} は $0V - 5V = -5V$ となって逆バイアス（マイナスバイアス）になる

。

【0043】

〔発光素子の電流劣化現象〕

図7は、発光素子の電流劣化現象を示す模式図である。(A)は発光素子に加わる電圧 V_{oled} と発光素子を流れる電流 I_{oled} の関係を示すグラフである。実線(1)は初期特性を示し、点線(2)は経時変化後の特性を表している。一般的に発光素子は電流を流すことで発光させている。グラフから明らかなように発光素子は経時劣化する傾向があり、時間経過と共に輝度は低下する。即ち同じ電圧 V_{oled} を印加しても電流 I_{oled} が時間の経過と共に低下していくため、輝度もその分低下する。

【0044】

10

(B)は、このような発光素子を駆動するための画素回路を示す等価回路図である。この等価回路図はサンプリングトランジスタ T_{r1} 、ドライブトランジスタ T_{rd} 、画素容量 C_s 及び発光素子 E_L に加え、ドライブトランジスタ T_{rd} のゲート／ドレイン間寄生容量 C_p 、発光素子 E_L の等価容量 C_{oled} 、発光素子 E_L のカソード電位 V_{cath} などを書き込んである。

【0045】

(C)は、発光素子の発光動作を示すタイミングチャートである。図3に示したタイミング T_5 乃至 T_7 付近におけるドライブトランジスタのゲート電位及びソース電位の変動を詳細に表してある。図示するように信号電位 V_{sig} 書き込み後の発光動作において、画素容量 C_s と寄生容量 C_p からなるブートストラップ動作が起きる。これにより発光直前の V_{gs} に対して、発光時の V_{gs} は $C_p / (C_s + C_p) \times \Delta V_s$ だけ減少してしまう。なお ΔV_s はドライブトランジスタのソース電位の変化分を表している。発光素子の電流／電圧特性が劣化すると、同一電流を流すために必要な V_{oled} が増加する。その結果発光時の ΔV_s が増加してしまい、ブートストラップ動作による V_{gs} の減少量が多くなってしまう。これにより発光輝度が経時的に低下する。これが自発光画素の電流劣化の原因である。

20

【0046】

発光時のソース電位 V_s の電圧変化 ΔV_s は(C)に示すように、 $\Delta V_s = V_{cath} - V_{ref} - \Delta V + V_{oled} + V_{th}$ となる。ここで ΔV は前述したように移動度補正電圧である。ここで $V_{cath} - V_{ref} - \Delta V$ は常に一定値であるが、 V_{oled} は前述のように通電発光動作により増加してしまう。これが電流劣化の原因となっていた。本発明では非発光期間における V_{th} 特性のデプレッション方向シフト動作により、 V_{th} が減少する。このデプレッションシフトにより発光素子の電流／電圧特性劣化起因の ΔV_s の増加を抑制することができる。結果的に V_{th} デプレッションシフトにより電流劣化を抑制することが可能である。

30

【0047】

図8は、図1に示した表示装置に含まれる水平セレクタ(信号ドライバ)3の構成例を示す模式的な回路図である。この信号ドライバ3は複数のデータ線 $Data_1$, $Data_2$, $Data_3 \dots$ を備えており、線順次で1ライン分のデータを一齐に列状の信号線 SL に供給している。図示の例は、1本のデータ線 $Data$ に3本の信号線 SL が選択スイッチ SEL_1 , SEL_2 , SEL_3 を介して接続しており、1本のデータ線 $Data$ に供給された信号電位を時分割で3本の信号線 SL に供給する構成となっている。

40

【0048】

列状の信号線 SL と交差するように制御線 GOS と電位線 VOS が行状(ライン状)に配されている。電位線 VOS と各信号線 SL はスイッチ SW で接続されている。このスイッチ SW は制御線 GOS に印加される制御信号によってオンオフ制御される。各信号線 SL に接続している複数の画素は容量 C と抵抗 R で模式的に表されている。

【0049】

図9は、図8に示した信号ドライバ(水平セレクタ)3の動作説明に供するタイミングチャートである。3個1組の選択スイッチ SEL_1 , SEL_2 , SEL_3 に印加される制

50

御信号を同じ参照符号SEL1, SEL2, SEL3で表してある。同様に制御線GOF Sに印加される制御信号を同じ参照符号GOF Sで表してある。また電位線V O F Sの電位はV o f sに固定されている。加えて本信号ドライバ3は約240本のデータ線を備えており、各データ線に印加されるデータ(信号電位)をData1~Data240で表してある。さらに、信号ドライバ3の動作には直接関係ないが、ライトスキャナ側の動作を制御するタイミング信号WSEN1及びWSEN2も時間軸を揃えてタイミングチャートに表してある。タイミング信号WSEN1は図5に示した基準電位書込み期間を規定している。タイミング信号WSEN2は同じく図5に示した信号書込み期間を規定している。

【0050】

タイミング信号WSEN1がハイレベルとなって基準電位書込み期間に入る。このとき各データ線Dataに印加される電位は信号電位から基準電位Vrefに切替る。同時に選択信号SEL1, SEL2, SEL3が一斉にハイレベルとなる。選択スイッチSEL1, SEL2, SEL3が同時にオンし、データ線Dataに印加された基準電位Vrefは3本の信号線SLに出力される。よって基準電位書込み期間には、列状の信号線SLに一斉に基準電位Vrefが書き込まれることになる。

【0051】

その後WSEN1がハイレベルからローレベルに切替る直前、制御信号GOF Sがハイレベルとなり、スイッチSWが一斉にオンする。この時点でセクタ1, セクタ2, セクタ3は既にオフしている。電位線V O F Sの第2基準電位V o f sがスイッチSWを介して各信号線SLに書き込まれる。以上により基準電位書込み期間が終了する直前で各信号線SLの電位が第1基準電位Vrefから第2基準電位V o f sに下方切替えされ、前述したVgsの圧縮過程を実現することが出来る。

【0052】

この後各データ線Dataには所定の信号電位が供給される。これに同期して選択信号SEL1, SEL2, SEL3が時分割的にハイレベルとなり、対応する信号電位が対応する信号線SLに書き込まれていく。続いてタイミング信号WSEN2がハイレベルになると、信号電位書込み期間に入り、1ライン分の画素のサンプリングトランジスタが一斉にオンする。これにより各信号線SLに印加されていた信号電位が1ライン分の画素にサンプリングされ、線順次書込動作が行われる。

【0053】

〈第二実施形態〉

図10(A)は、本発明にかかる表示装置の第二実施形態を示す模式的なブロック図である。前述したように、表示装置は基本的に画素アレイ部と周辺の駆動部からなる。本実施形態はカラー表示装置で、画素アレイ部は図示のように、赤色画素(R画素)2、緑色画素(G画素)2及び青色画素(B画素)2を含んでいる。一方周辺の駆動部は、図示するように水平セクタ3とレギュレータ9を含んでいる。水平セクタ3は、基本的に図8に示した構成を有している。ただ図示を容易にするため、スイッチSW、その制御線GOF S及び電位線V O F Sは水平セクタ3の本体から分けて表示している。この電位線V O F Sにレギュレータ9が接続している。

【0054】

かかる構成において、駆動部に含まれる水平セクタ3は、第1基準電位Vrefを所定のレベルに固定する一方、同じく駆動部に含まれるレギュレータ9は画素アレイ部に含まれる画素2の平均輝度に応じて第2基準電位V o f sのレベルを可変調整している。具体的には、レギュレータ9が外部から入力される映像信号を1フィールド分加算して、全画素の平均輝度を算出する。更に求めた平均輝度に応じて第2基準電位V o f sのレベルを調整する。例えば画面の平均輝度が高くなるほど第2基準電位V o f sのレベルを下げて逆バイアス状態を促進する。発光輝度が高いほどドライブトランジスタのエンハンスメントが進む。これを打消すため第2基準電位V o f sのレベルを下げてドライブトランジスタをデプレッション化する。

10

20

30

40

50

【0055】

〈第三実施形態〉

図10(B)は、本発明にかかる表示装置の第三実施形態を示す模式的なブロック図である。本実施形態では、電位線V O F Sを画素の各色R G Bに対応してR V O F S、G V O F S及びB V O F Sの三本に分けている。これに対応してスイッチS W及びその制御線G O F Sも色別に分けている。一方画素アレイ部は、発光素子が赤色に発光するR画素2と、発光素子が緑色に発光するG画素2と、発光素子が青色に発光するB画素2とを含む。駆動部は、電位線R V O F S、G V O F S及びB V O F SとスイッチR S W、G S W及びB S Wを介して各色画素に対応して異なるレベルの第2基準電位V o f sを信号線S Lに出力する。

10

【0056】

カラー表示装置の場合、各画素は赤色発光素子、緑色発光素子、青色発光素子のいずれかを含む。電流劣化の度合いは赤色発光素子と緑色発光素子と青色発光素子で違いがある。好ましくは赤色画素と緑色画素と青色画素とで別々に逆バイアス状態の設定を調整することが望ましい。本発明により、発光素子を画素に用いた表示装置において、非発光期間でドライブトランジスタに逆バイアスを印加してV t h特性をデプレッション側にシフトさせている。これにより発光動作による発光素子の電流／電圧特性起因の電流劣化を緩和することができる。

【0057】

〈第四実施形態〉

〔表示装置の全体構成〕

図11は本発明に係る表示装置の第四実施形態のパネル構成を示すブロック図である。理解を容易にするため、図1に示した第一実施形態のパネルブロック図と同様の表記を採用している。本表示装置は基本的に画素アレイ部（画面部）1とこれを駆動する駆動部とで構成されている。画素アレイ部1は行状の第1走査線W Sと、同じく行状の第2走査線D Sと、列状の信号線S Lと、各第1走査線W Sと各信号線S Lとが交差する部分に配された行列状の画素2とを備えている。これに対し駆動部は、ライトスキャナ4、ドライブスキャナ5及び水平セクタ3を含んでいる。ライトスキャナ4は各第1走査線W Sに制御信号を出力して画素2を行単位で線順次走査する。ドライブスキャナ5も各第2走査線D Sにそれぞれ制御信号を出力して画素2を行単位で線順次走査する。但しライトスキャナ4とドライブスキャナ5は制御信号を出力するタイミングが異なっている。このドライブスキャナ5は第一実施形態で使われた電源スキャナ6に代えて駆動部に配されている。電源スキャナを廃したことで給電線も画素アレイ部1から除かれている。その代わり、図示しないが画素アレイ部1には一定の電源電位V d dを供給する電源ラインが配されている。一方水平セクタ（信号ドライバ）3は、スキャナ4、5側の線順次走査に合わせて、列状の信号線S Lに映像信号の信号電位と基準電位とを供給する。

20

30

【0058】

〔画素回路の構成〕

図12は図11に示した第四実施形態の表示パネルに含まる画素回路の構成を示している。第一実施形態の画素回路が2個のトランジスタで構成されているのに対し、本実施形態の画素は3個のトランジスタで構成されている。図示するように本画素2は、基本的に発光素子E Lと、サンプリングトランジスタT r 1と、ドライブトランジスタT r dと、スイッチングトランジスタT r 3と、画素容量C sとを含む。サンプリングトランジスタT r 1は、その制御端（ゲート）が走査線W Sに接続し、一対の電流端（ソース及びドレイン）の一方が信号線S Lに接続し、他方がドライブトランジスタT r dの制御端（ゲートG）に接続している。ドライブトランジスタT r dは、一対の電流端（ソース及びドレイン）の一方（ドレイン）が電源ラインV d dに接続し、他方（ソースS）が発光素子E Lのアノードに接続している。発光素子E Lのカソードは所定のカソード電位V c a t hに接続している。スイッチングトランジスタT r 3は、その制御端（ゲート）が走査線D Sに接続し、一対の電流端（ソース及びドレイン）の一方が固定電位V s sに接続し、他

40

50

方がドライブトランジスタ T_{rd} のソース S に接続している。画素容量 C_s は、その一端がドライブトランジスタ T_{rd} の制御端（ゲート G ）に接続し、その他端がドライブトランジスタ T_{rd} の他方の電流端（ソース S ）に接続している。このドライブトランジスタ T_{rd} の他方の電流端は、発光素子 E_L 及び画素容量 C_s に対する出力電流端となっている。なお本画素回路 2 は、画素容量 C_s を補助する目的で、補助容量 C_{sub} がドライブトランジスタ T_{rd} のソース S と電源 V_{dd} との間に接続されている。

【0059】

かかる構成において、駆動部側のライトスキャナ 4 は第 1 走査線 W_S にサンプリングトランジスタ T_{r1} を開閉制御するための制御信号を供給する。ドライブスキャナ 5 は第 2 走査線 D_S にスイッチングトランジスタ T_{r3} を開閉制御するための制御信号を出力する。水平セクタ 3 は信号線 S_L に信号電位 V_{sig} と基準電位 V_{ref} との間に切替る映像信号（入力信号）を供給する。この様に走査線 W_S 、 D_S 及び信号線 S_L の電位が線順次走査に合わせて変動するが、電源ラインは V_{dd} に固定されている。またカソード電位 V_{cath} 及び固定電位 V_{ss} も一定である。

【0060】

この第四実施形態においても、ドライブトランジスタは発光期間で順バイアス状態になる。更に信号書き込み動作の後ブートストラップでドライブトランジスタのソース電位及びゲート電位が上昇する。従って本実施形態でも、非発光期間に走査線 W_S 及び信号線 S_L を介して画素のドライブトランジスタを順バイアス状態から逆バイアス状態に切り換えることが望ましい。これによりドライブトランジスタの閾電圧のエンハンスメント方向シフトを抑制できる。

【0061】

〈第五実施形態〉

〔全体構成〕

図 13 は、本発明に係る表示装置の第五実施形態の表示パネルを示すブロック図である。本表示装置は基本的に画素アレイ部 1 とスキャナ部と信号部とで構成されている。スキャナ部と信号部とで駆動部を構成する。画素アレイ部 1 は、行状に配された第 1 走査線 W_S 、第 2 走査線 D_S 、第 3 走査線 A_Z1 及び第 4 走査線 A_Z2 と、列状に配された信号線 S_L と、これらの走査線 W_S 、 D_S 、 A_Z1 、 A_Z2 及び信号線 S_L に接続した行列状の画素回路 2 と、各画素回路 2 の動作に必要な第 1 電位 V_{ss1} 、第 2 電位 V_{ss2} 及び第 3 電位 V_{dd} を供給する複数の電源線とからなる。信号部は水平セクタ 3 からなり、信号線 S_L に映像信号を供給する。スキャナ部は、ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 71 及び第二補正用スキャナ 72 からなり、それぞれ第 1 走査線 W_S 、第 2 走査線 D_S 、第 3 走査線 A_Z1 及び第 4 走査線 A_Z2 に制御信号を供給して順次行毎に画素回路 2 を走査する。

【0062】

〔画素回路の構成〕

図 14 は、図 13 に示した表示装置に組み込まれる画素の構成を示す回路図である。本実施形態の画素は 5 個のトランジスタで構成されている点に特徴がある。図示する様に画素回路 2 は、サンプリングトランジスタ T_{r1} と、ドライブトランジスタ T_{rd} と、第 1 スwitchングトランジスタ T_{r2} と、第 2 スwitchングトランジスタ T_{r3} と、第 3 スwitchングトランジスタ T_{r4} と、画素容量 C_s と、発光素子 E_L とを含む。サンプリングトランジスタ T_{r1} は、所定のサンプリング期間に走査線 W_S から供給される制御信号に応じ導通して信号線 S_L から供給された映像信号の信号電位を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号の信号電位に応じてドライブトランジスタ T_{rd} のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E_L に供給する。発光素子 E_L は、所定の発光期間中ドライブトランジスタ T_{rd} から供給される出力電流 I_{ds} により映像信号の信号電位に応じた輝度で発光する。

【0063】

第1スイッチングトランジスタ T_{r2} は、サンプリング期間（映像信号書込期間）に先立ち走査線 $AZ1$ から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} の制御端であるゲート G を第1電位 V_{ss1} に設定する。第2スイッチングトランジスタ T_{r3} は、サンプリング期間に先立ち走査線 $AZ2$ から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} の一方の電流端であるソース S を第2電位 V_{ss2} に設定する。第3スイッチングトランジスタ T_{r4} は、サンプリング期間に先立ち走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} の他方の電流端であるドレインを第3電位 V_{dd} に接続し、以ってドライブトランジスタ T_{rd} の閾電圧 V_{th} に相当する電圧を画素容量 C_s に保持させて閾電圧 V_{th} の影響を補正する。さらにこの第3スイッチングトランジスタ T_{r4} は、発光期間に再び走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} を第3電位 V_{dd} に接続して出力電流 I_{ds} を発光素子 EL に流す。

10

【0064】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタ T_{r1} ないし T_{r4} 及び T_{rd} と1個の画素容量 C_s と1個の発光素子 EL とで構成されている。トランジスタ $T_{r1} \sim T_{r3}$ と T_{rd} はNチャネル型のポリシリコンTFTである。トランジスタ T_{r4} のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることができる。発光素子 EL は例えばアノード及びカソードを備えたダイオード型の有機 EL デバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

20

【0065】

上述の第五実施形態でもドライブトランジスタは発光期間で順バイアス状態となる。また信号書き込み動作の後ドライブトランジスタのゲート電位及びソース電位はブートストラップにより上昇する。従って本実施形態においても非発光期間で走査線及び信号線を介して各画素のドライブトランジスタを順バイアス状態から逆バイアス状態に切り換えることが望ましい。

【0066】

〈応用形態〉

本発明にかかる表示装置は、図15に示すような薄膜デバイス構成を有する。図15はTFT部分がBottomゲート構造（ゲート電極がチャンネルPS層に対して下にある）である。この他にTFT部分に関してはSandwichゲート構造（チャンネルPS層を上下のゲート電極ではさむ）、Topゲート構造（ゲート電極がチャンネルPS層に対して上にある）のようなバリエーションがある。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部（図では1個のTFTを例示）、画素容量などの容量部及び有機 EL 素子などの発光部とを含む。基板の上にTFTプロセスでトランジスタ部や容量部が形成され、その上に有機 EL 素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

30

【0067】

本発明にかかる表示装置は、図16に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機 EL 素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC（フレキシブルプリントサーキット）を設けてもよい。

40

【0068】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメ

50

ラなどに適用可能である。電子機器に入力された、若しくは、電子機器内で生成した駆動信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。電子機器は基本的に情報を処理する本体と、本体に入力する情報若しくは本体から出力された情報を表示する表示器とを含む。

【0069】

図17は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

【0070】

図18は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

【0071】

図19は本発明が適用されたノート型パーソナルコンピュータであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

【0072】

図20は本発明が適用された携帯端末装置である。左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部（ここではヒンジ部）25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含む。本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0073】

図21は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート／ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

【図面の簡単な説明】

【0074】

【図1】本発明に係る表示装置の第一実施形態の全体構成を示すブロック図である。

【図2】第一実施形態の画素の構成を示す回路図である。

【図3】タイミングチャートの参考例である。

【図4】タイミングチャートの参考例である。

【図5】本発明に係る表示装置の第一実施形態の動作説明に供するタイミングチャートである。

【図6】同じく第一実施形態の動作説明に供する模式図である。

【図7】同じく第一実施形態の動作説明に供する模式図である。

【図8】表示装置に含まれる水平セクタの構成を示す回路図である。

【図9】同じく水平セクタの動作説明に供するタイミングチャートである。

【図10】（A）は本発明に係る表示装置の第二実施形態を示すブロック図、（B）は本発明に係る表示装置の第三実施形態を示すブロック図である。

【図11】本発明に係る表示装置の第四実施形態のパネル構成を示すブロック図である。

【図12】第四実施形態の画素回路の構成を示す回路図である。

【図13】本発明に係る表示装置の第五実施形態の表示パネルを示すブロック図である。

【図14】第五実施形態の画素回路図である。

【図15】本発明の応用形態にかかる表示装置のデバイス構成を示す断面図である。

【図16】本発明の応用形態にかかる表示装置のモジュール構成を示す平面図である。

【図17】本発明の応用形態にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

10

20

30

40

50

【図 18】本発明の応用形態にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図 19】本発明の応用形態にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【図 20】本発明の応用形態にかかる表示装置を備えた携帯端末装置を示す模式図である。

【図 21】本発明の応用形態にかかる表示装置を備えたビデオカメラを示す斜視図である。

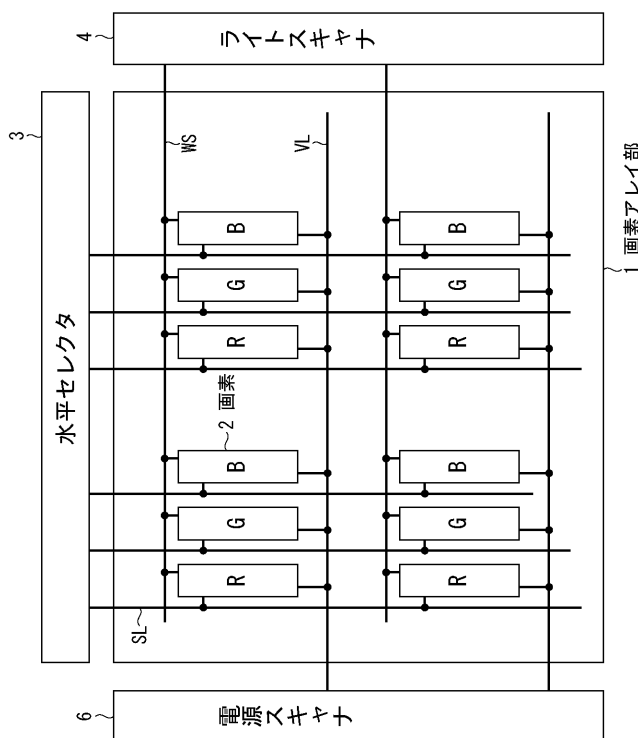
【符号の説明】

【0075】

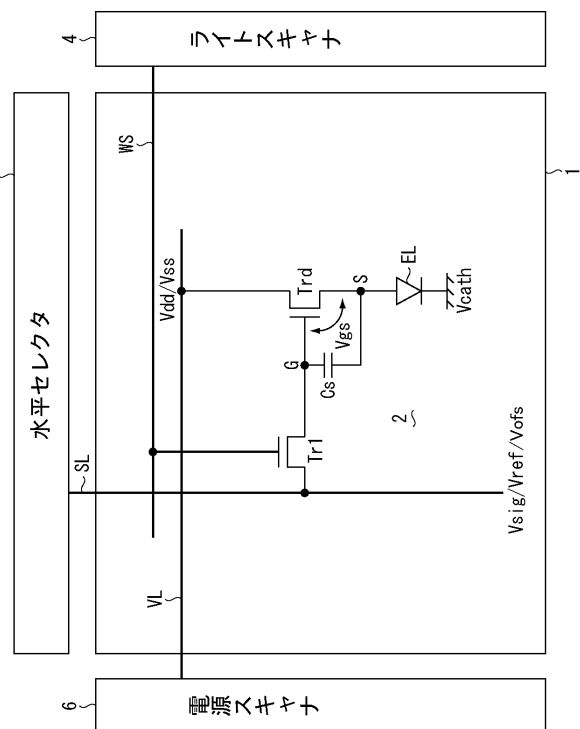
1：画素アレイ部 2：画素 3：水平セレクト 4：ライトスキャナ 6：電源スキャナ 9：レギュレータ Tr1：サンプリングトランジスタ Trd：ドライブトランジスタ Cs：画素容量 EL：発光素子

10

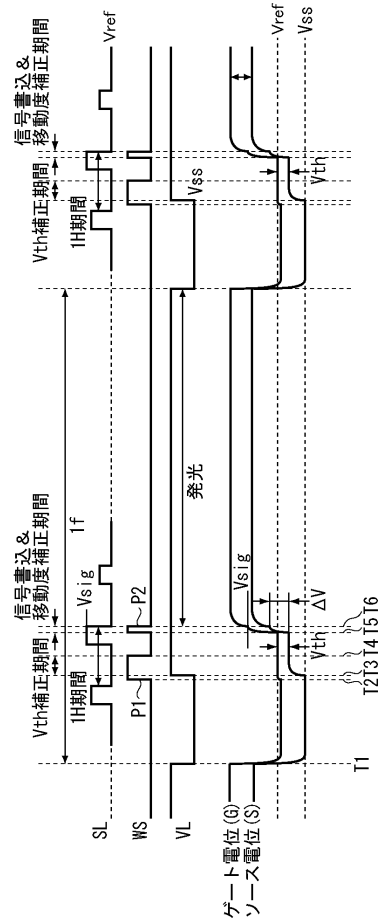
【図 1】



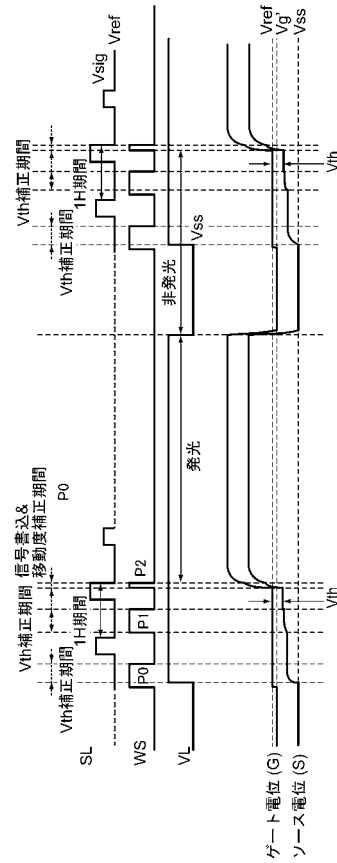
【図 2】



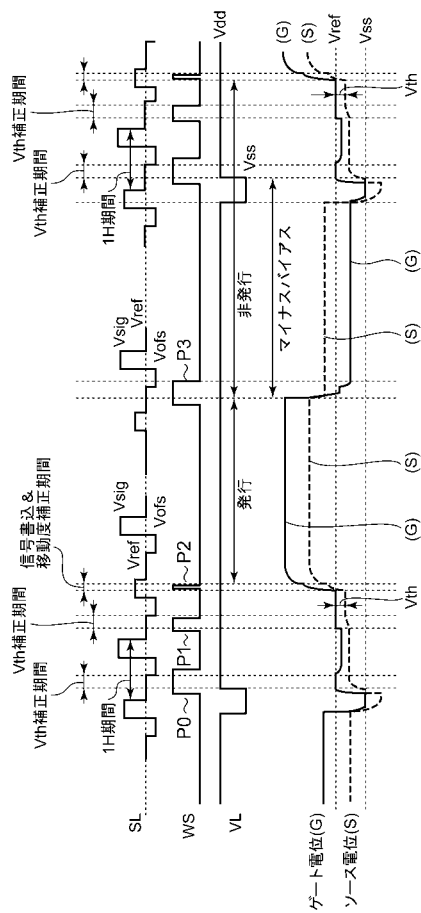
【 図 3 】



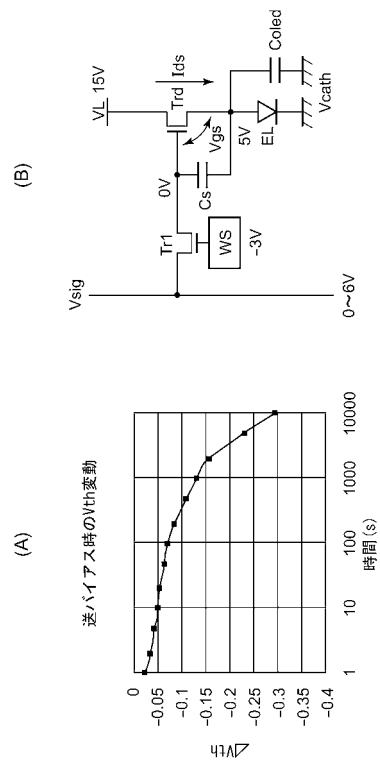
【図 4】



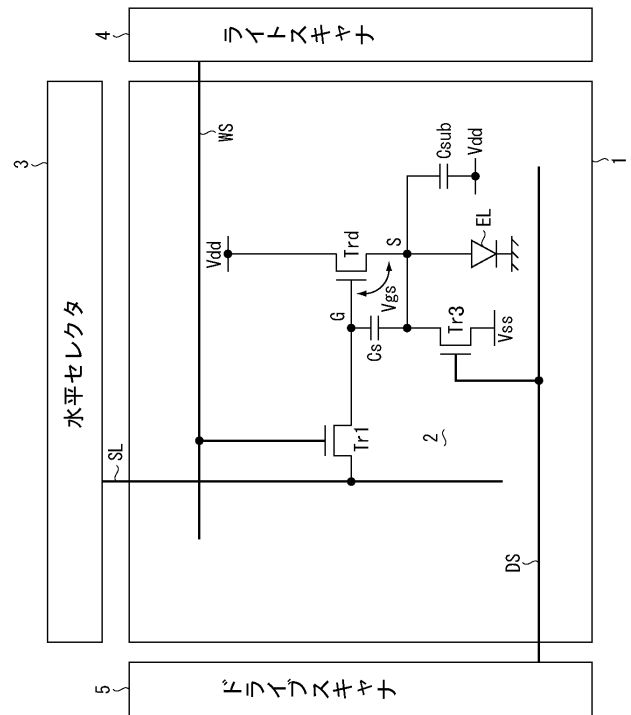
【図 5】



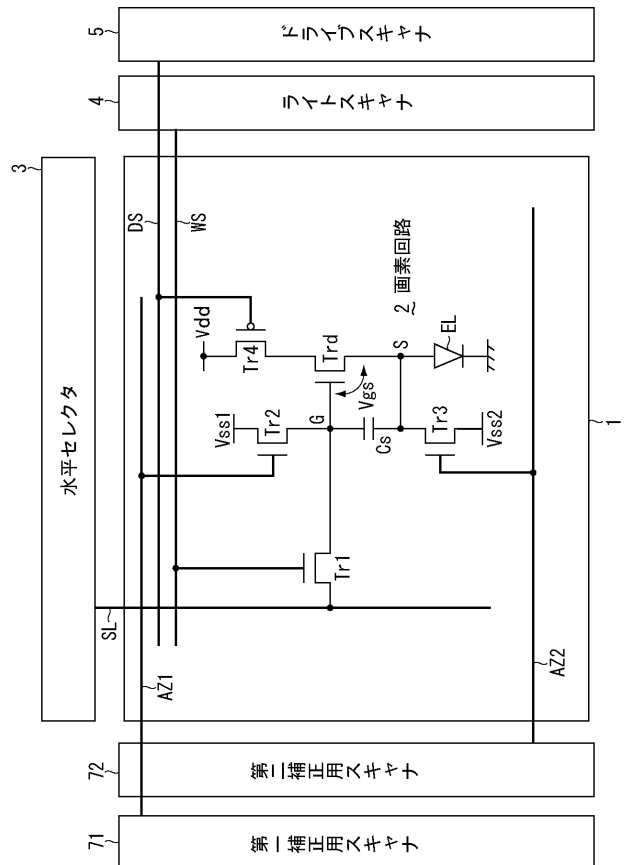
【図 6】



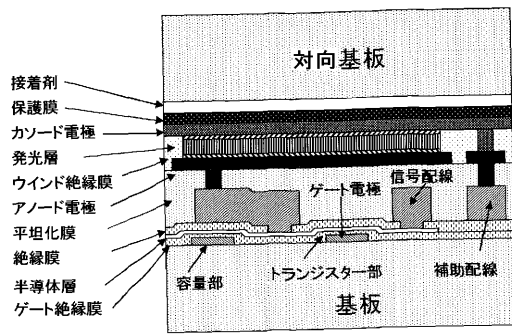
【図 1 2】



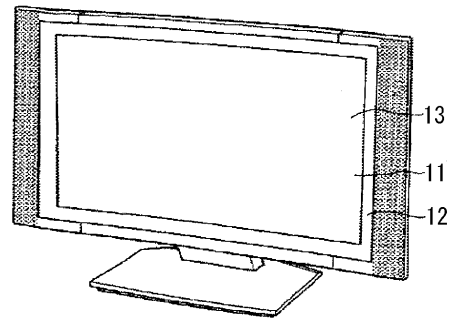
【 図 1 4 】



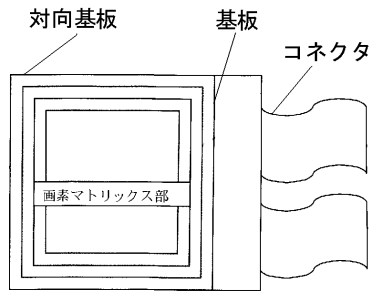
【図 15】



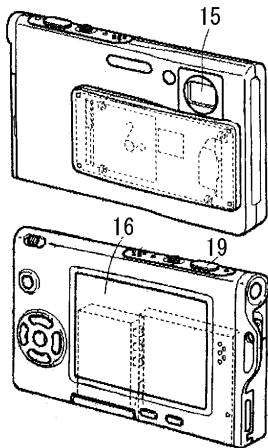
【図 17】



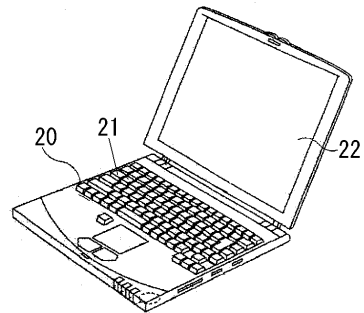
【図 16】



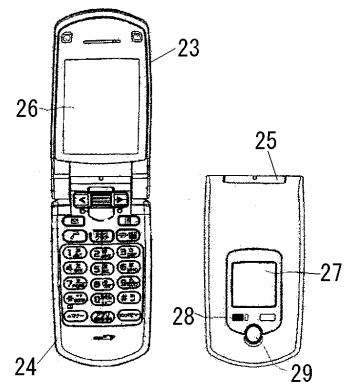
【図 18】



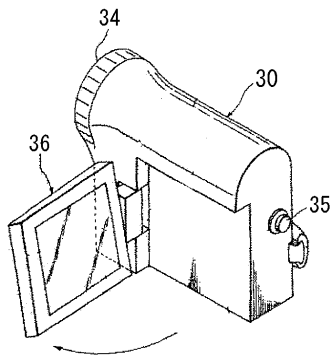
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/30	J
G 0 9 G	3/20	6 4 2 L
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 C
G 0 9 F	9/30	3 6 5 Z
G 0 9 F	9/30	3 3 8
H 0 5 B	33/14	A

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 HH04

5C080 AA06 BB05 CC03 DD03 DD05 DD29 EE29 EE30 FF11 FF12

JJ02 JJ03 JJ04 JJ05 JJ06 KK02 KK43 KK47

5C094 AA02 AA21 AA37 AA53 AA54 BA03 BA27 CA19 DB04 EA10

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP2010139896A	公开(公告)日	2010-06-24
申请号	JP2008317773	申请日	2008-12-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下 淳一 内野 勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.622.D G09G3/20.623.D G09G3/20.622.C G09G3/20.623.C G09G3/20.624.B G09G3/30.J G09G3/20.642.L G09G3/20.612.U G09G3/20.641.D G09G3/20.641.P G09G3/20.642.A G09G3/20.642.C G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK43 5C080/KK47 5C094/AA02 5C094/AA21 5C094/AA37 5C094/AA53 5C094/AA54 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C094/EA10 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB14 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CD012 5C380/CD015 5C380/CD022 5C380/CE08 5C380/CF51 5C380/CF53 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA47		
代理人(译)	山本隆久 吉井正明 森浩一		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制驱动晶体管的阈值电压的增强偏移的显示装置。采样晶体管Tr1响应于第一控制信号获取信号电位Vsig，使得驱动晶体管Trd在一个场周期的发光时段期间处于正向偏置状态，并且根据信号电位Vsig并且将驱动电流提供给发光元件EL。发光元件EL通过驱动电流发出亮度与信号电位Vsig对应的光。采样晶体管Tr1在一个场周期中的非发光时段期间响应于第二控制信号而导通，以捕获第一参考电位Vref，并且驱动晶体管Trd处于反向偏置状态。此外，在采样晶体管Tr1截止之前，接收从第一参考电位Vref切换的第二参考电位Vofs，从而促进驱动晶体管Trd的反向偏置状态。

