

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-85675

(P2010-85675A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H05B 33/08 (2006.01)	G09G 3/20 642A	
H01L 51/50 (2006.01)	H05B 33/08	
	H05B 33/14 A	

審査請求 未請求 請求項の数 7 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2008-254191 (P2008-254191)	(71) 出願人	000006633
(22) 出願日	平成20年9月30日 (2008. 9. 30)		京セラ株式会社
			京都府京都市伏見区竹田鳥羽殿町6番地
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(72) 発明者	戎野 浩平
			神奈川県大和市下鶴間1623-14 株
			式会社京セラディスプレイ研究所内
		(72) 発明者	高杉 親知
			神奈川県大和市下鶴間1623-14 株
			式会社京セラディスプレイ研究所内
		(72) 発明者	谷 領介
			神奈川県大和市下鶴間1623-14 株
			式会社京セラディスプレイ研究所内
		Fターム(参考)	3K107 AA01 BB01 CC31 CC45 HH00
			最終頁に続く

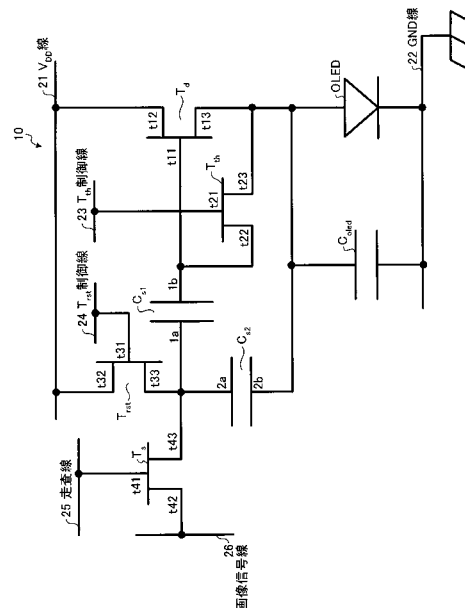
(54) 【発明の名称】 画像表示装置及び画像表示装置の駆動方法

(57) 【要約】

【課題】本発明は、書き込み効率を向上させることが可能な、コモンカソード型であって順次発光型の画像表示装置及び駆動方法を提供することを目的とする。

【解決手段】発光素子OLEDと、第1端子t11と発光素子OLEDのアノードに接続される第3端子t13との電位差に応じて、第2端子t12と第3端子t13との間に流れる電流を制御する駆動トランジスタ T_d と、駆動トランジスタ T_d 閾値電圧を保持する第1容量素子 C_{s1} と、第2端子と接続され且つ複数の画素回路のライン毎に共通に接続される V_{DD} 線と、画像信号電圧を保持する第2容量素子 C_{s2} と、を備え、発光素子OLEDの発光期間中に、第1端子t11と第3端子t13との間の電圧差が、第1容量素子 C_{s1} 及び第2容量素子 C_{s2} が保持する電圧を合わせた大きさととなり、 V_{DD} 線から駆動トランジスタ T_d を介して発光素子OLEDに電流が流れる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の画素回路を有した画像表示装置であって、
前記複数の画素回路のそれぞれは、
アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、

第 1 端子と、第 2 端子と、前記アノード電極と接続される第 3 端子とを有し、前記第 1 端子と前記第 3 端子との電位差に応じて当該第 2 端子と前記第 3 端子との間に流れる電流量を制御するドライバ素子と、

第 1 電極と、前記第 1 端子に接続される第 2 電極とを有し、前記ドライバ素子の閾値電圧に対応する電圧を保持する第 1 容量素子と、

前記第 2 端子と接続され、且つ前記複数の画素回路のライン毎に共通に接続される電源線と、

一端が前記第 1 電極と接続され、他端が前記アノード電極に接続されるとともに、前記発光素子の発光輝度に対応する画像信号電圧を保持する第 2 容量素子と、

を備え、

前記発光素子の発光期間中に、前記第 1 端子と前記第 3 端子との間の電圧差が、前記第 1 容量素子が保持する前記電圧と前記第 2 容量素子が保持する前記画像信号電圧とを合わせた大きさとなり、前記電源線から前記ドライバ素子を介して前記発光素子に電流が流れることを特徴とする画像表示装置。

【請求項 2】

請求項 1 に記載の画像表示装置において、

前記第 2 容量素子は、前記発光素子の発光期間中に前記第 1 容量素子の前記第 1 電極と、前記ドライバ素子の前記第 3 端子との間に接続されることを特徴とする画像表示装置。

【請求項 3】

請求項 1 に記載の画像表示装置において、

前記第 2 容量素子に画像信号電圧を供給する画像信号線をさらに備え、

前記画像信号線は、スイッチング素子を介して電氣的に前記第 1 容量素子の前記第 1 電極及び前記第 2 容量素子の前記一端と接続され、

前記画像信号線が前記第 2 容量素子に画像信号電圧を供給している際に、前記第 1 容量素子が前記ドライバ素子と前記画像信号線との間に接続された状態となることを特徴とする画像表示装置。

【請求項 4】

請求項 1 に記載の画像表示装置において、

前記電源線と前記第 1 容量素子の前記第 1 電極との間に接続される電圧印加素子をさらに備え、

前記電圧印加素子は、前記ドライバ素子の前記閾値電圧を検出している際に、前記第 1 容量素子が前記ドライバ素子と前記電源線との間に接続された状態となることを特徴とする画像表示装置。

【請求項 5】

マトリックス状に配列される複数の画素回路を有し、各画素回路に、

アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、

第 1 端子と、第 2 端子と、前記アノード電極と接続される第 3 端子とを有し、前記第 1 端子と前記第 3 端子との電位差に応じて当該第 2 端子と前記第 3 端子との間に流れる電流量を制御するドライバ素子と、

第 1 電極と、前記第 1 端子に接続される第 2 電極とを有する第 1 容量素子と、

一端が前記第 1 電極と接続され、他端が前記アノード電極と接続される第 2 容量素子と、

を備える画像表示装置の駆動方法であって、

10

20

30

40

50

前記複数の画素回路のライン毎に、

前記ドライバ素子の閾値電圧を検出して前記閾値電圧に対応する電圧を前記第 1 容量素子に保持させる閾値電圧検出工程と、

前記発光素子の発光輝度に対応する画像信号電圧を前記第 2 容量素子に保持させる書き込み工程と、

前記第 1 容量素子と前記第 2 容量素子とを電氣的に直列接続して、前記第 1 容量素子に保持された前記閾値電圧に対応する電圧と前記第 2 容量素子に保持された前記画像信号電圧との電圧を加算し、当該加算電圧を前記ドライバ素子の前記第 1 端子と前記第 3 端子との間に印加することにより、前記発光素子を発光させる発光工程と、を含むことを特徴とする画像表示装置の駆動方法。

10

【請求項 6】

請求項 5 に記載の画像表示装置の駆動方法において、

前記第 2 端子に接続され、且つ前記複数の画素回路のライン毎に共通接続される電源線を更に備え、

前記発光工程では、前記電源線を介して前記複数の画素回路のライン毎に電圧を印加し、該電圧が印加されるライン毎に前記発光素子を発光させることを特徴とする画像表示装置の駆動方法。

【請求項 7】

請求項 5 に記載の画像表示装置の駆動方法において、

前記発光素子は、前記アノード電極側から前記カソード電極側に電流が流れることで発光し、前記カソード電極側から前記アノード電極側には電流が流れず、電荷が蓄積され、

前記閾値電圧検出工程の後で且つ前記書き込み工程の前に、前記発光素子に蓄積された電荷を放電させる発光素子初期化工程をさらに含むことを特徴とする画像表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL ディスプレイ等の画像表示装置及び画像表示装置の駆動方法に関する。

【背景技術】

30

【0002】

発光層に注入された正孔と電子とが再結合することにより発光する有機 EL (Electro Luminescence) 素子を用いた画像表示装置が提案されている。かかる画像表示装置として、例えば、アモルファスシリコンや多結晶シリコン等で形成される薄膜トランジスタ (Thin Film Transistor; 以下「TFT」という) を含む画素回路と、有機発光ダイオード (Organic Light Emitting Diode) 等で形成される有機 EL 素子とで 1 つの画素を構成したものが知られている (例えば、特許文献 1 参照)。なお、この特許文献 1 に記載の画像表示装置は、有機 EL 素子を駆動する駆動トランジスタと、駆動トランジスタの閾値電圧を保持する第 1 容量素子と、画像信号電圧を保持する第 2 容量素子と、を備えている。

40

【0003】

また、特許文献 1 に記載の画像表示装置は、有機 EL 素子のアノード電極と駆動トランジスタのソースとが接続され、有機 EL 素子のカソード電極が複数の画素で共通となるコモンカソード型の構造となっている。また、かかる画像表示装置は、マトリックス状に配列された画素がライン毎に順次発光する順次発光構造となっている。

【0004】

【特許文献 1】特開 2005 - 99715 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

50

ところで、特許文献 1 に記載の画像表示装置では、データ書き込み電圧を第 2 容量素子に蓄積する際に、第 1 容量素子と第 2 容量素子とが電氣的に直列接続されるため、第 1 と第 2 の容量素子に電圧を書き込むための書き込み効率は小さなものとなる。具体的には、第 1 と第 2 の容量素子の容量を夫々 C_{s1} 、 C_{s2} とすると、書き込み効率は $C_{s1} / (C_{s1} + C_{s2})$ となり非効率的である。

【0006】

本発明は、上記に鑑みてなされたものであって、書き込み効率を向上させることが可能な、コモンカソード型であって順次発光型の画像表示装置及び駆動方法を提供することを目的とする。

【課題を解決するための手段】

10

【0007】

本発明の一実施形態に係る画像表示装置は、複数の画素回路を有した画像表示装置であって、前記複数の画素回路のそれぞれは、アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、第 1 端子と、第 2 端子と、前記アノード電極と接続される第 3 端子とを有し、前記第 1 端子と前記第 3 端子との電位差に応じて当該第 2 端子と前記第 3 端子との間に流れる電流量を制御するドライバ素子と、第 1 電極と、前記第 1 端子に接続される第 2 電極とを有し、前記ドライバ素子の閾値電圧に対応する電圧を保持する第 1 容量素子と、前記第 2 端子と接続され、且つ前記複数の画素回路のライン毎に共通に接続される電源線と、一端が前記第 1 電極と接続され、他端が前記アノード電極に接続されるとともに、前記発光素子の発光輝度に対応する画像信号電圧を保持する第 2 容量素子と、を備え、前記発光素子の発光期間中に、前記第 1 端子と前記第 3 端子との間の電圧差が、前記第 1 容量素子が保持する前記電圧と前記第 2 容量素子が保持する前記画像信号電圧とを合わせた大きさとなり、前記電源線から前記ドライバ素子を介して前記発光素子に電流が流れることを特徴とする。

20

また、本発明の一実施形態に係る画像表示装置では、前記第 2 容量素子が、前記発光素子の発光期間中に前記第 1 容量素子の前記第 1 電極と、前記ドライバ素子の前記第 3 端子との間に接続されることを特徴とする。

また、本発明の一実施形態に係る画像表示装置では、前記第 2 容量素子に画像信号電圧を供給する画像信号線をさらに備え、前記画像信号線は、スイッチング素子を介して電氣的に前記第 1 容量素子の前記第 1 電極及び前記第 2 容量素子の前記一端と接続され、前記画像信号線が前記第 2 容量素子に画像信号電圧を供給している際に、前記第 1 容量素子が前記ドライバ素子と前記画像信号線との間に接続された状態となることを特徴とする。

30

また、本発明の一実施形態に係る画像表示装置では、前記電源線と前記第 1 容量素子の前記第 1 電極との間に接続される電圧印加素子をさらに備え、前記電圧印加素子は、前記ドライバ素子の前記閾値電圧を検出している際に、前記第 1 容量素子が前記ドライバ素子と前記電源線との間に接続された状態となることを特徴とする。

【0008】

また、本発明の一実施形態に係る画像表示装置の駆動方法は、マトリックス状に配列される複数の画素回路を有し、各画素回路に、アノード電極と、前記複数の画素回路にて共通に接続されるカソード電極とを有した発光素子と、第 1 端子と、第 2 端子と、前記アノード電極と接続される第 3 端子とを有し、前記第 1 端子と前記第 3 端子との電位差に応じて当該第 2 端子と前記第 3 端子との間に流れる電流量を制御するドライバ素子と、第 1 電極と、前記第 1 端子に接続される第 2 電極とを有する第 1 容量素子と、一端が前記第 1 電極と接続され、他端が前記アノード電極と接続される第 2 容量素子と、を備える画像表示装置の駆動方法であって、前記複数の画素回路のライン毎に、前記ドライバ素子の閾値電圧を検出して前記閾値電圧に対応する電圧を前記第 1 容量素子に保持させる閾値電圧検出工程と、前記発光素子の発光輝度に対応する画像信号電圧を前記第 2 容量素子に保持させる書き込み工程と、前記第 1 容量素子と前記第 2 容量素子とを電氣的に直列接続して、前記第 1 容量素子に保持された前記閾値電圧に対応する電圧と前記第 2 容量素子に保持された前記画像信号電圧との電圧を加算し、当該加算電圧を前記ドライバ素子の前記第 1 端子

40

50

と前記第 3 端子との間に印加することにより、前記発光素子を発光させる発光工程と、を含むことを特徴とする。

また、本発明の一実施形態に係る画像表示装置の駆動方法では、前記第 2 端子に接続され、且つ前記複数の画素回路のライン毎に共通接続される電源線を更に備え、前記発光工程では、前記電源線を介して前記複数の画素回路のライン毎に電圧を印加し、該電圧が印加されるライン毎に前記発光素子を発光させることを特徴とする。

また、本発明の一実施形態に係る画像表示装置の駆動方法では、前記発光素子は、前記アノード電極側から前記カソード電極側に電流が流れることで発光し、前記カソード電極側から前記アノード電極側には電流が流れず、電荷が蓄積され、前記閾値電圧検出工程の後で且つ前記書き込み工程の前に、前記発光素子に蓄積された電荷を放電させる発光素子初期化工程をさらに含むことを特徴とする。

10

【発明の効果】

【0009】

本発明によれば、書き込み効率を向上させることが可能な、コモンカソード型であって順次発光型の画像表示装置及び駆動方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の好適な実施の形態に係る画像表示装置を図面に基づいて詳細に説明する。なお、以下の各実施形態によって本発明が限定されるものではない。

【0011】

20

まず、以下の各実施形態で用いる用語等について説明する。「電氣的に接続される」という文言は、一方の部材と他方の部材とが配線等を介して常に導電可能に接続されている態様、及び一方の部材と他方の部材とが、導電性を有する配線等だけでなく、その他の部材によって間接的に接続されている態様の双方を含む意味で用いる。つまり、「電氣的に接続される」という文言は、他の部材の状態（例えば、トランジスタのソースとドレインとの間で電流が流れ得る導電状態）に応じて、一方の部材と他方の部材とが配線及びその他の部材によって導電可能に接続される態様を含む意味で用いる。

【0012】

また、「ゲート・ソース間電圧」とは、トランジスタのソースに対してゲートに印加される電圧のことを言い、適宜「 V_{gs} 」と表記する。

30

【0013】

また、「閾値電圧」とは、トランジスタがオフ状態（所謂ドレイン電流が流れない状態）からオン状態（ドレイン電流が流れる状態）に移り変わるときの、境界となるゲート・ソース間電圧のことを意味する。

【0014】

〔第 1 の実施形態〕

図 1 は、第 1 の実施形態に係る画像表示装置 100 の構成を模式的に示した図である。同図に示したように、画像表示装置 100 は、後述する画素回路 10 がマトリクス状（二次元平面的）に配列された表示パネル 20 と、制御回路 31 と、電源制御回路 32 と、制御線駆動回路 33 と、画像信号線駆動回路 34 とを備えている。なお、図 2 では、 m 列 n 行分の画素回路 10 がマトリクス状に配列された例を示している。

40

【0015】

表示パネル 20 には、画面水平方向（図中行方向）に V_{DD} 線 21、 T_{th} 制御線 23、 T_{rst} 制御線 24、走査線 25 が配設されている。また、画面垂直方向（図中列方向）には、画像信号線 26 が配設されている。ここで、 V_{DD} 線 21 は、電源制御回路 32 と電氣的に接続されており、 T_{th} 制御線 23、 T_{rst} 制御線 24 及び走査線 25 は、制御線駆動回路 33 と電氣的に接続されている。また、画像信号線 26 は、画像信号線駆動回路 34 と電氣的に接続されている。なお、図示していないが表示パネル 20 のグランドとなる GND 線 22 が、画素回路 10 の夫々に接続されているものとする。

【0016】

50

制御回路 3 1 は、例えば演算回路、論理回路などを内部に含む駆動用 IC やカウンタなどの制御機器を用いて構成することができ、入力された画像データや、当該画像データを表示パネル 2 0 に表示させるための電源 (V_{GL} 、 V_{GH} 、 V_{DD} 、 $-V_p$ 、 V_{data} 等) を、電源制御回路 3 2、制御線駆動回路 3 3 及び画像信号線駆動回路 3 4 から供給するタイミングを制御する。

【0017】

電源制御回路 3 2 は、例えばスイッチング素子などを内部に含む駆動用 IC などを用いて構成することができる。電源制御回路 3 2 は、制御回路 3 1 から入力されるクロック信号に基づき、自己の内部で生成した電力 (電位) を V_{DD} 線 2 1 に印加するタイミングを制御する。

10

【0018】

制御線駆動回路 3 3 は、例えばスイッチング素子などを内部に含む駆動用 IC などを用いて構成することができる。制御線駆動回路 3 3 は、制御回路 3 1 から入力されるクロック信号に基づき、自己の内部で生成した各種制御信号を T_{th} 制御線 2 3、 T_{rst} 制御線 2 4、走査線 2 5 に印加するタイミングを制御する。

【0019】

画像信号線駆動回路 3 4 は、例えば演算回路などを内部に含む駆動用 IC などを用いて構成することができる。画像信号線駆動回路 3 4 は、制御回路 3 1 から入力される画像信号に基づき、当該画像信号に対応する電圧 (以下、画像信号電圧と言う) を生成するとともに、制御回路 3 1 から入力されるクロック信号に基づき、生成した画像信号電圧を画像信号線 2 6 に供給するタイミングを制御する。

20

【0020】

なお、図 1 の構成において、 V_{DD} 線 2 1、 T_{th} 制御線 2 3、 T_{rst} 制御線 2 4、走査線 2 5 及び画像信号線 2 6、ならびに制御回路 3 1、電源制御回路 3 2、制御線駆動回路 3 3 及び画像信号線駆動回路 3 4 に関するレイアウトは、その一例を示すものであり、これらのレイアウトに限られるものではない。例えば、図 1 では、制御回路 3 1、電源制御回路 3 2、制御線駆動回路 3 3 及び画像信号線駆動回路 3 4 を表示パネル 2 0 の外部に配置しているが、これらの回路の何れか又は全てを表示パネル 2 0 の内部に配置する形態としてもよい。

【0021】

30

< 画素回路の構成 >

図 2 は、図 1 に示した画素回路 1 0 (1 画素) の構成の一例を示した図である。同図に示したように、画素回路 1 0 は、発光素子である有機 EL 素子 OLED と、有機 EL 素子 OLED を駆動するためのドライバ素子である駆動トランジスタ T_d と、駆動トランジスタ T_d の閾値電圧を検出する際に用いられる閾値電圧検出素子である閾値電圧検出用トランジスタ T_{th} と、第 1 容量素子 C_{s1} への電圧印加を制御する電圧印加素子としてのリセット用トランジスタ T_{rst} と、スイッチング素子としてのスイッチングトランジスタ T_s と、第 1 容量素子として閾値電圧を保持する第 1 容量素子 C_{s1} と、第 2 容量素子として画像信号電圧を保持する第 2 容量素子 C_{s2} とを備える。なお、有機 EL 素子 OLED は、逆電圧印加時にコンデンサとして機能するため、図 2 ではこれを有機 EL 素子容量 C_{oled} として等価的に表している。

40

【0022】

駆動トランジスタ T_d は、第 1 端子 t_{11} 、第 2 端子 t_{12} 及び第 3 端子 t_{13} を有している。第 1 端子 t_{11} は、第 1 容量素子 C_{s1} の電極 1 b と電氣的に接続されている。また、第 2 端子 t_{12} は、 V_{DD} 線 2 1 と電氣的に接続されており第 3 端子 t_{13} は、有機 EL 素子 OLED のアノード電極と電氣的に接続されている。ここで、第 1 端子 t_{11} はゲート電極 (ゲート) に対応し、第 2 端子 t_{12} 及び第 3 端子 t_{13} のうち何れか一方がドレイン電極 (ドレイン) に、他方がソース電極 (ソース) に対応する。なお、第 2 端子 t_{12} と第 3 端子 t_{13} との相対的な電位関係は、後述する各制御期間に応じて変動する。また、「ドレイン」及び「ソース」は、トランジスタの導電型及び相対的な電位関係によ

50

って定義される。

【0023】

本実施形態で使用する n 型のトランジスタにおいては、チャネル領域を挟んで配置された 2 つの端子（すわなち、第 2 端子 t_{12} と第 3 端子 t_{13} ）のうち、高電位側の端子が「ドレイン」となり、低電位側の端子が「ソース」となる。また、 p 型のトランジスタにおいては、チャネル領域を挟んで配置された 2 つの端子のうち、低電位側の端子が「ドレイン」となり、高電位側の端子が「ソース」となる。

【0024】

駆動トランジスタ T_d では、第 1 端子 t_{11} に印加される電位、より詳細にはソースに対してゲートに印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第 1 端子 t_{11} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

【0025】

有機 EL 素子 OLED は、アノード電極とカソード電極との間に有機 EL 素子 OLED の導通電圧以上の電位差が生じることにより、アノード電極とカソード電極との間の発光体層に電流が流れ、該発光体層が発光する。具体的に、アノード電極としては、アルミニウム、銀、銅又は金等の金属或いはこれらの合金等を用いることができる。また、カソード電極としては、インジウム錫酸化膜（ITO）等の光透過性を有する導電材料、マグネシウム、銀、アルミニウム、カルシウム等の材料等を用いることができる。なお、発光体層は、該発光体層に注入された正孔と電子とが再結合することによって光を生じる。

【0026】

また、本実施形態においては、コモンカソード型の画像表示装置である。つまり、画素回路上に、アノード電極、発光体層さらにカソード電極を順に形成した構造であって、且つカソード電極は全ての画素にて共通の電極である。カソード電極が共通電極であるコモンカソード型の画像表示装置であっては、コモンアノード型の画像表示装置に比べて、上部電極であるカソード電極を画素ごとに分断するための分断技術を使用せずに済むために、製造工程を単純化することができる。

【0027】

発光体層としては、例えば、（ポリ）フルオレン誘導体（PF）、（ポリ）パラフェニレンビニレン誘導体（PPV）、ポリフェニレン誘導体（PP）、ポリパラフィニレン誘導体（PPP）、ポリビニルカルバゾール（PVK）、ポリチオフェン誘導体、ポリメチルフェニルシラン（PMPS）等のポリシラン系等を用いることができる。また、発光体層としては、これらの材料に、ペリレン系色素、クマリン系色素又はローダミン系色素等の高分子材料、ルブレン、ペリレン、テトラフェニルブタジエン、キナクリドン又はナイルレッド等の低分子材料が添加されたものを用いることができる。

【0028】

有機 EL 素子 OLED のアノード電極は、駆動トランジスタ T_d の第 3 端子 t_{13} と電氣的に接続され、カソード電極は GND 線 22 と電氣的に接続されている。なお、本実施形態で用いる画素回路 10 では、有機 EL 素子 OLED のカソード電極が、画像表示装置を構成する全ての画素で共通となるコモンカソード型となっている。

【0029】

閾値電圧検出用トランジスタ T_{th} は、第 1 端子 t_{21} 、第 2 端子 t_{22} 及び第 3 端子 t_{23} を有している。第 1 端子 t_{21} は、 T_{th} 制御線 23 と電氣的に接続されている。第 2 端子 t_{22} は、駆動トランジスタ T_d の第 1 端子 t_{11} と第 1 容量素子 C_{s1} の電極 1b とを電氣的に接続する配線に対して導電可能に接続されている。また、第 3 端子 t_{23} は、駆動トランジスタ T_d の第 3 端子 t_{13} と有機 EL 素子 OLED のアノード電極とを電氣的に接続する配線に対して導電可能に接続されている。ここで、第 1 端子 t_{21} がゲート電極に対応し、第 2 端子 t_{22} 及び第 3 端子 t_{23} の何れか一方がソース電極に、他方がドレイン電極に夫々対応する。なお、第 2 端子 t_{22} と第 3 端子 t_{23} との相対的な電位

10

20

30

40

50

関係は、駆動トランジスタ T_d と同様、後述する各制御期間に応じて変動する。

【0030】

閾値電圧検出用トランジスタ T_{th} では、第1端子 t_{21} に印加される電位、より詳細にはソースに対してゲートに印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子 t_{21} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

【0031】

また、閾値電圧検出用トランジスタ T_{th} は、自身がオン状態となったときに、駆動トランジスタ T_d のゲートとドレインとを電氣的に接続することができる。そして、駆動トランジスタ T_d のゲート・ソース間電圧が駆動トランジスタ T_d の閾値電圧 V_{th} となるまで、駆動トランジスタ T_d のゲートからドレインに向かって電流が流れる。その結果、駆動トランジスタ T_d の閾値電圧 V_{th} が検出される。

10

【0032】

つまり、閾値電圧検出用トランジスタ T_{th} は、有機EL素子OLEDの発光前において画素毎に駆動トランジスタ T_d のゲート・ソース間電圧を閾値電圧 V_{th} に基づいて設定することで、駆動トランジスタ T_d における閾値電圧 V_{th} のばらつきを補償する V_{th} 補償機能を実現するために設けられている。なお、駆動トランジスタ T_d のゲート・ソース間電圧が閾値電圧 V_{th} となったとき、駆動トランジスタ T_d には電流が流れなくなるので、このときのゲート・ソース間電圧、即ち V_{th} が第1容量素子 C_{s1} に印加される。

20

【0033】

リセット用トランジスタ T_{rst} は、第1端子 t_{31} 、第2端子 t_{32} 及び第3端子 t_{33} を有している。第1端子 t_{31} は、 T_{rst} 制御線24と電氣的に接続されており、第2端子 t_{32} は、 V_{DD} 線21と電氣的に接続されている。また、第3端子 t_{33} は、スイッチングトランジスタ T_s の第3端子 t_{43} と、第1容量素子 C_{s1} の電極1aとを電氣的に接続する配線に対して導電可能に接続されている。なお、第1端子 t_{31} はゲート電極に対応し、第2端子 t_{32} はドレイン電極に対応し、第3端子 t_{33} はソース電極に対応する。

【0034】

リセット用トランジスタ T_{rst} では、第1端子 t_{31} に印加される電位、より詳細には第1端子 t_{31} と第3端子 t_{33} との間に印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この第1端子 t_{31} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

30

【0035】

また、リセット用トランジスタ T_{rst} は、自身がオン状態のときに、第1容量素子 C_{s1} の電極1aに所定の電位を印加することで、ひいては第1容量素子 C_{s1} に閾値電圧が印加される。

【0036】

スイッチングトランジスタ T_s は、第1端子 t_{41} 、第2端子 t_{42} 及び第3端子 t_{43} を有している。第1端子 t_{41} は、走査線25と電氣的に接続されており、第2端子 t_{42} は、画像信号線26と電氣的に接続されている。また、第3端子 t_{43} は、リセット用トランジスタ T_{rst} の第3端子 t_{33} と、第1容量素子 C_{s1} の電極1aとを電氣的に接続する配線に対して導電可能に接続されている。なお、第1端子 t_{41} はゲート電極に対応し、第2端子 t_{42} はドレイン電極に対応し、第3端子 t_{43} はソース電極に対応する。

40

【0037】

スイッチングトランジスタ T_s では、第1端子 t_{41} に印加される電位、より詳細には第1端子 t_{41} と第3端子 t_{43} との間に印加される電圧値（ゲート・ソース間電圧）が調整されることで、ドレインとソースとの間に流れる電流量が調整される。そして、この

50

第 1 端子 t_{41} に印加される電位により、ドレインとソースとの間において電流が流れ得る状態（オン状態）と、電流が流れ得ない状態（オフ状態）とが選択的に設定される。

【0038】

また、スイッチングトランジスタ T_s は、自身がオン状態となるとともに画像信号線 26 に画像信号電圧が供給されたときに、第 2 容量素子 C_{s2} に画像信号電圧が印加される。

【0039】

第 1 容量素子 C_{s1} は、後述する V_{th} 検出期間時に駆動トランジスタ T_d の閾値電圧 V_{th} に対応する電荷量を保持する機能を有する。なお、第 1 容量素子 C_{s1} の一方の電極 1a は、スイッチングトランジスタ T_s の第 3 端子 t_{43} と電気的に接続されている。また、他方の電極 1b は、駆動トランジスタ T_d の第 1 端子 t_{11} （ゲート）と電気的に接続されている。

10

【0040】

第 2 容量素子 C_{s2} は、後述する書き込み期間時に画像信号電圧に応じた電荷量を保持する機能を有する。なお、第 2 容量素子 C_{s2} の一方の電極 2a は、スイッチングトランジスタ T_s の第 3 端子 t_{43} と、第 1 容量素子 C_{s1} の電極 1a とを電気的に接続する配線に対して導電可能に接続されている。また、他方の電極 2b は、駆動トランジスタ T_d の第 3 端子 t_{13} と有機 EL 素子 OLED のアノード電極とを電気的に接続する配線に対して導電可能に接続されている。

【0041】

上述した駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} 、リセット用トランジスタ T_{rst} 及びスイッチングトランジスタ T_s は、例えば TFT によって構成される。なお、以下で参照する各図面においては、TFT のチャンネルについて、そのタイプ（n 型又は p 型）を明示していないが、n 型又は p 型の何れかであり、本実施形態では、n 型の TFT を用いるものとする。

20

【0042】

< 画素回路の動作 >

つぎに、図 3 ~ 図 9 を参照して、画素回路 10 の動作について説明する。なお、以下に説明する画素回路 10 の動作は、図 1 に示した駆動制御部（制御回路 31、電源制御回路 32、制御線駆動回路 33 及び画像信号線駆動回路 34）の制御により実現されるものである。また、図 3 ~ 図 9 において、電流が流れない部分は点線で示している。

30

【0043】

図 3 は、画素回路 10 の駆動方法を説明するためのタイミングチャートであって、有機 EL 素子 OLED を順次発光方式で発光させる際の信号波形（駆動波形）を示している。ここで、順次発光方式とは、各画素回路に対するフレーム毎の画像信号電圧の書き込み制御及び各画素回路の発光制御を、同一の制御線又は電源線に共通に接続された画素回路のグループ毎（例えば一行毎、一列毎等）に順次行う方式である。なお、本実施形態では、図 1 に示した表示パネル 20 の一行毎に書き込み制御、発光制御が行われるものとする。

【0044】

また、図 3 において“n 行目”及び“n + 1 行目”は、図 1 に示した表示パネル 20 の行番号を示している。これら行毎のシーケンスでは、発光停止期間、リセット期間、 V_{th} 検出期間、OLED 初期化期間、書き込み期間及び発光期間の 6 つの制御期間を 1 サイクルとする行毎のサイクルが時間的にずれているが、1 サイクルの期間内における各画素回路群の動作は各行で同一である。したがって、以下の説明では、第 n 行の画素回路群に着目し、その動作を説明する。なお、全画素回路に共通の GND 線 22 は常にゼロ電位（0V）であるため説明を適宜省略する。

40

【0045】

< 発光停止期間 >

図 4 は、発光停止期間時における画素回路 10 の動作状態を示した図である。発光停止期間では、図 3 に示したように、 V_{DD} 線 21 がゼロ電位（0V）、 T_{th} 制御線 23 が低電位（ V_{GL} ）、 T_{rst} 制御線 24 が低電位（ V_{GL} ）、走査線 25 が低電位（ V_{GL} ）、画像信

50

号線 26 がゼロ電位 (0 V) とされる。この制御により、図 4 に示したように、閾値電圧検出用トランジスタ T_{th} がオフ、リセット用トランジスタ T_{rst} がオフ、スイッチングトランジスタ T_s がオフとされる。

【0046】

V_{DD} 線 21 がゼロ電位となると、有機 EL 素子 OLED のアノード電位は有機 EL 素子 OLED の導通電圧近傍の正の値をとる。このとき、第 1 容量素子 C_{s1} には、前フレームについての V_{th} 検出期間により、駆動トランジスタ T_d の閾値電圧 V_{th} 分の電荷が蓄積されている。また、第 2 容量素子 C_{s2} には、前フレームについての書き込み期間により画像信号電圧 V_{data} の電荷が蓄積されている。そのため、駆動トランジスタ T_d の第 1 端子 t11 に印加される電位 (ゲート電圧) は $V_{th} + V_{data}$ となる。ここで、0 階調時の画像信号電圧が 0 V とすると、ゲート・ソース間電圧は閾値電圧 V_{th} 以上となるため、駆動トランジスタ T_d はオンとなる。

10

【0047】

また、駆動トランジスタ T_d の第 2 端子 t12 は、有機 EL 素子 OLED のアノードに接続された第 3 端子 t13 よりも低電位となるので、第 2 端子 t12 がソースとなり、第 3 端子 t13 がドレインとなる。このとき、駆動トランジスタ T_d のゲート・ソース間電圧は、少なくとも閾値電圧 V_{th} 以上となるため、有機 EL 素子容量 C_{oled} から V_{DD} 線 21 に向かって電流が流れ、有機 EL 素子 OLED のアノード電位は略 0 V となる。これにより、有機 EL 素子 OLED の発光が停止する。

20

【0048】

< リセット期間 >

図 5 は、リセット期間時における画素回路 10 の動作状態を示した図である。リセット期間では、図 3 に示したように、 T_{th} 制御線 23 及び T_{rst} 制御線 24 が高電位 (V_{gH}) とされ、 V_{DD} 線 21 のゼロ電位 (V_{gH})、走査線 25 の低電位 (V_{gL})、画像信号線 26 のゼロ電位 (0 V) が維持される。この制御により、図 5 に示したように、閾値電圧検出用トランジスタ T_{th} がオン、リセット用トランジスタ T_{rst} がオンとされる。

【0049】

閾値電圧検出用トランジスタ T_{th} 及びリセット用トランジスタ T_{rst} のオンにより、前フレームの発光制御で第 1 容量素子 C_{s1} に蓄積されていた閾値電圧 V_{th} 分の電荷と、第 2 容量素子 C_{s2} に蓄積されていた画像信号電圧 V_{data} 分の電荷と、有機 EL 素子容量 C_{oled} に蓄積されていた電荷とが合わさる。このとき、第 1 容量素子 C_{s1} の容量及び第 2 容量素子 C_{s2} の容量に比べ、有機 EL 素子容量 C_{oled} の容量が非常に大きいとすると、電荷を合わせた後の電位は、電荷を合わせる前の有機 EL 素子 OLED のアノード電位である略 0 V になる。

30

【0050】

なお、本実施形態では、 V_{DD} 線 21 及び GND 線 22 におけるゼロ電位を 0 V としているが、第 1 容量素子 C_{s1} に蓄えられる電圧をオフセットする電圧 (= 電源線の基準電位) であればよく、これに限定されるものではない。また、画像信号線 26 の電位をゼロ電位としているが、これは画像信号が 0 階調のときの輝度を規定するための電位、即ち、画像信号線 26 の基準電位であればよく、これに限定されるものではない。

40

【0051】

< V_{th} 検出期間 >

図 6 は、 V_{th} 検出期間時における画素回路 10 の動作状態を示した図である。 V_{th} 検出期間では、図 3 に示したように、 V_{DD} 線 21 が低電位 ($-V_p$) とされ、 T_{th} 制御線 23 の高電位 (V_{gH})、 T_{rst} 制御線 24 の高電位 (V_{gH})、走査線 25 の低電位 (V_{gL})、画像信号線 26 のゼロ電位 (0 V) が維持される。

【0052】

V_{DD} 線 21 が $-V_p$ となると、駆動トランジスタ T_d のゲート電位が “ $-V_p + V_{th}$ ” に達するまで、有機 EL 素子容量 C_{oled} 、第 1 容量素子 C_{s1} 及び第 2 容量素子 C_{s2} に蓄積された電荷が放電され、駆動トランジスタ $T_d \rightarrow V_{DD}$ 線 21 という経路で電流が流れる。そ

50

して、駆動トランジスタ T_d のゲート電位が “ $-V_p + V_{th}$ ” に達すると、駆動トランジスタ T_d はオフ状態となり、第 1 容量素子 C_{s1} には、閾値電圧 V_{th} に応じた電荷が蓄積された状態となる。このように、 V_{th} 検出期間では、駆動トランジスタ T_d の閾値電圧 V_{th} に応じた電荷が第 1 容量素子 C_{s1} に蓄積されることで、画素毎に異なる閾値電圧 V_{th} のばらつきが補償される。

【 0 0 5 3 】

また、この V_{th} 検出期間において、第 1 容量素子 C_{s1} の電極 1 a は、リセット用トランジスタ T_{rst} を介して V_{DD} 線 2 1 に接続されるので、第 1 容量素子 C_{s1} が駆動トランジスタ T_d の第 1 端子と V_{DD} 線 2 1 との間に接続された状態となる。このとき、駆動トランジスタ T_d の第 1 端子 t 1 1 から見た第 1 容量素子 C_{s1} は、駆動トランジスタ T_d の第 1 端子 t 1 1 と画像信号線 2 6 との間に存在する寄生容量に対して十分大きい。つまり、画像信号線 2 6 の寄生容量による電位変動が小さい構成とすることができる。この結果、他のラインの画像信号電圧の書き込みを行っている画像信号線の電位変動が画素回路に与える影響を抑制することが出来、第 1 容量素子 C_{s1} による閾値電圧 V_{th} の検出動作が安定するため、 V_{th} 補償精度をより向上させることができる。

10

【 0 0 5 4 】

また、駆動トランジスタの閾値電圧 V_{th} の検出時に、 V_{DD} 線 2 1 と駆動トランジスタ T_d の第 1 端子 t 1 1 との間に第 1 容量素子 C_{s1} が接続された構成となるので、駆動トランジスタ T_d の寄生容量の影響を低減することができる。つまり、駆動トランジスタ T_d の寄生容量による電位変動が小さくすることができ、前フレームの画像信号電圧の影響を抑制

20

【 0 0 5 5 】

ところで、駆動トランジスタ T_d がオフ状態となると、有機 E L 素子 O L E D のアノード電位は、 $-V_p + V_{th}$ となるが、この電位が有機 E L 素子 O L E D の閾値を超えないよう V_p を調整することで、 V_{th} が大きくなった場合でも V_{th} 検出動作を行うことができる。なお、 V_{th} 検出を行うためには、 V_{th} 検出開始時における駆動トランジスタ T_d のゲート・ソース間電圧が閾値電圧 V_{th} よりも大きいことが必要である。つまり、 V_{th} 検出開始時の駆動トランジスタ T_d の第 1 端子 t 1 1 の電位と、 V_{DD} 線 2 1 に印加される電位との差が閾値電圧 V_{th} よりも大きくなければならない。リセット期間終了時の有機 E L 素子 O L E D のアノード電位は、上述したように略 0 V となっている。この状態から V_{DD} 線 2 1 を $-V_p$ にすると、有機 E L 素子 O L E D のアノード電極側に対し、 V_{DD} 線の方が低電位となるので、O L E D のアノード電極と接続されている駆動トランジスタ T_d の端子がドレイン、 V_{DD} 線と接続されている駆動トランジスタ T_d の端子がソースとなる。この時、駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = 0 - (-V_p) = V_p$ となる。これが閾値電圧 V_{th} よりも大きい値でなければならないので、 $V_p > V_{th}$ であることが必要である。

30

【 0 0 5 6 】

< O L E D 初期化期間 >

図 7 は、O L E D 初期化期間時における画素回路 1 0 の動作状態を示した図である。O L E D 初期化期間では、図 3 に示したように、 T_{th} 制御線 2 3 が低電位 (V_{gL}) とされた後、所定のタイミングで V_{DD} 線 2 1 がゼロ電位 (0 V) とされる。なお、 T_{rst} 制御線 2 4 の高電位 (V_{gH})、走査線 2 5 の低電位 (V_{gL})、画像信号線 2 6 のゼロ電位 (0 V) は維持される。この制御により、図 7 に示したように、閾値電圧検出用トランジスタ T_{th} がオフとされる。

40

【 0 0 5 7 】

T_{th} 制御線 2 3 が低電位となり、 V_{DD} 線 2 1 がゼロ電位 (0 V) となると、駆動トランジスタ T_d の第 1 端子 t 1 1 には、第 1 容量素子 C_{s1} により閾値電圧 V_{th} が印加され、駆動トランジスタ T_d はオンとなる。このとき、駆動トランジスタ T_d の第 2 端子 t 1 2 の電位は、第 3 端子 t 1 3 の電位より高電位となる。そのため、この O L E D 初期化期間においては、第 2 端子 t 1 2 がドレインは、第 3 端子 t 1 3 がソースとなる。これにより、

50

V_{DD} 線 2 1 から有機 EL 素子容量 C_{oled} 及び第 2 容量素子 C_{s2} に電流が流れるため、有機 EL 素子容量 C_{oled} の両端電位は 0 V となり、第 2 容量素子 C_{s2} の両端電位も 0 V となる。つまり、有機 EL 素子 O L E D のアノード電位は 0 V となる。

【 0 0 5 8 】

< 書き込み期間 >

図 8 は、書き込み期間時における画素回路 1 0 の動作状態を示した図である。書き込み期間では、図 3 に示したように、 T_{rst} 制御線 2 4 が低電位 (V_{gL}) とされた後、表示対象となるフレームの画像信号に応じた画像信号電圧 V_{data} が画像信号線 2 6 に所定の期間供給される。また、画像信号電圧 V_{data} の供給タイミングと同期して、走査線 2 5 の電位が高電位 (V_{gH}) とされる。なお、 V_{DD} 線 2 1 のゼロ電位 (0 V)、 T_{th} 制御線 2 3 の低電位 (V_{gL}) は維持される。この制御により、図 8 に示したように、リセット用トランジスタ T_{rst} がオフとされ、画像信号電圧 V_{data} が供給される間、スイッチングトランジスタ T_s がオンとされる。

10

【 0 0 5 9 】

T_{rst} 制御線 2 4 が V_{gL} 、走査線 2 5 が V_{gH} となると、駆動トランジスタ T_d の第 3 端子 t 1 3 の電位は、第 2 端子 t 1 2 の電位よりも高電位となる。そのため、この書き込み期間においては、第 2 端子 t 1 2 がソース、第 3 端子 t 1 3 がドレインとなる。これにより、画像信号線 2 6 から供給される V_{data} に応じた電流は、スイッチングトランジスタ T_s → 第 2 容量素子 C_{s2} → 駆動トランジスタ T_d → V_{DD} 線 2 1 という経路で流れる。この結果、第 2 容量素子 C_{s2} には画像信号線 2 6 の画像信号電圧 V_{data} と、有機 EL 素子 O L E D のアノード電位 0 V との差である V_{data} 分の電荷が蓄積される。

20

【 0 0 6 0 】

また、このときの駆動トランジスタ T_d の第 1 端子 t 1 1 (ゲート) と、第 2 端子 t 1 2 (ソース) との電位差、つまりゲート・ソース間電圧は、第 1 容量素子 C_{s1} に蓄積されている電位差と、第 2 容量素子 C_{s2} に蓄積されている電位差との和になる。第 1 容量素子 C_{s1} に蓄えられている電位差は V_{th} であるので、駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = V_{th} + V_{data}$ となる。

【 0 0 6 1 】

本実施形態の構成では、前段の O L E D 初期化期間において、有機 EL 素子 O L E D のアノード電位を 0 V に保つことができるため、第 2 容量素子 C_{s2} に書込まれる画像信号電圧にかかわらず有機 EL 素子 O L E D のアノード電位は変動せず、比較的高い電圧を第 2 容量素子 C_{s2} に書き込んだ場合であっても、階調特性が非線形となることを抑制することができる。

30

【 0 0 6 2 】

< 発光期間 >

図 9 は、発光期間時における画素回路 1 0 の動作状態を示した図である。発光期間では、図 3 に示したように、 V_{DD} 線 2 1 の電位が高電位 (V_{DD}) とされ、 T_{th} 制御線 2 3 の低電位 (V_{gL})、 T_{rst} 制御線 2 4 の低電位 (V_{gL})、走査線 2 5 の低電位 (V_{gL})、画像信号線 2 6 のゼロ電位 (0 V) が維持される。

40

【 0 0 6 3 】

V_{DD} 線 2 1 が高電位となると、駆動トランジスタ T_d の第 2 端子 t 1 2 の電位が、第 3 端子 t 1 3 の電位よりも高電位となる。そのため、この発光期間においては、第 2 端子 t 1 2 がドレイン、第 3 端子 t 1 3 がソースとなる。これにより、閾値電圧 V_{th} を保持する第 1 容量素子 C_{s1} と、画像信号電圧 V_{data} を保持する第 2 容量素子 C_{s2} とが直列に接続され、駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = V_{th} + V_{data}$ となる。この結果、駆動トランジスタ T_d はオン状態となり、 V_{DD} 線 2 1 → 駆動トランジスタ T_d → 有機 EL 素子 O L E D → G N D 線 2 2 という経路で V_{data} に応じた電流が流れ、有機 EL 素子 O L E D が発光する。

【 0 0 6 4 】

このとき、有機 EL 素子 O L E D の発光時、駆動トランジスタ T_d の第 3 端子 t 1 3 (

50

ソース)の電位は、有機EL素子OLEDのアノード電位と同値となるため、データの書き込み期間の電位から変動することになる。その際、駆動トランジスタ T_d のゲートは、第1容量素子 C_{s1} と第2容量素子 C_{s2} とを介して有機EL素子OLEDのアノード側と接続されているため、ゲート電位は有機EL素子OLEDのアノード側の電位の変動に追従して変動する。従って、ゲート電圧はデータ書き込み期間での値、即ち、 $V_{th} + V_{data}$ を保つ。

【0065】

<書き込み効率について>

上述したように、 V_{th} 検出期間では、第1容量素子 C_{s1} に駆動トランジスタ T_d の閾値電圧 V_{th} に相当する電圧が印加されて保持される。そして、書き込み期間では、画像信号線26から供給される画像信号が第2容量素子 C_{s2} のみに印加されて保持される。また発光期間では、第1容量素子 C_{s1} に保持された閾値電圧と第2容量素子 C_{s2} に保持された画像信号電圧との加算電圧が駆動トランジスタ T_d に印加されるので、書き込み効率は理論的に“1”となる。つまり、本実施形態に係る画像表示装置であっては、書き込み効率が、理論的に100%となる。

10

【0066】

以上のように、本実施形態の画像表示装置100によれば、駆動トランジスタ T_d の閾値電圧 V_{th} が第1容量素子 C_{s1} に保持されるよう制御するとともに、画像信号電圧 V_{data} が第2容量素子 C_{s2} に保持されるよう制御し、有機EL素子OLEDのカソードを共通電極とするように構成したので、書き込み効率を改善することができるとともに、画像表示装置の製造を容易にすることができるという効果を有する。

20

【0067】

また、閾値電圧 V_{th} の検出時に、駆動トランジスタ T_d のゲートに第1容量素子 C_{s1} が接続される構成としたので、寄生容量に強く、他のラインのデータ書き込み動作を行っている画像信号線の電圧変動の影響を受けにくくすることができる。また、有機EL素子OLEDの導通電圧の大きさに関係なく、駆動トランジスタ T_d の閾値電圧の検出を行うことができる。

【0068】

なお、本実施形態では、OLED初期化期間から書き込み期間にかけての V_{DD} 線の電位をゼロ電位(0V)としたが、この期間での電位を調整することで、有機EL素子OLEDの輝度調整を行うことが可能である。以下、この制御方法を本実施形態の変形例として説明する。

30

【0069】

図10は、第1の実施形態の変形例による画素回路10の駆動方法を説明するためのタイミングチャートである。図10において、“n行目”及び“n+1行目”は、図3と同様に表示パネル20での行番号を示している。以下の説明では、第n行の画素回路群に着目し、その動作を説明する。なお、全画素回路に共通のGND線22は、常にゼロ電位(0V)であるため適宜説明を省略する。また、発光停止期間、リセット期間及び V_{th} 検出期間での動作は、上述した第1の実施形態と同様であるため、説明を省略する。

【0070】

<OLED初期化期間>

図11は、図10に示したOLED初期化期間時における画素回路10の動作状態を示した図である。このOLED初期化期間では、図10に示したように、 T_{th} 制御線23が低電位(V_{gL})とされた後、所定のタイミングで V_{DD} 線21がオフセット電位(V_{offset})とされる。なお、 T_{rst} 制御線24の高電位(V_{gH})、走査線25の低電位(V_{gL})、画像信号線26のゼロ電位(0V)は維持される。

40

【0071】

T_{th} 制御線23が低電位、 V_{DD} 線21がオフセット電位となると、駆動トランジスタ T_d がオンとなるので、有機EL素子容量 C_{oled} がオフセット電位に初期化される。これにより、有機EL素子OLEDのアノード電位(駆動トランジスタ T_d の第3端子t13の

50

電位)がオフセット電位となるので、後段の書き込み期間において、比較的高い電圧を書き込んだ場合であっても、有機EL素子OLEDのアノード電位をオフセット電位に維持することができる。

【0072】

<書き込み期間>

図12は、図10に示した書き込み期間時における画素回路10の動作状態を示した図である。この書き込み期間では、図10に示したように、 T_{rst} 制御線24が低電位(V_{gL})とされた後、表示対象となるフレームの画像信号に応じた画像信号電圧 V_{data} が画像信号線26に所定の期間供給される。また、画像信号電圧 V_{data} の供給タイミングと同期して、走査線25の電位が高電位(V_{gH})とされ、スイッチングトランジスタ T_s がオンとされる。なお、 V_{DD} 線21のオフセット電位(V_{offset})、 T_{th} 制御線23の低電位(V_{gL})は維持される。

10

【0073】

T_{rst} 制御線24が V_{gL} とされ、走査線25が V_{gH} とされると、駆動トランジスタ T_d の第3端子t13の電位は、第2端子t12の電位よりも高電位となる。そのため、この書き込み期間においては、第2端子t12がソース、第3端子t13がドレインとなる。これにより、画像信号線26から供給される V_{data} に応じた電流は、図8に示した経路で V_{DD} 線21に流れ、結果として、第2容量素子 C_{s2} には画像信号線26の画像信号電圧 V_{data} と、有機EL素子OLEDのアノード電位 V_{offset} との差となる、 $V_{data} - (V_{offset})$ 分の電荷が蓄積される。例えば、 V_{offset} が0.5Vであるとする、 $V_{data} - (0.5) = V_{data} - 0.5$ V分の電荷が蓄積されることになる。なお、 V_{offset} として V_{DD} 線21印加する電位は、有機EL素子OLEDの導通電圧を超えると当該有機EL素子OLEDが発光してしまうため、有機EL素子OLEDの導通電圧以下の範囲であることが好ましい。

20

【0074】

このとき、駆動トランジスタ T_d のゲート電位は、第1容量素子 C_{s1} に蓄えられている電位差と、第2容量素子 C_{s2} に蓄えられている電位差の和となる。第1容量素子 C_{s1} に蓄えられている電位差は V_{th} であるので、駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = V_{th} + V_{data} - V_{offset}$ となる。すなわち、上述した第1実施形態の書き込み期間と比べて、 V_{gs} が V_{offset} に応じた値だけオフセットされることになる。

30

【0075】

以上のように、本変形例によれば、OLED初期化期間と書き込み期間時の V_{DD} 線21の電位を V_{offset} とすることで、発光時の駆動トランジスタ T_d のゲート・ソース間電圧を、 $-V_{offset}$ 分だけオフセットさせることができる。これにより、発光期間時に駆動トランジスタ T_d を通過する電流量を調整することができるため、輝度調節を行うことが可能となる。例えば、表示パネル20の大画面化による電圧降下等の影響により表示部内の輝度分布に変化が生じた場合、 V_{offset} の値を調節することで輝度分布を改善することが出来る。

【0076】

[第2の実施形態]

40

次に、本発明に係る画像表示装置の第2の実施形態について説明する。なお、上述した第1の実施形態と同様の構成要素については同じ符号を付与し、説明を省略する。

【0077】

図13は、第2の実施形態に係る画像表示装置200の構成を模式的に示した図である。同図に示したように、画像表示装置200は、後述する画素回路11がマトリクス状(二次元平面的)に配列された表示パネル40と、制御回路35と、昇圧回路36と、電源制御回路32と、制御線駆動回路33と、画像信号線駆動回路34とを備えている。なお、図13では、m列n行分の画素回路11がマトリクス状に配列された例を示している。

【0078】

表示パネル40には、画面水平方向(図中行方向)に V_{DD} 線21、 T_{th} 制御線23、 T

50

r_{st} 制御線 24、走査線 25、 V_{offset} 線 27 が配設されている。また、画面垂直方向（図中列方向）には、画像信号線 26 が配設されている。ここで、 V_{offset} 線 27 は、昇圧回路 36 と電氣的に接続されている。なお、図示していないが表示パネル 40 のグランドとなる GND 線 22 が、画素回路 11 の夫々に接続されているものとする。

【0079】

制御回路 35 は、制御回路 31 と同様、例えば演算回路、論理回路などを内部に含む駆動用 IC やカウンタなどの制御機器を用いて構成することができ、入力された画像データや、当該画像データを表示パネル 20 に表示させるための電源（ V_{gL} 、 V_{gH} 、 V_{DD} 、 $-V_p$ 、 V_{data} 、 V_f 等）を、電源制御回路 32、制御線駆動回路 33、画像信号線駆動回路 34 及び昇圧回路 36 から供給するタイミングを制御する。

10

【0080】

昇圧回路 36 は、DC/DC コンバータ等を用いて構成することができ、制御回路 35 から入力された信号を所定の電位（ V_f ）に昇圧し、 V_{offset} 線 27 に印加する。

【0081】

なお、図 13 の構成において、 V_{DD} 線 21、GND 線 22、 T_{th} 制御線 23、 T_{rst} 制御線 24、走査線 25、画像信号線 26 及び V_{offset} 線 27、ならびに制御回路 35、電源制御回路 32、制御線駆動回路 33、画像信号線駆動回路 34 及び昇圧回路 36 に関するレイアウトは、その一例を示すものであり、これらのレイアウトに限られるものではない。

【0082】

20

< 画素回路の構成 >

図 14 は、図 13 に示した画素回路 11（1 画素）の構成の一例を示した図である。図 14 に示したように、画素回路 11 は、発光素子である有機 EL 素子 OLED と、有機 EL 素子 OLED を駆動するためのドライバ素子である駆動トランジスタ T_d と、閾値電圧検出素子である閾値電圧検出用トランジスタ T_{th} と、第 1 容量素子 C_{s1} への電圧印加を制御する電圧印加素子としてのリセット用トランジスタ T_{rst} と、スイッチング素子としてのスイッチングトランジスタ T_s と、第 1 容量素子として閾値電圧を保持する第 1 容量素子 C_{s1} と、第 2 容量素子として画像信号電圧を保持する第 2 容量素子 C_{s2} とを備える。なお、有機 EL 素子 OLED は、逆電圧印加時にコンデンサとして機能する。そのため、図 14 ではこれを有機 EL 素子容量 C_{oled} として等価的に表している。

30

【0083】

図 14 に示したように、画素回路 11 の構成は、図 2 に示した画素回路 10 でのリセット用トランジスタ T_{rst} の第 2 端子 t32 の接続先を、 V_{DD} 線 21 から定電位線である V_{offset} 線 27 に変更したものとなっている。

【0084】

< 画素回路の動作 >

次に、図 15、図 16 を参照して、画素回路 11 の動作について説明する。なお、画素回路 11 の駆動は、図 1 に示した駆動制御部（制御回路 35、電源制御回路 32、制御線駆動回路 33、画像信号線駆動回路 34 及び昇圧回路 36）の制御により実現されるものである。

40

【0085】

図 15 は、画素回路 11 の駆動方法を説明するためのタイミングチャートである。ここで、図 15 に示す制御シーケンスは、図 13 に示した画素回路群を順次発光方式（一行毎）で発光制御する場合を示したものである。なお、発光停止期間、リセット期間、書き込み期間の動作については、上述した第 1 の実施形態と同様であるため説明は省略する。また、全画素回路に共通の GND 線 22 は常にゼロ電位（0V）であり、 V_{offset} 線 27 は常に V_f （例えば、 $-V_p + 1V$ ）であるため、説明を適宜省略する。

【0086】

図 16 は、図 15 に示した V_{th} 検出期間時における画素回路 11 の動作状態を示した図である。 V_{th} 検出期間では、図 15 に示したように、 V_{DD} 線 21 が低電位（ $-V_p$ ）とさ

50

れ、 T_{th} 制御線23の高電位(V_{gH})、 T_{rst} 制御線24の高電位(V_{gH})、走査線25の低電位(V_{gL})、画像信号線26のゼロ電位($0V$)が維持される。

【0087】

ここで、 V_{offset} 線27が $V_f = -V_p + 1V$ の電位であったとすると、駆動トランジスタ T_d のゲート電位が、 $-V_p + V_{th}$ に達するまで、有機EL素子容量 C_{oled} 、第1容量素子 C_{s1} 及び第2容量素子 C_{s2} に蓄積された電荷が放電され、駆動トランジスタ $T_d \rightarrow V_{DD}$ 線21という経路で電流が流れる。そして、駆動トランジスタ T_d のゲート電位が $-V_p + V_{th}$ に達すると、駆動トランジスタ T_d はオフ状態となる。このとき、第1容量素子 C_{s1} には、 V_{offset} 線27の作用により、 $-V_p + V_{th} - V_f = V_{th} - 1$ に応じた電荷が蓄積される、つまり、上述した第1の実施形態での V_{th} 検出期間と比べて、 V_{offset} 線27の電位分オフセットされた電荷が蓄積されることになる。

10

【0088】

ところで、上述した第1の実施形態の変形例では、 V_{DD} 線21にて V_{offset} とする電位が有機EL素子OLEDの導通電圧を超えると、有機EL素子OLEDが発光してしまうため、有機EL素子OLEDの導通電圧以下の範囲でのみでしか輝度を調整することができない。しかし、本実施形態の構成では、 V_{DD} 線21とは独立した V_{offset} 線27を用いて第1容量素子 C_{s1} に蓄積される電荷量を調整することができるため、輝度を調整する範囲に制限はない。したがって、第1の実施形態の変形例と比較し、より大きな範囲で輝度を調節することが可能となる。

20

【0089】

以上、本発明に係る実施形態について説明したが、本発明はこれに限定されるものではなく、本発明の主旨を逸脱しない範囲での種々の変更、置換、追加等が可能である。

【図面の簡単な説明】

【0090】

【図1】第1の実施形態に係る画像表示装置の構成を模式的に示した図である。

【図2】図1に示した画素回路の構成の一例を示した図である。

【図3】図2に示した画素回路の駆動方法を説明するためのタイミングチャートである。

【図4】図3に示した発光停止期間時における画素回路の動作状態を示した図である。

【図5】図3に示したリセット期間時における画素回路の動作状態を示した図である。

【図6】図3に示した V_{th} 検出期間時における画素回路の動作状態を示した図である。

30

【図7】図3に示したOLED初期化期間時における画素回路の動作状態を示した図である。

【図8】図3に示した書き込み期間時における画素回路の動作状態を示した図である。

【図9】図3に示した発光期間時における画素回路の動作状態を示した図である。

【図10】第1の実施形態の変形例による画素回路の駆動方法を説明するためのシーケンス図である。

【図11】図10に示したOLED初期化期間時における画素回路の動作状態を示した図である。

【図12】図10に示した書き込み期間時における画素回路の動作状態を示した図である。

40

【図13】第2の実施形態に係る画像表示装置の構成を模式的に示した図である。

【図14】図13に示した画素回路の構成の一例を示した図である。

【図15】図14に示した画素回路の駆動方法を説明するためのタイミングチャートである。

【図16】図15に示した V_{th} 検出期間時における画素回路の動作状態を示した図である。

【符号の説明】

【0091】

100 画像表示装置

200 画像表示装置

50

- 1 0 画素回路
- 1 1 画素回路
- 2 0 表示パネル
- 2 1 V_{DD} 線
- 2 2 GND 線
- 2 3 T_{th} 制御線
- 2 4 T_{rst} 制御線
- 2 5 走査線
- 2 6 画像信号線
- 2 7 V_{offset} 線
- 3 1 制御回路
- 3 2 電源制御回路
- 3 3 制御線駆動回路
- 3 4 画像信号線駆動回路
- 3 5 制御回路
- 3 6 昇圧回路
- 4 0 表示パネル

C_{oled} 有機EL素子容量

C_{s1} 第1容量素子

C_{s2} 第2容量素子

OLED 有機EL素子

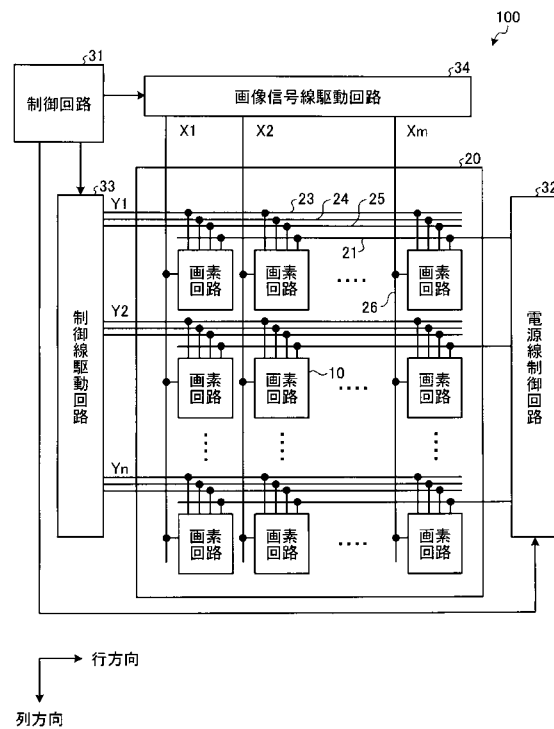
T_d 駆動トランジスタ

T_{rst} リセット用トランジスタ

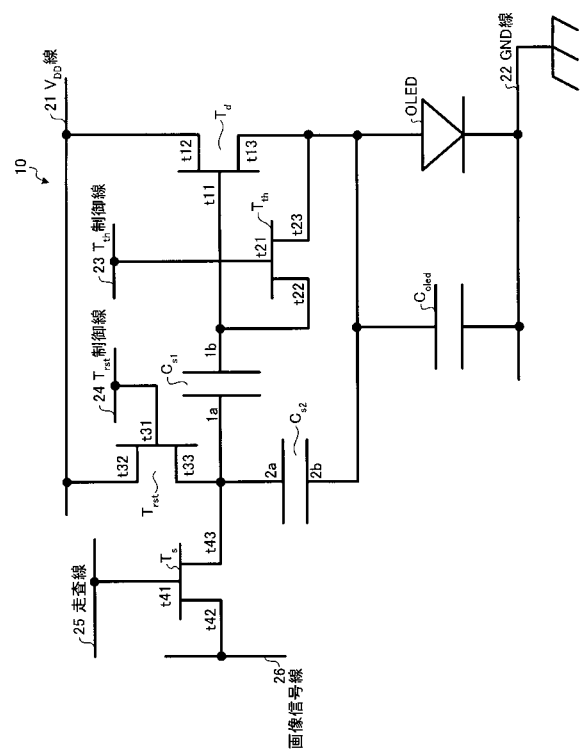
T_s スイッチングトランジスタ

T_{th} 閾値電圧検出用トランジスタ

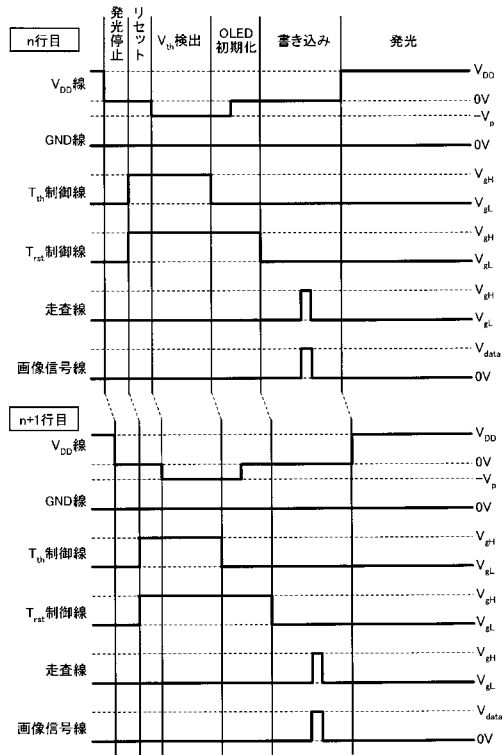
【図1】



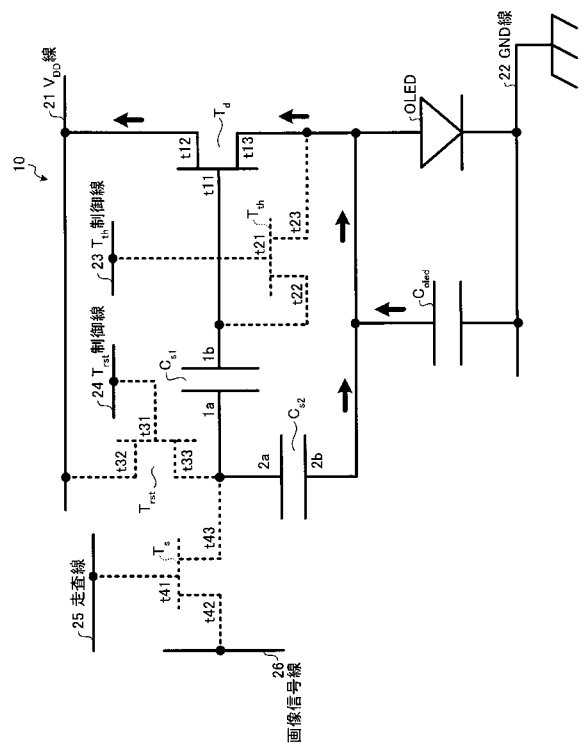
【図2】



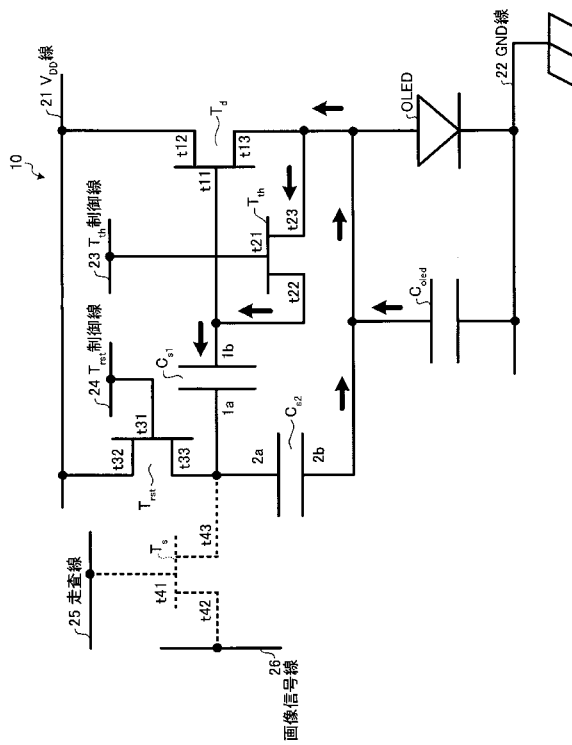
【図 3】



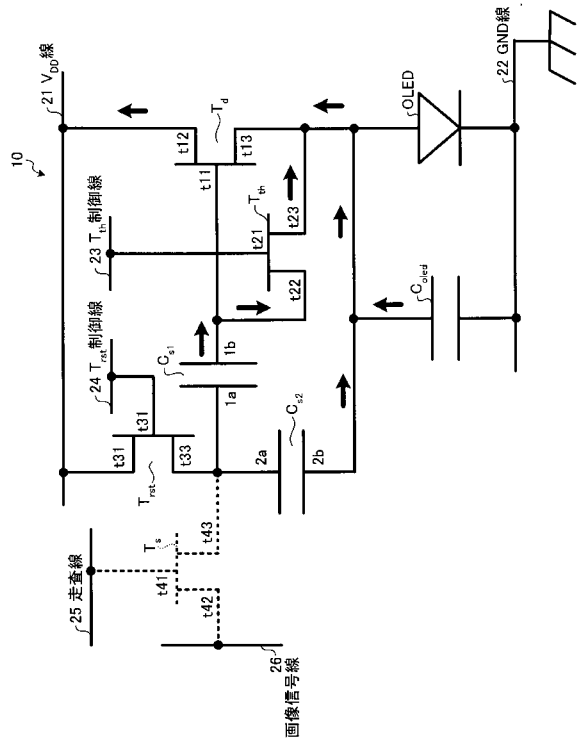
【図 4】



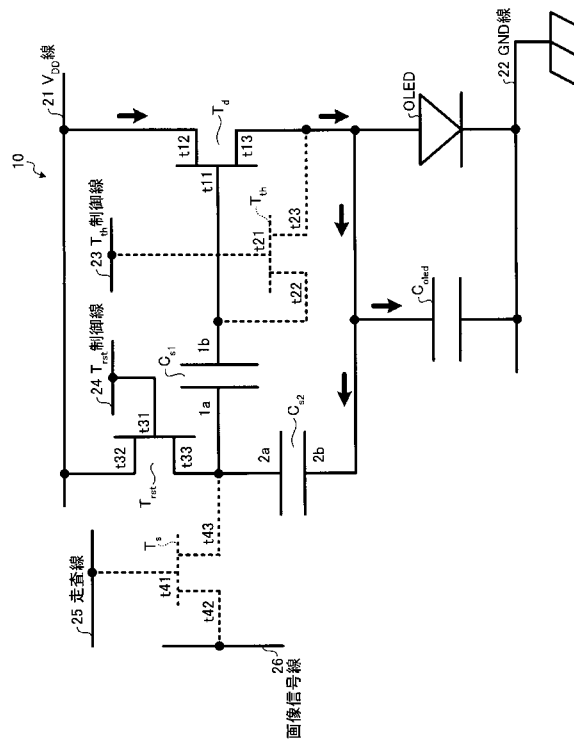
【図 5】



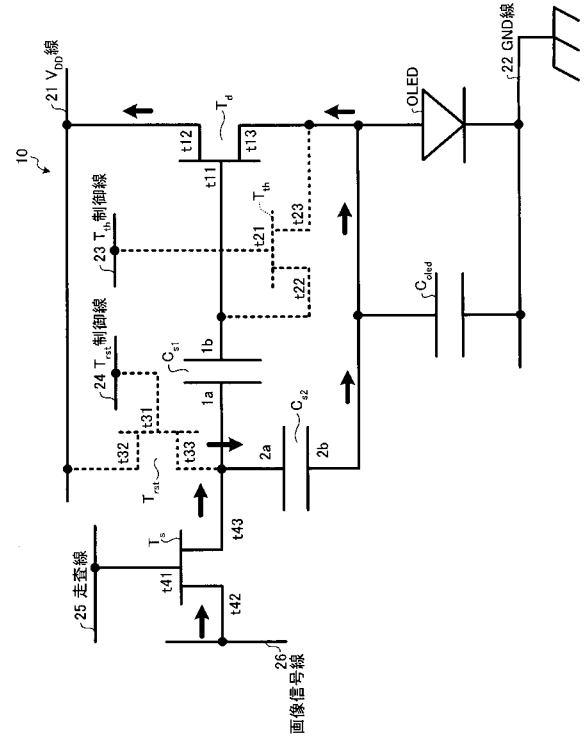
【図 6】



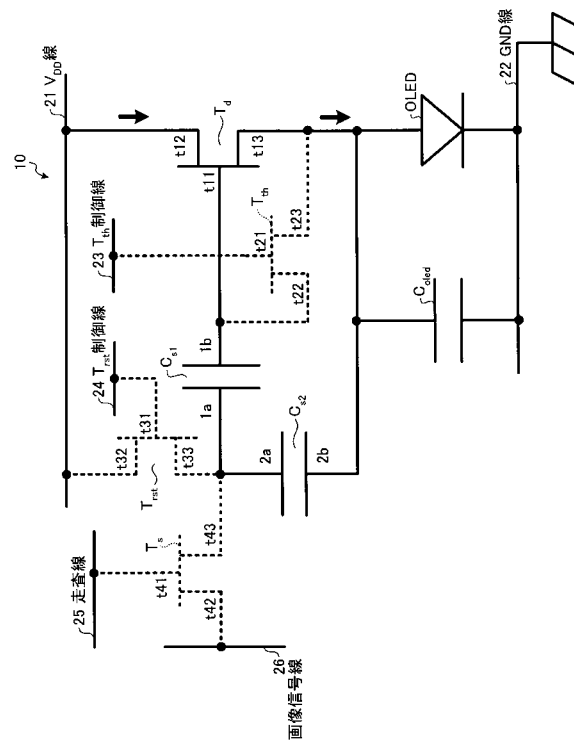
【図 7】



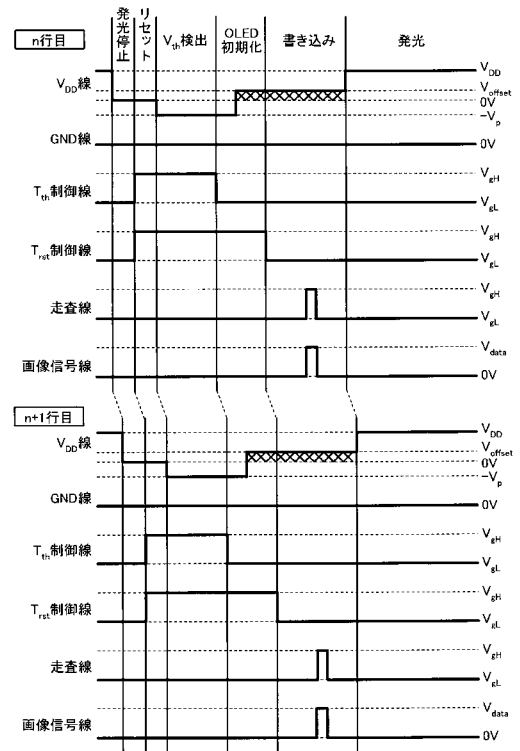
【図 8】



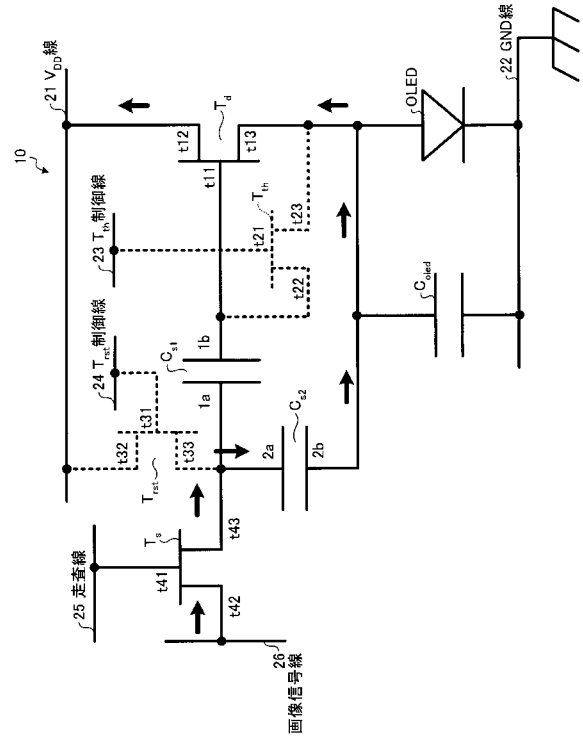
【図 9】



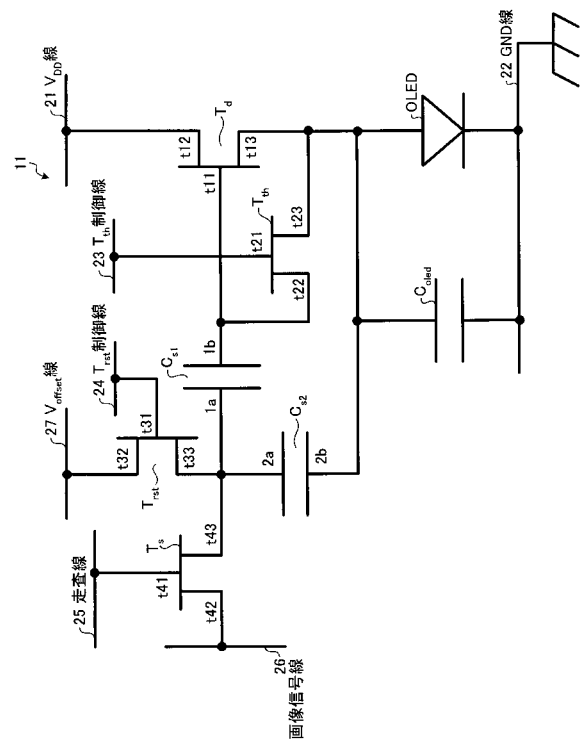
【図 10】



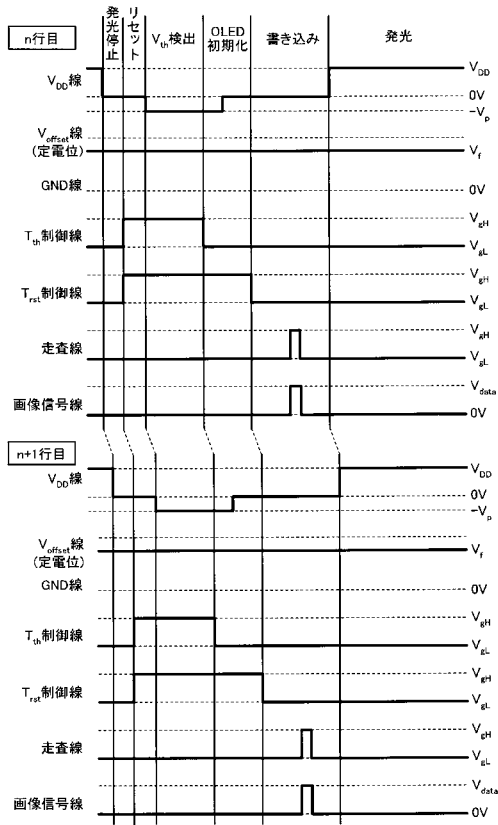
【 図 1 2 】



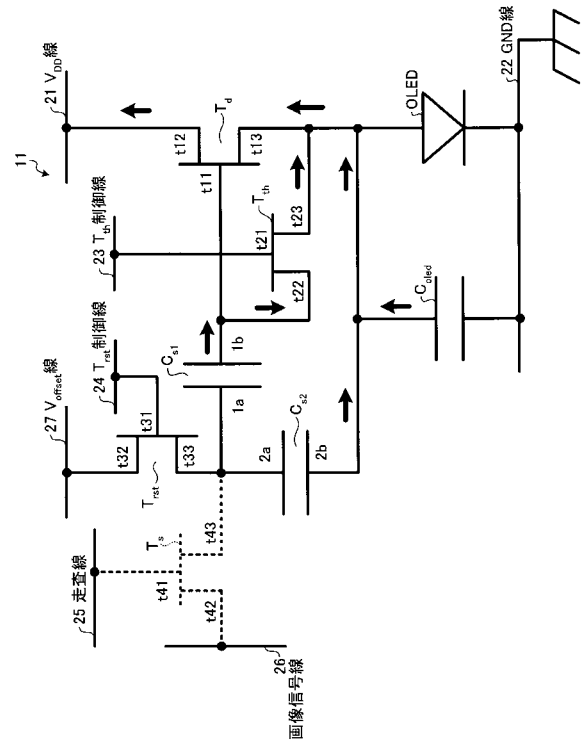
【 図 1 4 】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 C

G 0 9 G 3/20 6 1 1 H

F ターム(参考) 5C080 AA06 BB05 DD02 DD05 EE28 FF11 JJ02 JJ03 JJ04

专利名称(译)	图像显示装置和图像显示装置的驱动方法		
公开(公告)号	JP2010085675A	公开(公告)日	2010-04-15
申请号	JP2008254191	申请日	2008-09-30
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
[标]发明人	戎野浩平 高杉親知 谷領介		
发明人	戎野 浩平 高杉 親知 谷 領介		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
CPC分类号	Y02B20/345		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A H05B33/08 H05B33/14.A G09G3/20.642.C G09G3/20.611.H G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/HH00 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA05 5C380/BA39 5C380/BA40 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB20 5C380/CB26 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC64 5C380/CC71 5C380/CD034 5C380/CE03 5C380/CE19 5C380/CF36 5C380/CF66 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA32 5C380/DA47		
代理人(译)	酒井宏明		
其他公开文献	JP5449733B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种能够提高写入效率的共阴极型顺序发光型图像显示装置和驱动方法。根据发光元件OLED与连接到发光元件OLED的阳极的第一端子t11和第三端子t13之间的电势差，产生在第二端子t12和第三端子t13之间流动的电流。被控制的驱动晶体管T_d，驱动晶体管T_d，保持阈值电压的第一电容元件C_{s1}和第二端子共同连接到多个像素电路的每条线。V_{DD}线和保持图像信号电压的第二电容元件C_{s2}，以及在发光元件OLED的发光时段期间第一端子t11和第三端子t13之间的电压。差异是由第一电容元件C_{s1}和第二电容元件C_{s2}以及从V_{DD}线经由驱动晶体管T_d到发光元件OLED所保持的电压之和。电流流动。[选择图]图2

