

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-54564
(P2010-54564A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 622D	
	G09G 3/20 611H	
	G09G 3/20 623D	

審査請求 未請求 請求項の数 6 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2008-216387 (P2008-216387)
(22) 出願日 平成20年8月26日 (2008.8.26)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100095957
弁理士 亀谷 美明
(74) 代理人 100096389
弁理士 金本 哲男
(74) 代理人 100101557
弁理士 萩原 康司
(72) 発明者 伴田 智壮
東京都品川区西五反田3丁目8番17号
ソニーエンジニアリング株式会社内
(72) 発明者 山本 哲郎
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

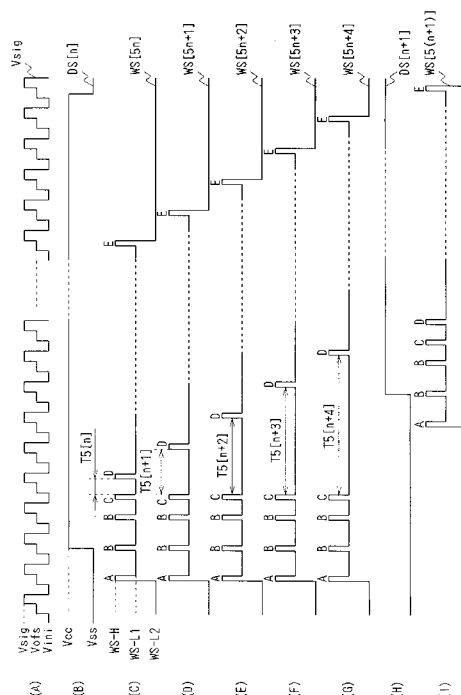
(54) 【発明の名称】 画像表示装置及び画像表示装置の駆動方法

(57) 【要約】

【課題】本発明は、例えば有機EL素子によるアクティブマトリクス型の画像表示装置に適用して、画素回路の駆動を複数ラインで共通化する。

【解決手段】本発明は、連続する複数ラインで駆動トランジスタのしきい値電圧補正処理に係る書込信号WS[5n]、WS[5n+1]、WS[5n+2]、WS[5n+3]、WS[5n+4]による制御A、B、Cを同一に設定し、この複数ラインで電源用駆動信号DS[n]を共通化する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素回路をマトリックス状に配置して形成された表示部と、
前記表示部の信号線に信号線用駆動信号を出力する信号線駆動回路と、
前記表示部の電源用走査線及び書込用走査線に電源用駆動信号及び書込信号を出力する走査線駆動回路とを有し、

前記画素回路は、

発光素子と、

ゲートソース間電圧に応じた駆動電流により前記発光素子を駆動する駆動トランジスタと、

10

前記ゲートソース間電圧を保持する保持容量と、

前記保持容量の一端の電圧を前記信号線用駆動信号の電圧に設定する書込トランジスタとを少なくとも有し、

前記発光素子を発光させる発光期間と、前記発光素子の発光を停止して前記発光素子の発光輝度を設定する非発光期間とを交互に繰り返し、

前記発光期間において、

前記書込信号による前記書込トランジスタの制御により、前記保持容量の一端の電圧を前記信号線用駆動信号の電圧に設定して、続く前記非発光期間を開始し、

前記非発光期間において、

前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の他端の電圧を立ち下げた後、

20

前記書込信号による前記書込トランジスタの制御により、前記駆動トランジスタの一端の電圧を設定して前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の端子間電圧を放電させて前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定する前記駆動トランジスタのしきい値電圧補正処理を実行し、

続いて前記書込信号による前記書込トランジスタの制御により、前記保持容量の端子電圧を前記信号線用駆動信号の電圧に設定して前記発光素子の発光輝度を設定し、続く前記発光期間を開始し、

30

前記表示部は、

複数ライン単位で連続するラインがグループ化され、

前記走査線駆動回路は、

1つのグループのライン数に対応する複数の水平走査期間ずつ、順次、遅延させて、前記グループ毎に前記電源用駆動信号を生成し、1つのグループの複数ラインに共通に前記電源用駆動信号を出力し、

前記書込信号の設定により、前記発光期間及び非発光期間の開始のタイミングを、連続するラインで順次1水平走査期間ずつ遅延させると共に、前記しきい値電圧補正処理を実行する期間を、1つのグループの複数ラインで、同一に設定する

画像表示装置。

40

【請求項 2】

前記走査線駆動回路は、

前記書込信号を第1の電圧に設定して、前記書込トランジスタをオン状態に設定し、

前記非発光期間が開始すると、前記書込信号を前記第1の電圧から第2の電圧に設定して前記書込トランジスタをオフ状態に設定し、

少なくとも前記しきい値電圧補正処理を開始した後、前記非発光期間を開始するまでの間、前記第1及び第2の電圧の間の第3の電圧に前記書込信号を設定して前記書込トランジスタをオフ状態に設定する

請求項1に記載の画像表示装置。

【請求項 3】

50

前記信号線駆動回路及び前記走査線駆動回路は、

前記しきい値電圧補正処理により、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定した後、前記書込信号による前記書込トランジスタの制御により、前記保持容量の一端の電圧をゲートソース間電圧抑圧用電圧に立ち下げ、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧より小さな電圧に抑圧し、前記発光期間を開始するまでの間、該抑圧した電圧に前記保持容量の端子間電圧を保持する

請求項 1 に記載の画像表示装置。

【請求項 4】

前記画素回路は、

前記非発光期間において、前記電源用駆動信号を電源電圧から電圧設定用の固定電圧に立ち下げて前記保持容量の他端の電圧を立ち下げ、

前記しきい値電圧補正処理において、前記保持容量の一端の電圧をしきい値電圧補正用の固定電圧に保持し、前記駆動トランジスタを介して前記保持容量の端子間電圧を放電させて前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定し、

前記ゲートソース間電圧抑圧用電圧が、前記しきい値電圧補正用の固定電圧より低い電圧であって、かつ前記ゲートソース間電圧抑圧用電圧と前記電圧設定用の固定電圧との差電圧を、前記駆動トランジスタのしきい値電圧以下とする電圧である

請求項 3 に記載の画像表示装置。

【請求項 5】

前記非発光期間を開始する際に前記保持容量の一端に設定される電圧が、前記発光素子のカソード電圧に、前記発光素子のしきい値電圧を加算した電圧以下の電圧である

請求項 1 に記載の画像表示装置。

【請求項 6】

画素回路をマトリックス状に配置して形成された表示部と、

前記表示部の信号線に信号線用駆動信号を出力する信号線駆動回路と、

前記表示部の電源用走査線及び書込用走査線に電源用駆動信号及び書込信号を出力する走査線駆動回路とを有する画像表示装置の駆動方法において、

前記画素回路は、

発光素子と、

ゲートソース間電圧に応じた駆動電流により前記発光素子を駆動する駆動トランジスタと、

前記ゲートソース間電圧を保持する保持容量と、

前記保持容量の一端の電圧を前記信号線用駆動信号の電圧に設定する書込トランジスタとを少なくとも有し、

前記発光素子を発光させる発光期間と、前記発光素子の発光を停止して前記発光素子の発光輝度を設定する非発光期間とを交互に繰り返し、

前記発光期間において、

前記書込信号による前記書込トランジスタの制御により、前記保持容量の一端の電圧を前記信号線用駆動信号の電圧に設定して、続く前記非発光期間を開始し、

前記非発光期間において、

前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の他端の電圧を立ち下げた後、

前記書込信号による前記書込トランジスタの制御により、前記駆動トランジスタの一端の電圧を設定して前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の端子間電圧を放電させて前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定する前記駆動トランジスタのしきい値電圧補正処理を実行し、

続いて前記書込信号による前記書込トランジスタの制御により、前記保持容量の端子電圧を前記信号線用駆動信号の電圧に設定して前記発光素子の発光輝度を設定し、続く前記

10

20

30

40

50

発光期間を開始し、

前記画像表示装置の駆動方法は、

複数ライン単位で連続する前記表示部のラインをグループ化し、

1つのグループのライン数に対応する複数の水平走査期間ずつ、順次、遅延させて、前記グループ毎に前記電源用駆動信号を生成し、1つのグループの複数ラインに共通に前記電源用駆動信号を出力し、

前記書込信号の設定により、前記発光期間及び非発光期間の開始のタイミングを、連続するラインで順次1水平走査期間ずつ遅延させると共に、前記しきい値電圧補正処理を実行する期間を、1つのグループの複数ラインで、同一に設定する

画像表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置及び画像表示装置の駆動方法に関し、例えば有機EL (Electro Luminescence) 素子によるアクティブマトリクス型の画像表示装置に適用することができる。本発明は、連続する複数ラインで駆動トランジスタのしきい値電圧補正処理に係る書込信号による制御を同一に設定し、この複数ラインで電源用駆動信号を共通化することにより、画素回路の駆動を複数ラインで共通化することができるようにする。

20

【背景技術】

【0002】

近年、有機EL素子を用いたアクティブマトリクス型の画像表示装置の開発が盛んになっている。ここで有機EL素子を用いた画像表示装置は、電界の印加により発光する有機薄膜の発光現象を利用した画像表示装置である。有機EL素子は、10[V]以下の印加電圧で駆動することができる。従ってこの種の画像表示装置は、消費電力を低減することができる。また有機EL素子は、自発光素子である。従ってこの種の画像表示装置は、バックライト装置を必要とせず、軽量化、薄型化することができる。さらに有機EL素子は、応答速度が数μ秒程度と速い特徴がある。従ってこの種の画像表示装置は、動画表示時に残像が殆ど発生しない特徴がある。

30

【0003】

具体的に、有機EL素子を用いたアクティブマトリクス型の画像表示装置は、有機EL素子と有機EL素子を駆動する駆動回路とによる画素回路をマトリクス状に配置して表示部が形成される。この種の画像表示装置は、表示部に設けられた信号線及び走査線をそれぞれ介して、表示部の周囲に配置した信号線駆動回路及び走査線駆動回路により各画素回路を駆動して所望の画像を表示する。

【0004】

この有機EL素子を用いた画像表示装置に関して、特開2007-310311号公報には、2つのトランジスタを用いて画素回路を構成する方法が開示されている。従ってこの特開2007-310311号公報が開示の方法によれば、構成を簡略化することができる。またこの特開2007-310311号公報には、有機EL素子を駆動する駆動トランジスタのしきい値電圧のばらつき、移動度のばらつきを補正する構成が開示されている。従ってこの特開2007-310311号公報が開示の構成によれば、駆動トランジスタのしきい値電圧のばらつき、移動度のばらつきによる画質劣化を防止することができる。

40

【0005】

ここで図4は、特開2007-310311号公報が開示の画像表示装置を示すブロック図である。この画像表示装置1は、ガラス等の絶縁基板に表示部2が作成される。画像表示装置1は、この表示部2の周囲に信号線駆動回路3及び走査線駆動回路4が作成される。

50

【 0 0 0 6 】

ここで表示部 2 は、画素回路 5 をマトリックス状に配置して形成され、画素回路 5 に設けられた有機 E L 素子により画素 (P I X) 6 が形成される。なおカラー画像の画像表示装置では、赤色、緑色及び青色による複数のサブ画素により 1 つの画素が構成されることから、カラー画像の画像表示装置の場合、表示部 2 は、赤色、緑色及び青色のサブ画素をそれぞれ構成する赤色用、緑色用及び青色用の画素回路 5 を順次配置して構成される。

【 0 0 0 7 】

信号線駆動回路 3 は、表示部 2 に設けられた信号線 D T L に信号線用の駆動信号 S s i g を出力する。より具体的に、信号線駆動回路 3 は、データスキャン回路 3 A において、ラスタ走査順に入力される画像データ D 1 を順次ラッチして画像データ D 1 を信号線 D T L に振り分けた後、それぞれデジタルアナログ変換処理する。信号線駆動回路 3 は、このデジタルアナログ変換結果を処理して駆動信号 S s i g を生成する。これにより画像表示装置 1 は、例えばいわゆる線順次により各画素回路 5 の階調を設定する。

10

【 0 0 0 8 】

走査線駆動回路 4 は、表示部 2 に設けられた書込信号用の走査線 W S L 及び電源用の走査線 D S L にそれぞれ書込信号 W S 及び駆動信号 D S を出力する。ここで書込信号 W S は、各画素回路 5 に設けられた書込トランジスタをオンオフ制御する信号である。また駆動信号 D S は、各画素回路 5 に設けられた駆動トランジスタのドレイン電圧を制御する信号である。走査線駆動回路 4 は、それぞれライトスキャン回路 (W S C N) 4 A 及びドライブスキャン回路 (D S C N) 4 B において、所定のサンプリングパルス S P をクロック C K で処理して書込信号 W S 及び駆動信号 D S を生成する。

20

【 0 0 0 9 】

図 5 は、画素回路 5 の構成を詳細に示す接続図である。画素回路 5 は、有機 E L 素子 8 のカソードが所定の負側電圧に設定され、この図 5 の例ではこの負側電圧がアースラインの電圧に設定される。画素回路 5 は、有機 E L 素子 8 のアノードが駆動トランジスタ T r 2 のソースに接続される。なお駆動トランジスタ T r 2 は、例えば T F T による N チャンネル型トランジスタである。画素回路 5 は、この駆動トランジスタ T r 2 のドレインが電源用の走査線 D S L に接続され、この走査線 D S L に走査線駆動回路 4 から電源用駆動信号 D S が供給される。これらにより画素回路 5 は、ソースフォロワ回路構成の駆動トランジスタ T r 2 を用いて有機 E L 素子 8 を電流駆動する。

30

【 0 0 1 0 】

画素回路 5 は、この駆動トランジスタ T r 2 のゲート及びソース間に保持容量 C s が設けられ、書込信号 W S によりこの保持容量 C s のゲート側端電圧が駆動信号 S s i g の電圧に設定される。その結果、画素回路 5 は、駆動信号 S s i g に応じたゲートソース間電圧 V g s により駆動トランジスタ T r 2 で有機 E L 素子 8 を電流駆動する。なおここでこの図 5 において、容量 C e l は、有機 E L 素子 8 の浮遊容量である。

【 0 0 1 1 】

すなわち画素回路 5 は、書込信号 W S によりオンオフ動作する書込トランジスタ T r 1 を介して、駆動トランジスタ T r 2 のゲートが信号線 D T L に接続される。なおここで書込トランジスタ T r 1 は、例えば T F T による N チャンネル型トランジスタである。ここで信号線駆動回路 3 は、階調設定電圧 V s i g 及びしきい値電圧の補正用電圧 V o f s を所定のタイミングで切り換えて駆動信号 S s i g を出力する (図 6 (C) 参照) 。しきい値電圧補正用の固定電圧 V o f s は、駆動トランジスタ T r 2 のしきい値電圧のばらつき補正に使用する固定電圧である。また階調設定電圧 V s i g は、有機 E L 素子 8 の発光輝度を指示する電圧であり、階調電圧 V i n にしきい値電圧補正用の固定電圧 V o f s を加算した電圧である。また階調電圧 V i n は、有機 E L 素子 8 の発光輝度に対応する電圧である。階調電圧 V i n は、各信号線 D T L に振り分けた画像データ D 1 をそれぞれデジタルアナログ変換処理して信号線 D T L 毎に生成される。

40

【 0 0 1 2 】

画素回路 5 は、図 6 に示すように、有機 E L 素子 8 を発光させる発光期間の間、書込信

50

号WSにより書込トランジスタTr1がオフ状態に設定される(図6(A))。また画素回路5は、発光期間の間、電源用駆動信号DSによって駆動トランジスタTr2に電源電圧Vccが供給される(図6(B))。これにより画素回路5は、発光期間の間、保持容量Csの端子間電圧である駆動トランジスタTr2のゲートソース間電圧Vgs(図6(D)及び(E))に応じた駆動電流Idsで有機EL素子8を発光させる。

【0013】

画素回路5は、発光期間が終了する時点t0で、電源用駆動信号DSが所定の固定電圧Vssに立ち下げられる(図6(B))。ここでこの固定電圧Vssは、駆動トランジスタTr2のドレインをソースとして機能させるのに十分に低い電圧であって、かつ有機EL素子8のカソード電圧より低い電圧である。

10

【0014】

これにより画素回路5は、駆動トランジスタTr2を介して、保持容量Csの有機EL素子8側端の蓄積電荷が走査線に流出する。その結果、画素回路5は、駆動トランジスタTr2のソース電圧Vsがほぼ電圧Vssに立ち下がり(図6(E))、有機EL素子8が発光を停止する。また画素回路5は、このソース電圧Vsの立ち下がりに連動して、駆動トランジスタTr2のゲート電圧Vgが低下する(図6(D))。

【0015】

画素回路5は、続く所定の時点t1で、書込信号WSにより書込トランジスタTr1がオン状態に切り換えられ(図6(A))、駆動トランジスタTr2のゲート電圧Vgが信号線DTLに設定されたしきい値電圧補正用の固定電圧Vofsに設定される(図6(C)及び(D))。これにより画素回路5は、駆動トランジスタTr2のゲートソース間電圧Vgsが電圧Vofs - Vssに設定される。ここで画素回路5は、電圧Vofs、Vssの設定により、この電圧Vofs - Vssが駆動トランジスタTr2のしきい値電圧Vthより大きな電圧に設定される。

20

【0016】

その後、画素回路5は、時点t2で駆動信号DSにより駆動トランジスタTr2のドレイン電圧が電源電圧Vccに立ち上げられる(図6(B))。これにより画素回路5は、駆動トランジスタTr2を介して保持容量Csの有機EL素子8側端に電源Vccから充電電流Idsが流入する。その結果、画素回路5は、保持容量Csの有機EL素子8側端の電圧Vsが徐々に上昇する。この場合、画素回路5において、駆動トランジスタTr2を介して有機EL素子8に流入する電流Idsは、有機EL素子8の容量Celと保持容量Csの充電にのみ使用され、その結果、有機EL素子8を発光させることなく、単に駆動トランジスタTr2のソース電圧Vsのみが上昇することになる。

30

【0017】

ここで画素回路5は、保持容量Csの端子間電圧が駆動トランジスタTr2のしきい値電圧Vthとなると、駆動トランジスタTr2を介した充電電流Idsの流入が停止することになる。従ってこの場合、この駆動トランジスタTr2のソース電圧Vsの上昇は、保持容量Csの両端電位差が駆動トランジスタTr2のしきい値電圧Vthとなると、停止することになる。これにより画素回路5は、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電させ、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧Vthに設定する。

40

【0018】

画素回路5は、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧Vthに設定するのに十分な時間が経過して時点t3になると、書込信号WSにより書込トランジスタTr1がオフ状態に切り換えられる(図6(A))。続いて画素回路5は、信号線DTLの電圧が階調設定電圧Vsig(=Vin + Vofs)に設定される。

【0019】

画素回路5は、続く時点t4で書込トランジスタTr1がオン状態に設定される(図6(A))。これにより画素回路5は、駆動トランジスタTr2のゲート電圧Vgが階調設定電圧Vsigに設定され、駆動トランジスタTr2のゲートソース間電圧Vgsは、階

50

調電圧 V_{in} に駆動トランジスタ $T_r 2$ のしきい値電圧 V_{th} を加算した電圧に設定される。これにより画素回路 5 は、駆動トランジスタ $T_r 2$ のしきい値電圧 V_{th} のばらつきを有効に回避して有機 EL 素子 8 を駆動することができ、有機 EL 素子 8 の発光輝度のばらつきによる画質劣化を防止することができる。

【0020】

画素回路 5 は、この駆動トランジスタ $T_r 2$ のゲート電圧 V_g を階調設定電圧 V_{sig} に設定する際に、駆動トランジスタ $T_r 2$ のドレイン電圧を電源電圧 V_{cc} に保持した状態で、一定期間の間、駆動トランジスタ $T_r 2$ のゲートが信号線 DTL に接続される。これにより画素回路 5 は、併せて駆動トランジスタ $T_r 2$ の移動度 μ のばらつきを補正する。

10

【0021】

画素回路 5 は、この移動度の補正期間が経過すると、時点 t_5 で書込信号 WS が立ち下げられる。その結果、画素回路 5 は、発光期間が開始し、保持容量 C_s の端子間電圧に応じた駆動電流 I_{ds} により有機 EL 素子 8 を発光させる。なお画素回路 5 は、発光期間が開始すると、いわゆるブートストラップ回路により駆動トランジスタ $T_r 2$ のゲート電圧 V_g 及びソース電圧 V_s が上昇する。

【0022】

これらにより画素回路 5 は、時点 t_0 から時点 t_2 までの駆動トランジスタ $T_r 2$ のゲート電圧を電圧 V_{ss} に立ち下げている期間で、駆動トランジスタ $T_r 2$ のしきい値電圧を補正する処理の準備処理を実行する。また続く時点 t_2 から時点 t_3 までの期間で、保持容量 C_s の端子間電圧を駆動トランジスタ $T_r 2$ のしきい値電圧 V_{th} に設定する。また時点 t_4 から時点 t_5 までの期間で、駆動トランジスタ $T_r 2$ の移動度を補正すると共に、階調設定電圧 V_{sig} をサンプリングする。

20

【0023】

また特開 2007 - 133284 号公報には、駆動トランジスタ $T_r 2$ のしきい値電圧のばらつきを補正する処理を複数回に分けて実行する構成が提案されている。この特開 2007 - 133284 号公報に開示の構成によれば、高精度化して画素回路の階調設定に割り当てる時間が短くなった場合でも、しきい値電圧のばらつき補正に十分な時間を割り当てることができる。従って高精度化した場合でも、しきい値電圧のばらつきによる画質劣化を防止することができる。

30

【0024】

従って特開 2007 - 310311 号公報に開示の手法に、特開 2007 - 133284 号公報に開示の手法を適用すると、簡易な構成により、高精度化した場合にあっては高い画質を維持することが可能な画像表示装置を得ることができると考えられる。

【0025】

図 7 は、図 6 との対比により、特開 2007 - 310311 号公報に開示の手法に、特開 2007 - 133284 号公報に開示の手法を適用した場合に考えられる画素回路のタイムチャートである。

【0026】

この場合、信号線 DTL には、しきい値電圧補正用の固定電圧 V_{ofs} を間に挟んで、信号線 DTL に接続された各画素回路 5 の階調設定電圧 V_{sig} が出力される。画素回路 5 は、この信号線 DTL の駆動に対応して書込信号 WS が間欠的に立ち上げられ、複数の期間で、保持容量 C_s の端子間電圧を駆動トランジスタ $T_r 2$ を介して放電させる。具体的に、この図 7 の例では、駆動トランジスタ $T_r 2$ を介して保持容量の端子間電圧を放電する処理を、期間 T_1 、 T_2 、 T_3 、 T_4 、 T_5 の 5 回の期間に分けて実行した後、期間 T_6 で移動度補正処理及び階調設定処理を実行する。なおこの図 7 において、 VD は、垂直同期信号である。

40

【特許文献 1】特開 2007 - 310311 号公報

【特許文献 2】特開 2007 - 133284 号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0027】

ところで画像表示装置において、画素回路の駆動を複数ラインで共通化することができれば、走査線駆動回路の構成を簡略化することができ、さらには走査線駆動回路を構成する集積回路の端子数を低減することもできる。

【0028】

本発明は以上の点を考慮してなされたもので、画素回路の駆動を複数ラインで共通化することができる画像表示装置及び画像表示装置の駆動方法を提案しようとするものである。

【課題を解決するための手段】

【0029】

上記の課題を解決するため請求項1の発明は、画像表示装置に適用して、画素回路をマトリックス状に配置して形成された表示部と、前記表示部の信号線に信号線用駆動信号を出力する信号線駆動回路と、前記表示部の電源用走査線及び書込用走査線に電源用駆動信号及び書込信号を出力する走査線駆動回路とを有する。前記画素回路は、発光素子と、ゲートソース間電圧に応じた駆動電流により前記発光素子を駆動する駆動トランジスタと、前記ゲートソース間電圧を保持する保持容量と、前記保持容量の一端の電圧を前記信号線用駆動信号の電圧に設定する書込トランジスタとを少なくとも有し、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止して前記発光素子の発光輝度を設定する非発光期間とを交互に繰り返し、前記発光期間において、前記書込信号による前記書込トランジスタの制御により、前記保持容量の一端の電圧を信号線用駆動信号の電圧に設定して、続く前記非発光期間を開始し、前記非発光期間において、前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の他端の電圧を立ち下げた後、前記書込信号による前記書込トランジスタの制御により、前記駆動トランジスタの一端の電圧を設定して前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の端子間電圧を放電させて前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定する前記駆動トランジスタのしきい値電圧補正処理を実行し、続いて前記書込信号による前記書込トランジスタの制御により、前記保持容量の端子電圧を前記信号線用駆動信号の電圧に設定して前記発光素子の発光輝度を設定し、続く前記発光期間を開始する。前記表示部は、複数ライン単位で連続するラインがグループ化される。前記走査線駆動回路は、1つのグループのライン数に対応する複数の水平走査期間ずつ、順次、遅延させて、前記グループ毎に前記電源用駆動信号を生成し、1つのグループの複数ラインに共通に前記電源用駆動信号を出力し、前記書込信号の設定により、前記発光期間及び非発光期間の開始のタイミングを、連続するラインで順次1水平走査期間ずつ遅延させると共に、前記しきい値電圧補正処理を実行する期間を、1つのグループの複数ラインで、同一に設定する。

【0030】

また請求項6の発明は、画素回路をマトリックス状に配置して形成された表示部と、前記表示部の信号線に信号線用駆動信号を出力する信号線駆動回路と、前記表示部の電源用走査線及び書込用走査線に電源用駆動信号及び書込信号を出力する走査線駆動回路とを有する画像表示装置の駆動方法に適用する。前記画素回路は、発光素子と、ゲートソース間電圧に応じた駆動電流により前記発光素子を駆動する駆動トランジスタと、前記ゲートソース間電圧を保持する保持容量と、前記保持容量の一端の電圧を前記信号線用駆動信号の電圧に設定する書込トランジスタとを少なくとも有し、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止して前記発光素子の発光輝度を設定する非発光期間とを交互に繰り返し、前記発光期間において、前記書込信号による前記書込トランジスタの制御により、前記保持容量の一端の電圧を信号線用駆動信号の電圧に設定して、続く前記非発光期間を開始し、前記非発光期間において、前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の他端の電圧を立ち下

10

20

30

40

50

げた後、前記書込信号による前記書込トランジスタの制御により、前記駆動トランジスタの一端の電圧を設定して前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、前記電源用駆動信号による前記駆動トランジスタの制御により、前記駆動トランジスタを介して前記保持容量の端子間電圧を放電させて前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に設定する前記駆動トランジスタのしきい値電圧補正処理を実行し、続いて前記書込信号による前記書込トランジスタの制御により、前記保持容量の端子電圧を前記信号線用駆動信号の電圧に設定して前記発光素子の発光輝度を設定し、続く前記発光期間を開始する。前記画像表示装置の駆動方法は、複数ライン単位で連続する前記表示部のラインをグループ化し、1つのグループのライン数に対応する複数の水平走査期間ずつ、順次、遅延させて、前記グループ毎に前記電源用駆動信号を生成し、1つのグループの複数ラインに共通に前記電源用駆動信号を出力し、前記書込信号の設定により、前記発光期間及び非発光期間の開始のタイミングを、連続するラインで順次1水平走査期間ずつ遅延させると共に、前記しきい値電圧補正処理を実行する期間を、1つのグループの複数ラインで、同一に設定する。

10

【0031】

請求項1又は請求項6の構成により、発光期間において、書込信号による書込トランジスタの制御により、保持容量の一端の電圧を信号線用駆動信号の電圧に設定して、続く非発光期間を開始し、非発光期間において、電源用駆動信号による駆動トランジスタの制御により、駆動トランジスタを介して保持容量の他端の電圧を立ち下げた後、駆動トランジスタのしきい値電圧補正処理を実行し、続いて書込信号による書込トランジスタの制御により、保持容量の端子電圧を信号線用駆動信号の電圧に設定して発光素子の発光輝度を設定し、続く発光期間を開始すれば、駆動トランジスタのしきい値電圧のばらつきを補正して発光素子の階調を設定して、書込信号による制御により発光期間、非発光期間を開始することができる。従って電源用駆動信号を立ち下げて保持容量の他端電圧を設定する処理は、非発光期間において、しきい値電圧補正処理に影響を与えない範囲で、所望する時点で実行することができる。またしきい値電圧補正処理を実行する期間を、1つのグループの複数ラインで同一に設定すれば、駆動トランジスタのしきい値電圧の補正処理において電源用駆動信号を立ち上げるタイミングを、この複数ラインで同一に設定することができる。これにより電源用駆動信号を連続する複数ラインで共通化することができる。

20

【発明の効果】

30

【0032】

本発明によれば、画素回路の駆動を複数ラインで共通化することができる。

【発明を実施するための最良の形態】

【0033】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。なお説明は、以下の順序で行う。

【0034】

1. 第1の実施の形態
2. 変形例

< 第1の実施の形態 >

40

[実施の形態の構成]

[全体構成]

図2は、図5との対比により本発明の第1の実施の形態に係る画像表示装置を示すブロック図である。この画像表示装置11は、信号線駆動回路13及び走査線駆動回路14の構成が異なる点を除いて、図5の画像表示装置1と同一に構成される。従って図7の画像表示装置1と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

【0035】

この画像表示装置11は、ガラス等の絶縁基板上に画素回路5をマトリックス状に配置して表示部2が作成され、この絶縁基板上の表示部2の周囲に、信号線駆動回路13及び走査線駆動回路14が配置される。

50

【0036】

ここで信号線駆動回路13は、表示部2に設けられた信号線DTLに信号線用駆動信号Ssigを出力する。すなわち信号線駆動回路13は、データスキャン回路13Aにより、ラスタ走査順に入力される画像データD1を順次ラッチして画像データD1を信号線DTLに振り分けた後、それぞれデジタルアナログ変換処理して階調電圧Vinを生成する。データスキャン回路13Aは、この階調電圧Vinに、ばらつき補正用の固定電圧Vofsを加算し、階調設定電圧Vsig(=Vin+Vofs)を生成する。

【0037】

データスキャン回路13Aは、タイミングジェネレータ17から出力されるセクタ制御信号S1により順次接点を切り換えるセクタ15により、階調設定電圧Vsig、ばらつき補正用の固定電圧Vofs、ゲートソース間電圧抑圧用の電圧Viniを順次循環的に信号線DTLに出力する(図3(B)参照)。なおゲートソース間電圧抑圧用の電圧Viniは、駆動トランジスタTr2のしきい値電圧のばらつき補正処理を実行した後、移動度補正処理及び階調設定処理を実行するまでの間、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧Vthより小さな電圧に一時的に抑圧し、この端子間電圧の時間変動を防止する電圧である。従ってゲートソース間電圧抑圧用の電圧Viniは、ばらつき補正用の固定電圧Vofsより十分に低い電圧に設定される。具体的にゲートソース間電圧抑圧用の電圧Viniは、ばらつき補正用の固定電圧Vofsより低い電圧であって、かつ電源用駆動信号DSの固定電圧Vssとの間の電位差が、駆動トランジスタTr2のしきい値電圧Vth以下の電圧である。

【0038】

走査線駆動回路14は、ライトスキャン回路(WSCN)14A及びドライブスキャン回路(DSCN)14Bにおいて、所定のサンプリングパルスSPをクロックCKで処理して書込信号WS及び駆動信号DSを生成し、この書込信号WS及び駆動信号DSを対応する走査線WSL及びDSLに出力する。

【0039】

図3は、図7との対比により、これら駆動信号Ssig、WS、DSによる画素回路5の動作の説明に供するタイムチャートである。画素回路5は、発光期間の間、書込信号WSにより書込トランジスタTr1がオフ状態に設定され(図3(D))、電源用駆動信号DSにより駆動トランジスタTr2に電源電圧Vccが供給される(図3(C))。その結果、画素回路5は、発光期間の間、保持容量Csの端子間電圧である駆動トランジスタTr2のゲートソース間電圧Vgs(図3(E)及び(F))に応じた駆動電流で有機EL素子8を発光させる。

【0040】

画素回路5は、発光期間が終了する時点t0で、書込信号WSが立ち上げられて書込トランジスタTr1がオン状態に設定され、保持容量Csの端子電圧がばらつき補正用の固定電圧Vofsに設定される。これにより画素回路5は、保持容量Csの端子間電圧がほぼ駆動トランジスタTr2のしきい値電圧Vthに設定され、駆動トランジスタTr2による有機EL素子8の駆動が停止し、非発光期間が開始する。従ってこの実施の形態において、固定電圧Vofsは、有機EL素子8のカソード電圧Vcathに、有機EL素子のしきい値電圧Vthelを加算した電圧(Vthel+Vcath)以下の電圧である。なお固定電圧Vofsに代えて、固定電圧Vofsより低い電圧Vini等に電圧に設定して、有機EL素子8の駆動を停止してもよい。

【0041】

続いて画素回路5は、所定の時点t1で、電源用駆動信号DSが所定の固定電圧Vssに立ち下げられる(図3(C))。これにより画素回路5は、駆動トランジスタTr2のソース電圧Vsがほぼ電圧Vssに立ち下がり、このソース電圧Vsの立ち下がりに連動して、駆動トランジスタTr2のゲート電圧Vgが低下する(図3(E)及び(F))。これにより画素回路5は、駆動トランジスタTr2のしきい値電圧補正処理の準備処理に関して、保持容量Csのソース側端電圧が設定される。

【0042】

続いて画素回路5は、信号線DTLの電圧が固定電圧Vofsに設定されている所定の時点t2で、書込信号WSにより書込トランジスタTr1がオン状態に設定され、保持容量Csのゲート側端の電圧が固定電圧Vofsに設定される(図3(B)及び(D))。これにより画素回路5は、保持容量Csの端子間電圧が駆動トランジスタTr2のしきい値電圧以上の電圧に設定される(図3(E)及び(F))。これにより画素回路5は、駆動トランジスタTr2のしきい値電圧補正処理の準備処理に関して、保持容量Csのゲート側端電圧が設定され、保持容量Csの端子間電圧が駆動トランジスタTr2のしきい値電圧Vth以上の電圧に設定される。なお以下において、駆動トランジスタTr2のしきい値電圧補正処理の準備処理に関して、保持容量Csのゲート側端電圧を設定する期間を符号Aにより示す。

10

【0043】

画素回路5は、その後、電源用駆動信号DSが電源電圧Vccに立ち上げられ、信号線DTLの電圧が固定電圧Vofsに設定されている複数回の期間で、書込信号WSにより書込トランジスタTr1がオン状態に設定される。これにより画素回路5は、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電し、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧に設定する。なお以下において、駆動トランジスタTr2を介して保持容量Csの端子間電圧を放電し、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧に設定する期間を、符号Bにより示す。

【0044】

これにより図3の例において、画素回路5は、連続する3水平走査期間で、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧以上の電圧に設定した後、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧に設定する。

20

【0045】

画素回路5は、続く水平走査期間において、信号線DTLがゲートソース間電圧抑圧用の電圧Viniに設定されている期間で、書込信号WSにより書込トランジスタTr1がオン状態に設定される(図3(D))。その結果、画素回路5は、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧より小さな電圧に抑圧し、移動度補正及び階調設定処理までの期間における保持容量Csの端子間電圧の時間変動を防止する。なお以下において、このゲートソース間電圧抑圧用の電圧Viniを設定する期間を符号Cにより示す。

30

【0046】

画素回路5は、続いて一定期間T経過して、信号線DTLが対応する階調設定電圧Vsigに設定されている期間で、書込信号WSにより書込トランジスタTr1が一定期間オン状態に設定される(図3(D))。これにより画素回路5は、移動度補正処理、階調設定処理を実行し、発光期間を開始する。なお以下において、この移動度をばらつき補正して階調を設定する期間を、符号Dにより示す。また非発光期間の開始時点で固定電圧Vofsを設定する期間を符号Eにより示す。

【0047】

なおこの図3の例において、画像表示装置11は、しきい値電圧補正処理を開始した後、非発光期間を開始するまでの間、書込信号WSのLレベル電圧WS-L1を、この期間以外の期間におけるLレベル電圧WS-L2より高い電圧に保持する。これにより画像表示装置11は、書込トランジスタTr1のリーク電流を防止し保持容量Csの端子間電圧の変動を防止する。

40

【0048】

[ユニットドライブ]

ここでこの実施の形態において、画素回路5は、保持容量Csの端子電圧の設定により発光期間、非発光期間がそれぞれ開始することになる。従って、電源用駆動信号DSを電圧Vssに立ち下げて保持容量Csのソース側端電圧を設定する処理は、非発光期間において、しきい値電圧補正処理に影響を与えない範囲で、所望する時点で実行することがで

50

きる。これにより画素回路 5 は、電源用駆動信号 $D S$ を電圧 V_{ss} に立ち下げるタイミングをこれら連続する複数ラインで同一に設定する。

【0049】

またさらに画素回路 5 は、ゲートソース間電圧抑圧用の基準電圧 V_{ini} の設定により、保持容量 C_s の端子間電圧を駆動トランジスタ $T_r 2$ のしきい値電圧に設定した後、移動度補正及び階調設定処理までの間、保持容量 C_s の端子間電圧の時間変動を防止することができる。従って保持容量 C_s の端子間電圧を駆動トランジスタ $T_r 2$ のしきい値電圧に設定した後、移動度補正及び階調設定処理までの期間 T を、種々に設定することができる。

【0050】

そこで画像表示装置 11 は、符号 D により示す発光期間の開始に係る書込信号 $W S$ による制御を除いて、符号 A 及び B により示す駆動トランジスタ $T_r 2$ のしきい値電圧の補正処理に係る書込信号 $W S$ による書込トランジスタ $T_r 1$ の制御、符号 C により示すこの制御に関連する書込トランジスタ $T_r 1$ の制御を、連続する複数ラインで共通化する。これにより画素回路 5 は、電源用駆動信号 $D S$ を電圧 V_{cc} に立ち上げるタイミングをこれら連続する複数ラインで同一に設定する。

【0051】

画像表示装置 11 は、これにより連続する複数ラインで電源用駆動信号 $D S$ の立ち上げ及び立ち下げのタイミングを同一に設定し、この連続する複数ラインで電源用駆動信号 $D S$ を共通化する。これにより画像表示装置 11 は、いわゆるユニットドライブ方式により各画素回路 5 を駆動する。

【0052】

すなわち図 3 との対比により図 1 に示すように、画像表示装置 11 は、表示部 2 を構成する画素回路 5 を 5 ライン単位でグループ化し、各グループで電源用駆動信号 $D S$ を共通化する。この図 1 では、5 ライン単位のグループ化に対応して、連続するラインを $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ (n は整数) により表し、電源用駆動信号 $D S$ 及び書込信号 $W S$ との対応関係を示す。なお以下においては、このグループ化によるグループをユニットと呼ぶ。

【0053】

走査線駆動回路 14 は、ライトスキャン回路 14 A に、書込信号 $W S$ を定義する第 1 及び第 2 のサンプリングパルスを入力する。ここで第 1 のサンプリングパルスは、符号 D 及び E により示す発光期間及び非発光期間を開始する際の書込信号 $W S$ の立ち上がりを定義するサンプリングパルスである。また第 2 のサンプリングパルスは、符号 A 、 B 、 C で示す書込信号 $W S$ の立ち上がりを定義するサンプリングパルスである。

【0054】

ライトスキャン回路 14 A は、1 つのユニットを構成するライン数に対応する 5 水平走査期間ずつ、この第 1 のサンプリングパルスを順次遅延させ、ユニット毎の第 1 のサンプリングパルスを生成する。また第 2 のサンプリングパルスを順次、1 水平走査期間ずつ遅延させ、ライン毎の第 2 のサンプリングパルスを生成する。ライトスキャン回路 14 A は、このユニット毎の第 1 のサンプリングパルスと、ライン毎の第 2 のサンプリングパルスをライン毎に合成し、ライン毎に書込信号 $W S [5n]$ 、 $W S [5n+1]$ 、... を出力する。

【0055】

これにより走査線駆動回路 14 は、発光期間及び非発光期間の開始のタイミングを、連続するラインで順次 1 水平走査期間ずつ遅延させると共に、しきい値電圧の補正処理を実行する期間を、1 つのグループの複数ラインで、同一に設定する。

【0056】

また走査線駆動回路 14 は、ドライブスキャン回路 14 B において、電源用駆動信号 $D S$ を定義するサンプリングパルスを 1 つのユニットを構成するライン数に対応する 5 水平走査期間ずつ、順次遅延させ、ユニット毎にサンプリングパルスを生成する。ドライブス

10

20

30

40

50

キャン回路14Bは、このユニット毎のサンプリングパルスにより、各ユニットに電源用駆動信号DSを出力する。

【0057】

[実施の形態の動作]

以上の構成において、順次入力される画像データD1は(図2)、走査線駆動回路14で信号線DTLに振り分けられた後、デジタルアナログ変換処理されて階調電圧Vinに変換される。画像表示装置11では、この階調電圧Vinより各信号線DTLの駆動信号Ssigが生成される。画像表示装置11では、走査線駆動回路14から出力される書込信号WSによる書込トランジスタTr1の制御により、各画素回路5に設けられた保持容量Csの端子間電圧が駆動信号Ssigに応じた電圧に設定される。また走査線駆動回路14から出力される電源用駆動信号DSによる駆動トランジスタTr2の制御により、この保持容量Csの端子間電圧によるゲートソース間電圧により駆動トランジスタTr2で有機EL素子8が駆動される。これにより画像表示装置11では、画像データD1による画像を表示部2で表示することができる。

10

【0058】

より具体的に、画素回路5においては(図3)、ソースフォロワ回路構成の駆動トランジスタTr2により有機EL素子8が電流駆動される。画素回路5においては、この駆動トランジスタTr2のゲート、ソース間に設けられた保持容量Csのゲート側端電圧が階調電圧Vinに応じた電圧Vsigに設定される。これにより画像表示装置11では、画像データD1に応じた発光輝度により有機EL素子8を発光させて所望の画像を表示する。

20

【0059】

しかしながらこれら画素回路5に適用される駆動トランジスタTr2は、しきい値電圧Vthのばらつきが大きい欠点がある。その結果、画像表示装置11では、単に保持容量Csのゲート側端電圧を階調電圧Vinに応じた電圧Vsigに設定したのでは、駆動トランジスタTr2のしきい値電圧Vthのばらつきにより有機EL素子8の発光輝度がばらつき、画質が劣化する。

【0060】

そこで画像表示装置11では、事前に、電源用駆動信号DSの立ち下げにより保持容量Csの有機EL素子8側端電圧を立ち下げる。その後、書込トランジスタTr1を介して保持容量Csのゲート側端電圧がしきい値電圧補正用の固定電圧Vofsに設定される(図3、符号A)。これにより画像表示装置11では、保持容量Csの端子間電圧が駆動トランジスタTr2のしきい値電圧Vth以上に設定される。また駆動トランジスタTr2を介して、この保持容量Csの端子間電圧が放電される(図3、符号B)。これらの一連の処理により、画像表示装置11では、保持容量Csの端子間電圧が、事前に、駆動トランジスタTr2のしきい値電圧Vthに設定される。

30

【0061】

その後、画像表示装置11では、階調電圧Vinに固定電圧Vofsを加算した階調設定電圧Vsigが駆動トランジスタTr2のゲート電圧に設定される(図3、符号D)。これにより画像表示装置11では、駆動トランジスタTr2のしきい値電圧Vthのばらつきによる画質劣化を防止することができる。

40

【0062】

また一定時間の間、駆動トランジスタTr2に電源を供給した状態で、駆動トランジスタTr2のゲート電圧を階調設定電圧Vsigに保持することにより、駆動トランジスタTr2の移動度のばらつきによる画質劣化を防止することができる。

【0063】

また階調設定電圧Vsigの設定により発光期間を開始して一定時間経過すると、書込トランジスタTr1を介して保持容量Csのゲート側端電圧が固定電圧Vofsに設定され、これにより書込トランジスタTr1の制御により非発光期間が開始する。

【0064】

50

これによりこの実施の形態の画像表示装置 11 では、電源用駆動信号 DS を立ち下げるタイミングについては、非発光期間において、しきい値電圧補正処理に影響を与えない範囲で、所望する時点で実行することができる。従って電源用駆動信号 DS を立ち下げるタイミングについては、連続する複数ラインで同一に設定することができる。

【0065】

しかしながら画像表示装置 11 では、書込信号 WS による書込トランジスタ Tr1 の制御によりライン順次で各画素回路 5 の階調を設定することになる。従って何ら工夫を講じない場合、電源用駆動信号 DS を立ち上げるタイミングについては、ライン毎の書込信号 WS にそれぞれ対応するように、ライン毎に設定することが必要になる。その結果、書込信号 WS に対応して電源用駆動信号 DS をライン毎に作成することが必要になり、走査線駆動回路 14 の構成が複雑になる。

10

【0066】

そこで画像表示装置 11 では、電源用駆動信号 DS の立ち上がりに対応する書込信号 WS による制御の一部であるしきい値電圧補正処理を、連続する複数ライン $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ で同一のタイミングで実行するように、この連続する複数ライン $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ の書込信号 WS [$5n$]、WS [$5n+1$]、WS [$5n+2$]、WS [$5n+3$]、WS [$5n+4$] を設定する。(図 1、符号 A、B)。また発光期間及び非発光期間の開始に係る書込信号 WS の制御については、連続するライン $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ で順次 1 水平走査期間ずつ遅延するように設定する(図 1、符号 D、E)。これにより対応する電源用駆動信号 DS の立ち上がりを、この連続する複数ライン $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ で同一のタイミングに設定できるようにし、この連続する複数ライン $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ で電源用駆動信号 DS を共通化する。

20

【0067】

これにより画像表示装置 11 では、走査線駆動回路 14 の構成を簡略化し、歩留りを向上することができる。また走査線駆動回路 14 を構成する集積回路と表示部 2 との接続を簡略化することができ、これによっても構成を簡略化し、歩留りを向上することができる。また信号線駆動回路にメモリを設ける等の余分な構成の増大を有効に回避してユニットドライブ方式を実現することができる。

【0068】

画像表示装置 11 では、この書込信号 WS の L レベルの電圧を 2 値の電圧 WS - L1、WS - L2 に設定して、非発光期間が開始すると電圧の低い側である L レベル電圧 WS - L2 に設定して書込トランジスタ Tr1 をオフ状態に設定する。またその後、しきい値電圧補正処理を開始すると、続く非発光期間が開始するまでの間、L レベル電圧 WS - L2 より高い電圧である L レベル電圧 WS - L1 に設定して書込トランジスタ Tr1 をオフ動作させる。

30

【0069】

これにより画像表示装置 11 では、書込トランジスタ Tr1 のリーク電流を防止し保持容量 Cs の端子間電圧の変動を防止する。すなわち画像表示装置 11 では、駆動トランジスタ Tr2 のドレイン電圧を立ち上げると、書込トランジスタ Tr1 にリーク電流が発生し易くなる。特に発光期間が開始するとブートストラップ回路により駆動トランジスタ Tr2 のゲート電圧が上昇し、その結果、書込トランジスタ Tr1 の L レベル電圧を低い電圧に保持していたのでは、リーク電流が発生して保持容量 Cs の端子間電圧が変化することになる。

40

そこでこの画像表示装置 11 では、しきい値電圧補正処理を開始した後、非発光期間が開始するまでの間、書込トランジスタ Tr1 のゲート電圧を高い L レベル電圧 WS - L1 に設定し、保持容量 Cs の端子間電圧の変動を防止する。

【0070】

しかしながらこのようにしきい値電圧補正処理を、連続する複数ライン $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ で同一のタイミングで実行するように設定して、線順次

50

により有機EL素子8の発光輝度を設定する場合、しきい値電圧補正処理を実行した後、有機EL素子8の発光輝度を設定するまでの期間 $T[5n]$ 、 $T[5n+1]$ 、 $T[5n+2]$ 、 $T[5n+3]$ 、 $T[5n+4]$ が、1つのユニットを構成するライン毎に相違することとなる(図1)。

【0071】

ここでこの期間 $T[5n]$ 、 $T[5n+1]$ 、 $T[5n+2]$ 、 $T[5n+3]$ 、 $T[5n+4]$ の開始時点、各画素回路5は、保持容量 C_s の端子間電圧が駆動トランジスタ Tr_2 のしきい値電圧に保持されていることになる。従って理想的には、保持容量 C_s の端子間電圧は、この期間 $T[5n]$ 、 $T[5n+1]$ 、 $T[5n+2]$ 、 $T[5n+3]$ 、 $T[5n+4]$ によっては変化しないことになる。

10

【0072】

しかしながら実際には、僅かではあるが、駆動トランジスタ Tr_2 により保持容量 C_s のソース側端が充電され、その結果、1つのユニットを構成する複数のラインでこの期間 $T[5n]$ 、 $T[5n+1]$ 、 $T[5n+2]$ 、 $T[5n+3]$ 、 $T[5n+4]$ が相違すると、横スジ等の画質劣化が発生する。

【0073】

そこで画像表示装置11では、しきい値電圧補正処理を完了すると、しきい値電圧補正用の固定電圧 V_{ofs} に比して低い電圧であるゲートソース間電圧抑圧用の電圧 V_{ini} に、保持容量 C_s の端子電圧が設定され、保持容量 C_s の端子間電圧が駆動トランジスタ Tr_2 のしきい値電圧より小さい電圧に抑圧される。これにより画像表示装置11では、この期間 $T[5n]$ 、 $T[5n+1]$ 、 $T[5n+2]$ 、 $T[5n+3]$ 、 $T[5n+4]$ における保持容量 C_s の端子間電圧の時間変動を防止し、画質の劣化を防止する。

20

【0074】

[実施の形態の効果]

以上の構成によれば、連続する複数ラインで駆動トランジスタのしきい値電圧補正処理に係る書込信号による制御を同一に設定し、この複数ラインで電源用駆動信号を共通化することにより、画素回路の駆動を複数ラインで共通化することができる。

【0075】

また書込信号を第1の電圧に設定して非発光期間を開始した後、書込信号を第1の電圧から第2の電圧に設定して書込トランジスタをオフ状態に設定し、少なくともしきい値電圧補正処理を開始した後、非発光期間が開始するまでの間、第1及び第2の電圧の間の第3の電圧に書込信号を設定して書込トランジスタをオフ状態に設定することにより、リーク電流による保持容量の端子間電圧の変動を防止して画質劣化を防止することができる。

30

【0076】

またしきい値電圧補正処理を実行した後、ゲートソース間電圧抑圧用電圧により保持容量の端子間電圧を駆動トランジスタのしきい値電圧より小さな電圧に抑圧することにより、保持容量の端子間電圧の時間変動を防止し、画質の劣化を防止することができる。

【0077】

より具体的に、しきい値電圧補正処理において設定される固定電圧に対して、ゲートソース間電圧抑圧用電圧を低い電圧に設定し、ゲートソース間電圧抑圧用電圧と電圧設定用の固定電圧との差電圧を、駆動トランジスタのしきい値電圧以下とすることにより、確実に保持容量の端子間電圧の時間変動を防止し、画質の劣化を防止することができる。

40

【0078】

<変形例>

なお上述の実施の形態においては、書込信号を3値により生成する場合について述べたが、本発明はこれに限らず、実用上十分な特性を確保できる場合には、書込信号を2値により生成してもよい。

【0079】

また上述の実施の形態においては、しきい値電圧補正処理を実行した後、ゲートソース間電圧抑圧用電圧により保持容量の端子間電圧を抑圧する場合について述べたが、本発明

50

はこれに限らず、実用上十分な特性を確保できる場合には、この抑圧の処理を省略してもよい。

【 0 0 8 0 】

また上述の実施の形態においては、駆動トランジスタを介した保持容量の端子間電圧の放電を複数回の期間で実行する場合について述べたが、本発明はこれに限らず、この放電の処理を1回の期間で実行する場合にも広く適用することができる。

【 0 0 8 1 】

また上述の実施の形態においては、Nチャンネル型のトランジスタを駆動トランジスタに適用する場合について述べたが、本発明はこれに限らず、Pチャンネル型のトランジスタを駆動トランジスタに適用する画像表示装置等に広く適用することができる。

10

【 0 0 8 2 】

また上述の実施の形態においては、本発明を有機EL素子の画像表示装置に適用する場合について述べたが、本発明はこれに限らず、電流駆動型の各種自発光素子による画像表示装置に広く適用することができる。

【 産業上の利用可能性 】

【 0 0 8 3 】

本発明は、例えば有機EL素子によるアクティブマトリックス型の画像表示装置に適用することができる。

【 図面の簡単な説明 】

【 0 0 8 4 】

20

【 図 1 】 本発明の第1の実施の形態に係る画像表示装置の動作の説明に供するタイムチャートである。

【 図 2 】 本発明の第1の実施の形態に係る画像表示装置を示すブロック図である。

【 図 3 】 図2の画像表示装置における画素回路の動作の説明に供するタイムチャートである。

【 図 4 】 従来の画像表示装置を示すブロック図である。

【 図 5 】 図4の画像表示装置の画素回路を詳細に示す接続図である。

【 図 6 】 図5の画素回路の動作の説明に供するタイムチャートである。

【 図 7 】 しきい値電圧補正処理を複数回で実行する場合を示すタイムチャートである。

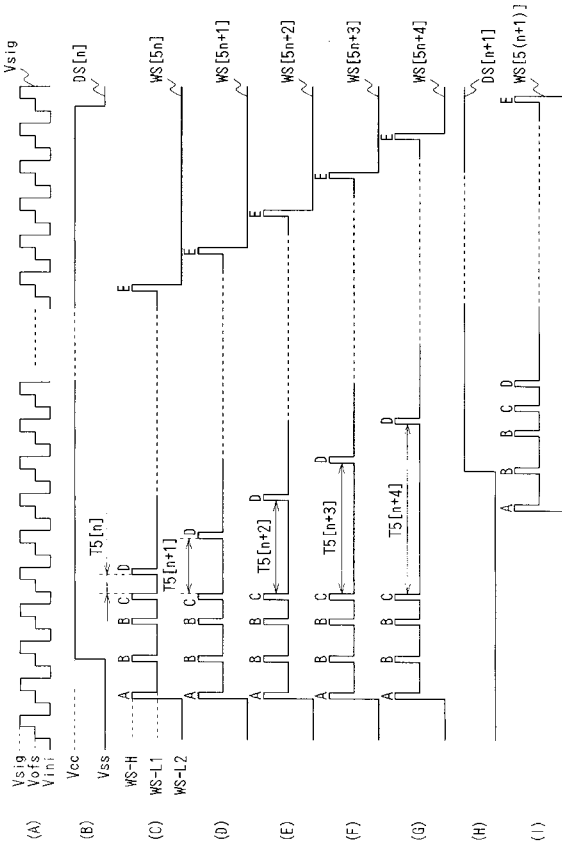
【 符号の説明 】

30

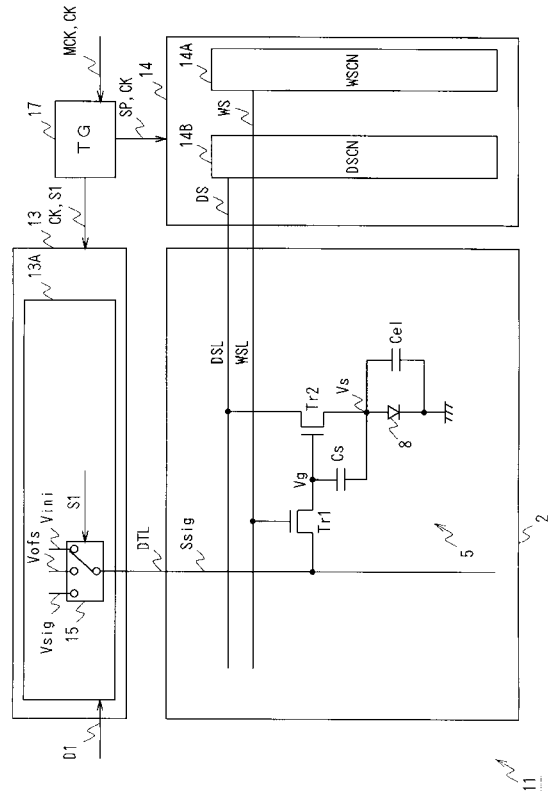
【 0 0 8 5 】

1、11 …… 画像表示装置、2 …… 表示部、3、13 …… 信号線駆動回路、4、14 …… 走査線駆動回路、5 …… 画素回路、8 …… 有機EL素子、Cs …… 保持容量、Tr1、Tr2 …… トランジスタ

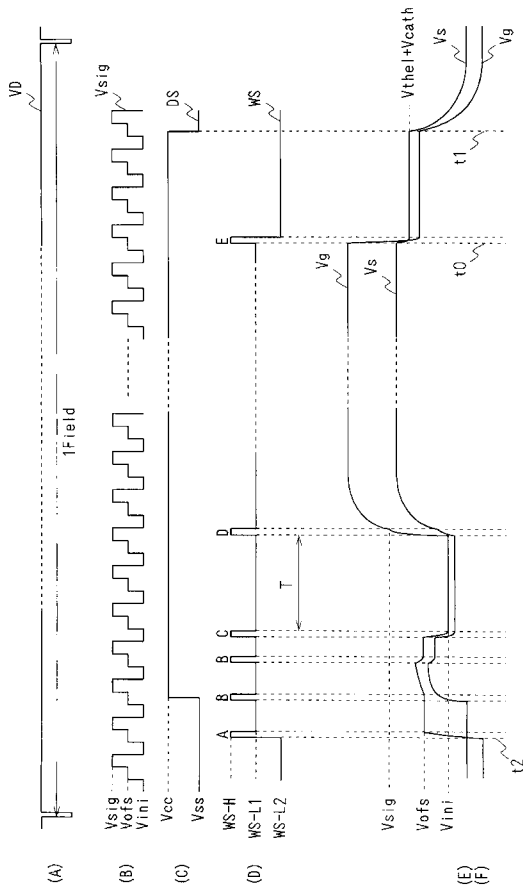
【図 1】



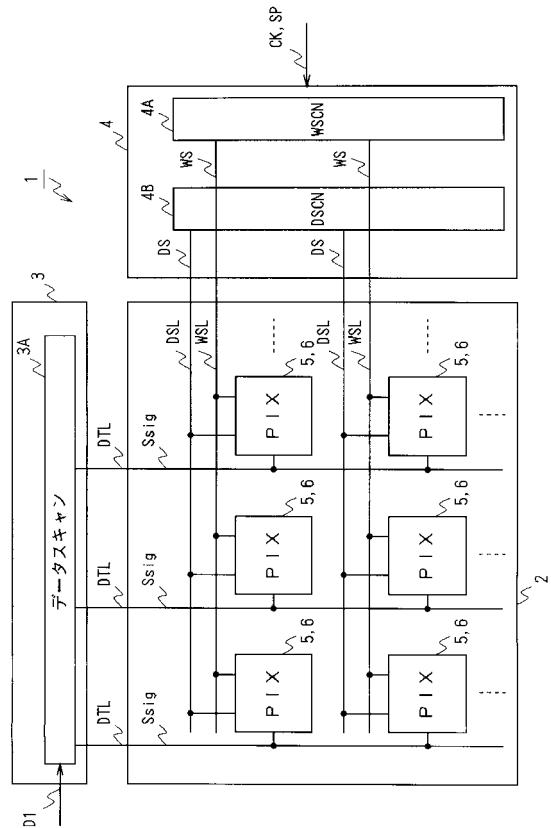
【図 2】



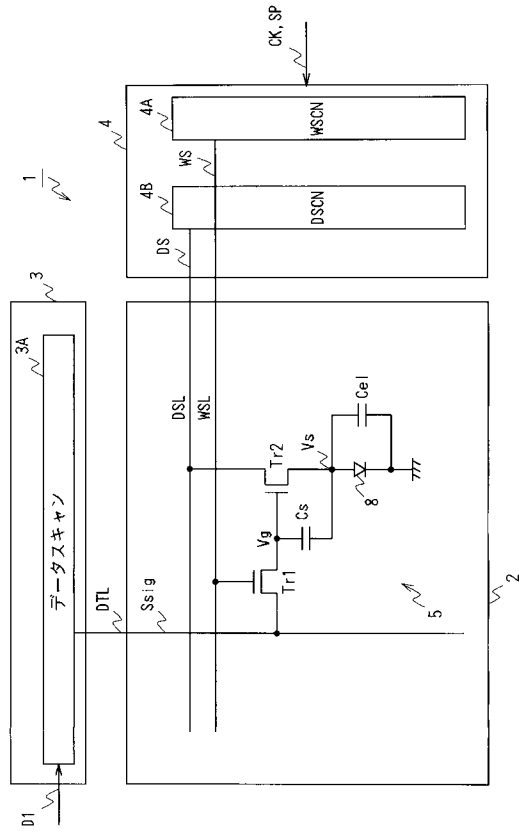
【図 3】



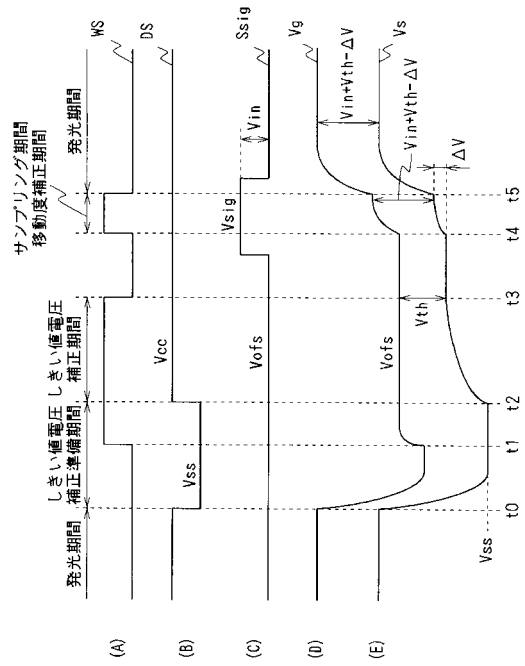
【図 4】



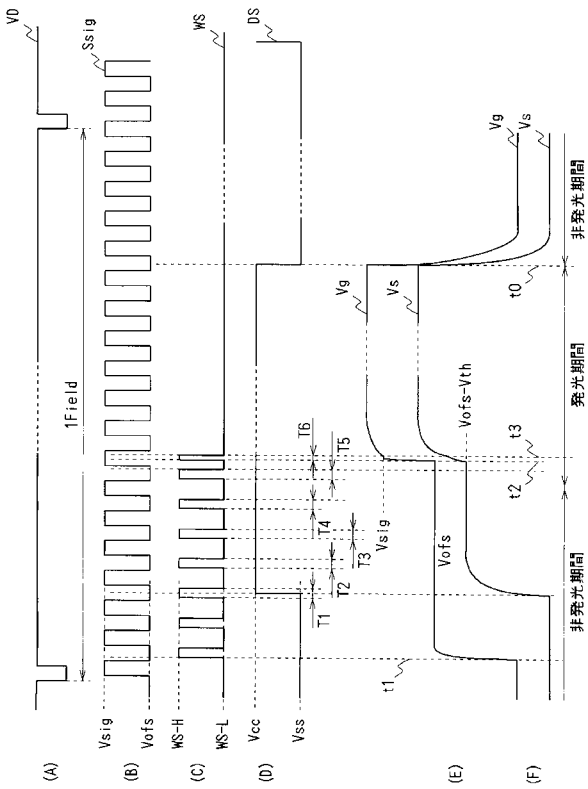
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 Q
H 0 5 B 33/14 A

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC31 CC35 EE03 HH00 HH04 HH05
5C080 AA06 BB05 DD05 DD23 EE29 JJ02 JJ03 JJ04 JJ05

专利名称(译)	图像显示装置和图像显示装置的驱动方法		
公开(公告)号	JP2010054564A	公开(公告)日	2010-03-11
申请号	JP2008216387	申请日	2008-08-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	伴田智壮 山本哲郎 内野勝秀		
发明人	伴田 智壮 山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.D G09G3/20.611.H G09G3/20.623.D G09G3/20.622.Q H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC35 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB34 5C380/BA10 5C380/BA12 5C380/BA14 5C380/BA29 5C380/BA31 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA26 5C380/CA32 5C380/CA54 5C380/CB01 5C380/CB02 5C380/CB20 5C380/CB27 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD022 5C380/CE04 5C380/CE19 5C380/CF09 5C380/CF52 5C380/CF53 5C380/DA02 5C380/DA06 5C380/DA30 5C380/DA32 5C380/DA47 5C380/HA05		
外部链接	Espacenet		

摘要(译)

本发明例如应用于使用有机EL元件的有源矩阵型图像显示装置，并驱动多条线共用的像素电路。根据本发明，提供了与多条连续线中的驱动晶体管的阈值电压校正处理有关的写信号WS [5n]，WS [5n + 1]，WS [5n + 2]，WS [5n +]。如图3所示，将WS [5n + 4]的控件A，B和C设置为相同，并且电源驱动信号DS [n]由多条线共享。[选型图]图1

