

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-204979

(P2009-204979A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 670J	
審査請求 未請求 請求項の数 6 O L (全 44 頁) 最終頁に続く		

(21) 出願番号 特願2008-48258 (P2008-48258)
 (22) 出願日 平成20年2月28日 (2008.2.28)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 CC45 EE03
 HH02 HH04 HH05
 最終頁に続く

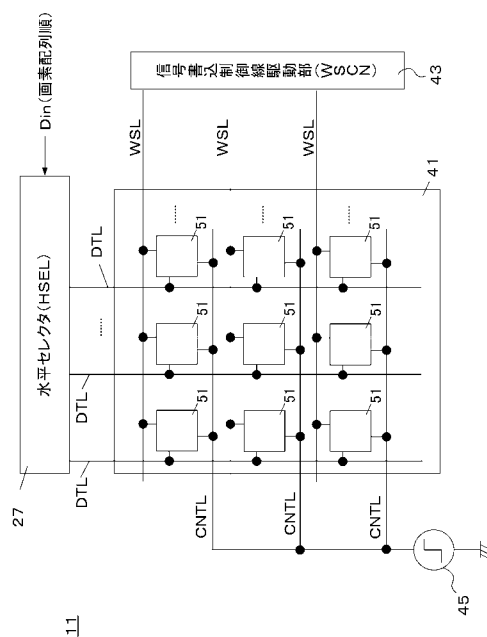
(54) 【発明の名称】 E L表示パネル、電子機器及びE L表示パネルの駆動方法

(57) 【要約】

【課題】低コスト化と画質品質とが両立するE L表示デバイスを実現する。

【解決手段】アクティブマトリクス駆動方式に対応したE L表示パネルに、(a) 固定電源線より駆動電流を引き込んでE L表示素子に供給する駆動トランジスタと、当該駆動トランジスタのゲート電極とソース電極との間に接続される保持容量と、保持容量への信号電位の書き込みを制御するサンプリングトランジスタとを少なくとも有する画素回路と、(b) 全ての画素回路に共通する容量制御線と、(c) E L表示素子のアノード電極と容量制御線との間にそれぞれ配置されるカップリング容量と、(d) 少なくとも1フィールド期間に1回、容量制御線の電位を低電位から高電位に立ち上げ、当該立ち上げから一定期間後に低電位に立ち下げるパルス電圧源とを搭載する。

【選択図】 図 1 9



【特許請求の範囲】**【請求項 1】**

固定電源線より駆動電流を引き込んで E L 表示素子に供給する駆動トランジスタと、当該駆動トランジスタのゲート電極とソース電極との間に接続される保持容量と、前記保持容量への信号電位の書き込みを制御するサンプリングトランジスタとを少なくとも有する画素回路と、

全ての画素回路又は複数の画素回路単位で共通に接続される容量制御線と、

前記 E L 表示素子のアノード電極と前記容量制御線との間にそれぞれ配置されるカップリング容量と、

少なくとも 1 フィールド期間に 1 回、前記容量制御線の電位を低電位から高電位に立ち上げ、当該立ち上げから一定期間後に低電位に立ち下げるパルス電圧源と

を有することを特徴とするアクティブマトリクス駆動方式に対応した E L 表示パネル。

10

【請求項 2】

請求項 1 に記載の E L 表示パネルにおいて、

前記パルス電圧源は、

いずれかの画素回路に閾値補正用の基準電位が印加されている期間中に、前記容量制御線の電位を低電位から高電位に立ち上げ、前記基準電位の印加終了から一定期間後に前記容量制御線を高電位から低電位に立ち下げる

ことを特徴とする E L 表示パネル。

20

【請求項 3】

請求項 1 又は 2 に記載の E L 表示パネルにおいて、

前記パルス電圧源は、

前記容量制御線の電位を立ち上げと立ち下げを、1 水平走査期間周期で実行することを特徴とする E L 表示パネル。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の E L 表示パネルにおいて、

前記駆動トランジスタは、N チャネル型の薄膜トランジスタである

ことを特徴とする E L 表示パネル。

【請求項 5】

固定電源線より駆動電流を引き込んで E L 表示素子に供給する駆動トランジスタと、当該駆動トランジスタのゲート電極とソース電極との間に接続される保持容量と、前記保持容量への信号電位の書き込みを制御するサンプリングトランジスタとを少なくとも有する画素回路と、全ての画素回路又は複数の画素回路単位で共通に接続される容量制御線と、前記 E L 表示素子のアノード電極と前記容量制御線との間にそれぞれ配置されるカップリング容量と、少なくとも 1 フィールド期間に 1 回、前記容量制御線の電位を低電位から高電位に立ち上げ、当該立ち上げから一定期間後に低電位に立ち下げるパルス電圧源と有するアクティブマトリクス駆動方式に対応した E L 表示パネルと、

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を有することを特徴とする電子機器。

30

40

【請求項 6】

固定電源線より駆動電流を引き込んで E L 表示素子に供給する駆動トランジスタと、当該駆動トランジスタのゲート電極とソース電極との間に接続される保持容量と、前記保持容量への信号電位の書き込みを制御するサンプリングトランジスタとを少なくとも有する画素回路と、全ての画素回路又は複数の画素回路単位で共通に接続される容量制御線と、前記 E L 表示素子のアノード電極と前記容量制御線との間にそれぞれ配置されるカップリング容量とを有するアクティブマトリクス駆動方式に対応した E L 表示パネルの駆動方法であって、

少なくとも 1 フィールド期間に 1 回、前記容量制御線の電位を低電位から高電位に立ち上げ、当該立ち上げから一定期間後に低電位に立ち下げる

50

ことを特徴とする E L 表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御される E L 表示パネル及びその駆動技術に関する。なお、この明細書で提案する発明は、E L 表示パネル、電子機器及び E L 表示パネルの駆動方法としての側面も有する。

【背景技術】

【0002】

図 1 に、アクティブマトリクス駆動型の有機 E L パネルに一般的な回路ブロック構成を示す。図 1 に示すように、有機 E L パネル 1 は、画素アレイ部 3 と、その駆動回路である信号書込制御線駆動部 5 及び水平セクタ 7 で構成される。なお、画素アレイ部 3 には、信号線 D T L と書込制御線 W S L の各交点に画素回路 9 が配置される。

10

【0003】

ところで、有機 E L 素子は電流発光素子である。このため、有機 E L パネルでは、各画素に対応する有機 E L 素子に流れる電流量の制御により階調を制御する駆動方式が採用される。図 2 に、この種の画素回路 9 のうち最も単純な回路構成の一つを示す。この画素回路 9 は、サンプリングトランジスタ T 1、駆動トランジスタ T 2 及び保持容量 C s で構成される。

【0004】

20

なお、サンプリングトランジスタ T 1 は、対応画素の階調に対応する信号電位 V sig の保持容量 C s への書き込みを制御する薄膜トランジスタである。また、駆動トランジスタ T 2 は、保持容量 C s に保持された信号電位 V sig に応じて定まるゲート・ソース間電圧 V gs に基づいて駆動電流 I ds を有機 E L 素子 O L E D に供給する薄膜トランジスタである。図 2 の場合、サンプリングトランジスタ T 1 は、N チャネル型薄膜トランジスタで構成され、駆動トランジスタ T 2 は、P チャネル型薄膜トランジスタで構成される。

【0005】

図 2 の場合、駆動トランジスタ T 2 のソース電極は、電源電位 V cc が固定的に印加されている電流供給線に接続され、常に飽和領域で動作する。すなわち、駆動トランジスタ T 2 は、信号電位 V sig に応じた大きさの駆動電流を有機 E L 素子 O L E D に供給する定電流源として動作する。この際、駆動電流 I ds は次式で与えられる。

30

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

【0006】

因みに、 μ は、駆動トランジスタ T 2 の多数キャリアの移動度である。また、 V_{th} は、駆動トランジスタ T 2 の閾値電圧である。また、 k は、 $(W/L) \cdot C_{ox}$ で与えられる係数である。ここで、 W はチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0007】

なお、この構成の画素回路の場合、図 3 に示す有機 E L 素子の I - V 特性の経時変化に伴って、駆動トランジスタ T 2 のドレイン電圧が変化する特性があることが知られている。しかし、ゲート・ソース間電圧 V gs は一定に保たれるので、有機 E L 素子に供給される電流量には変化が無く、発光輝度を一定に保つことができる。

40

【0008】

以下に、アクティブマトリクス駆動方式を採用する有機 E L パネルディスプレイに関する文献を例示する。

【特許文献 1】特開 2003 - 255856 号公報

【特許文献 2】特開 2003 - 271095 号公報

【特許文献 3】特開 2004 - 133240 号公報

【特許文献 4】特開 2004 - 029791 号公報

【特許文献 5】特開 2004 - 093682 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、薄膜プロセスの種類によっては図2に示す回路構成を採用できない場合がある。すなわち、現在の薄膜プロセスでは、Pチャネル型の薄膜トランジスタを採用できない場合がある。このような場合、駆動トランジスタT2をNチャネル型薄膜トランジスタに置き換えることになる。

【0010】

図4に、この種の画素回路の構成を示す。この場合、駆動トランジスタT2のソース電極は有機EL素子OLEDの陽極(アノード)端子に接続される。ただし、この画素回路9の場合には、有機EL素子のI-V特性の経時変化に伴ってゲート・ソース間電圧V_{gs}が変動する問題がある。このゲート・ソース間電圧V_{gs}の変動は、駆動電流量を変化させ、発光輝度を変化させてしまう。

10

【0011】

この他、各画素回路を構成する駆動トランジスタT2の閾値及び移動度は、画素毎に異なっている。この駆動トランジスタT2の閾値や移動度の違いは、駆動電流値のバラツキとなって出現し、発光輝度が画素毎に変化する。

【0012】

従って、図4に示す画素回路を採用する場合には、経時変化によらず安定した発光特性の得られる駆動方法の確立が求められる。同時に、製造コストが安価なEL表示パネルの実現が求められる。

20

【課題を解決するための手段】

【0013】

そこで、発明者らは、(a)固定電源線より駆動電流を引き込んでEL表示素子に供給する駆動トランジスタと、当該駆動トランジスタのゲート電極とソース電極との間に接続される保持容量と、保持容量への信号電位の書き込みを制御するサンプリングトランジスタとを少なくとも有する画素回路と、(b)全ての画素回路又は複数の画素回路単位で共通に接続される容量制御線と、(c)EL表示素子のアノード電極と容量制御線との間にそれぞれ配置されるカップリング容量と、(d)少なくとも1フィールド期間に1回、容量制御線の電位を低電位から高電位に立ち上げ、当該立ち上げから一定期間後に低電位に立ち下げるパルス電圧源とを有するEL表示パネルを提案する。

30

【0014】

因みに、ここでのパルス電圧源は、いずれかの画素回路に閾値補正用の基準電位が印加されている期間中に、容量制御線の電位を低電位から高電位に立ち上げ、基準電位の印加終了から一定期間後に容量制御線を高電位から低電位に立ち下げるように動作することが望ましい。

【0015】

また、ここでのパルス電圧源は、容量制御線の電位を立ち上げと立ち下げを、1水平走査期間周期で実行することが望ましい。因みに、駆動トランジスタはNチャネル薄膜トランジスタであることが望ましい。

40

【0016】

また、発明者らは、前述したパネル構造を有するEL表示パネルを搭載した電子機器を提案する。

ここで、電子機器は、EL表示パネルと、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部とで構成する。

【発明の効果】

【0017】

発明者らの提案する発明では、少なくとも1フィールドに1回、全ての画素回路又は複数の画素回路単位で共通に接続される容量制御線の電位を低電位から高電位に立ち上げ、当該立ち上げから一定期間後に低電位に立ち下げることにより、EL表示素子のアノード

50

電位及び駆動トランジスタのゲート電位をカップリング駆動する。

【0018】

この駆動方式の採用により、駆動電流を供給する電流供給線を2値電位で駆動しなくても、EL表示素子のアノード電位と駆動トランジスタのゲート電位を適切な駆動電位に制御できる。

従って、水平ライン単位で電流供給線の電位を駆動する場合に比して、管理すべき動作タイミングの数を水平ライン数分の1に制御できる。

【0019】

結果として、全ての水平ライン又は複数本の水平ライン単位で電流供給線の駆動信号を共通化できる。駆動信号の共用化により駆動部の回路構成を簡略化することができ、回路規模も削減することができる。かくして、EL表示パネルの製造コストを低減させることができる。

【発明を実施するための最良の形態】

【0020】

以下、発明を、アクティブマトリクス駆動型の有機ELパネルに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0021】

(A) 外観構成

なお、この明細書では、画素アレイ部と駆動回路とを同じ半導体プロセスを用いて同じ基板上に形成した表示パネルだけでなく、例えば特定用途向けICとして製造された駆動回路を画素アレイ部の形成された基板上に実装したものも有機ELパネルと呼ぶ。

【0022】

図5に、有機ELパネルの外観構成例を示す。有機ELパネル11は、支持基板13のうち画素アレイ部の形成領域に対向部15を貼り合わせた構造を有している。

【0023】

支持基板13は、ガラス、プラスチックその他の基材で構成され、その表面に有機EL層や保護膜等を積層した構造を有している。対向部15は、ガラス、プラスチックその他の透明部材を基材とする。なお、有機ELパネル11には、外部から支持基板13に信号等を入出力するためのFPC(フレキシブルプリントサーキット)17が配置される。

【0024】

(B) 形態例1

(B-1) システム構成

以下では、駆動トランジスタT2の特性バラツキを防ぎ、かつ画素回路を構成する素子数が少なく済む有機ELパネル11のシステム構成例を示す。

図6は、有機ELパネル11のシステム構成例である。図6に示す有機ELパネル11は、画素アレイ部21と、その駆動回路である信号書込制御線駆動部23、電流供給線駆動部25、水平セクタ27、タイミングジェネレータ29で構成される。

【0025】

画素アレイ部21は、信号線DTLと書込制御線WSLとの各交点位置にサブ画素を配置したマトリクス構造を有している。因みに、サブ画素は1画素を構成する画素構造の最小単位である。例えばホワイトユニットとしての1画素は、有機EL材料の異なる3つのサブ画素(R、G、B)で構成される。

【0026】

図7に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。また図8に、形態例1で提案する画素回路の内部構成を示す。図8に示す画素回路は、2つのNチャネル型の薄膜トランジスタT1、T2と1つの保持容量Csとで構成される。

【0027】

10

20

30

40

50

この回路構成の場合も、信号書込制御線駆動部 23 は、書込制御線 W S L を通じてサンプリングトランジスタ T 1 を開閉制御し、信号線電位の保持容量 C s への書き込みを制御する。因みに、信号書込制御線駆動部 23 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

【 0 0 2 8 】

電流供給線駆動部 25 は、電流供給線 D S L を通じて駆動トランジスタ T 2 の一方の主電極に接続される電流供給線 D S L を 2 値的に制御し、他の駆動回路との協働動作により画素回路内の動作内容を制御する。ここでの動作には、有機 E L 素子の発光・非発光だけでなく、特性バラツキの補正動作も含まれる。この形態例の場合、特性バラツキの補正は、駆動トランジスタ T 2 の閾値のバラツキや移動度のバラツキに基づくユニフォーミティの劣化の補正を意味する。

10

【 0 0 2 9 】

水平セクタ 27 は、信号線 D T L に画素データ D i n に応じた信号電位 V s i g 又は閾値補正用の基準電位（以下、「オフセット電位」という。） V o f s を印加する。なお、水平セクタ 27 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D / A 変換回路と、パツファ回路と、セクタとで構成される。

タイミングジェネレータ 29 は、書込制御線 W S L 、電流供給線 D S L 、信号線 D T L の駆動に必要なタイミングパルスを生成する。

【 0 0 3 0 】

(B - 2) 駆動動作例

図 9 に、図 8 に示す画素回路の駆動動作例を示す。因みに図 9 では、電流供給線 D S L に印加する 2 種類の電源電位のうち高電位（発光電位）の方を V c c で表し、低電位（非発光電位）の方を V s s で表す。

20

【 0 0 3 1 】

まず、発光状態における画素回路内の動作状態を図 10 に示す。このとき、サンプリングトランジスタ T 1 はオフ状態である。一方、駆動トランジスタ T 2 は飽和領域で動作し、ゲート・ソース間電圧 V g s に応じて定まる電流 I d s を有機 E L 素子 O L E D に供給する（図 9 (t 1) ）。

【 0 0 3 2 】

次に、非発光状態の動作状態を説明する。このとき、電流供給線 D S L の電位が高電位 V c c から低電位 V s s に切り換わる（図 9 (t 2) ）。この際、低電位 V s s が有機 E L 素子の閾値 V t h e l とカソード電位 V c a t h との和より小さいとき有機 E L 素子は消灯する。ただし、 $V s s < V t h e l + V c a t h$ を満たすものとする。

30

【 0 0 3 3 】

なお、駆動トランジスタ T 2 のソース電位 V s は電流供給線 D S L の電位と同じになる。すなわち、有機 E L 素子のアノード電極は低電位 V s s に充電される。図 11 に、画素回路内の動作状態を示す。図 11 に破線で示すように、この際、保持容量 C s に保持されていた電荷は電流供給線 D S L へ引き出される。

【 0 0 3 4 】

この後、信号線 D T L の電位が閾値補正用のオフセット電位 V o f s に遷移した状態で、書込制御線 W S L が高電位に変化すると、オン動作したサンプリングトランジスタ T 1 を通じて駆動トランジスタ T 2 のゲート電位 V g がオフセット電位 V o f s に変化する（図 9 (t 3) ）。

40

【 0 0 3 5 】

図 12 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ T 2 のゲート・ソース間電圧 V g s は $V o f s - V s s$ で与えられる。この電圧は、駆動トランジスタ T 2 の閾値電圧 V t h よりも大きくなるように設定される。 $V o f s - V s s > V t h$ を満たさなければ閾値補正動作を実行できないためである。

【 0 0 3 6 】

次に、電流供給線 D S L の電源電位が再び高電位 V c c に切り換えられる（図 9 (t 4) ）

50

)。

図 1 3 に、この場合における画素回路内の動作状態を示す。なお図 1 3 では、有機 E L 素子 O L E D を等価回路で示す。

【 0 0 3 7 】

すなわち、有機 E L 素子 O L E D をダイオードと寄生容量 C_{el} とで示す。ここで、 $V_{el} = V_{cat} + V_{thel}$ の関係を満たす限り（ただし、有機 E L 素子のリーク電流は駆動トランジスタ T 2 に流れる駆動電流 I_{ds} よりかなり小さいと考える。）、駆動トランジスタ T 2 に流れる駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【 0 0 3 8 】

結果的に、有機 E L 素子 O L E D のアノード電位 V_{el} は、図 1 4 に示すように、時間の経過と共に上昇する。すなわち、駆動トランジスタ T 2 のゲート電位はオフセット電位 V_{ofs} に固定した状態のまま、駆動トランジスタ T 2 のソース電位 V_s が上昇を開始する。この動作が閾値補正動作である。

10

【 0 0 3 9 】

やがて、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ を満たしている。

閾値補正期間が終了すると、サンプリングトランジスタ T 1 が再びオフ制御される（図 9 (t 5) ）。

【 0 0 4 0 】

この後、信号線 D T L の電位が信号電位 V_{sig} に遷移するのに必要なタイミング以降に、サンプリングトランジスタ T 1 は再びオン状態に制御される（図 9 (t 6) ）。図 1 5 に、この場合における画素回路内の動作状態を示す。因みに、信号電位 V_{sig} は、対応画素の階調値に応じて与えられる電位である。

20

この際、駆動トランジスタ T 2 のゲート電位 V_g は、信号電位 V_{sig} に遷移する。一方、駆動トランジスタ T 2 のソース電位 V_s は、電源線 D S L から保持容量 C_s へと流れ込む電流により時間と共に上昇する。

【 0 0 4 1 】

この時、駆動トランジスタ T 2 のソース電位 V_s が有機 E L 素子の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和を越えなければ（有機 E L 素子のリーク電流が駆動トランジスタ T 2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T 2 により供給される駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

30

【 0 0 4 2 】

なお、駆動トランジスタ T 2 の閾値補正動作は既に完了しているので、駆動トランジスタ T 2 が流す駆動電流 I_{ds} は、駆動トランジスタ T 2 の移動度 μ を反映した値になる。具体的には、移動度 μ が大きい駆動トランジスタほど大きな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇も早くなる。逆に移動度 μ が小さい駆動トランジスタほど小さな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇は遅くなる（図 1 6 ）。

【 0 0 4 3 】

結果的に、保持容量 C_s の保持電圧は、駆動トランジスタ T 2 の移動度 μ に応じて補正される。すなわち、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、移動度 μ を補正した電圧へと変化する。

40

【 0 0 4 4 】

最後に、サンプリングトランジスタ T 1 がオフ制御されて信号電位の書き込みが終了すると、有機 E L 素子 O L E D の発光期間が開始される（図 9 (t 7) ）。図 1 7 に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は一定である。従って、駆動トランジスタ T 2 は一定の電流 I_{ds}' を有機 E L 素子に供給する。

【 0 0 4 5 】

これに伴い、有機 E L 素子のアノード電位 V_{el} は、有機 E L 素子に電流 I_{ds}' を流す

50

電位 V_x まで上昇する。これにより、有機 EL 素子による発光が開始される。

ところで、この形態例で提案する駆動回路の場合も、発光時間が長くなると、有機 EL 素子 OLED の I - V 特性が変化する。

【 0 0 4 6 】

すなわち、駆動トランジスタ T 2 のソース電位 V_s も変化する。しかし、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、保持容量 C_s により一定に保たれるので有機 EL 素子 OLED に流れる電流量は変化せずに済む。このように、この形態例で提案する画素回路と駆動方式を採用すれば、有機 EL 素子 OLED の I - V 特性の変化にかかわらず、信号電位 V_{sig} に応じた駆動電流 I_{ds} を常に流し続けることができる。これにより、有機 EL 素子 OLED の発光輝度を信号電位 V_{sig} に応じた輝度に保ち続けることができる。

10

【 0 0 4 7 】

(B - 3) まとめ

以上の通り、この形態例で説明した画素回路と駆動方式の採用により、駆動トランジスタ T 2 を N チャネル型薄膜トランジスタで構成する場合にも、画素毎に輝度バラツキのない有機 EL パネルを実現することができる。また、N チャネル型薄膜トランジスタだけで画素回路を構成できるので、有機 EL パネルの製造に、アモルファスシリコン系のプロセスを採用できる。

【 0 0 4 8 】

(C) 形態例 2

20

(C - 1) システム構成

この形態例では、有機 EL パネルの製造コストの更なる低価格化を実現するパネル構造と駆動方法について説明する。

【 0 0 4 9 】

図 1 8 に、形態例 2 に係る有機 EL パネル 1 1 のシステム構成例を示す。図 1 8 には、図 6 との対応部分に同一符号を付して示している。

図 1 8 に示す有機 EL パネル 1 1 は、画素アレイ部 4 1 と、その駆動回路である信号書込制御線駆動部 4 3、パルス電圧源 4 5、水平セクタ 2 7、タイミングジェネレータ 4 7 で構成される。

【 0 0 5 0 】

30

画素アレイ部 4 1 も、アクティブマトリクス駆動方式を前提とする。従って、画素アレイ部 4 1 の場合も、サブ画素はマトリクス状に配置される。ただし、この形態例の場合、駆動電流の供給線（電源線）の電源電位は一定電位 V_{cc} に固定する。これに伴い、画素アレイ部 4 1 には、駆動トランジスタ T 2 のゲート電位 V_g と有機 EL 素子 OLED のアノード電位 V_{el} を他の配線を通じて駆動できる仕組みを新たに追加する。

【 0 0 5 1 】

図 1 9 に、サブ画素に対応する画素回路 5 1 と各駆動回路との接続関係を示す。また図 2 0 に、この形態例 2 で提案する画素回路 5 1 の内部構成を示す。図 2 0 に示す画素回路 5 1 は、2 つの N チャネル型の薄膜トランジスタ T 1、T 2 と、保持容量 C_s と、カップリング容量 C_c とで構成される。

40

【 0 0 5 2 】

図 2 0 に示すように、薄膜トランジスタ T 1、T 2 と保持容量 C_s の接続関係は形態例 1 と同じである。新規な画素構造は、カップリング容量 C_c である。このカップリング容量 C_c の一方の電極は、駆動トランジスタ T 2 のソース電極（有機 EL 素子 OLED のアノード電極）と接続され、他方の電極は全画素に共通する容量制御線 $CNTL$ に接続される。

【 0 0 5 3 】

この形態例の場合、容量制御線 $CNTL$ は水平ラインに沿って配線されている。もっとも、容量制御線 $CNTL$ は水平ラインに対して垂直方向に並ぶ画素列に沿って配線することもできる。いずれの場合も、各容量制御線 $CNTL$ は一端において一本に集約され、パ

50

ルス電圧源 4 5 の出力端と電氣的に接続される。

【 0 0 5 4 】

信号書込制御線駆動部 4 3 は、書込制御線 W S L を通じてサンプリングトランジスタ T 1 を開閉制御し、信号線電位の保持容量 C s への書き込みを制御する。因みに、信号書込制御線駆動部 4 3 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

【 0 0 5 5 】

パルス電圧源 4 5 は、個々の画素回路 5 1 と電氣的に接続された容量制御線 C N T L を 2 値の電位（高電位 V d d と低電位 V i n i ）で駆動する回路デバイスである。パルス電圧源 4 5 は、1 水平走査期間を 1 周期とするパルス信号を発生する。

【 0 0 5 6 】

この形態例の場合、パルス電圧源 4 5 は、1 水平走査期間の開始から一定期間だけ高電位 V d d を出力し、その後、同水平走査期間の終了まで低電位 V i n i を出力する。パルス電圧源 4 5 は、この動作を電源が投入されている間、繰り返し実行する。

【 0 0 5 7 】

なお、高電位 V d d を出力する期間長は、閾値補正準備動作に必要な時間長を考慮して設定する。

この形態例の場合、容量制御線 C N T L の電位変化は全ての画素に共通であり、電位変化に伴って駆動トランジスタ T 2 のゲート電位 V g とソース電位 V s もカップリング量だけ上下に変動する。

【 0 0 5 8 】

因みに、駆動トランジスタ T 2 のゲート電極が自由端の場合（サンプリングトランジスタ T 1 がオフ動作（閉動作）している場合）、駆動トランジスタ T 2 のゲート電位 V g は、駆動トランジスタ T 2 のゲート・ソース間電圧 V g s を保持した状態のままソース電位 V s の変位に連動して変化する。

【 0 0 5 9 】

一方、駆動トランジスタ T 2 のゲート電極が固定端の場合（サンプリングトランジスタ T 1 がオン動作（閉動作）している場合）、駆動トランジスタ T 2 のソース電位 V s だけ容量制御線 C N T L の電位変動に連動する。結果的に、容量制御線 C N T L の電位変動の前後で、駆動トランジスタ T 2 のゲート・ソース間電圧 V g s が変化する。

【 0 0 6 0 】

この形態例の場合、この容量制御線 C N T L の 2 値電位駆動と他の配線電位との協働動作により、閾値補正準備動作、閾値補正動作、信号電位の書込動作及び移動度補正動作を実行する。閾値補正動作及び移動度補正動作が正常に実行されることで、形態例 1 の場合と同様、駆動トランジスタ T 2 の特性バラツキが補正され、ユニフォーミティの劣化が補正される。

【 0 0 6 1 】

水平セクタ 2 7 は、信号線 D T L に画素データ D i n に応じた信号電位 V s i g 又は閾値補正用のオフセット電位 V o f s を印加する動作を実行する。水平セクタ 2 7 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D / A 回路と、バッファ回路と、セクタとで構成される。

【 0 0 6 2 】

セクタは、信号電位 V s i g とオフセット電位 V o f s の切り替え動作を実行する。

タイミングジェネレータ 4 7 は、書込制御線 W S L 、容量制御線 C N T L 、信号線 D T L の駆動に必要なタイミングパルスを生成する回路デバイスである。

【 0 0 6 3 】

(C - 2) 駆動動作例

図 2 1 に、図 2 0 に示す画素回路の駆動動作例を示す。因みに図 2 1 では、容量制御線 C N T L に印加する 2 種類の電源電位のうち高電位の方を V d d で示し、低電位の方を V i n i で示す。

【 0 0 6 4 】

10

20

30

40

50

まず、発光状態における画素回路内の動作状態を図 2 2 に示す。このとき、サンプリングトランジスタ T 1 はオフ状態である。すなわち、駆動トランジスタ T 2 のゲート電極は自由端である。

【 0 0 6 5 】

従って、容量制御線 C N T L の電位が 1 水平走査期間周期で変動するたびに、駆動トランジスタ T 2 のゲート電位 V_g (図 2 1 (D)) とソース電位 V_s (図 2 1 (E)) には、正方向のカップリング波形と負方向のカップリング波形が混入する (図 2 1 (t 1)) 。

【 0 0 6 6 】

なお、駆動トランジスタ T 2 のゲート電極は自由端であるので、カップリング波形の混入にかかわらず、ゲート・ソース間電圧 V_{gs} は一定のままである。

従って、駆動トランジスタ T 2 は飽和領域での動作を継続する。結果的に、有機 E L 素子 O L E D は、ゲート・ソース間電圧 V_{gs} に応じた電流 I_{ds} での発光状態を 1 水平走査期間の間継続する。

【 0 0 6 7 】

次に、非発光状態の動作状態を説明する。

非発光状態は、容量制御線 C N T L の電位が高電位 V_{dd} であり、かつ信号線 D T L の電位がオフセット電位 V_{ofs} の期間に、書込制御線 W S L が高電位に変化することで開始される (図 2 1 (t 2)) 。図 2 3 に、この時点における画素回路内の動作状態を示す。

このとき、駆動トランジスタ T 2 のゲート電位 V_g は、オフセット電位 V_{ofs} に制御される (図 2 1 (D)) 。

【 0 0 6 8 】

一方、駆動トランジスタ T 2 のソース電位 V_s は、保持容量 C_s に応じたカップリング量だけ押し下げられるように遷移する (図 2 1 (E)) 。

この結果、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} がその閾値電圧 V_{th} 以下に遷移すれば、有機 E L 素子 O L E D は発光状態から非発光状態に変化する。

【 0 0 6 9 】

このとき、駆動トランジスタ T 2 のソース電位 V_s (有機 E L 素子 O L E D のアノード電圧) が有機 E L 素子 O L E D の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和以下であれば、有機 E L 素子 O L E D へのリーク電流もないため遷移後の電圧がそのまま保持される。

【 0 0 7 0 】

これに対し、駆動トランジスタ T 2 のソース電位 V_s が有機 E L 素子 O L E D の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和以上である場合には、有機 E L 素子 O L E D を通じて電荷が放電される。結果的に、駆動トランジスタ T 2 のソース電位 V_s は $V_{thel} + V_{cat}$ に収束する。

【 0 0 7 1 】

図 2 3 は、駆動トランジスタ T 2 のソース電位 V_s が $V_{thel} + V_{cat}$ に収束した状態を表している。

なお、オフセット電位 V_{ofs} は、カソード電圧 V_{cat} と、有機 E L 素子 O L E D の閾値電圧 V_{thel} と、駆動トランジスタ T 2 の閾値電圧 V_{th} の和以下であれば良い。

【 0 0 7 2 】

オフセット電位 V_{ofs} の書き込み動作が完了すると、サンプリングトランジスタ T 1 がオフ制御される (図 2 1 (t 3)) 。これにより、駆動トランジスタ T 2 のゲート電極は自由端になる。

この後、容量制御線 C N T L の電位が高電位 V_{dd} から低電位 V_{ini} に制御される。この時点における画素回路内の動作状態を図 2 4 に示す。

【 0 0 7 3 】

このとき、駆動トランジスタ T 2 のゲート電位 V_g とソース電位 V_s には、それぞれ次式で与えられる V_1 のカップリング成分が重畳される。

$$V_1 = \{ C_c / (C_c + C_{el}) \} \cdot (V_{dd} - V_{ini})$$

10

20

30

40

50

因みに、 C_c はカップリング容量 C_c の容量値を示し、 C_{el} は有機EL素子OLEDの寄生容量値を示している。

【0074】

なお、このカップリング成分 V_1 は、閾値補正準備期間が開始されるまでの間、容量制御線CNTLの電位が高電位 V_{dd} から低電位 V_{ini} へ、低電位 V_{ini} から高電位 V_{dd} へと切り替わるたびに重畳される。

【0075】

勿論、容量制御線CNTLの電位が高電位 V_{dd} から低電位 V_{ini} に変化する場合には負方向のカップリング成分 V_1 が重畳され、容量制御線CNTLの電位が低電位 V_{ini} から高電位 V_{dd} に変化する場合には正方向のカップリング成分 V_1 が重畳される。

10

【0076】

やがて、閾値補正準備期間が到来する(図21(t4、t5))。閾値補正準備動作は、容量制御線CNTLの電位が低電位 V_{ini} であり、かつ、信号線DTLの電位がオフセット電位 V_{ofs} である場合に、サンプリングトランジスタ T_1 がオン制御されることで開始される(図21(t4))。この時点における画素回路内の動作状態を図25に示す。

【0077】

オフセット電位 V_{ofs} のサンプリングにより、駆動トランジスタ T_2 のゲート電位 V_g とソース電位 V_s が変位する。すなわち、ゲート電位 V_g はオフセット電位 V_{ofs} に、ソース電位 V_s は $V_{cat} + V_{thel} - V_1$ から $V_{cat} + V_{thel} - V_1 + V_2$ に変化する。ここでの変位量 V_2 は、次式で与えられる。

20

$$V_2 = \{ (C_s + C_{gs}) / (C_s + C_{gs} + C_c + C_{el}) \} \cdot V_1 = g \cdot V_1$$

【0078】

更に、閾値補正準備期間中には、サンプリングトランジスタ T_1 のオン制御された状態で容量制御線CNTLの電位が低電位 V_{ini} から高電位 V_{dd} に制御される。このカップリング成分の重畳に伴い、駆動トランジスタ T_2 のソース電位 V_s が変位する。

すなわち、ソース電位 V_s は $V_{cat} + V_{thel} - (1 - g) \cdot V_1$ から $V_{cat} + V_{thel} - (1 - g) \cdot V_1 + V_3$ に変化する。

【0079】

ここでのカップリング成分 V_3 は、次式で与えられる。

$$V_3 = \{ C_c / (C_s + C_{gs} + C_c + C_{el}) \} \cdot (V_{dd} - V_{ini})$$

30

このカップリング成分 V_3 の重畳までが閾値補正準備動作である。図21(t5)に示すように、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は、カップリング成分 V_3 の重畳により逆バイアス状態に制御される。この時点における画素回路内の動作状態を図26に示す。

【0080】

さて、閾値補正準備動作が終了すると、サンプリングトランジスタ T_1 がオフ制御された状態で、容量制御線CNTLの電位が高電位 V_{dd} から低電位 V_{ini} に制御される。すなわち、駆動トランジスタ T_2 のゲート電極が自由端に制御された状態で、容量制御線CNTLの電位が負方向にカップリング駆動される。

この際、負方向にカップリング成分 V_1 は、図21の期間 t_3 の場合と同じである。

40

【0081】

従って、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は、カップリング駆動前の電圧を維持した状態のまま、ゲート電位 V_g とソース電位 V_s が、カップリング成分 V_1 ずつ負方向に遷移する。図27に、この時点における画素回路内の動作状態を示す。

【0082】

この後、閾値補正動作が開始される(図21(t7))。この動作は、容量制御線CNTLの電位が低電位 V_{ini} であり、かつ、信号線DTLの電位がオフセット電位 V_{ofs} である場合に、サンプリングトランジスタ T_1 がオン制御されることで開始される。

この際、駆動トランジスタ T_2 のゲート電位 V_g は、勿論、オフセット電位 V_{ofs} に制御される。

50

【 0 0 8 3 】

一方、駆動トランジスタ T 2 のソース電位 V_s には、直前電位に対して $g \cdot V_1$ で与えられるカップリング成分が重畳される。図 2 8 に、この時点における画素回路内の動作状態を示す。図 2 8 に示すように、駆動トランジスタ T 2 のソース電位 V_s は、 $V_{cat} + V_{thel} - (2 - 2g) \cdot V_1 + V_3$ に変化する。

【 0 0 8 4 】

結果的に、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、次式で与えられる。

$$V_{gs} = V_{ofs} - V_{cat} - V_{thel} + 2(1 - g) \cdot V_1 - V_3$$

このゲート・ソース間電圧 V_{gs} が駆動トランジスタ T 2 の閾値電圧 V_{th} より大きければ閾値補正動作が開始される。換言すれば、ここでのゲート・ソース間電圧 V_{gs} が駆動トランジスタ T 2 の閾値電圧 V_{th} より大きい必要がある。

10

【 0 0 8 5 】

ゲート・ソース間電圧 V_{gs} が駆動トランジスタ T 2 の閾値電圧 V_{th} より大きければ、図 2 8 に示すように、電流供給線から保持容量 C_s の方向に電流が流れる。

なお、有機 EL 素子 OLED の等価回路は、ダイオードと容量で表すことができる。従って、 $V_{el} = V_{cat} + V_{thel}$ であれば（すなわち、有機 EL 素子 OLED のリーク電流が駆動トランジスタ T 2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T 2 に流れる電流は保持容量 C_s を充電するのに使用される。

【 0 0 8 6 】

このとき、有機 EL 素子 OLED のアノード電位 V_{el} は時間と共に、図 2 9 に示すように徐々に上昇する。そして、一定時間経過後には、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} はその閾値電圧 V_{th} に収束する。その後、サンプリングトランジスタ T 1 をオフ制御して閾値補正動作を終了させる。

20

【 0 0 8 7 】

この時、有機 EL 素子 OLED のアノード電位 V_{el} は、次式を満たす状態になる。

$$V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$$

この後、信号線 DTL が信号電位 V_{sig} となった時点で、サンプリングトランジスタ T 1 が再びオン制御される（図 2 1 (t 8) ）。この時点での画素回路内の動作状態を図 3 0 に示す。

【 0 0 8 8 】

信号電位 V_{sig} は、各画素の階調値に応じた電圧である。このとき、駆動トランジスタ T 2 のゲート電位 V_g は、サンプリングトランジスタ T 1 を通じて与えられる信号電位 V_{sig} に制御される。一方、駆動トランジスタ T 2 のソース電位 V_s は、電源線から流れ込む電流により時間とともに上昇する。

30

【 0 0 8 9 】

この時、駆動トランジスタ T 2 のソース電位 V_s が有機 EL 素子 OLED の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和を越えなければ（EL のリーク電流が T 2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T 2 の電流は保持容量 C_s を充電するのに使用される。

【 0 0 9 0 】

なおこの時、駆動トランジスタ T 2 の閾値補正動作は既に完了しているため、駆動トランジスタ T 2 に流れる電流は移動度 μ を反映した値になる。

40

すなわち、移動度 μ が大きい駆動トランジスタ T 2 では電流量が大きくなり、ソース電位 V_s の上昇も早くなる。一方、移動度 μ が小さい駆動トランジスタ T 2 では電流量が小さくなり、ソース電位 V_s の上昇も遅くなる（図 3 1 ）。

【 0 0 9 1 】

これにより、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、移動度 μ を反映して小さくなり、一定時間経過後には、個々の駆動トランジスタ T 2 の移動度を完全に補正したゲート・ソース間電圧 V_{gs} に遷移する。

【 0 0 9 2 】

50

最後に、サンプリングトランジスタ T_1 がオフ制御されて信号電位 V_{sig} の書き込みが終了すると、有機 EL 素子 O L E D の発光が開始される (図 2 1 (t 9))。すなわち、新たな発光期間が開始される。

このとき、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs}' は一定である。従って、駆動トランジスタ T_2 は一定電流 I_{ds}' を有機 EL 素子 O L E D に流す。

【 0 0 9 3 】

なお、有機 EL 素子 O L E D のアノード電位 V_{el} は、有機 EL 素子 O L E D に駆動電流 I_{ds}' が流れる電圧 V_x まで上昇する。これにより、有機 EL 素子 O L E D は発光を開始する。図 3 2 に、この時点での画素回路内の動作状態を示す。

【 0 0 9 4 】

なお、最初の発光開始から一定時間が経過すると、容量制御線 C T L の電位の変動のたびに、カップリング成分 V が駆動トランジスタ T_2 のソース電極に重畳される。ただし、発光期間中のける駆動トランジスタ T_2 のゲート電極は自由端であるので、発光開始時のゲート・ソース間電圧 V_{gs}' が維持される。結果的に、画素回路は周期的にカップリング駆動されるが、信号電位 V_{sig} に応じた発光状態が維持される。

【 0 0 9 5 】

なお、この画素回路の場合にも、有機 EL 素子 O L E D の発光時間が長くなるのに伴って $I - V$ 特性に変化が発生するのは避け得ない。

従って、図中 B 点の電位も変化する。しかし、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は一定値に保たれ続けるので有機 EL 素子 O L E D に流れる電流量は変化しない。

【 0 0 9 6 】

このように、有機 EL 素子 O L E D の $I - V$ 特性が劣化しても、有機 EL 素子 O L E D には、信号電位 V_{sig} に応じた駆動電流 I_{ds} が流れ続けることになる。かくして、有機 EL 素子 O L E D の $I - V$ 特性の経時変化にかかわらず、有機 EL 素子 O L E D の輝度を維持することができる。

【 0 0 9 7 】

(C - 3) まとめ

この形態例で説明した駆動方式の採用により、電流供給線を固定電位化した状態でも、形態例 1 と同様の動作状態で各画素回路を駆動制御できる。

例えば全画素に共通する容量制御線 C T L に高電位 V_{dd} を印加した状態で消光電位 (オフセット電位 V_{ofs}) を書き込むことにより、画素回路を発光状態から消光状態 (非発光状態が継続する状態) に駆動制御できる。

【 0 0 9 8 】

また例えばオフセット電位の書込動作中に容量制御線 C T L の電位を低電位 V_{ini} から高電位 V_{dd} に立ち上げることにより、画素回路の閾値補正準備動作を実現できる。

また例えば容量制御線 C T L に低電位 V_{ini} が印加された状態でオフセット電位 V_{ofs} や信号電位 V_{sig} を書き込むことにより、閾値補正動作や移動度補正動作を実現できる。

【 0 0 9 9 】

結果的に、電流供給線を全画素共通の固定電源として構成でき、形態例 1 では必須であったシフトレジスタ段構成の駆動部を無くすることができる。しかも、新たに追加する容量制御線 C T L は全画素に共通する単一の制御パルスを発生するパルス電圧源 4 5 で駆動できる。言うまでもなく、単一周波数で 2 値電位を発生するパルス電圧源 4 5 にシフトレジスタ段は必要ない。

【 0 1 0 0 】

すなわち、駆動部の配置に必要な回路面積を形態例 1 の回路面積に比して小型化できる。特に、パネルサイズや表示解像度が大きい場合には、回路面積の小型化効果が高くなる。このことは、レイアウトの自由度を高める効果も期待できる。また、有機 EL パネルの製造コストを低下させる効果も期待できる。

勿論、形態例 1 の場合と同様、閾値補正動作や移動度補正動作は可能なので、ムラのな

10

20

30

40

50

い均一な画質での表示が可能である。

【0101】

(C-4) 閾値補正動作の分割実行

前述した説明では、閾値補正動作が1水平走査期間内に完了する場合(すなわち、閾値補正動作が1回だけ実行される場合)を前提として説明した。

しかし、有機ELパネルの高精細化や高速動作化に伴って、1水平走査期間は短縮化する傾向にある。

【0102】

この場合、閾値補正動作を複数回に分割して実行する必要が発生する。図33に、閾値補正動作の分割実行に適した駆動動作例を示す。なお、図33(A)~(E)は、それぞれ図21(A)~(E)に対応する。

10

【0103】

まず、1回目の閾値補正動作が中断する時点から説明する。期間t8では、信号線DTLに階調値に対応する信号電位 V_{sig} が現れるので、サンプリングトランジスタT1がオフ制御される。すなわち、駆動トランジスタT2のゲート電極は自由端となる。

【0104】

閾値補正動作の中断時点では、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} がその閾値電圧 V_{th} より大きい状態にある。従って、閾値補正動作の中断中も、駆動トランジスタT2はオン状態を維持し、電流供給線から流れ込む電流が保持容量 C_s と寄生容量 C_{el} の充電に使用される。結果的に、ソース電位 V_s は上昇し、この上昇に伴うブートストラップ動作によりゲート電位 V_g も上昇する。

20

【0105】

やがて、信号線DTLへの信号電位 V_{sig} の印加が終了すると、サンプリングトランジスタT1が再びオン制御され、閾値補正動作が再開される(期間t9)。この際、駆動トランジスタT2のゲート電位 V_g は、オフセット電位 V_{ofs} に遷移するように押し下げ制御される。また、このゲート電位 V_g の押し下げに連動してソース電位 V_s も押し下げ制御される。

【0106】

このように駆動トランジスタT2のゲート電位 V_g がオフセット電位 V_{ofs} に固定された状態で、容量制御線CTLの電位が低電位 V_{ini} から高電位 V_{dd} に変位させる制御と、一定期間後に高電位 V_{dd} から低電位 V_{ini} に変位させる制御とが実行される(期間t10)。

30

【0107】

結果的に、閾値補正動作期間中(期間t10)、駆動トランジスタT2のソース電位 V_s には、正方向のカップリング成分と負方向のカップリング成分が互いに打ち消し合うように重畳される。

このことは、閾値補正動作の再開後の動作は、容量制御線CNTLの電位変動の影響を受けないことを意味する。

【0108】

ただし、正方向のカップリングが重畳した際のソース電位 V_s が、有機EL素子OLEをオン動作させないこと(すなわち、 $V_s < V_{thel} + V_{cat}$ を満たすこと)が求められる。

40

以上のように、閾値補正動作が複数回に分割して実行される場合でも、この形態例で説明したパネル構造及び駆動方法は効果的に動作する。

【0109】

(D) 形態例3

(D-1) システム構成

この形態例では、前述した2つの形態例とは画素回路の構成が異なる有機ELパネル1のシステム構成例とその駆動技術について説明する。

【0110】

50

この形態例の場合、画素回路の違いと駆動方法の違いを重点的に説明するため、形態例 2 に対応する画素回路と駆動方法についてのみ説明する。

図 3 4 に、有機 E L パネル 1 1 のシステム構成例を示す。なお図 3 4 には、図 1 8 との対応部分に同一符号を付して示す。

【 0 1 1 1 】

図 3 4 に示す有機 E L パネル 1 1 は、画素アレイ部 6 1 と、その駆動回路である信号書込制御線駆動部 6 3、パルス電圧源 4 5、オフセット信号線駆動部 6 5、水平セレクタ 6 7、タイミングジェネレータ 6 9 で構成される。

【 0 1 1 2 】

画素アレイ部 6 1 の画素配置は形態例 2 と同じである。すなわち、画素アレイ部 6 1 は、信号線 D T L と書込制御線 W S L との各交点位置にサブ画素を配置したマトリクス構造を有している。ただし、この形態例の場合、信号線 D T L は信号電位 V_{sig} の供給専用線として使用し、オフセット電位 V_{ofs} の供給には専用線としてのオフセット信号線 O F S L を使用する。

【 0 1 1 3 】

図 3 5 に、サブ画素に対応する画素回路 7 1 と各駆動回路との接続関係を示す。また、図 3 6 に、画素回路 7 1 の内部構成と各駆動回路との接続関係を示す。図 3 6 に示す画素回路 7 1 は、3 つの N チャネル型の薄膜トランジスタ T 1、T 2、T 3 と、保持容量 C_s と、カップリング容量 C_c とで構成される。

【 0 1 1 4 】

この形態例の場合、信号書込制御線駆動部 6 3 は、第 1 のサンプリングトランジスタ T 1 の開閉制御を通じて、信号電位 V_{sig} の保持容量 C_s への書き込みを制御する。

オフセット信号線駆動部 6 5 は、第 2 のサンプリングトランジスタ T 3 の開閉制御を通じてオフセット電位 V_{ofs} の保持容量 C_s への書き込みを制御する。

【 0 1 1 5 】

なお、オフセット信号線駆動部 6 5 の基本構造は、信号書込制御線駆動部 6 3 と同じであり、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

水平セレクタ 6 7 は、信号線 D T L に画素データ D_{in} に応じた信号電位 V_{sig} を印加する画素回路である。

【 0 1 1 6 】

水平セレクタ 6 7 は、水平解像度数分の出力段数を有するシフトレジスタと、画素データ D_{in} をラッチするラッチ回路と、D / A 回路と、バッファ回路とで構成される。信号線 D T L への出力電位が信号電位 V_{sig} のみである点が形態例 2 との違いである。

【 0 1 1 7 】

タイミングジェネレータ 6 9 は、書込制御線 W S L、オフセット信号線 O F S L、信号線 D T L、容量制御線 C N T L の駆動動作に必要なタイミングパルスを生成する回路デバイスである。

【 0 1 1 8 】

(D - 2) 駆動動作例

図 3 7 に、図 3 6 で説明した画素回路の駆動動作例を示す。図 3 7 の場合にも、容量制御線 C N T L に印加する 2 種類の電源電位のうち高電位の方を V_{dd} で示し、低電位の方を V_{ini} で示す。

【 0 1 1 9 】

なお、図 3 7 (A) は、容量制御線 C N T L の駆動波形である。図 3 7 (B) は、オフセット信号線 O F S L の駆動波形である。図 3 7 (C) は、書込制御線 W S L の駆動波形である。図 3 7 (D) 及び (E) は、駆動トランジスタ T 2 のゲート電位 V_g 及びソース電位 V_s の各電位の遷移波形を示す。

【 0 1 2 0 】

まず、発光状態における画素回路内の動作状態を図 3 8 に示す。このとき、第 1 のサンプリングトランジスタ T 1 と第 2 のサンプリングトランジスタ T 3 は、いずれもオフ状態

10

20

30

40

50

である。

【0121】

従って、駆動トランジスタT2のゲート電極は自由端として動作する。結果的に、容量制御線CNTLの電位が1水平走査期間周期で変動するたびに、駆動トランジスタT2のゲート電位Vg(図37(D))とソース電位Vs(図37(E))には、正方向のカップリング波形と負方向のカップリング波形が重畳する(図37(t1))。

【0122】

なお、駆動トランジスタT2のゲート電極は自由端であるので、カップリング波形の混入にかかわらず、ゲート・ソース間電圧Vgsは一定のままである。

従って、駆動トランジスタT2は飽和領域での動作を継続する。結果的に、有機EL素子OLEDは、ゲート・ソース間電圧Vgsに応じた電流Idsでの発光状態を1水平走査期間の間継続する。

10

【0123】

次に、非発光状態の動作状態を説明する。

非発光状態は、容量制御線CNTLの電位が高電位Vddである状態で、第2のサンプリングトランジスタT3がオン状態の期間に、書込制御線WSLが高電位に変化することで開始される(図37(t2))。図39に、この時点における画素回路内の動作状態を示す。

【0124】

このとき、第1のサンプリングトランジスタT1はオフ制御されている。これにより、駆動トランジスタT2のゲート電位Vgは、オフセット電位Vofsに近づくように遷移する(図37(D))。

20

【0125】

この際、駆動トランジスタT2のソース電位Vsは、保持容量Csに応じたカップリングにより遷移する。一方、駆動トランジスタT2のソース電位Vsは、保持容量Csに応じたカップリングにより押し下げられるように遷移する(図37(E))。

【0126】

この結果、駆動トランジスタT2のゲート・ソース間電圧Vgsが、その閾値電圧Vth以下であれば、有機EL素子OLEDは非発光状態になる。この際、ソース電位Vs(有機EL素子OLEDのアノード電圧)が有機EL素子OLEDの閾値電圧Vthelとカソード電圧Vcatの和以下であれば、ゲート・ソース間電圧Vgsは保持される。

30

【0127】

これに対し、駆動トランジスタT2のソース電位Vsが有機EL素子OLEDの閾値電圧Vthelとカソード電圧Vcatの和以上である場合には、有機EL素子OLEDを通じて保持容量Csの電荷の放電が継続される。結果的に、駆動トランジスタT2のソース電位VsはVthel+Vcatに収束する。

【0128】

図39は、ソース電位VsがVthel+Vcatに収束した状態を表している。なお、オフセット電位Vofsは、カソード電圧Vcathと、有機EL素子OLEDの閾値電圧Vthelと、駆動トランジスタT2の閾値電圧Vthの和以下である。

40

【0129】

このオフセット電位Vofsの書き込み動作が完了すると、第2のサンプリングトランジスタT3は再びオフ制御される(図37(t3))。これにより、駆動トランジスタT2のゲート電極は自由端になる。

【0130】

この後、容量制御線CNTLの電位が高電位Vddから低電位Viniに制御される。この際、駆動トランジスタT2のゲート電位Vgとソース電位Vsには、負方向のカップリング成分V1が重畳される。この時点における画素回路内の動作状態を図40に示す。

【0131】

やがて、閾値補正準備期間が到来する(図37(t4、t5))。閾値補正準備動作は、

50

容量制御線 C N T L の電位が低電位 V_{ini} である状態で、第 2 のサンプリングトランジスタ T 3 がオン制御されることで開始される (図 3 7 (t 4)) 。この時点における画素回路内の動作状態を図 4 1 に示す。

【 0 1 3 2 】

このとき、容量制御線 C N T L の電位が低電位 V_{ini} から高電位 V_{dd} に制御される (図 3 7 (t 5)) 。この時点における画素回路内の動作状態を図 4 2 に示す。

結果的に、駆動トランジスタ T 2 のゲート電位 V_g がオフセット電位 V_{ofs} に固定された状態で、駆動トランジスタ T 2 のソース電位 V_s がカップリング駆動される。これにより、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は逆バイアス状態に制御される。

【 0 1 3 3 】

閾値補正準備動作が終了すると、第 2 のサンプリングトランジスタ T 3 がオフ制御され、駆動トランジスタ T 2 のゲート電極は再び自由端に制御される。この状態で、容量制御線 C N T L の電位が高電位 V_{dd} から低電位 V_{ini} に制御される (図 3 7 (t 6)) 。すなわち、駆動トランジスタ T 2 のゲート電極が自由端に制御された状態で、容量制御線 C N T L の電位が負方向にカップリング駆動される。この状態における画素回路内の動作状態を図 4 3 に示す。

【 0 1 3 4 】

この後、閾値補正動作が開始される (図 3 7 (t 7)) 。この動作は、容量制御線 C N T L の電位が低電位 V_{ini} の状態で、第 2 のサンプリングトランジスタ T 3 がオン制御されることで開始される。図 4 4 に、この時点における画素回路内の動作状態を示す。

この際、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、その閾値電圧 V_{th} より大きくなっている。

【 0 1 3 5 】

従って、駆動トランジスタ T 2 はオン動作し、図 4 4 に示すように、電流供給線から保持容量 C_s の方向に電流が流れる。この電流の一部は、有機 E L 素子 O L E D の寄生容量 C_{el} の充電にも使用される。これにより、アノード電位 V_{el} は時間の経過と共に上昇する。ただし、 $V_{el} = V_{cat} + V_{thel}$ を満たしている。従って、有機 E L 素子 O L E D が発光することはない。やがて、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} がその閾値電圧 V_{th} に達すると、駆動トランジスタ T 2 は自動的にカットオフする。

【 0 1 3 6 】

このように閾値補正動作が終了すると、第 1 のサンプリングトランジスタ T 1 がオン状態に制御され、信号線 D T L を通じて信号電位 V_{sig} の書き込みが開始される (図 3 7 (t 8)) 。そして、信号電位の書き込み動作と移動度の補正動作とが同時に実行される。この時点における画素回路内の動作状態を図 4 5 に示す。

【 0 1 3 7 】

最後に、第 1 のサンプリングトランジスタ T 1 がオフ制御されて信号電位 V_{sig} の書き込みが終了すると、有機 E L 素子 O L E D の発光が開始される (図 3 7 (t 9)) 。すなわち、新たな発光期間が開始される。

この時点における画素回路内の動作状態を図 4 6 に示す。

【 0 1 3 8 】

(D - 3) まとめ

以上説明したように、信号電位 V_{sig} の書き込みとオフセット電位 V_{ofs} の書き込みをそれぞれ専用の薄膜トランジスタの開閉制御を通じて実行する場合にも、形態例 2 と同様の駆動動作を実現できる。

【 0 1 3 9 】

(E) 形態例 4

(E - 1) システム構成

この形態例でも、形態例 2 の変形例を説明する。この形態例では、駆動電流の供給を専用の薄膜トランジスタで制御する駆動回路例について説明する。

【 0 1 4 0 】

10

20

30

40

50

図 4 7 に、有機 E L パネル 1 1 のシステム構成例を示す。なお図 4 7 には、図 1 8 との対応部分に同一符号を付して示す。

図 4 7 に示す有機 E L パネル 1 1 は、画素アレイ部 8 1 と、その駆動回路である信号書込制御線駆動部 2 3、パルス電圧源 4 5、駆動電流制御駆動部 8 3、水平セクタ 2 7、タイミングジェネレータ 8 5 で構成される。

【 0 1 4 1 】

画素アレイ部 8 1 の画素配置は形態例 2 と同じである。すなわち、画素アレイ部 8 1 は、信号線 D T L と書込制御線 W S L との各交点位置にサブ画素を配置したマトリクス構造を有している。この形態例の場合も、信号線 D T L には信号電位 V_{sig} とオフセット電位 V_{ofs} が時分割で供給される。

10

【 0 1 4 2 】

図 4 8 に、サブ画素に対応する画素回路 9 1 と各駆動回路との接続関係を示す。また、図 4 9 に、画素回路 9 1 の内部構成と各駆動回路との接続関係を示す。図 4 9 に示す画素回路 9 1 は、3 つの N チャネル型の薄膜トランジスタ T 1、T 2、T 3 と、保持容量 C_s と、カップリング容量 C_c とで構成される。

【 0 1 4 3 】

このうち、薄膜トランジスタ T 3 (以下、「駆動電流制御トランジスタ T 3」という。) は、電流供給線と駆動トランジスタ T 2 との間に直列に配置する。この駆動電流制御トランジスタ T 3 のオン・オフ制御により、有機 E L 素子 O L E D に対する駆動電流の供給と供給停止を切り替え替え制御できる。

20

【 0 1 4 4 】

駆動電流制御トランジスタ T 3 のオン・オフ動作は、駆動電流制御線駆動部 8 3 によって制御される。なお、駆動電流制御トランジスタ T 3 は、信号書込制御線駆動部 2 3 と同じ回路構成で実現する。

タイミングジェネレータ 8 5 は、書込制御線 W S L、駆動電流制御線 I S L、信号線 D T L、容量制御線 C N T L の駆動動作に必要なタイミングパルスを生成する回路デバイスである。

【 0 1 4 5 】

(E - 2) 駆動動作例

図 5 0 に、図 4 9 で説明した画素回路の駆動動作例を示す。図 5 0 の場合にも、容量制御線 C N T L に印加する 2 種類の電源電位のうち高電位の方を V_{dd} で示し、低電位の方を V_{ini} で示す。

30

【 0 1 4 6 】

なお、図 5 0 (A) は、容量制御線 C N T L の駆動波形である。図 5 0 (B) は、駆動電流制御線 I S L の駆動波形である。図 5 0 (C) は、信号線 D T L に印加される電位の遷移を示す波形である。図 5 0 (D) は、書込制御線 W S L の駆動波形である。図 5 0 (E) 及び (F) は、駆動トランジスタ T 2 のゲート電位 V_g 及びソース電位 V_s の各電位の遷移波形を示す。

【 0 1 4 7 】

まず、発光状態における画素回路内の動作状態を図 5 1 に示す。このとき、第 1 のサンプリングトランジスタ T 1 はオフ状態であり、駆動電流制御トランジスタ T 3 はオン状態である。

40

【 0 1 4 8 】

従って、駆動トランジスタ T 2 のゲート電極は自由端として動作する一方、駆動トランジスタ T 2 は電流供給線と電氣的に接続された状態で動作する。

結果的に、容量制御線 C N T L の電位が 1 水平走査期間周期で変動するたびに、駆動トランジスタ T 2 のゲート電位 V_g (図 5 0 (E)) とソース電位 V_s (図 5 0 (F)) には、正方向のカップリング波形と負方向のカップリング波形が重畳する (図 5 0 (t 1))。

【 0 1 4 9 】

50

なお、駆動トランジスタT2のゲート電極は自由端であるので、カップリング波形の混入にかかわらず、ゲート・ソース間電圧 V_{gs} は一定のままである。

従って、駆動トランジスタT2は飽和領域での動作を継続する。結果的に、有機EL素子OLEDは、ゲート・ソース間電圧 V_{gs} に応じた電流 I_{ds} での発光状態を1水平走査期間の間継続する。

【0150】

次に、非発光状態の動作状態を説明する。

非発光状態は、駆動電流制御トランジスタT3がオフ制御されることで開始される(図50(t2))。図52に、この時点における画素回路内の動作状態を示す。このとき、駆動トランジスタT2のソース電位 V_s は消灯時の電位に向かって降下する。また、このソース電位 V_s の降下に伴ってゲート電位 V_g も同様に降下する。

10

【0151】

ただし、この形態例の場合、サンプリングトランジスタT1がオン制御されることで、駆動トランジスタT2のゲート電位 V_g は、オフセット電位 V_{ofs} に制御される(図50(E))。

なお、駆動トランジスタT2のソース電位 V_s は $V_{thel} + V_{cat}$ に収束する(図50(F))。

【0152】

図52は、ソース電位 V_s が $V_{thel} + V_{cat}$ に収束した状態を表している。なお、オフセット電位 V_{ofs} は、カソード電圧 V_{cath} と、有機EL素子OLEDの閾値電圧 V_{thel} と、駆動トランジスタT2の閾値電圧 V_{th} の和以下である。

20

【0153】

このオフセット電位 V_{ofs} の書き込み動作が完了すると、サンプリングトランジスタT1はオフ制御される(図50(t3))。これにより、駆動トランジスタT2のゲート電極は自由端になる。

【0154】

この後、容量制御線CNTLの電位が高電位 V_{dd} から低電位 V_{ini} に制御される。この際、駆動トランジスタT2のゲート電位 V_g とソース電位 V_s には、負方向のカップリング成分 V_1 が重畳される。この時点における画素回路内の動作状態を図53に示す。

【0155】

やがて、閾値補正準備期間が到来する(図50(t4、t5))。閾値補正準備動作は、容量制御線CNTLの電位が低電位 V_{ini} である状態で、駆動電流制御トランジスタT3とサンプリングトランジスタT1が同時にオン制御されることで開始される(図50(t4))。この時点における画素回路内の動作状態を図54に示す。

30

【0156】

なお、この時点では、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} が逆バイアス状態にあるので、駆動電流制御トランジスタT3がオン制御されても駆動電流は流れない。従って、有機EL素子OLEDは非発光状態のままである。

【0157】

このとき、容量制御線CNTLの電位が低電位 V_{ini} から高電位 V_{dd} に制御される(図50(t5))。この時点における画素回路内の動作状態を図55に示す。

40

結果的に、駆動トランジスタT2のゲート電位 V_g がオフセット電位 V_{ofs} に固定された状態で、駆動トランジスタT2のソース電位 V_s がカップリング駆動される。これにより、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} は逆バイアス状態に制御される。

【0158】

閾値補正準備動作が終了すると、サンプリングトランジスタT1がオフ制御され、駆動トランジスタT2のゲート電極は再び自由端に制御される。この状態で、容量制御線CNTLの電位が高電位 V_{dd} から低電位 V_{ini} に制御される(図50(t6))。すなわち、駆動トランジスタT2のゲート電極が自由端に制御された状態で、容量制御線CNTLの電位が負方向にカップリング駆動される。この状態における画素回路内の動作状態を図5

50

6 に示す。

【 0 1 5 9 】

この後、閾値補正動作が開始される（図 5 0（ t_7 ））。この動作は、容量制御線 C N T L の電位が低電位 V_{ini} の状態で、サンプリングトランジスタ T 1 がオン制御されることで開始される。図 5 7 に、この時点における画素回路内の動作状態を示す。

この際、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、その閾値電圧 V_{th} より大きくなっている。

【 0 1 6 0 】

従って、駆動トランジスタ T 2 はオン動作し、図 5 7 に示すように、電流供給線から保持容量 C_s の方向に電流が流れる。この電流の一部は、有機 E L 素子 O L E D の寄生容量 C_{el} の充電にも使用される。これにより、アノード電位 V_{el} は時間の経過と共に上昇する。ただし、 $V_{el} < V_{cat} + V_{thel}$ を満たしている。従って、有機 E L 素子 O L E D が発光することはない。やがて、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} がその閾値電圧 V_{th} に達すると、駆動トランジスタ T 2 は自動的にカットオフする。

【 0 1 6 1 】

このように閾値補正動作が終了すると、サンプリングトランジスタ T 1 が再びオン状態に制御され、信号線 D T L を通じて信号電位 V_{sig} の書き込みが開始される（図 5 0（ t_8 ））。そして、信号電位の書き込み動作と移動度の補正動作とが同時に実行される。この時点における画素回路内の動作状態を図 5 8 に示す。

【 0 1 6 2 】

最後に、サンプリングトランジスタ T 1 がオフ制御されて信号電位 V_{sig} の書き込みが終了すると、有機 E L 素子 O L E D の発光が開始される（図 5 0（ t_9 ））。すなわち、新たな発光期間が開始される。

この時点における画素回路内の動作状態を図 5 9 に示す。

【 0 1 6 3 】

(E - 3) まとめ

以上の通り、この形態例で説明したように、駆動電流の供給と供給停止を駆動電流制御トランジスタ T 3 で切り替え制御する構成のパネル構造の場合にも、形態例 2 と同様の駆動動作を実現できる。なお、駆動電流制御トランジスタ T 3 を用いる場合には、発光期間中にも駆動電流の供給と供給停止を独立に制御できる。この機能を用いれば、1 フレーム期間内の発光期間長を任意長に制御することができ、動画応答性を高めるのに用いることができる。

【 0 1 6 4 】

(F) 他の形態例

(F - 1) 配線構造

前述の形態例の場合には、全ての容量制御線 C N T L の一端を 1 本の配線パターンに共通化し、単一のパルス電源 4 5 で駆動する場合について説明した。

【 0 1 6 5 】

しかし、複数本単位で容量制御線 C N T L の一端を 1 本の配線パターンに共通化し、共通化された容量制御線 C N T L の単位でパルス電源 4 5 を接続しても良い。

この際、各パルス電源 4 5 は、それぞれ独立したタイミングで動作しても良いし、全てのパルス電源 4 5 が単一の動作タイミングで同期動作しても良い。

【 0 1 6 6 】

(F - 2) 製品例

(a) 電子機器

前述の説明では、有機 E L パネルを例に発明を説明した。しかし、前述した有機 E L パネルは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

【 0 1 6 7 】

図 6 0 に、電子機器 1 0 1 の概念構成例を示す。電子機器 1 0 1 は、前述した有機 E L

10

20

30

40

50

パネル 103、システム制御部 105 及び操作入力部 107 で構成される。システム制御部 105 で実行される処理内容は、電子機器 101 の商品形態により異なる。また、操作入力部 107 は、システム制御部 105 に対する操作入力を受け付けるデバイスである。操作入力部 107 には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

【0168】

なお、電子機器 101 は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図 6 1 に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機 111 の筐体正面には、フロントパネル 113 及びフィルターガラス 115 等で構成される表示画面 117 が配置される。表示画面 117 の部分が、形態例で説明した有機 EL パネルに対応する。

【0169】

また、この種の電子機器 101 には、例えばデジタルカメラが想定される。図 6 2 に、デジタルカメラ 121 の外観例を示す。図 6 2 (A) が正面側 (被写体側) の外観例であり、図 6 2 (B) が背面側 (撮影者側) の外観例である。

【0170】

デジタルカメラ 121 は、保護カバー 123、撮像レンズ部 125、表示画面 127、コントロールスイッチ 129 及びシャッターボタン 131 で構成される。このうち、表示画面 131 の部分が、形態例で説明した有機 EL パネルに対応する

【0171】

また、この種の電子機器 101 には、例えばビデオカメラが想定される。図 6 3 に、ビデオカメラ 141 の外観例を示す。

ビデオカメラ 141 は、本体 143 の前方に被写体を撮像する撮像レンズ 145、撮影のスタート/ストップスイッチ 147 及び表示画面 149 で構成される。このうち、表示画面 149 の部分が、形態例で説明した有機 EL パネルに対応する。

【0172】

また、この種の電子機器 101 には、例えば携帯端末装置が想定される。図 6 4 に、携帯端末装置としての携帯電話機 151 の外観例を示す。図 6 4 に示す携帯電話機 151 は折りたたみ式であり、図 6 4 (A) が筐体を開いた状態の外観例であり、図 6 4 (B) が筐体を折りたたんだ状態の外観例である。

【0173】

携帯電話機 151 は、上側筐体 153、下側筐体 155、連結部 (この例ではヒンジ部) 157、表示画面 159、補助表示画面 161、ピクチャーライト 163 及び撮像レンズ 165 で構成される。このうち、表示画面 159 及び補助表示画面 161 の部分が、形態例で説明した有機 EL パネルに対応する。

【0174】

また、この種の電子機器 101 には、例えばコンピュータが想定される。図 6 5 に、ノート型コンピュータ 171 の外観例を示す。

ノート型コンピュータ 171 は、下型筐体 173、上側筐体 175、キーボード 177 及び表示画面 179 で構成される。このうち、表示画面 179 の部分が、形態例で説明した有機 EL パネルに対応する。

【0175】

これらの他、電子機器 101 には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0176】

(F-3) 他の表示デバイス例

前述の形態例においては、発明を有機 EL パネルに適用する場合について説明した。

しかし、前述した駆動技術は、その他の EL 表示装置に対しても適用することができる。例えば LED を配列する表示装置その他のダイオード構造を有する発光素子を画面上に

10

20

30

40

50

配列した表示装置に対しても適用できる。例えば無機ELパネルにも適用できる。

【0177】

(F-4) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

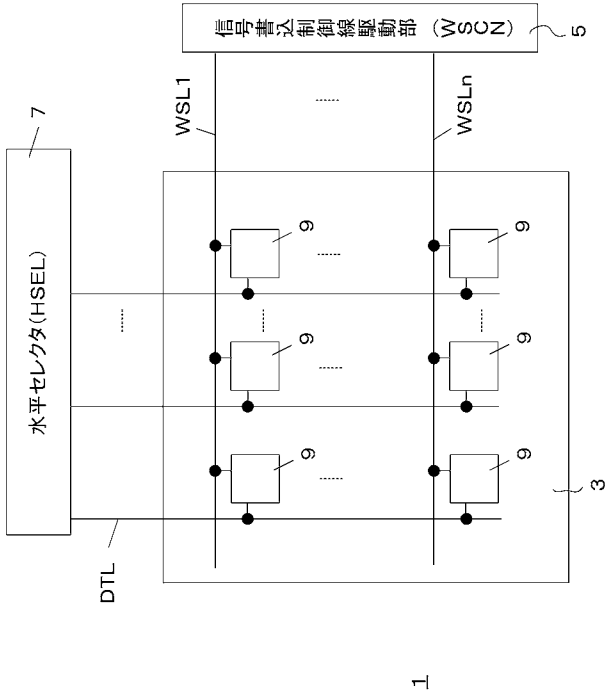
【図面の簡単な説明】

【0178】

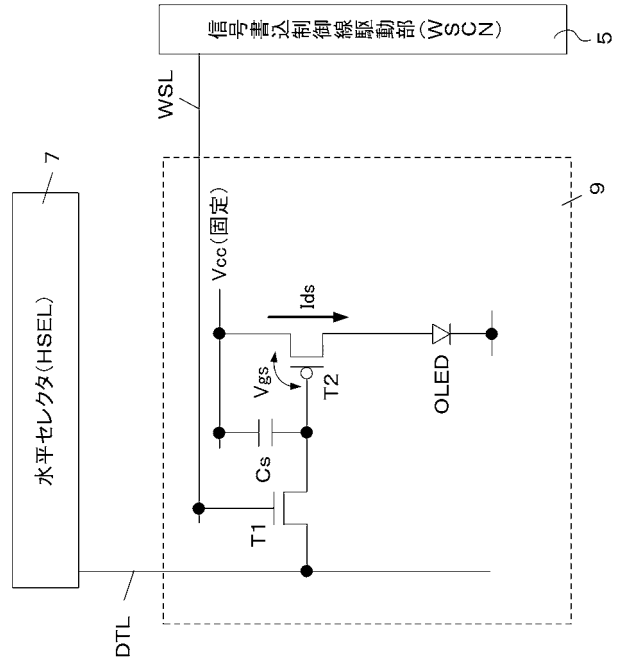
- 【図1】有機ELパネルの機能ブロック構成を説明する図である。
- 【図2】画素回路と駆動回路との接続関係を説明する図である。 10
- 【図3】有機EL素子のI-V特性の経時変化を説明する図である。
- 【図4】他の画素回路例を示す図である。
- 【図5】有機ELパネルの外観構成例を示す図である。
- 【図6】有機ELパネルのシステム構成例を示す図である。
- 【図7】画素回路と駆動回路との接続関係を説明する図である。
- 【図8】形態例1に係る画素回路の構成例を示す図である。
- 【図9】形態例1に係る駆動動作例を示す図である。
- 【図10】画素回路の動作状態を説明する図である。
- 【図11】画素回路の動作状態を説明する図である。
- 【図12】画素回路の動作状態を説明する図である。 20
- 【図13】画素回路の動作状態を説明する図である。
- 【図14】ソース電位の経時変化を示す図である。
- 【図15】画素回路の動作状態を説明する図である。
- 【図16】移動度の違いによる経時変化の違いを示す図である。
- 【図17】画素回路の動作状態を説明する図である。
- 【図18】形態例2に係る有機ELパネルの構成例を示す図である。
- 【図19】画素回路と駆動回路との接続関係を説明する図である。
- 【図20】形態例2に係る画素回路の構成例を示す図である。
- 【図21】形態例2に係る駆動動作例を示す図である。
- 【図22】画素回路の動作状態を説明する図である。 30
- 【図23】画素回路の動作状態を説明する図である。
- 【図24】画素回路の動作状態を説明する図である。
- 【図25】画素回路の動作状態を説明する図である。
- 【図26】画素回路の動作状態を説明する図である。
- 【図27】画素回路の動作状態を説明する図である。
- 【図28】画素回路の動作状態を説明する図である。
- 【図29】ソース電位の経時変化を示す図である。
- 【図30】画素回路の動作状態を説明する図である。
- 【図31】移動度の違いによる経時変化の違いを示す図である。
- 【図32】画素回路の動作状態を説明する図である。 40
- 【図33】形態例2の駆動方法を閾値補正動作の分割実行にそのまま応用する場合の信号波形を示す図である。
- 【図34】形態例3に係る有機ELパネルの構成例を示す図である。
- 【図35】画素回路と駆動回路の接続関係を説明する図である。
- 【図36】形態例3に係る画素回路の構成例を示す図である。
- 【図37】形態例3に係る駆動動作例を示す図である。
- 【図38】画素回路の動作状態を説明する図である。
- 【図39】画素回路の動作状態を説明する図である。
- 【図40】画素回路の動作状態を説明する図である。
- 【図41】画素回路の動作状態を説明する図である。 50

- 【図 4 2】画素回路の動作状態を説明する図である。
- 【図 4 3】画素回路の動作状態を説明する図である。
- 【図 4 4】画素回路の動作状態を説明する図である。
- 【図 4 5】画素回路の動作状態を説明する図である。
- 【図 4 6】画素回路の動作状態を説明する図である。
- 【図 4 7】形態例 4 に係る有機 E L パネルの構成例を示す図である。
- 【図 4 8】画素回路と駆動回路との接続関係を示す図である。
- 【図 4 9】形態例 4 に係る画素回路の構成例を示す図である。
- 【図 5 0】形態例 4 に係る駆動動作例を示す図である。
- 【図 5 1】画素回路の動作状態を説明する図である。 10
- 【図 5 2】画素回路の動作状態を説明する図である。
- 【図 5 3】画素回路の動作状態を説明する図である。
- 【図 5 4】画素回路の動作状態を説明する図である。
- 【図 5 5】画素回路の動作状態を説明する図である。
- 【図 5 6】画素回路の動作状態を説明する図である。
- 【図 5 7】画素回路の動作状態を説明する図である。
- 【図 5 8】画素回路の動作状態を説明する図である。
- 【図 5 9】画素回路の動作状態を説明する図である。
- 【図 6 0】電子機器の概念構成例を示す図である。
- 【図 6 1】電子機器の商品例を示す図である。 20
- 【図 6 2】電子機器の商品例を示す図である。
- 【図 6 3】電子機器の商品例を示す図である。
- 【図 6 4】電子機器の商品例を示す図である。
- 【図 6 5】電子機器の商品例を示す図である。
- 【符号の説明】
- 【 0 1 7 9 】
- | | | |
|-----|-------------|----|
| 1 1 | 有機 E L パネル | |
| 2 1 | 画素アレイ部 | |
| 2 3 | 信号書込制御線駆動部 | |
| 2 5 | 電流供給線駆動部 | 30 |
| 2 7 | 水平セレクタ | |
| 2 9 | タイミングジェネレータ | |
| 3 1 | 画素回路 | |
| 4 1 | 画素アレイ部 | |
| 4 3 | 信号書込制御線駆動部 | |
| 4 5 | パルス電圧源 | |
| 5 1 | 画素回路 | |
| 6 1 | 画素アレイ部 | |
| 6 3 | 信号書込制御線駆動部 | |
| 6 5 | オフセット信号線駆動部 | 40 |
| 6 7 | 水平セレクタ | |
| 7 1 | 画素回路 | |
| 8 1 | 画素アレイ部 | |
| 8 3 | 駆動電流制御線駆動部 | |
| 9 1 | 画素回路 | |

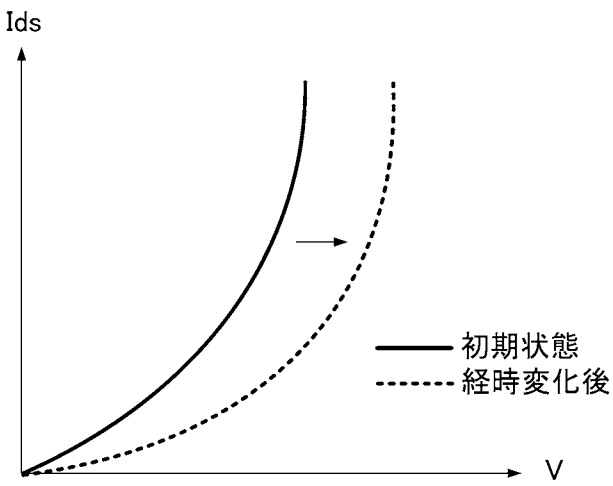
【 図 1 】



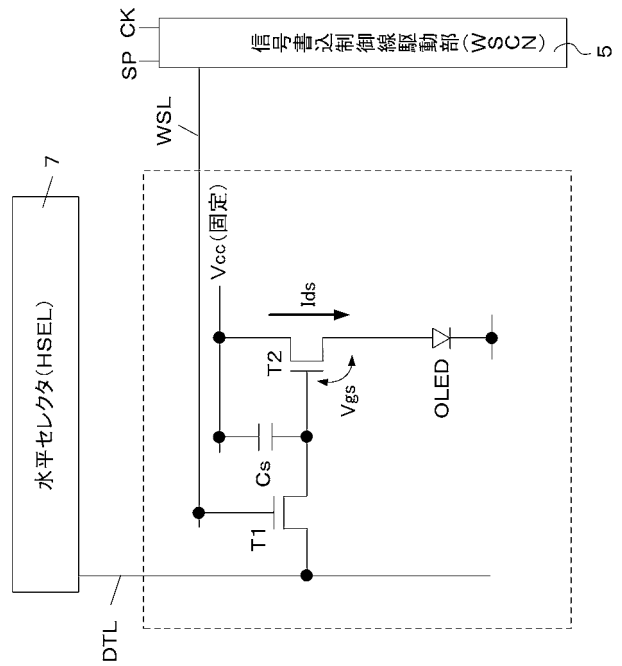
【 図 2 】



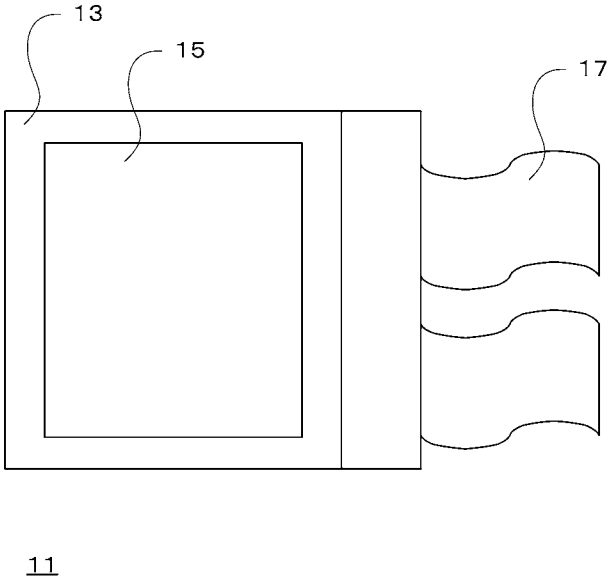
【 図 3 】



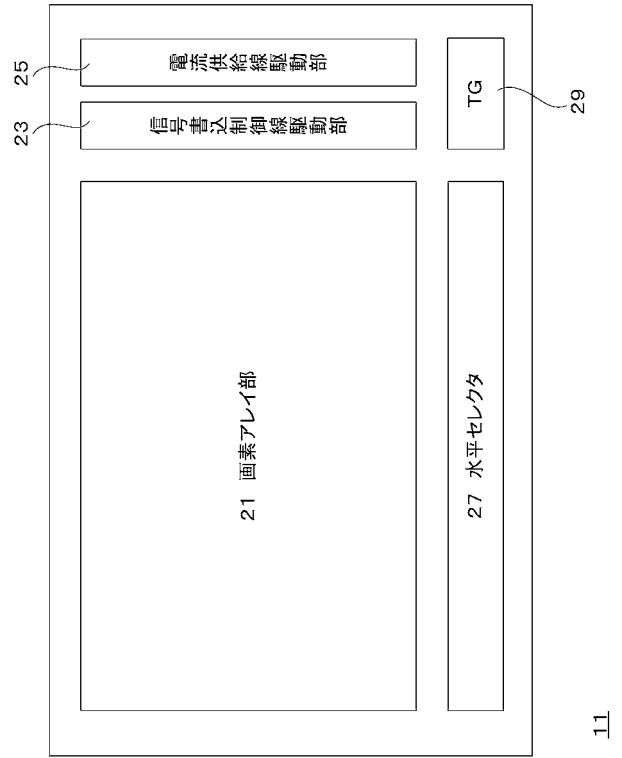
【 図 4 】



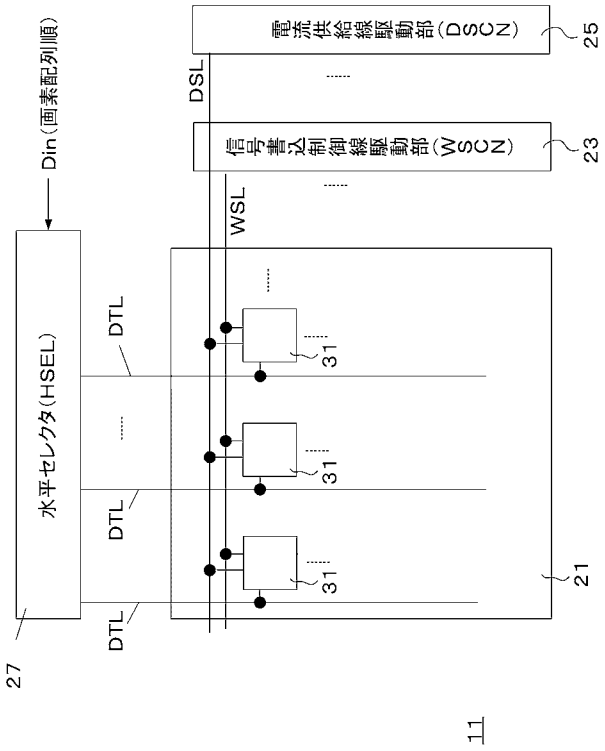
【図5】



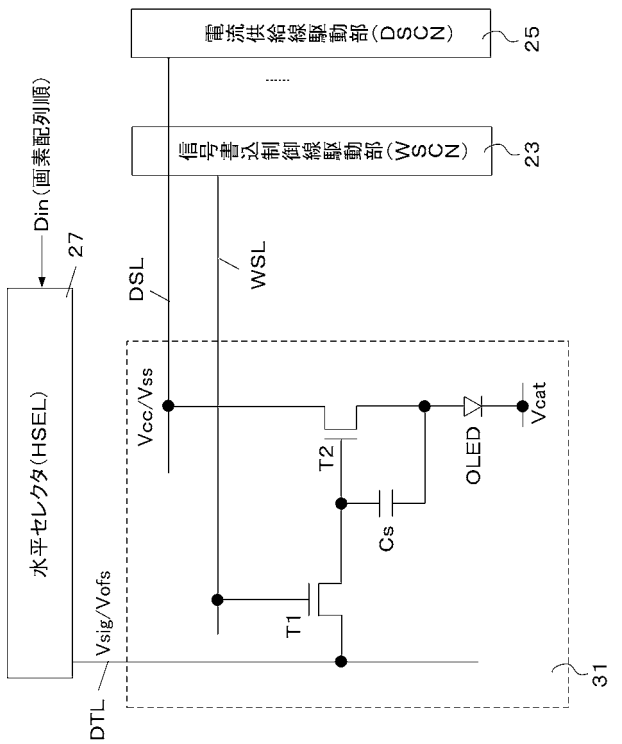
【図6】



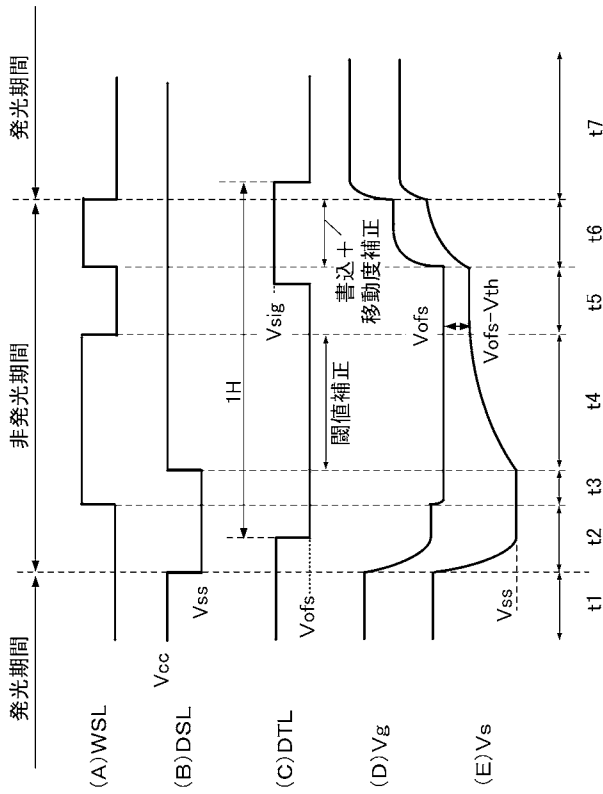
【図7】



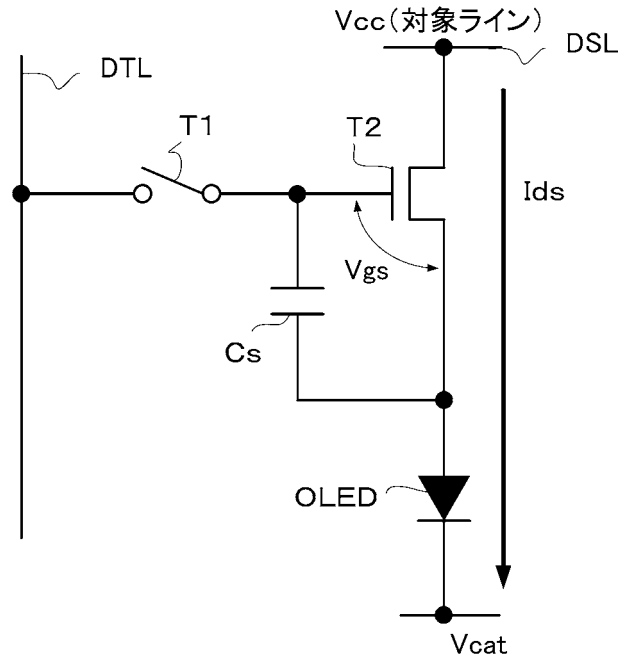
【図8】



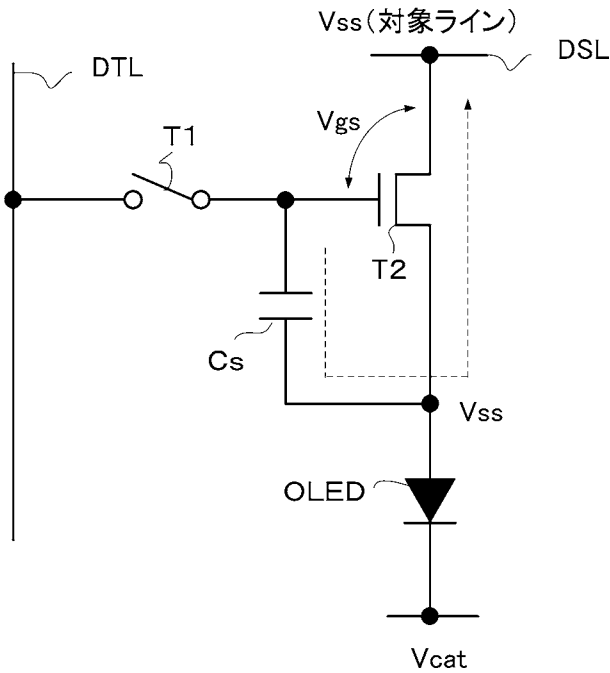
【 図 9 】



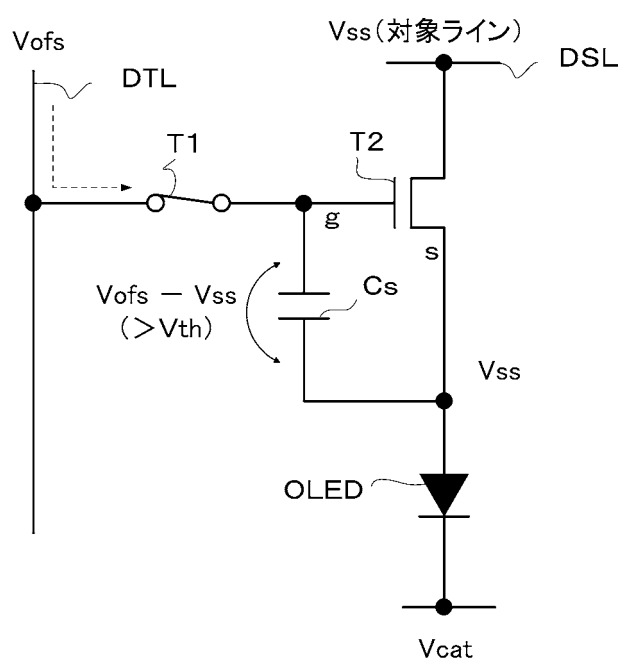
【 図 1 0 】



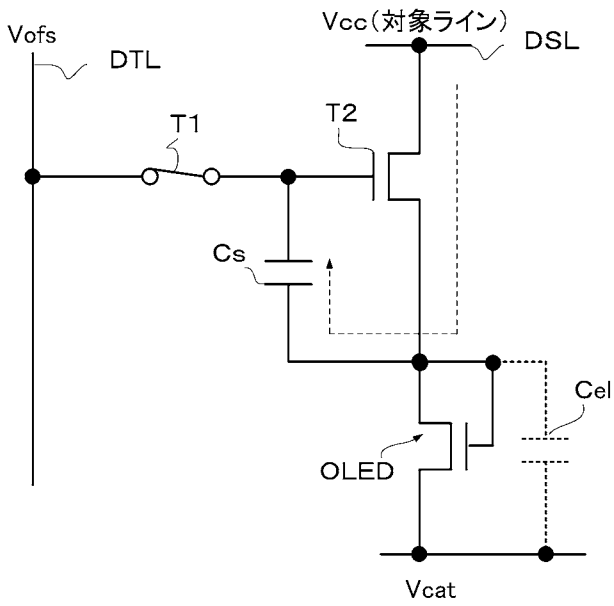
【 図 1 1 】



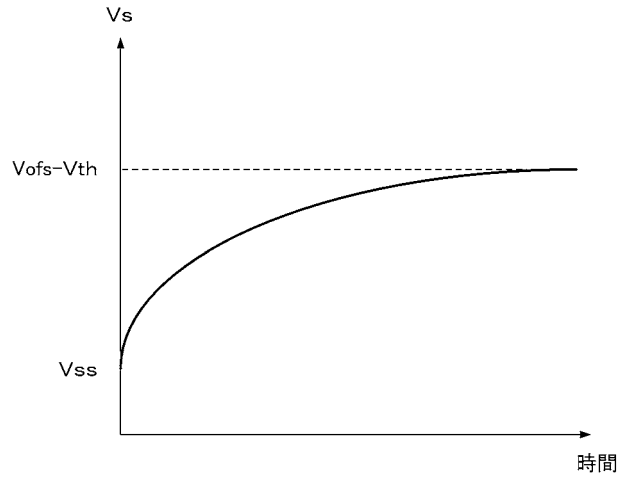
【 図 1 2 】



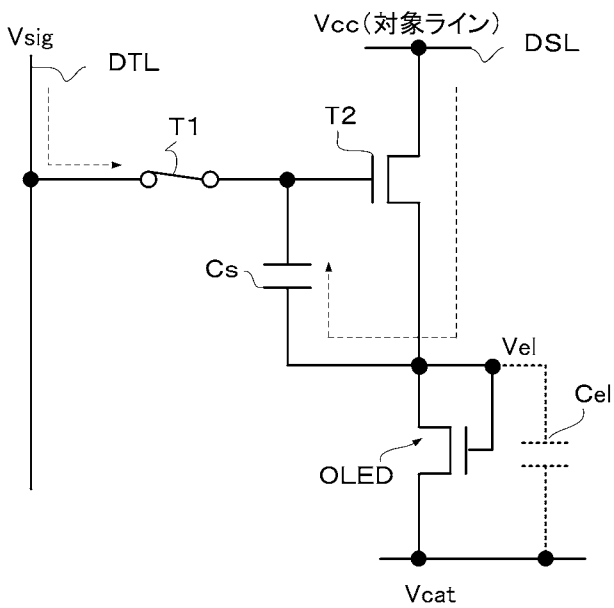
【図 1 3】



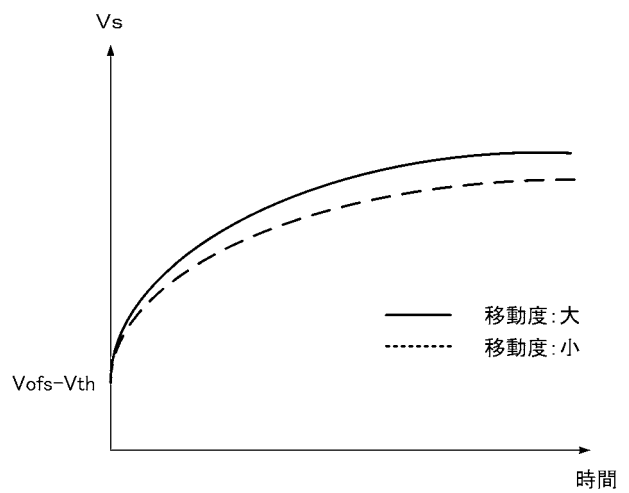
【図 1 4】



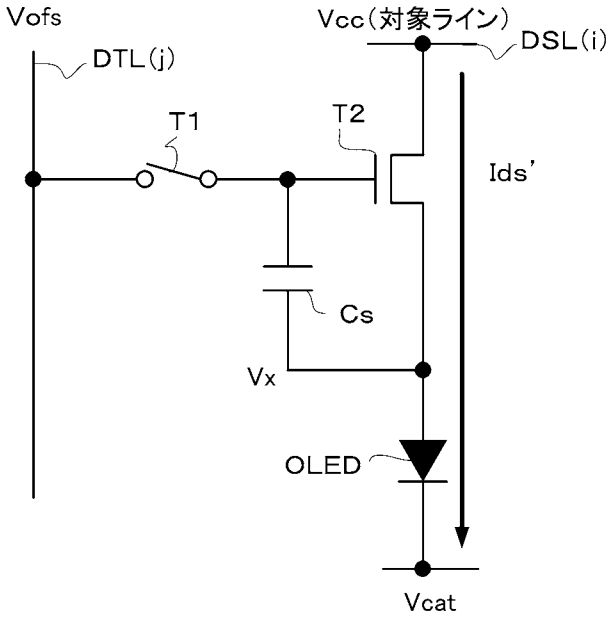
【図 1 5】



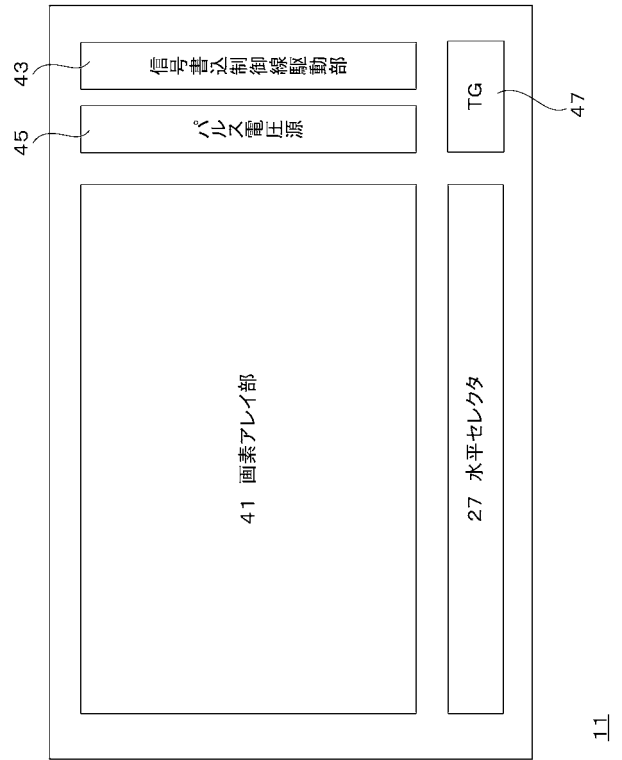
【図 1 6】



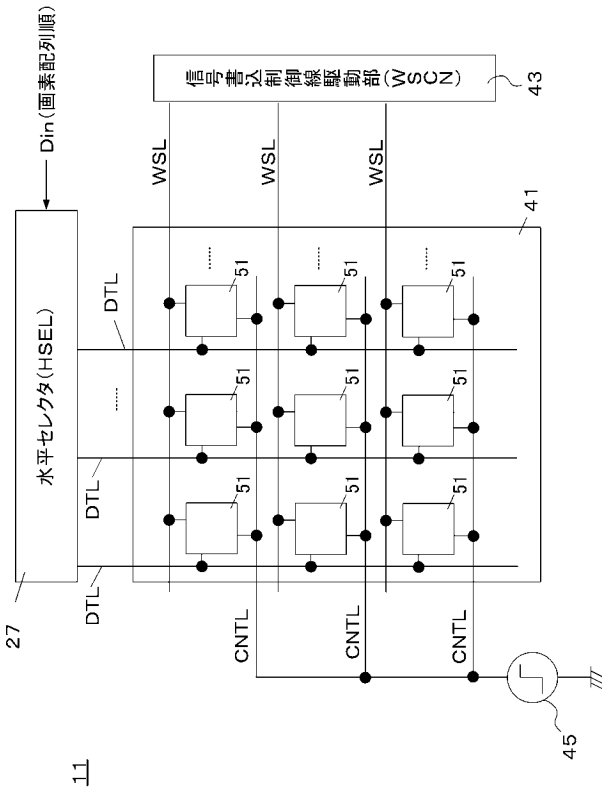
【図17】



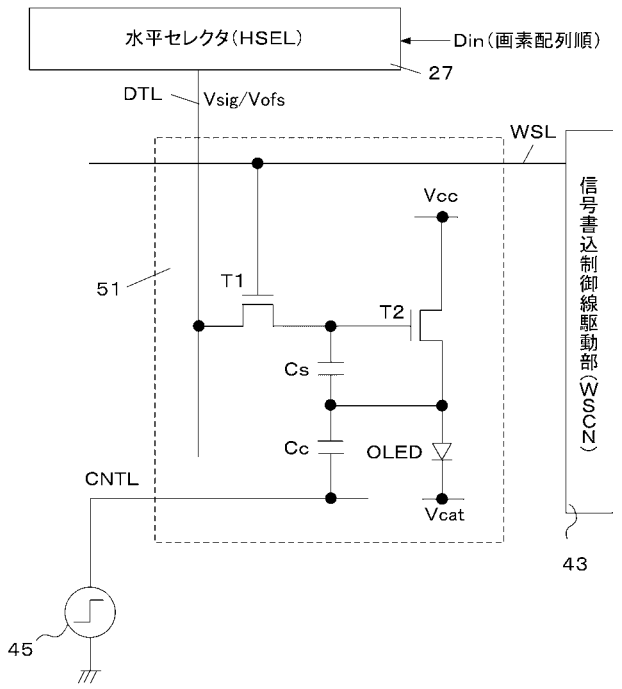
【図18】



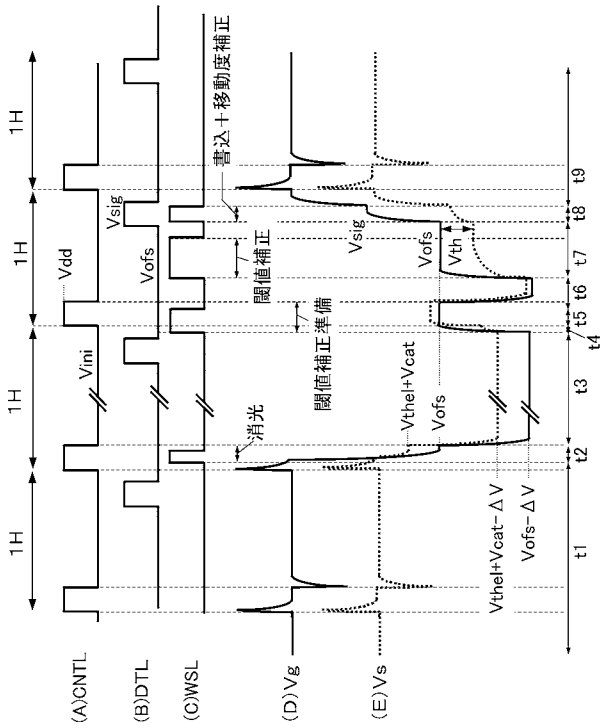
【図19】



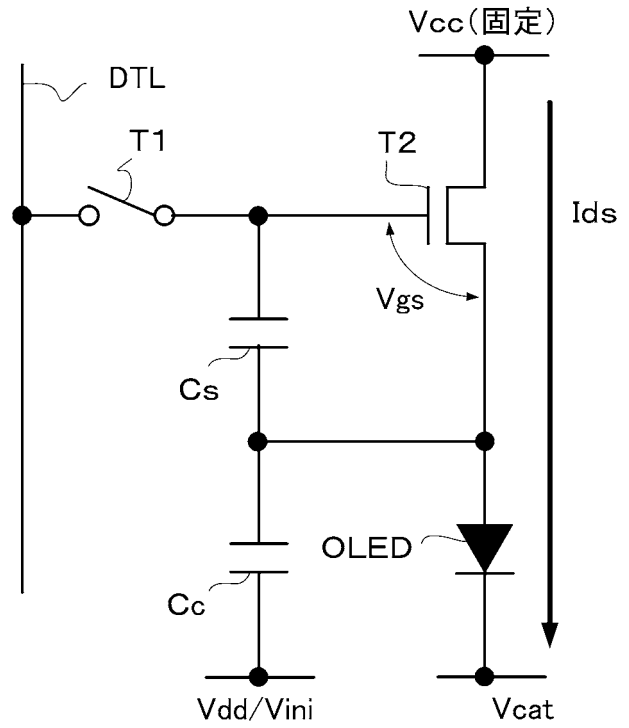
【図20】



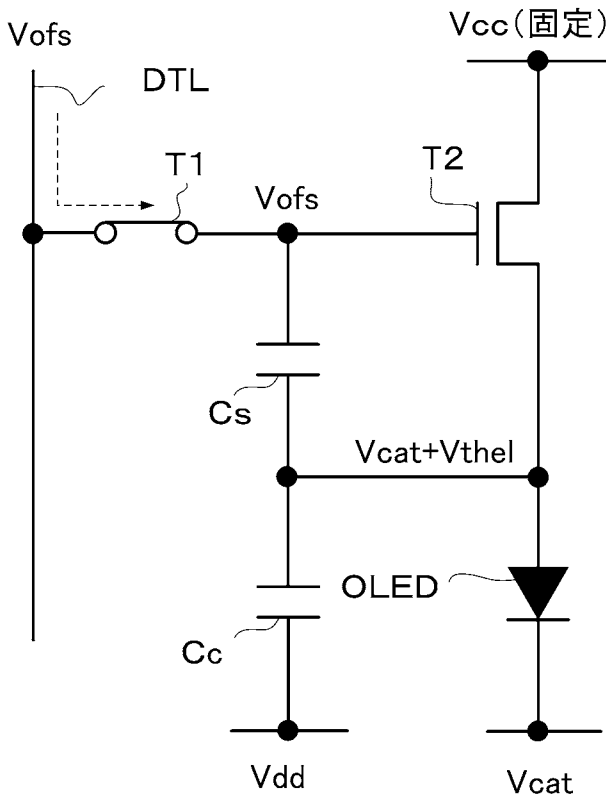
【 図 2 1 】



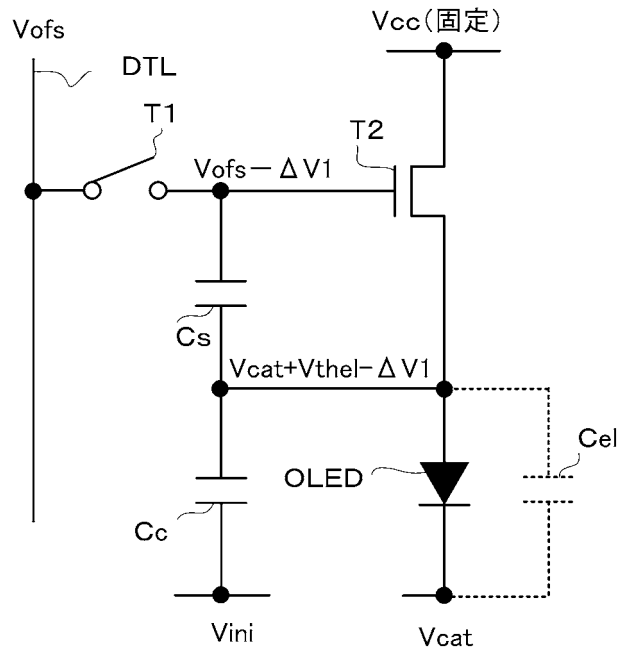
【 図 2 2 】



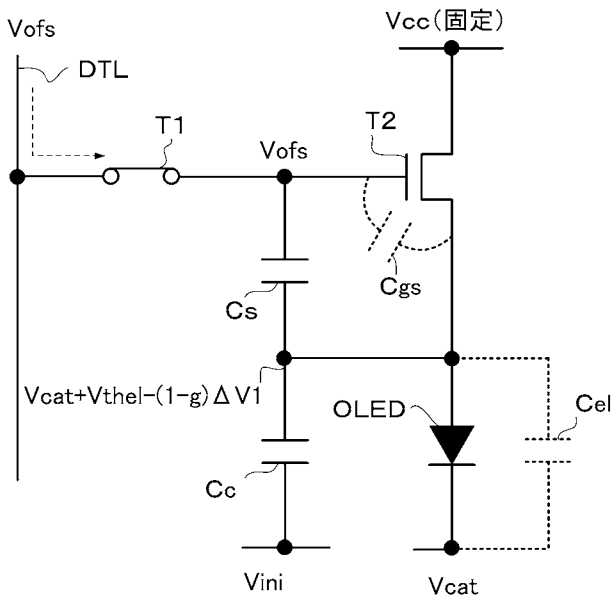
【 図 2 3 】



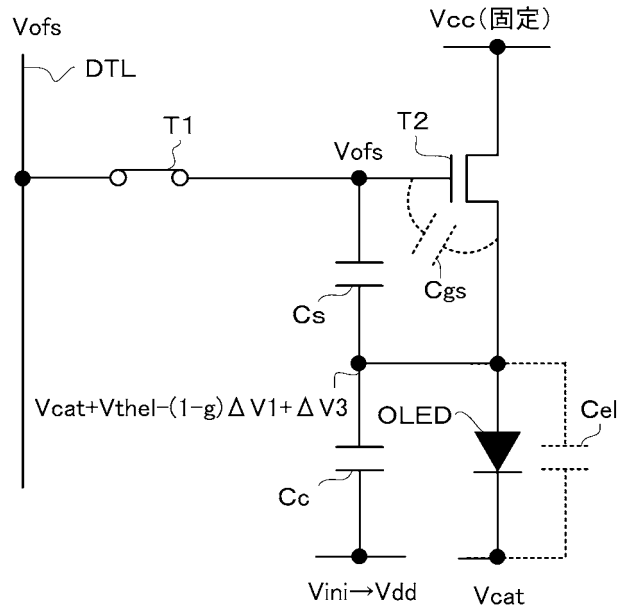
【 図 2 4 】



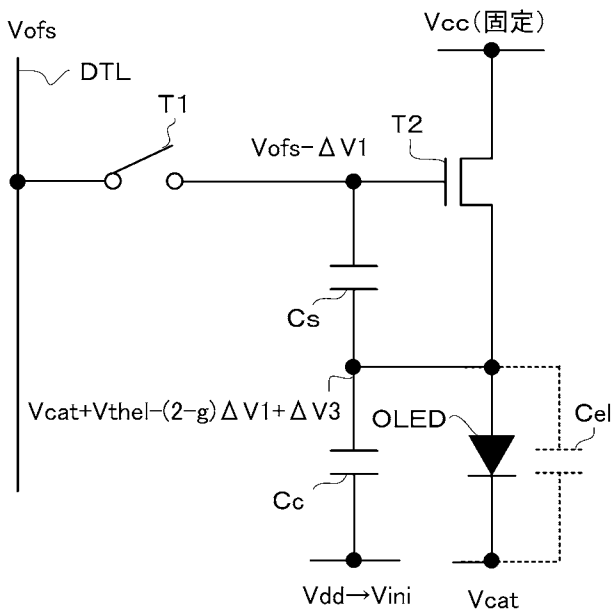
【 図 2 5 】



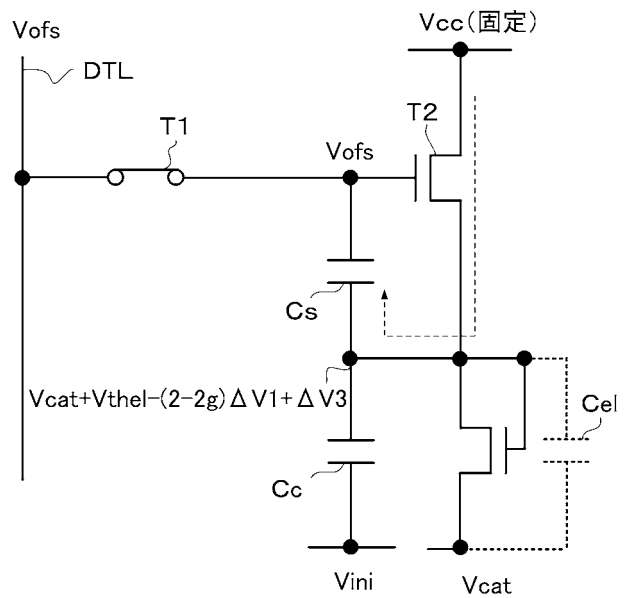
【 図 2 6 】



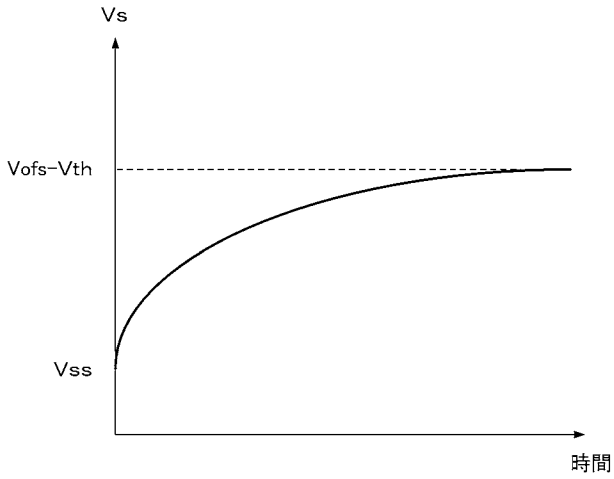
【 図 2 7 】



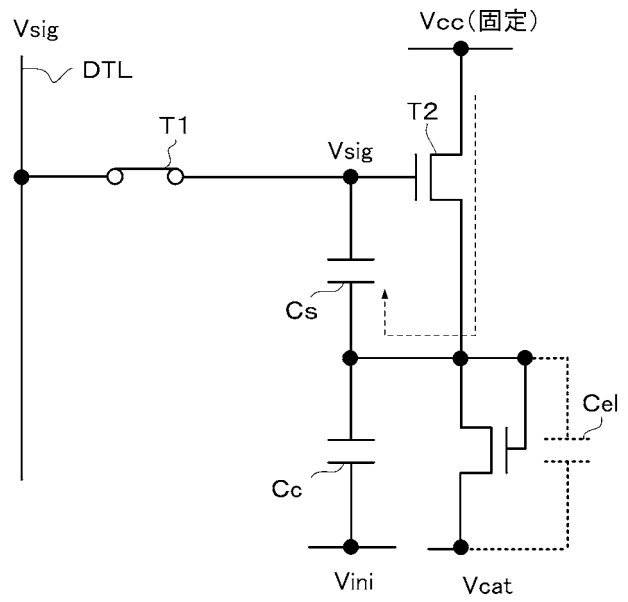
【 図 2 8 】



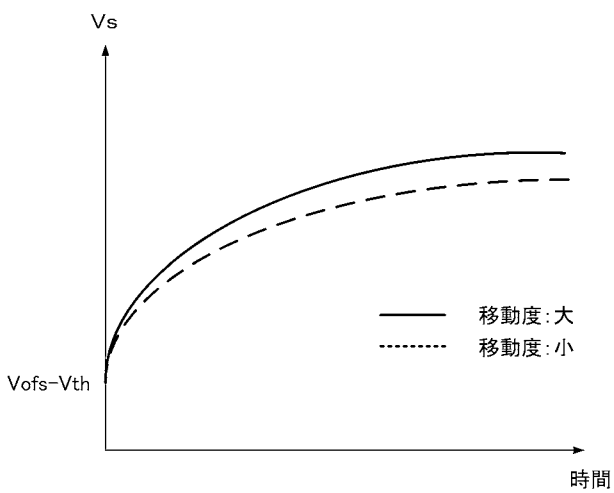
【 図 2 9 】



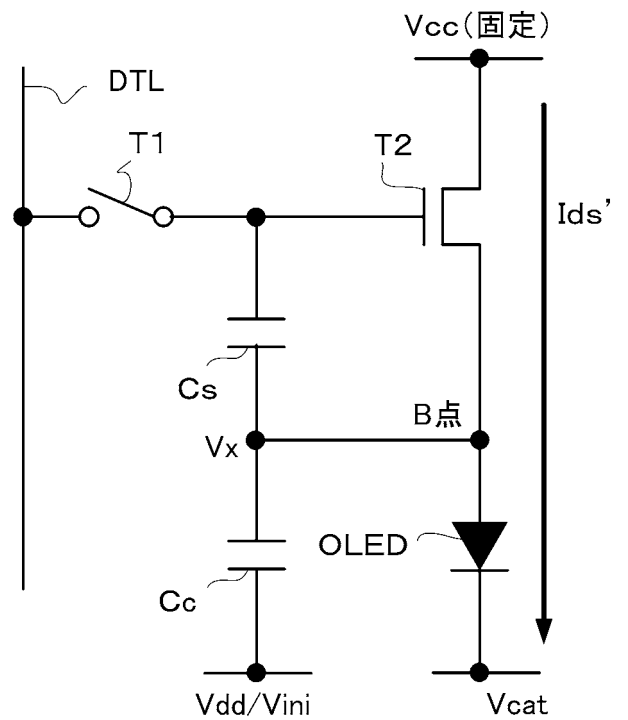
【 図 3 0 】



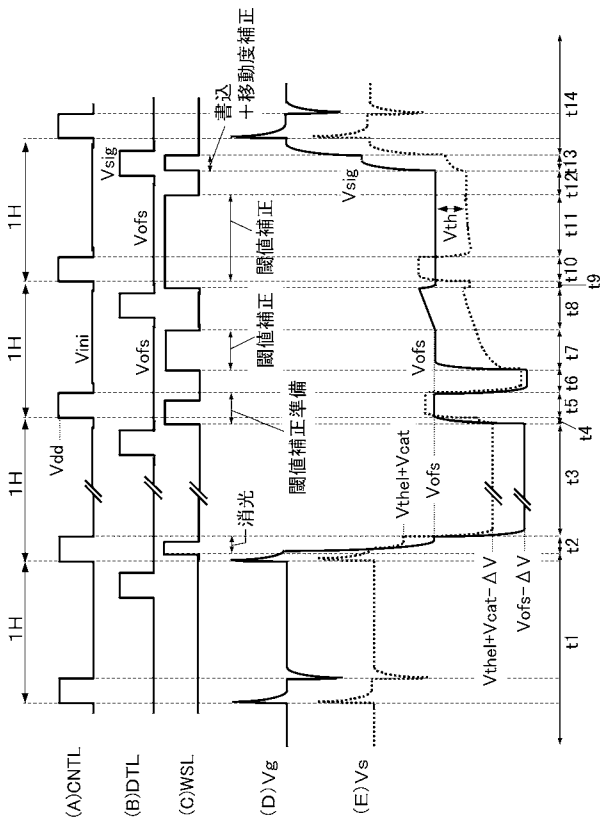
【 図 3 1 】



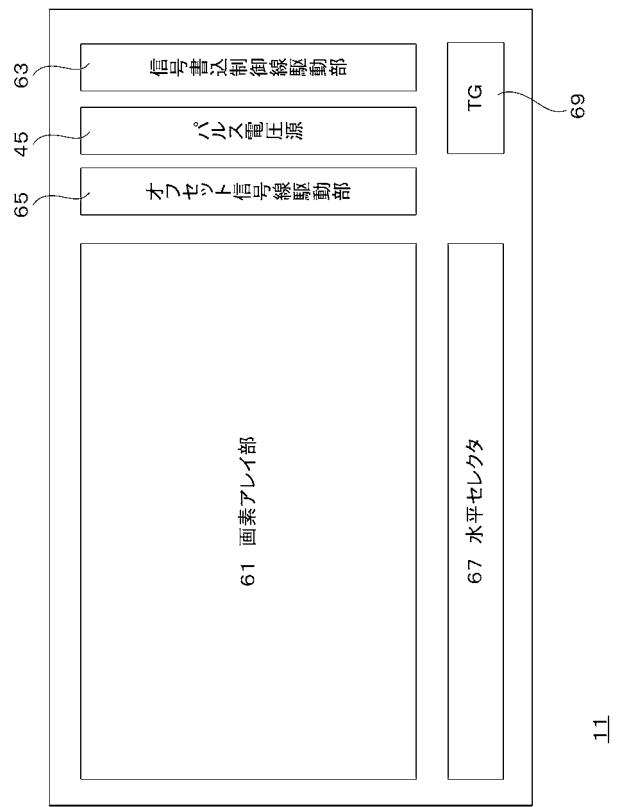
【 図 3 2 】



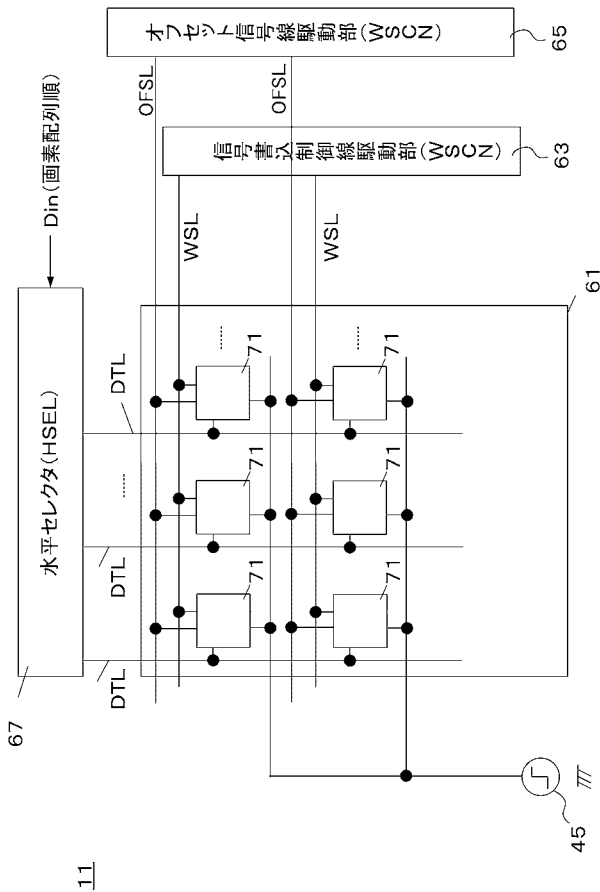
【図 3 3】



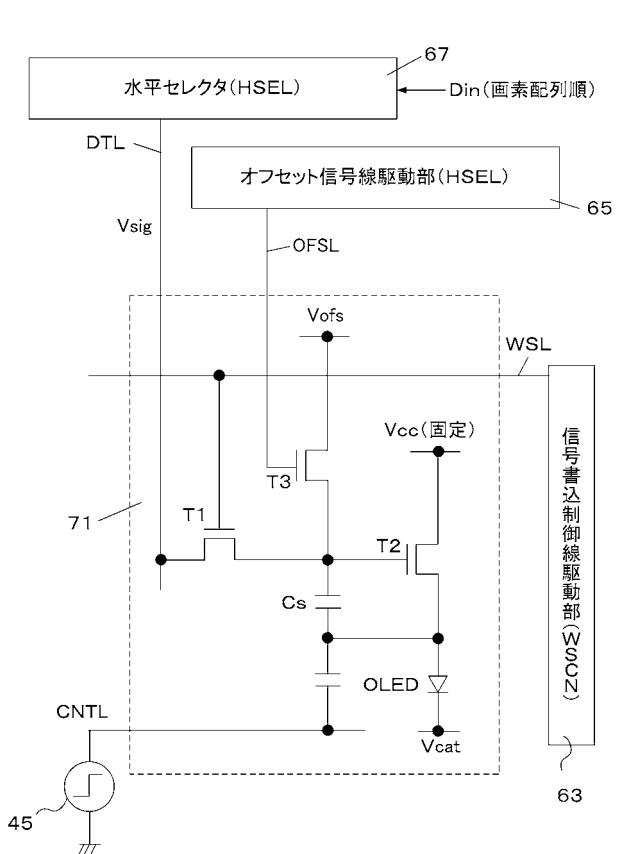
【図 3 4】



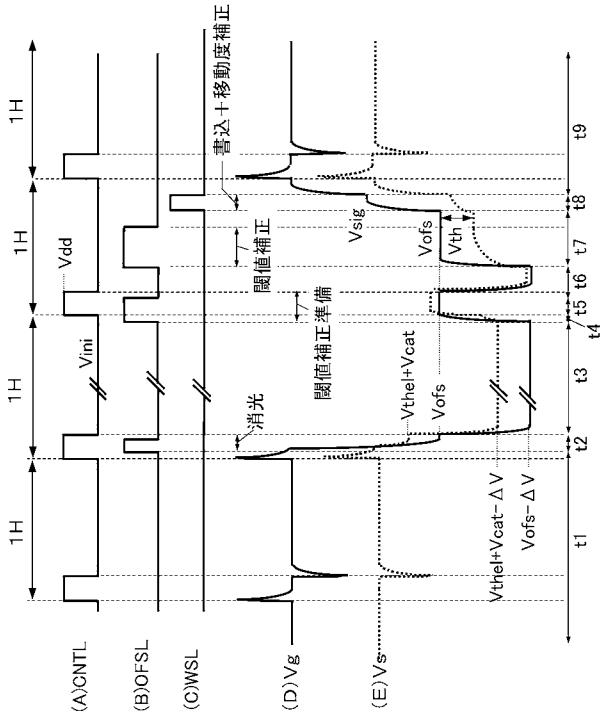
【図 3 5】



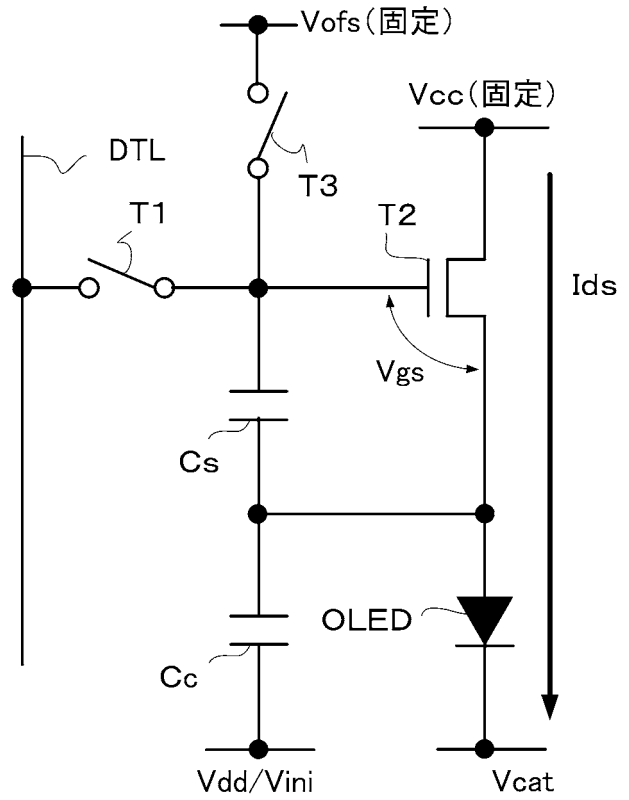
【図 3 6】



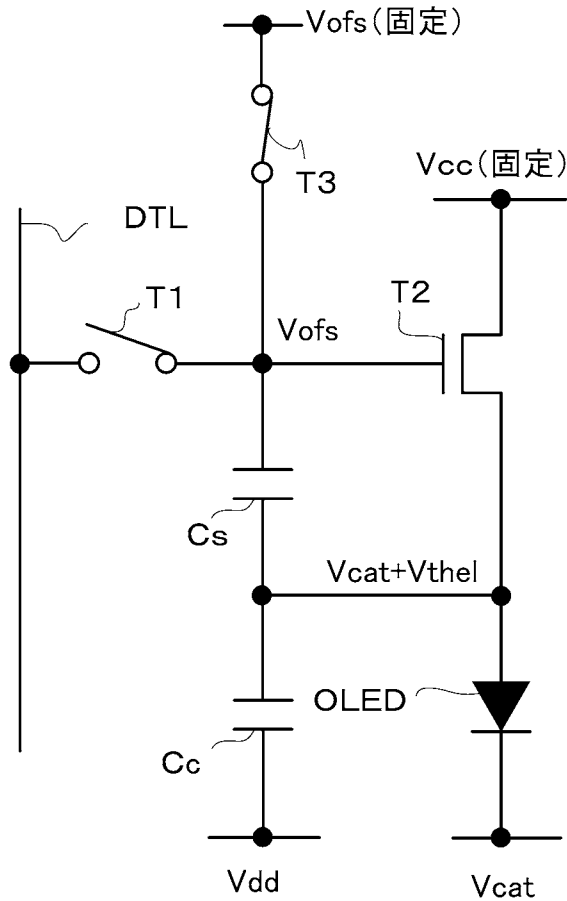
【 図 3 7 】



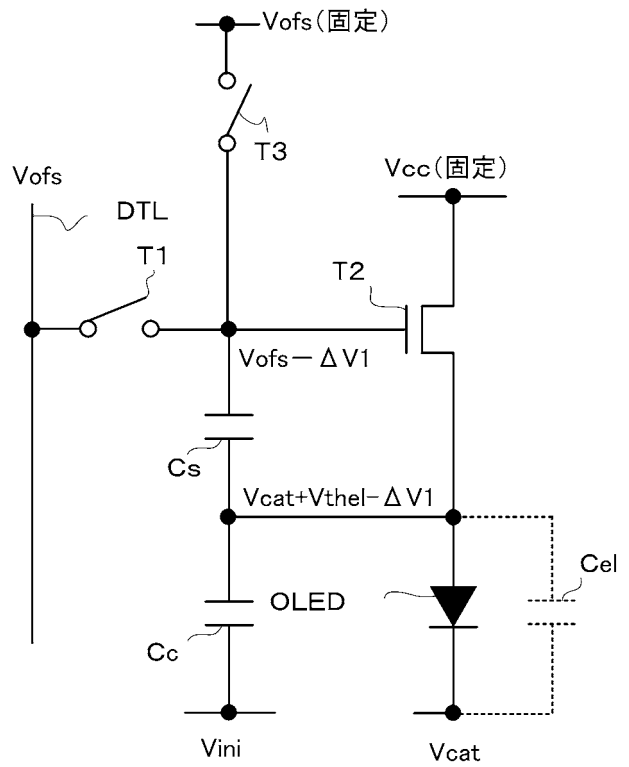
【 図 3 8 】



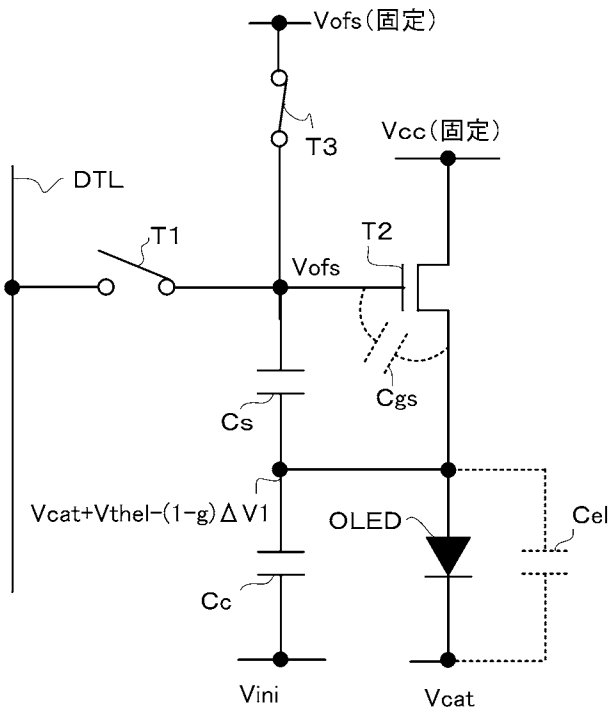
【 図 3 9 】



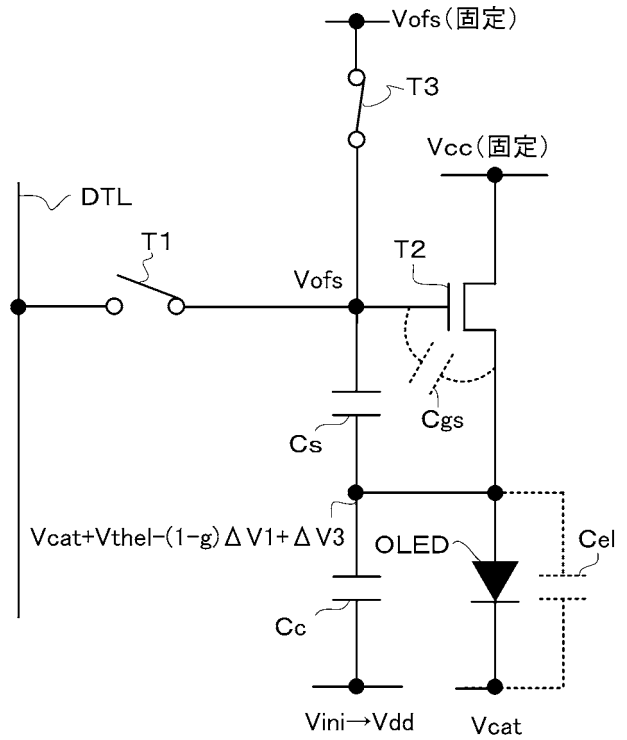
【 図 4 0 】



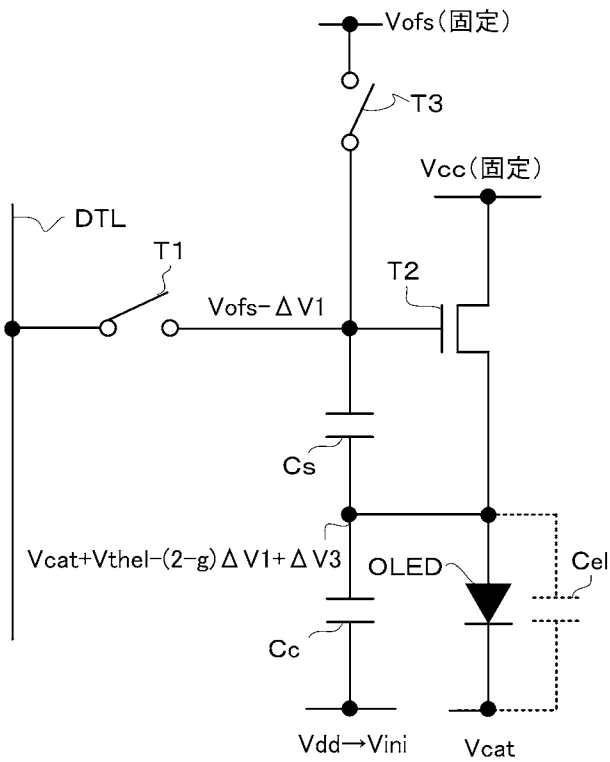
【图 4 1】



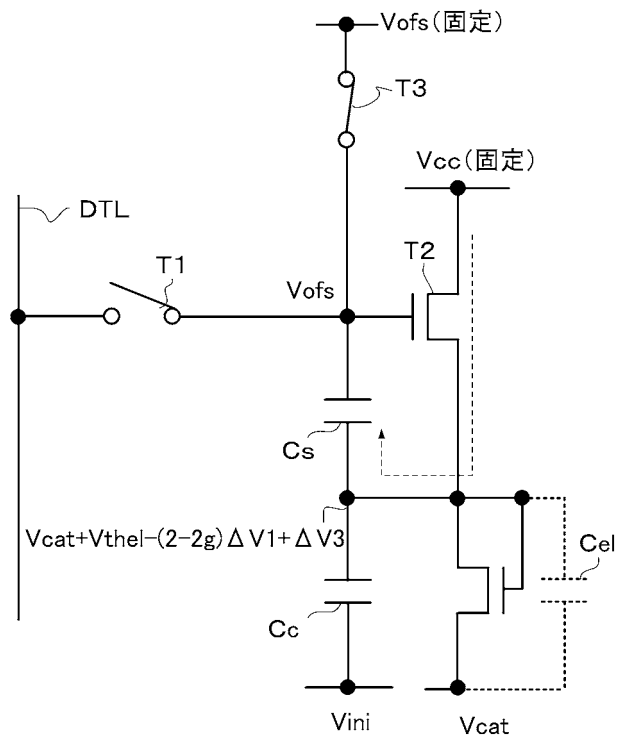
【图 4 2】



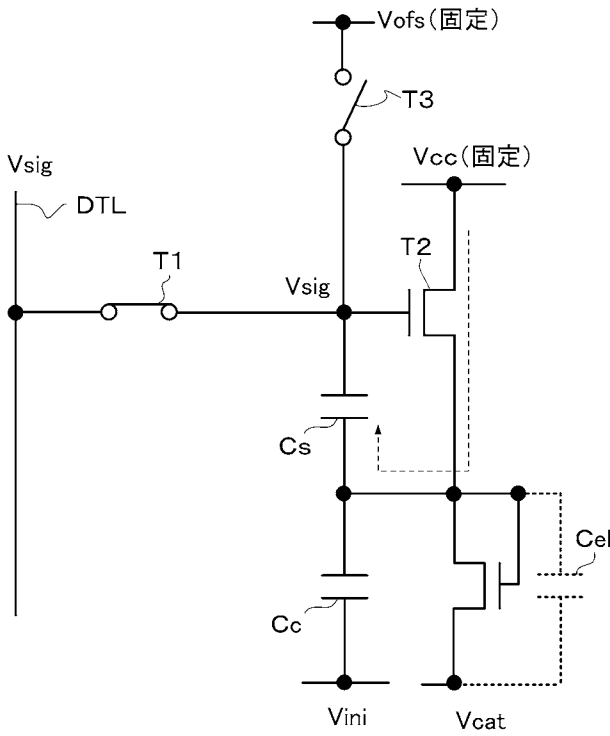
【图 4 3】



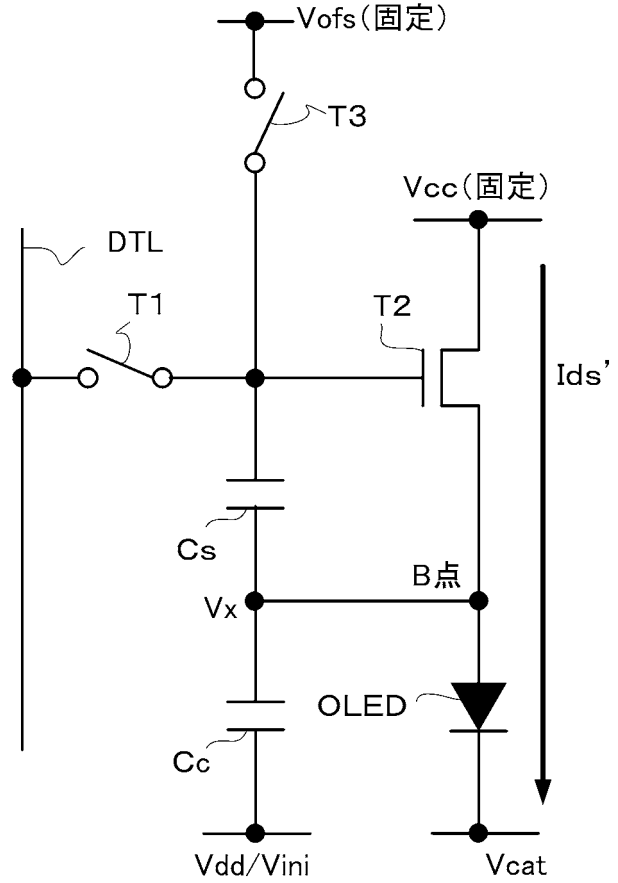
【图 4 4】



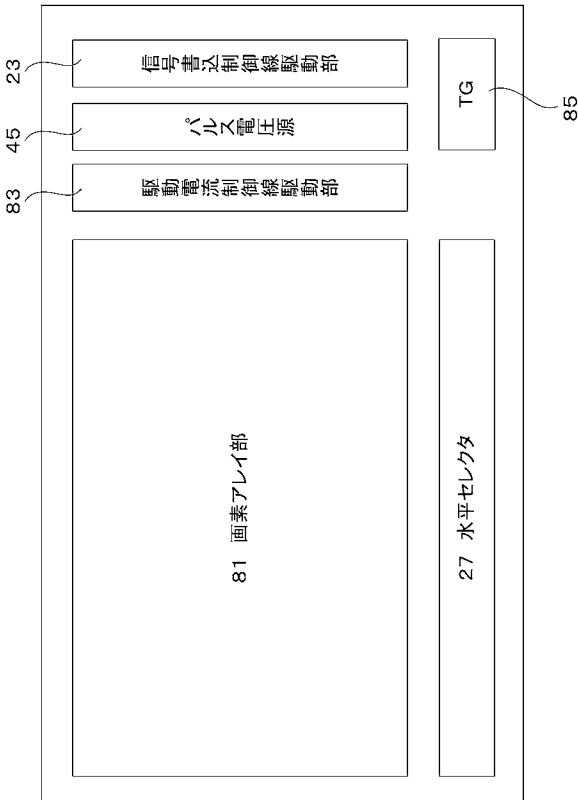
【 図 4 5 】



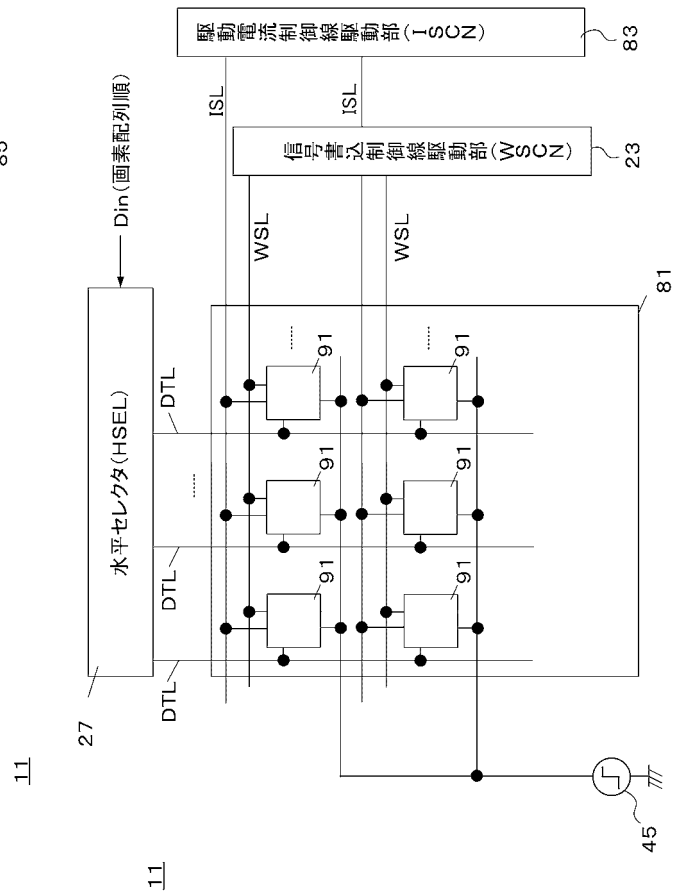
【 図 4 6 】



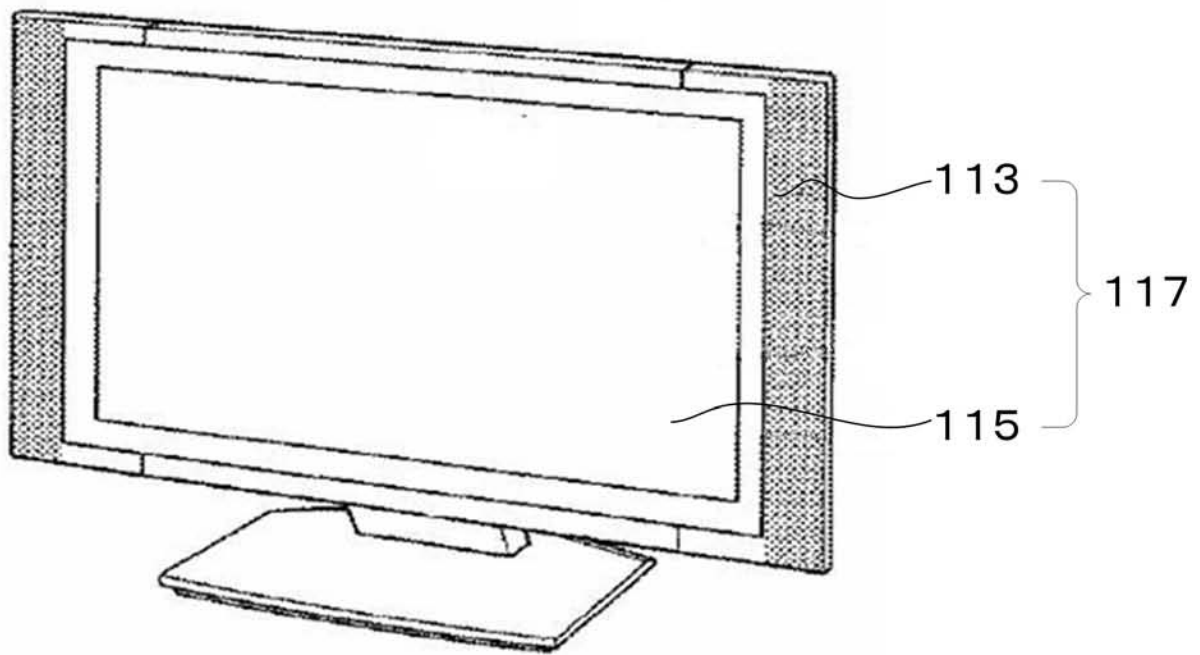
【 図 4 7 】



【 図 4 8 】

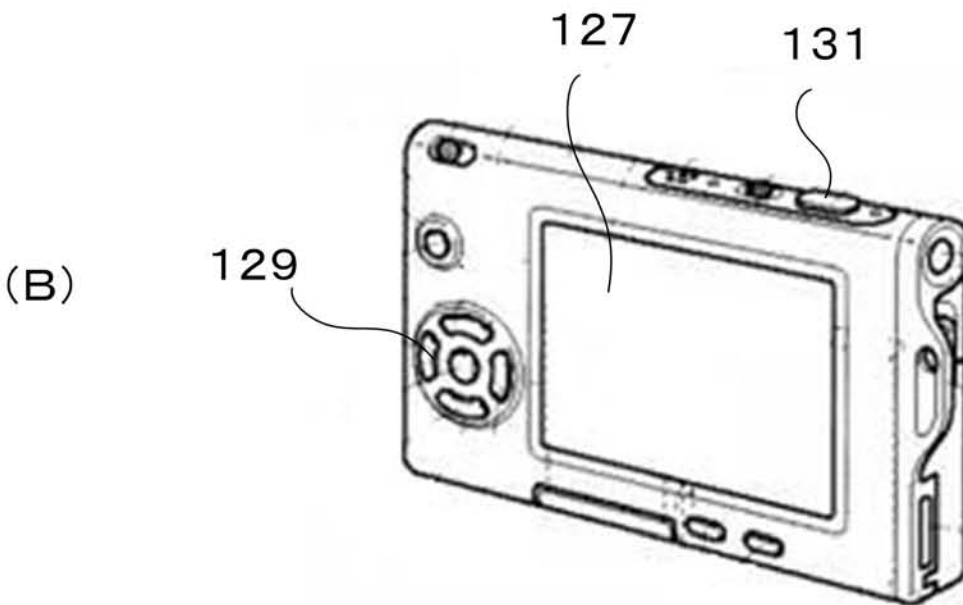
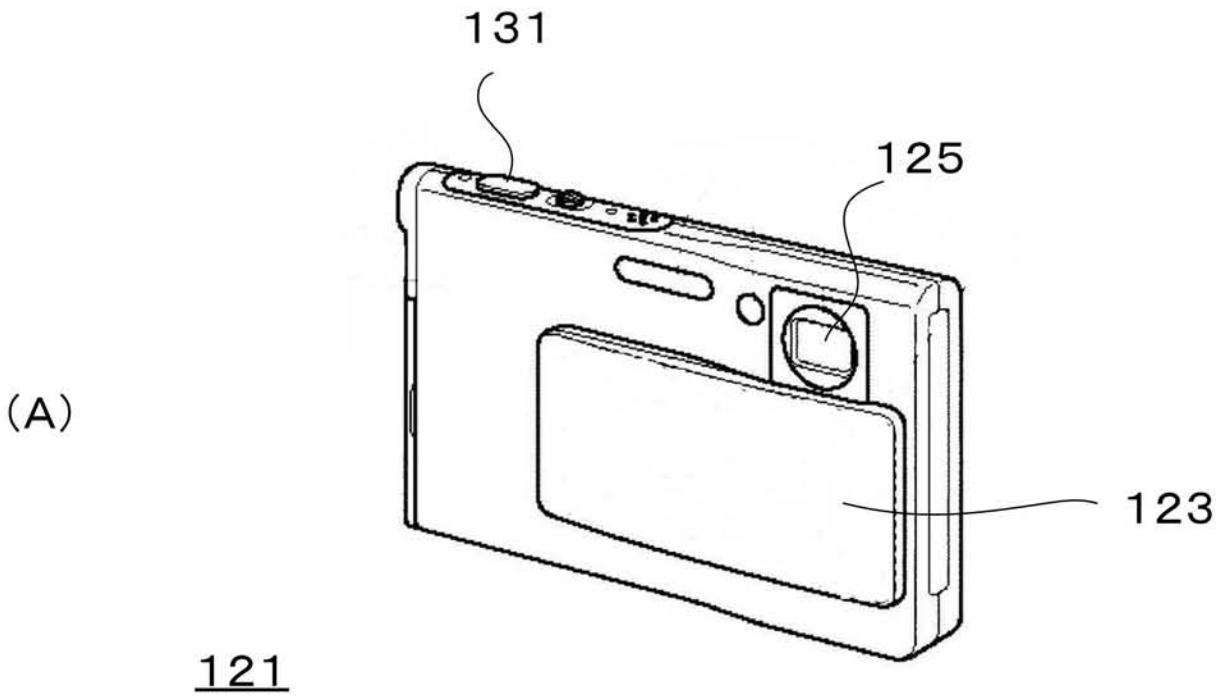


【図 6 1】

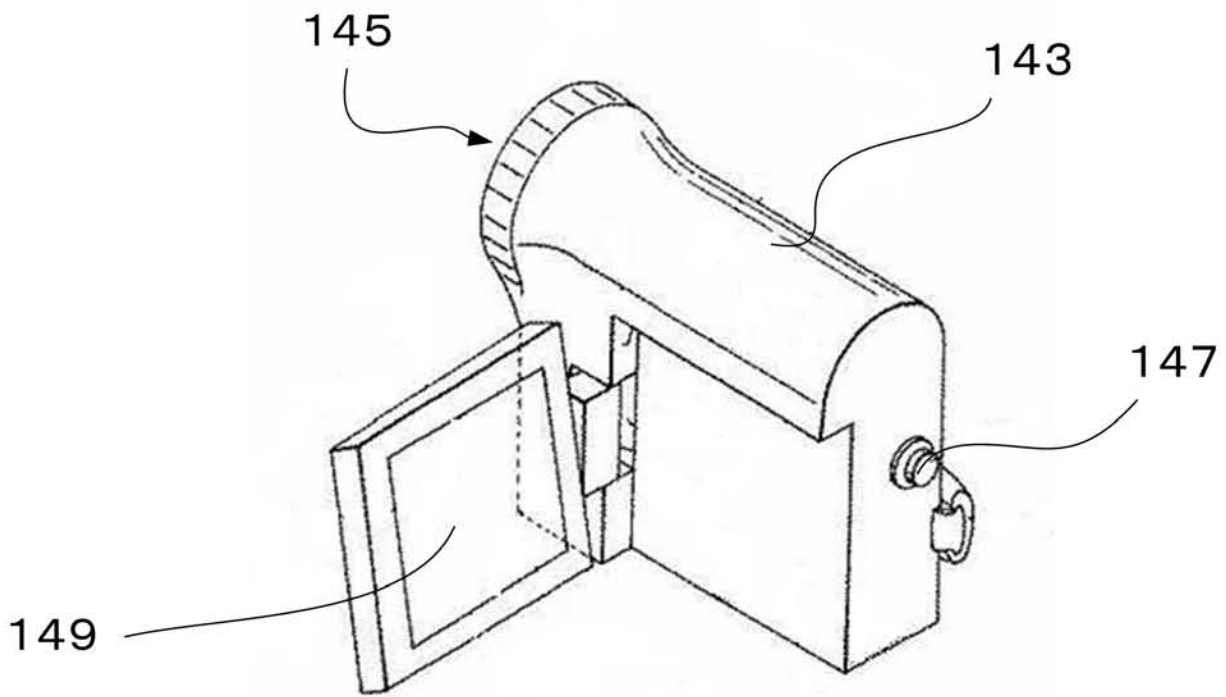


111

【図 6 2】

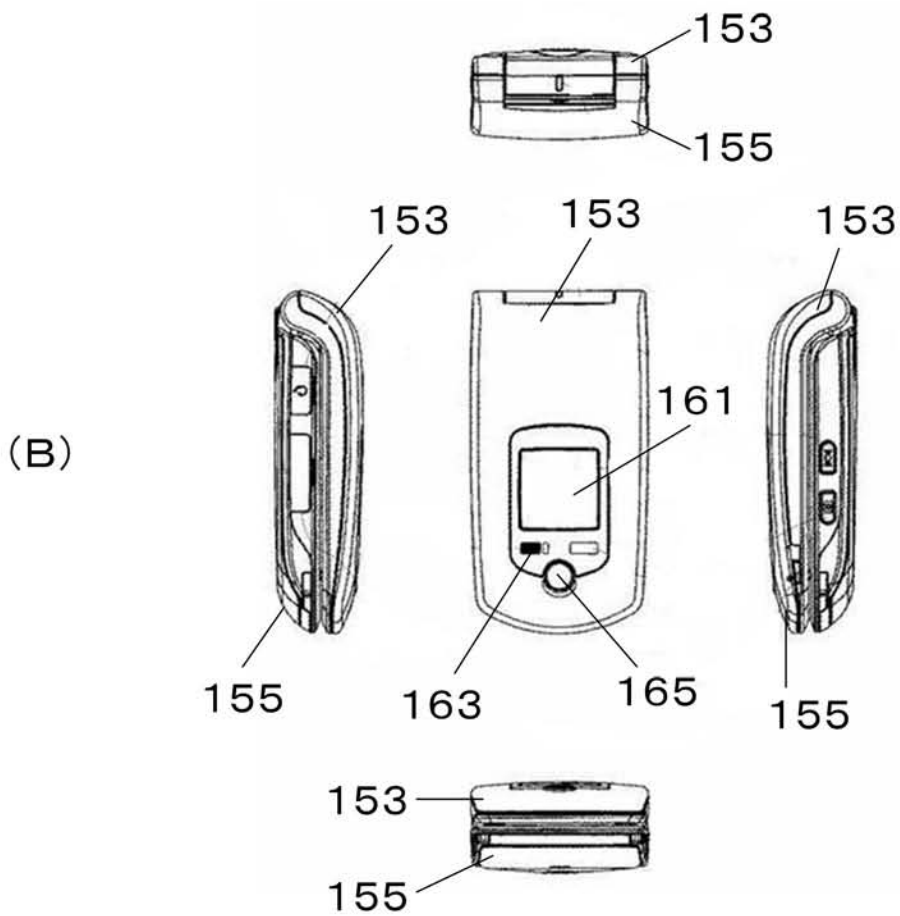
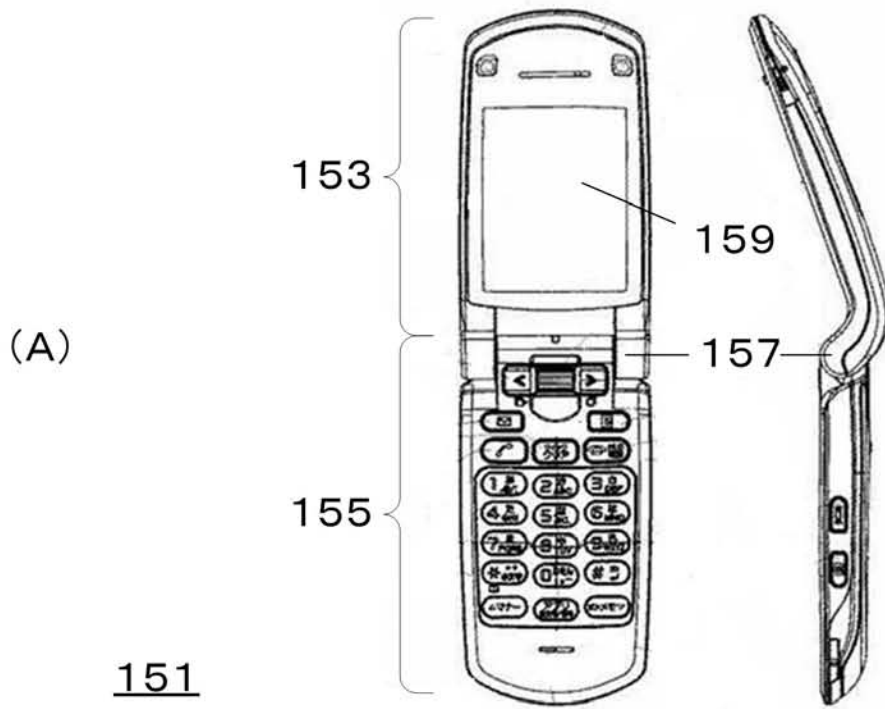


【図 63】

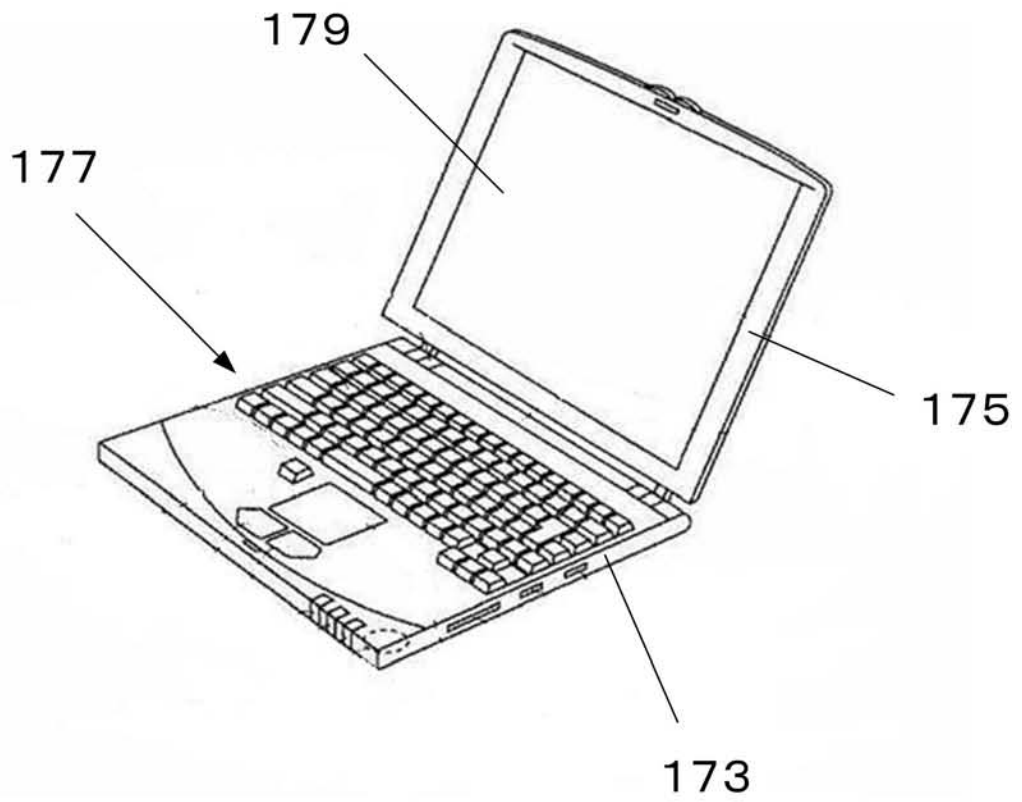


141

【 図 6 4 】



【 図 6 5 】



171

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 5C080 AA06 BB05 DD01 DD22 DD27 EE29 FF11 JJ02 JJ03 JJ04
JJ05 KK02 KK07 KK43

专利名称(译)	EL显示板，电子设备和EL显示板的驱动方法		
公开(公告)号	JP2009204979A	公开(公告)日	2009-09-10
申请号	JP2008048258	申请日	2008-02-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0866 G09G2310/0256 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD22 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA11 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC42 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD022 5C380/CD023 5C380/CD032 5C380/CE04 5C380/CE19 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA42		
代理人(译)	山本隆久 吉井正明		
其他公开文献	JP5186950B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供EL显示设备，以兼容降低成本和图像质量。解决方案：对应于有源矩阵驱动系统的EL显示面板装载有：(a) 像素电路，其至少设置有驱动晶体管，用于从固定电源线拉入驱动电流并将其提供给EL显示元件，连接在驱动晶体管的栅电极和源电极之间的保持电容器和用于控制向保持电容器写入信号电位的采样晶体管；(b) 所有像素电路共用的电容控制线；(c) 分别设置在EL显示元件的阳极和电容控制线之间的耦合电容器；(d) 脉冲电压源，用于使电容控制线的电位从低电位上升到高电位，并在上升后的固定期间后降低到低电位。

