

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-198691

(P2009-198691A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 621M	5C006
H01L 51/50 (2006.01)	G09G 3/20 680G	5C080
H05B 33/10 (2006.01)	G09G 3/20 641D	
G09G 3/36 (2006.01)	G09G 3/20 642A	

審査請求 未請求 請求項の数 6 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-38857 (P2008-38857)
 (22) 出願日 平成20年2月20日 (2008.2.20)

(71) 出願人 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国 ニューヨーク州 ロチェ
 スター ステート ストリート 343
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 水越 誠一
 東京都千代田区神田駿河台2-9 KDX
 御茶ノ水ビル コダック株式会社内
 (72) 発明者 森 信幸
 東京都千代田区神田駿河台2-9 KDX
 御茶ノ水ビル コダック株式会社内

最終頁に続く

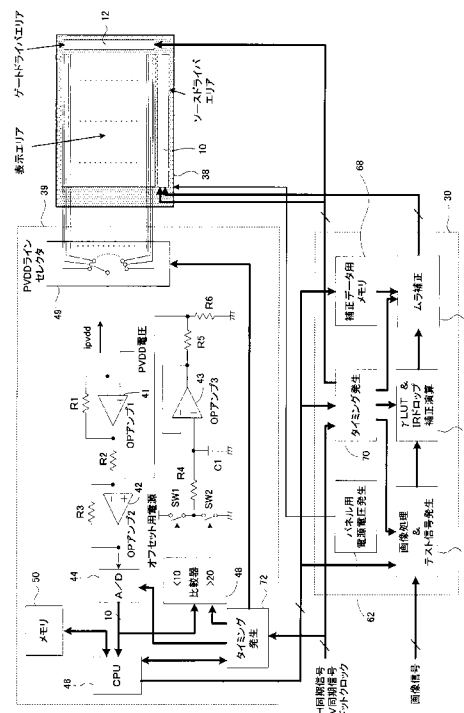
(54) 【発明の名称】 有機EL表示モジュールおよびその製造方法

(57) 【要約】

【課題】ムラ補正用データの測定時間を短縮するとともに、垂直方向の電源ラインにおける抵抗成分の影響を排除する。

【解決手段】パネル38には、水平ラインの画素に電源供給する複数PVDラインが、画素の水平ラインごとに設けられる。また、前記複数の電源ラインの抵抗とそこを流れる電流とから各画素までの電圧降下を演算によって求め、求められた各画素における電圧降下をキャンセルするように表示データを補正する電圧降下補正手段と、画素ごとのTFT特性のばらつきに起因する輝度ムラを該当画素についての表示データと予め求められている該当画素についての補正データとで演算を行い補正する表示ムラの補正手段と、を設ける。そして、基板の端部には、PVDラインの1本または複数本のグループごとに、それぞれ別々に前記独立したPVD端子が設けられている。

【選択図】図12



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された画素ごとに、表示用の有機 E L 素子と、この有機 E L 素子への電流供給を制御する T F T と、を有するアクティブ型有機 E L 表示モジュールであって、

画素の水平ラインごとに設けられ、対応する水平ラインの画素に電源供給する複数の電源ラインと、

前記複数の電源ラインの抵抗とそこを流れる電流とから各画素までの電圧降下を演算によって求め、求められた各画素における電圧降下をキャンセルするように表示データを補正する電圧降下補正手段と、

画素ごとの T F T 特性のばらつきに起因する輝度ムラを該当画素についての表示データと予め求められている該当画素についての補正データとで演算を行い補正する表示ムラの表示ムラ補正手段と、

を備え、

前記画素が形成された基板の端部には、複数の独立した配線端子が設けられ、

前記複数の電源ラインは、1 本または複数本のグループごとに、それぞれ別々に前記独立した配線端子に接続されていることを特徴とするアクティブ型の有機 E L 表示モジュール。

【請求項 2】

請求項 1 に記載のアクティブ型有機 E L 表示モジュールであって、

前記グループは、電源ライン 1 本ずつであり、前記複数の電源ラインは、1 本ずつ別々に前記独立した配線端子に接続されていることを特徴とするアクティブ型の有機 E L 表示モジュール。

【請求項 3】

マトリクス状に配置された画素ごとに、表示用の有機 E L 素子と、この有機 E L 素子への電流供給を制御する T F T と、を有するアクティブ型有機 E L 表示モジュールであって、

画素の水平ラインごとに設けられ、対応する水平ラインの画素に電源供給する複数の電源ラインと、

前記複数の電源ラインの抵抗とそこを流れる電流とから各画素までの電圧降下を演算によって求め、求められた各画素における電圧降下をキャンセルするように表示データを補正する電圧降下補正手段と、

画素ごとの T F T 特性のばらつきに起因する輝度ムラを該当画素についての表示データと予め求められている該当画素についての補正データとで演算を行い補正する表示ムラの表示ムラ補正手段と、

を備え、

前記画素が形成された基板の端部には、複数の独立した配線端子が設けられ、

前記複数の電源ラインは、1 本または複数本のグループごとに、それぞれ別々に前記独立した配線端子に接続されており、

各接続端子は、導体によって接続されていることを特徴とするアクティブ型の有機 E L 表示モジュール。

【請求項 4】

請求項 3 に記載の有機 E L 表示モジュールにおいて、

前記グループは、電源ライン 1 本ずつであり、前記複数の電源ラインは、1 本ずつ別々に前記独立した配線端子に接続されていることを特徴とするアクティブ型の有機 E L 表示モジュール。

【請求項 5】

請求項 3 または 4 に記載の有機 E L 表示モジュールについての製造方法であって、

測定画素の属する水平ラインの電源ラインのグループのみに前記配線端子部に外部から電圧を与えて対応する 1 または複数の電源ラインに流れる電流を測定するムラ補正データ

10

20

30

40

50

の採集工程と、

全ての前記配線端子を導体によって結合する組み立て工程と、
を含むことを特徴とするアクティブ型有機ＥＬ表示モジュールの製造方法。

【請求項６】

請求項３または４に記載の有機ＥＬ表示モジュールの製造方法であって、

複数の前記電源ラインのグループの前記配線端子部に外部から電圧を与えて、対応するグループの電源ラインに流れる電流をそれぞれ同時に測定し、同時に複数の画素のムラ補正データを採集する工程と、

全ての前記配線端子を導体によって結合する組み立て工程と、
を含むことを特徴とするアクティブ型有機ＥＬ表示モジュールの製造方法。

10

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、マトリクス状に配置された画素ごとに、表示用の有機ＥＬ素子と、この有機ＥＬ素子への電流供給を制御するＴＦＴと、を有するアクティブ型有機ＥＬ表示モジュールに関する。

【背景技術】

【０００２】

図１に基本的なアクティブ型の有機ＥＬ表示装置における１画素分の回路（画素回路）の構成を、図２に表示モジュールの構成の一例と入力信号を示す。

20

【０００３】

図１に示すように、画素回路は、ソースまたはドレインがデータラインＤａｔａに接続され、ゲートがゲートラインＧａｔｅに接続された選択ＴＦＴ２と、この選択ＴＦＴ２のドレインまたはソースがゲートに接続され、ソースが電源ＰＶｄｄに接続された駆動ＴＦＴ１と、駆動ＴＦＴ１のゲートソース間を接続する保持容量Ｃと、駆動ＴＦＴ１のドレインにアノードが接続されカソードが低電圧電源ＣＶに接続される有機ＥＬ素子３とから構成されている。

【０００４】

また、図２に示すように、図１に示す画素回路を有する画素部１４がマトリクス状に配置されて、表示部が構成されており、この表示部の各画素部を駆動するためにソースドライバ１０およびゲートドライバ１２が設けられている。

30

【０００５】

そして、画像データ信号、水平同期信号、画素クロック、その他駆動信号がソースドライバ１０に供給され、水平同期信号、垂直同期信号、その他駆動信号がゲートドライバ１２に供給される。ソースドライバ１０からは、垂直方向のデータラインＤａｔａが画素部１４の列ごとに伸び、ゲートドライバ１２からは水平方向のゲートラインＧａｔｅが画素部１４の行ごとに伸びている。

【０００６】

水平方向に伸びるゲートライン（Ｇａｔｅ）をハイレベルにして、選択ＴＦＴ２をオンし、その状態で垂直方向に伸びるデータライン（Ｄａｔａ）に表示輝度に応じた電圧を有するデータ信号を載せることで、データ信号が保持容量Ｃに蓄積される。これによって、駆動ＴＦＴ１が保持容量Ｃに蓄積されたデータ信号に応じた駆動電流を有機ＥＬ素子３に供給して、有機ＥＬ素子３が発光する。

40

【０００７】

ここで、有機ＥＬ素子３の電流と発光量とはほぼ比例関係にある。通常、駆動ＴＦＴ１のゲート－ＰＶｄｄ間（Ｖｇｓ）には画像の黒レベル付近でドレイン電流が流れ始めるような電圧（Ｖｔｈ）を与える。また、画像信号の振幅としては、白レベル付近で所定の輝度となるような振幅を与える。

【０００８】

図３は、駆動ＴＦＴ１の入力信号電圧（データラインＤａｔａの電圧）に対する有機Ｅ

50

L素子3に流れる電流C V電流（輝度に対応する）の関係を示している。そして、黒レベル電圧として、V_bを与え、白レベル電圧として、V_wを与えるように、データ信号（Data電圧）を決定することで、有機EL素子3における発光量を黒から白に制御することができ、適切な階調制御を行うことができる。ここで、図3から明らかなように、画素の入力電圧（Data電圧）と電流は完全な比例関係には無い。そこで、図4に示すように、ガンマ補正回路（LUT）16（16_r，16_g，16_b）を通し画像データと輝度の関係がリニアになるようにしている。画像データ信号は、画素ごとの輝度を表す信号であり、カラー信号であるため色ごとの画像データ信号r_n，g_n，b_nから形成されている。従って、RGBの各色に対応して3つのガンマ補正回路16_r，16_g，16_bが設けられ、これらからガンマ補正後の画像データ信号R_n，G_n，B_nが出力される。従って、ソースドライバ10には、画像データ信号R_n，G_n，B_nが供給され、これがデータラインDataに供給され、これらがR表示用、G表示用、B表示用の画素部14にそれぞれ供給される。なお、ソースドライバ10は、図に示すように、画素ごとの画像データ信号を一旦記憶するシフトレジスタ10aと、シフトレジスタ10aに記憶された1水平ライン分の画像データ信号をラッチし、1水平ラインのデータを同時にD/A変換して出力するデータラッチ&D/A10bを含んでいる。また、複数の画素部14がマトリクス状に配置された領域が表示パネルの有効画素領域18として図示されており、ここにおいて画像データ信号に基づく表示が行われる。

10

【0009】

ここで、1つの画素をある入力電圧でドライブした時の輝度は、駆動TFT1のV_{th}によって異なり、P_{VDD}-V_{th}付近の入力電圧が、黒を表示する時の信号電圧に対応する。また、TFTのV-Iカーブの傾き（μ）も同様にばらつくことがあり、この場合は同じ輝度を出すための入力振幅（V_{p-p}）、黒レベルを表示するための電圧から白レベルを表示するための電圧までの振幅も異なる。

20

【0010】

表示パネル（画素マトリクス：有効画素領域）内における各画素部14における駆動TFT1のV_{th}やμがばらつくと、通常は表示パネルにおける輝度ムラとなる。この輝度ムラを補正する目的で、各画素をそれぞれいくつかの信号レベルで点灯した際に流れるパネル電流を測定し、個々の画素の駆動TFT1のV-Iカーブを求めることが行われている。そして、測定した画素ごとのV-Iカーブを基に画素ごとの補正用データを算出し、もとの画像データ信号と演算を行ってパネルに供給することで輝度ムラを軽減することができる（特許文献1～5参照）。

30

【0011】

また、図1の画素回路には、配線に伴う浮遊容量と抵抗成分が描かれていないが、実際には各種配線ラインには、図5に示すように配線抵抗及び浮遊容量等による分布定数回路（RC分布定数回路）20が存在している。すなわち、ゲートラインGateにおける分布定数回路20-1、データラインにおける分布定数回路20-2、電源ラインにおける分布定数回路20-3、有機EL素子3から電源C_Vまでの分布定数回路20-4が存在する。図2に示すように、P_{VDD}ライン（電源ライン）には、複数の画素が接続されているので、抵抗成分があると他の画素の電流の大小により有機EL素子3を駆動する駆動TFT1のソースの電圧が変化してしまう。すなわち、同じP_{VDD}ラインに接続された画素が複数あるが、画素の電流が大きいほど、電圧降下が大きくなる。選択TFT2がオンとなり、駆動TFT1のソース電圧が降下した状態で保持容量CにData電圧の書き込みを行うと、V_{gs}の絶対値が小さくなるので、有機EL素子3に流れる画素電流（C_V電流）が減少し発光輝度が下がる。図6は、画素の各々の水平ラインに対し平行に電源ラインを持つパネルの場合に、上記の電圧降下が原因で起こるクロストークと言われている現象を示している。グレーの背景に、白のウィンドウを表示した場合にb及びcの部分の輝度がd及びeの部分よりも暗くなってしまう。これは白を含む水平ラインの電流が白を含まない水平ラインの電流よりも大きく、電圧降下が大きくなることによる。

40

【0012】

50

この問題を解決するため、特許文献 6 では、水平ラインの全画素のデータからその水平ラインの各画素に流れる電流を予測し、電源ラインの抵抗と、予測した電流から各画素に供給される Data 電圧の電圧降下を求め、この結果を元に補正した画像データ信号を各画素に供給している。これにより、水平方向の電源ラインの抵抗成分による電圧降下を実質的にキャンセルすることができる。

【0013】

この場合、各水平ラインの電源ラインを接続し、これら水平電源ラインに電源を供給している垂直の電源ラインの抵抗は無視できるほど低いことが必要である。もし、垂直の電源ラインに抵抗成分があると、それによる電圧降下の影響で、垂直方向に輝度が変化してしまう。

10

【0014】

【特許文献 1】特開 2004 - 264793 号公報

【特許文献 2】特開 2005 - 284172 号公報

【特許文献 3】特許第 3437152 号公報

【特許文献 4】特許第 3628014 号公報

【特許文献 5】特許第 3887826 号公報

【特許文献 6】WO 2003 - 027999 号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

20

上述のように、画素電流を測定する際は、画素データを保持容量 C に書き込んだ後、P V D D または C V 電流を観測する。しかし、P V D D 及び C V ラインの配線抵抗及び浮遊容量等により、測定電流は変化し、画素データ書き込み後に徐々に増加する。従って、電流が十分安定したところで電流の測定を行う必要があり、安定した後の画素電流を全ての有効画素について測定するとかかなりの測定時間が必要となる。

【0016】

有機 E L 素子 3 に流れる電流 I_d と P V D D 電流（電源 P V D D から流れる電流 I_{pvd} ）の関係の一例を図 7 に示す。このように、各画素における P V d d に流れる電流が安定するまでには、かなりの時間が掛かる。

【0017】

30

また、通常、ムラの補正值には画素回路の電源電圧の降下は考慮されていない。従って、この補正の精度は、画素の電源電圧の低下とともに低下する。従って、前述した特許文献 6 のような各画素における電源電圧降下の補正をムラ補正と同時に行うことが好適であると考えられる。しかし、この場合に垂直の P V D D ラインに抵抗成分があると垂直方向に電源電圧の不均一な分布ができ、これが表示ムラの原因となる。

【課題を解決するための手段】

【0018】

本発明は、マトリクス状に配置された画素ごとに、表示用の有機 E L 素子と、この有機 E L 素子への電流供給を制御する T F T と、を有するアクティブ型有機 E L 表示モジュールであって、画素の水平ラインごとに設けられ、対応する水平ラインの画素に電源供給する複数の電源ラインと、前記複数の電源ラインの抵抗とそこを流れる電流とから各画素までの電圧降下を演算によって求め、求められた各画素における電圧降下をキャンセルするように表示データを補正する電圧降下補正手段と、画素ごとの T F T 特性のばらつきに起因する輝度ムラを該当画素についての表示データと予め求められている該当画素についての補正データとで演算を行い補正する表示ムラの表示ムラ補正手段と、を備え、前記画素が形成された基板の端部には、複数の独立した配線端子が設けられ、前記複数の電源ラインは、1 本または複数本のグループごとに、それぞれ別々に前記独立した配線端子に接続されていることを特徴とする。

40

【0019】

また、本発明は、マトリクス状に配置された画素ごとに、表示用の有機 E L 素子と、こ

50

の有機ＥＬ素子への電流供給を制御するＴＦＴと、を有するアクティブ型有機ＥＬ表示モジュールであって、画素の水平ラインごとに設けられ、対応する水平ラインの画素に電源供給する複数の電源ラインと、前記複数の電源ラインの抵抗とそこを流れる電流とから各画素までの電圧降下を演算によって求め、求められた各画素における電圧降下をキャンセルするように表示データを補正する電圧降下補正手段と、画素ごとのＴＦＴ特性のばらつきに起因する輝度ムラを該当画素についての表示データと予め求められている該当画素についての補正データとで演算を行い補正する表示ムラの表示ムラ補正手段と、を備え、前記画素が形成された基板の端部には、複数の独立した配線端子が設けられ、前記複数の電源ラインは、１本または複数本のグループごとに、それぞれ別々に前記独立した配線端子に接続されており、各接続端子は、導体によって接続されていることを特徴とする。

10

【００２０】

また、前記グループは、電源ライン１本ずつであり、前記複数の電源ラインは、１本ずつ別々に前記独立した配線端子に接続されていることが好適である。

【００２１】

また、本発明に係る前記アクティブ型有機ＥＬ表示モジュールについての製造方法は、測定画素の属する水平ラインの電源ラインのグループのみに前記配線端子部に外部から電圧を与えて対応する１または複数の電源ラインに流れる電流を測定するムラ補正データの採集工程と、全ての前記配線端子を導体によって結合する組み立て工程と、を含むことを特徴とする。

20

【００２２】

また、複数の前記電源ラインのグループの前記配線端子部に外部から電圧を与えて、対応するグループの電源ラインに流れる電流をそれぞれ同時に測定し、同時に複数の画素のムラ補正データを採集することが好適である。

【発明の効果】

【００２３】

本発明によれば、表示ムラ補正用データの測定時間を短縮することができ、さらに垂直方向の電源ラインにおける抵抗成分の影響を排除して、表示ムラの発生を抑制することができる。

【発明を実施するための最良の形態】

【００２４】

以下、本発明の実施形態について、図面に基づいて説明する。

30

【００２５】

「実施形態の基本的構成」

本実施形態では、マトリクス状に配置された画素に供給する電源の電源ラインを画素の水平ラインごとに備え、これらの水平方向の電源ラインの一端または両端を１本ごと、または複数本ごとに端部で接続し、画素が形成される基板端部のそれぞれ独立な配線端子に接続する。

【００２６】

そして、製造工程において画素電流を測定する際は、測定画素の属する水平ラインが接続された前記配線端子のみに外部から電圧を与えて、その電源ラインに流れる電流を測定する。測定後は、前記配線端子を、それに接続される低抵抗の配線材によって全て結合し、パネル駆動用の電源に接続する。

40

【００２７】

そして、画素電流測定時は、測定する画素の属する水平ラインが接続されているＰＶＤライン以外のＰＶＤラインは切り離されているので、他のラインの、消灯時のリーク電流を含めた画素電流を除外することができ測定の精度を上げることができる。また、ＰＶＤラインの寄生容量（図５に示した分布定数３の容量成分）が減少し、 I_{pvd} の立ち上がり時間が速くなる。この点で、全ての水平ラインをそれぞれ独立な電源端子に接続することが望ましい。また、端子数を減らすため、垂直方向の接続線の抵抗分と、電流測定速度と、測定精度が許容できる範囲で、複数の水平ラインの端部を接続して独立した

50

電源端子に接続することも好適である。

【 0 0 2 8 】

水平方向の電源ラインの抵抗とそれを流れる電流による電圧降下が無視できない程度に大きく、輝度の均一性に影響を与える場合は、各画素までの電圧降下を演算によって求め、電圧降下をキャンセルするように表示データを補正する。

【 0 0 2 9 】

図 8 A , 図 8 B に P V D D ラインと P V D D 端子 3 5 の配置例を示す。図 8 A の例では水平 P V D D ライン 4 本を片側の P V D D 端子 3 5 で結合しており、図 8 B の例では水平 P V D D ライン 4 本を両側の P V D D 端子 3 5 で結合している。

【 0 0 3 0 】

垂直方向の電源ライン（垂直 P V D D ライン）の抵抗は無視できるとして、図 8 B に示す両側に P V D D 端子 3 5 を持つ場合の 1 ラインの抵抗成分に関する等価回路を図 9 に示す。画素の間隔は同じで、画素間の抵抗も同じとして、これを R_h とする。また、左側 P V D D 端子 3 5 から画素 1 まで、及び右側 P V D D 端子 3 5 から画素 N までの距離は画素間の距離とは異なり、抵抗も R_h とは異なると考えられ、これらの抵抗をそれぞれ $R_{h1} + R_h$, R_{h2} とする。このとき、ライン m における左側 P V D D 端子から画素 n までの電圧降下 (V_{mn}) は、次式のように $V_{m(n-1)}$ を用いて表される。

【 数 1 】

$$\Delta V_{m0} = j_{Lm} R_{h1}$$

$$\Delta V_{m1} = \Delta V_{m0} + j_{Lm} R_h$$

$$\Delta V_{m2} = \Delta V_{m1} + (j_{Lm} - i_{m1}) R_h$$

$$\Delta V_{m3} = \Delta V_{m2} + (j_{Lm} - i_{m1} - i_{m2}) R_h$$

⋮

$$\Delta V_{mn} = \Delta V_{m(n-1)} + (j_{Lm} - \sum_{k=1}^{n-1} i_{mk}) R_h$$

ここで、 j_{Lm} は図 9 の左側 P V D D 端子 3 5 から流入する電流で、両側の P V D D 端子 3 5 に印加される電圧が同じであるとすれば次式で表される。

【 数 2 】

$$\begin{aligned} j_{Lm} &= \frac{i_{m1} \{(N-1)R_h + R_{h2}\}}{NR_h + R_{h1} + R_{h2}} + \frac{i_{m2} \{(N-2)R_h + R_{h2}\}}{NR_h + R_{h1} + R_{h2}} \\ &\quad + \frac{i_{m3} \{(N-3)R_h + R_{h2}\}}{NR_h + R_{h1} + R_{h2}} + \cdots + \frac{i_{mN} R_{h2}}{NR_h + R_{h1} + R_{h2}} \\ &= \frac{1}{NR_h + R_{h1} + R_{h2}} \sum_{k=1}^N i_{mk} \{(N-k)R_h + R_{h2}\} \end{aligned}$$

【 0 0 3 1 】

また、図 8 A のように左側の P V D D 端子 3 5 のみを電源に接続する場合は、左側 P V D D 端子 3 5 から流れる電流 j_{Lm} は以下の式で表される。

【数 3】

$$j_{Lm} = \sum_{k=1}^N i_{mk}$$

【0032】

水平ライン（ m ライン）内の各画素に流す電流 $i_{m1} \sim i_{mN}$ は各画素の画像データから求めることができるので、 R_{h1} 、 R_{h2} 及び R_h があらかじめ既知であれば、水平方向 n 番目の画素までの電圧降下 V_{mn} を演算によって求めることができる。

【0033】

従って、この V_{mn} の電圧降下分を画素ごとに画像データに加算することによって、水平 P V D D ラインにおける電圧降下による画素電流の低下を補正することができる。

【0034】

ところで、D / A 変換前の画像データ（ D_{mn} ）と画素駆動電圧（Data ラインの電圧 V_{mn} ）とは比例関係にあるので、比例定数を A とすれば、 $D_{mn} = A V_{mn}$ 及び $D_{mn} = A V_{mn}$ と表せる。また、入力データと画素電流の関係を直線とするためのガンマ補正機能を有する表示装置において、画素電流（ i_{mn} ）はガンマ補正前の画像データ（ d_{mn} ）と比例関係にあるので、比例定数を K とすれば、 $i_{mn} = K d_{mn}$ と表せる。 $J_{Lm} = A j_{Lm}$ とすれば、数 1 と数 2 はそれぞれ、LUT 前後の画像データを用いて次のように書き換えることができる。

【0035】

すなわち、数 1 より、次式が得られる。

【数 4】

$$\Delta D_{mn} = \Delta D_{m(n-1)} + (J_{Lm} - AK \sum_{k=1}^{n-1} d_{mk}) R_h$$

【0036】

ここで、

$$\Delta D_{m0} = J_{Lm} R_{h1}$$

【0037】

また、数 2 より、次式が得られる。

【数 5】

$$J_{Lm} = \frac{AK}{NR_h + R_{h1} + R_{h2}} \sum_{k=1}^N d_{mk} \{(N-k)R_h + R_{h2}\}$$

【0038】

また、図 8 B のように、左端の P V D D 端子 35 のみを電源に接続する場合は、次のように表される。

【0039】

まず、数 3 より、次式が得られる。

【数 6】

$$J_{Lm} = AK \sum_{k=1}^N d_{mk}$$

【0040】

「具体例」

図 10 A 及び図 10 B は、左側のみに P V D D 端子 35 があり、この P V D D 端子 35 に P V D D 電源が繋がる場合の、測定時と出荷時のモジュール形態の例を示している。この例では、P V D D 端子 35 は、図 10 B に示すように、出荷前に結合用フレキシブルケ

10

20

30

40

50

ーブル (F P C) 3 2 を用いて T C O N & 画像処理ボード (プリント基板 (P C B)) 3 0 の電源供給端子 3 4 に接続される。 F P C 3 2 と表示パネルを構成するアレー基板 (パネル) 3 8 との接続には A C F (異方性導電膜) などを、また、 T C O N & 画像処理ボード 3 0 との接続には接続抵抗を下げるためコネクタまたは半田付けなどを用いることが好適である。パネルの両側に垂直 P V D D ラインを持つ場合は、出荷前に、右側も、左側 P V D D 端子 3 5 と同様に F P C などを用いて全ての水平 P V D D 端子 3 5 を接続すると同時に、 P C B の電源供給端子に接続する。

【 0 0 4 1 】

電流測定時は、図 1 1 のように、電流測定用ボード 3 9 から出た F P C 3 2 をパネルクランプ治具 3 6 のパネル 3 8 の P V D D 端子 3 5 が配置される位置に載置し、パネルクランプ治具 3 6 を用いて F P C 3 2 のコンタクト部 3 2 a とパネル 3 8 の P V D D 端子 3 5 とを重ね合わせ、上部より加圧することで F P C 3 2 の端子とパネル 3 8 の P V D D 端子 3 5 を接触させる。なお、有機 E L パネル 3 8 は、パネルクランプ治具 3 6 の点線の位置に配置するが、位置決め用ピン 4 0 を設けることで有機 E L パネルの位置決めを助けている。

10

【 0 0 4 2 】

図 1 2 は、電流測定時の回路構成を示すブロック図である。 T C O N & 画像処理ボード 3 0 の画像処理 & テスト信号発生ブロック 6 0 は、電流測定用ボード 3 9 の C P U 4 6 の指令に従って、画素電流測定のための画素データを発生する。すなわち、順次 1 画素ずつ点灯するための画像信号が発生されて、これがパネル 3 8 に供給される。 T C O N & 画像処理ボード 3 0 には、パネル用電源電圧発生ブロック 6 2 が設けられており、ここでは上述した電源供給端子 3 4 に供給される P V D D 電圧をはじめとするパネルの駆動に必要な各種の電源電圧を発生する。

20

【 0 0 4 3 】

なお、通常の画面表示の場合、画像処理 & テスト信号発生ブロック 6 0 は、外部から供給される画像信号に基づくパネル供給用の画像信号を出力する。この画像処理 & テスト信号発生ブロック 6 0 からの画素信号は、 L U T & I R ドロップ補正演算ブロック 6 4 に供給される。 L U T & I R ドロップ補正演算ブロック 6 4 は、ガンマ補正を行うとともに、電源ラインにおける電圧降下についての補正を行う。 L U T & I R ドロップ補正演算ブロック 6 4 の出力は、ムラ補正ブロック 6 6 に供給される。このムラ補正ブロック 6 6 は、補正データ用メモリ 6 8 に記憶されている画素ごとの補正データに基づいて画像信号を補正する。なお、補正データ用メモリ 6 8 には、1 画素ごとに点灯して測定した画素電流に基づいて算出した画素ごとの補正データが記憶されている。

30

【 0 0 4 4 】

さらに、 T C O N & 画像処理ボード 3 0 には、タイミング発生回路 7 0 が設けられており、このタイミング発生回路 7 0 からは、各ブロックの駆動用パルス及びパネル上のドライバ駆動用パルスなどが出力される。

【 0 0 4 5 】

ここで、タイミング発生回路 7 0 は、画素電流測定時には、全画素を高速に測定するため、通常の表示動作とは違うタイミング信号が出力できるようにすることが好ましい。これによって、測定を高速に終了することができる。この場合には、パネル 3 8 のソースドライバとゲートドライバも画素電流測定用のタイミング信号に応じて動作できるように設計する必要がある。

40

【 0 0 4 6 】

次に電流測定用ボード 3 9 の回路構成について説明する。

【 0 0 4 7 】

パネル 3 8 の P V D D 端子 3 5 は、 P V D D ラインセレクタ 4 9 を介し、 P V D D 端子 3 5 ごとに選択されて、 O P アンプ 4 1 の - 入力に接続される。この O P アンプ 4 1 の + 入力端には P V D D 電圧が供給されている。また、 P V D D 端子 3 5 からは、画素電流 I_{pvd} が供給され、 - 入力端子と出力端子の間には帰還抵抗 R_1 配置されている。従っ

50

て、OPアンプ41の出力端子には、 $(PVDV \text{ 電圧} + I_{pvdd} \times R1)$ の電圧が出力される。

【0048】

OPアンプ41の出力は、抵抗R2を介しOPアンプ42の-入力端に入力され、このOPアンプ42の出力端と-入力端の間には、帰還抵抗R3が配置され、+入力端には後述する所定のフィードバック電圧値が供給されている。従って、OPアンプ42のゲインは、抵抗R2, R3により決定される。なお、抵抗R2, R3の抵抗値は、後段のA/D変換器44への入力が最適な振幅となるように設定する。

【0049】

A/D変換器44の出力はCPU46に供給される。ここで、A/D変換器44におけるA/D変換は、所定の画素電流測定期間に行われ、画素電流を流した時(点灯期間)と停止した時(消灯期間)の電流値の差をCPU46で計算し、その結果を当該画素の画素電流とする。これにより、これらのサンプリング間隔に比べて周期の長いノイズ成分を除去することができる。またこの場合、図14に示すように、画素電流値が十分落ち着いたタイミングでA/D変換すると良い。すなわち、点灯期間及び消灯期間の後半部分が好適である。

【0050】

また、1画素の電流は μA オーダーまたはそれ以下なので、A/D変換器44までのトータルのゲインは非常に大きく、OPアンプ42の出力のDCレベルは非常に不安定となる。従って、消灯時のA/D出力値をもとに、OPアンプ42にバイアス電圧をフィードバックすることにより、点灯時の電圧と消灯時の電圧がA/D変換器44の入力の範囲内に入るように制御している。

【0051】

この例では、A/D変換器44の出力は10ビットであり、これが比較器48に入力される。比較器48は、A/D変換器44の消灯時の出力値を10と比較し、10より小の時、SW1を閉じる。これによって、オフセット用電源が抵抗R4を介し、他端がグラウンドに接続されたコンデンサC1の一端に供給され、ここに充電される。このコンデンサC1の充電電圧は、OPアンプ43の+入力端に供給されている。このOPアンプ43は、出力端と-入力端が短絡されており、コンデンサC1の充電電圧を安定化して出力する。OPアンプ43の出力は、分圧抵抗R5, R6を介しグラウンドに接続されており、抵抗R5, R6の接続点がOPアンプ42の+入力端に供給されている。

【0052】

従って、SW1がオンして、コンデンサC1に充電電流が供給され、この電圧が高くなると、OPアンプ42の+入力端へ供給されるバイアス電圧が上昇する。

【0053】

また、消灯時の出力値が20より大の時、比較器48は、SW2を閉じる。これによって、コンデンサC1の一端が抵抗R4を介しグラウンドに接続され、コンデンサC1の充電電圧が減少する。従って、OPアンプ42のバイアス電圧が低下する。また、消灯時の出力値が10と20の間にあるときはSW1, SW2ともに開いているので、コンデンサC1の電圧はそのまま保たれ、OPアンプ42のバイアス電圧は維持される。なお、スイッチのオンオフによるノイズの影響を避けるため、SW1, SW2のオンオフは、1水平ライン又は1垂直ラインの測定が終了した時等に全画素を消灯させて間欠的に行い、この期間以外の、すなわち画素電流測定中はSW1, SW2ともにオフすることが好適である。また、応答速度はSW1, SW2のオンしている期間と $C1 \times R4$ の時定数により決定されるが、必要範囲内でできるだけ遅くした方が測定精度への影響が少なくなる。なお、画素電流の測定における各種タイミングは電流測定ボード39に設けられたタイミング発生回路72からのタイミングクロックにより制御される。

【0054】

このようにして、図12の構成によれば、消灯時における画素電流についてのA/D変換器44の出力が所定の範囲内(この例では10~20)に収まるようにフィードバック

10

20

30

40

50

制御をするため、消灯時における画素電流が変化しても、その状態において、点灯時との比較を比較的正しく行うことができる。

【 0 0 5 5 】

図 1 3 は、図 1 6 に示す順に画素電流を高速に測定していくための駆動タイミングの一例である。図 1 5 は、M 行、N 列の表示エリアにおける画素の配置を示しており、m 行 n 列の画素を $pix(n, m)$ で示している。

【 0 0 5 6 】

図 1 3 に示すように、m 行の水平 P V D D (P V D D m) に電源を供給するタイミングとその m 行の水平ラインのゲート (G e t e m) を選択する (H レベルにする) タイミングは同じになっていて、測定する画素の列 (n 列) のみに測定用データ電圧 (D a t a n) を出力する。測定画素以外の画素に電流が流れないように、ソースドライバの他の出力には黒レベルに相当する値以上の電圧を出力する。また、図 1 6 A , 1 6 B に示すように、 $pix(n, 1)$ から $pix(n, M)$ までの縦一列の測定が終わるまでは n 列のデータのみを変化させ、その後、次の縦 1 列の $pix(n+1, 1)$ から $pix(n+1, M)$ までを n + 1 列のデータのみを変化させながら測定する。また、前述のオフセット電圧供給用の S W 1 及び S W 2 のオンオフは、 $pix(n, M)$ の測定と $pix(n+1, 1)$ の測定の間に行うことが好適である。

【 0 0 5 7 】

この例では、1 水平ラインごとに順次 P V D D 電圧を供給し、1 画素ずつ測定しているが、電流測定回路を複数用意し、同時に複数の水平 P V D D ラインに電圧を与えながら電流を測定することもできる。この場合は、電圧を供給した水平 P V D D ラインのゲートを同時に選択し、同じ列の複数の画素の電流を同時に測定することができる。このようにして測定時間を短縮することも可能である。図 1 7 はパネルの上部と下部それぞれ 1 本ずつの水平 P V D D ラインに同時に電圧を供給し、2 画素の電流を同時に測定する場合の回路構成を示す図である。

【 0 0 5 8 】

また、この例では、垂直方向に移動しながら画素電流を測定しているが、水平方向に測定を行っても良い。その場合は、1 水平ラインの測定が終わるまでそのラインの水平 P V D D の電源とゲートラインはオンしておき、1 画素ずつ点灯と消灯を行いながら測定画素を移動していく。なお、この場合も各画素の電流は図 1 4 のように点灯時と消灯時の電流値の差をとることにより求めることが好適である。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】基本的なアクティブ型の有機 E L 表示装置における 1 画素分の回路 (画素回路) の構成例を示す図である。

【 図 2 】表示モジュールの構成の一例と入力信号を示す図である。

【 図 3 】駆動 T F T 1 の入力信号電圧 (データライン D a t a の電圧) に対する有機 E L 素子 3 に流れる電流 C V 電流 (輝度に対応する) の関係を示す図である。

【 図 4 】画像信号のガンマ補正のための構成を示す図である。

【 図 5 】配線抵抗及び浮遊容量等による分布定数回路 (R C 分布定数回路) を示す図である。

【 図 6 】クロストークによる表示ムラを示す図である。

【 図 7 】有機 E L 素子に流れる電流 I d と P V d d 電流の関係の一例を示す図である。

【 図 8 A 】 P V D D ラインと P V D D 端子 (左側のみ) の配置例を示す。

【 図 8 B 】 P V D D ラインと P V D D 端子 (両側) の配置例を示す。

【 図 9 】両側に P V D D 端子を持つ場合の 1 ラインの抵抗成分に関する等価回路を示す図である。

【 図 1 0 A 】左側のみに P V D D 端子があり、この P V D D 端子に P V D D 電源が繋がる場合の、測定時のモジュール形態の例を示す図である。

【 図 1 0 B 】左側のみに P V D D 端子があり、この P V D D 端子に P V D D 電源が繋がる

10

20

30

40

50

場合の、出荷時のモジュール形態の例を示す図である。

【図 1 1】パネルと電流測定用ボードの接続を示す図である。

【図 1 2】電流測定時の回路構成を示すブロック図である。

【図 1 3】画素電流を順に測定していくための駆動タイミングの一例を示す図である。

【図 1 4】画素電流の測定タイミングを示す図である。

【図 1 5】M 行、N 列の表示エリアにおける画素の配置を示す図である。

【図 1 6 A】画素電流測定時における画素選択順を示す図である。

【図 1 6 B】画素電流測定時における画素選択順を示す図である。

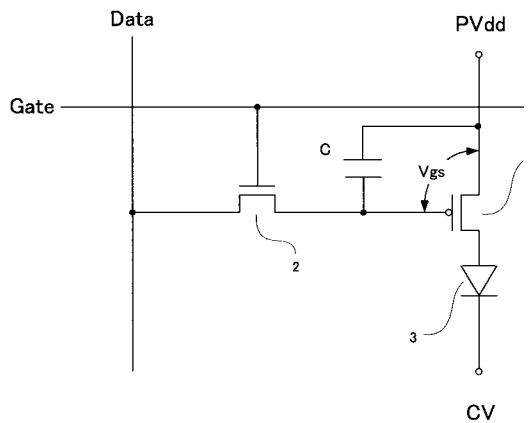
【図 1 7】同時に 2 画素の電流を測定する場合の回路構成を示す図である。

【符号の説明】

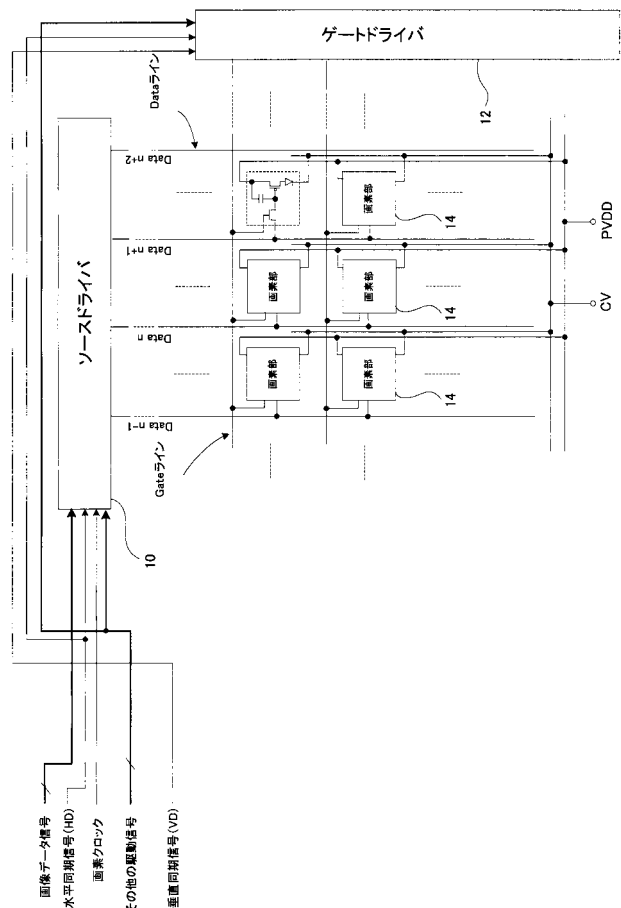
【0060】

10 ソースドライバ、12 ゲートドライバ、14 画素部、16 r, 16 g, 16 b ガンマ補正回路、18 有効画素領域、20 RC 分布定数回路、30 TCON & 画像処理ボード、32 FPC、34 電源供給端子、35 PVDD 端子、36 パネルクランプ治具、38 パネル、39 電流測定用ボード、40 位置決め用ピン、41, 42, 43 OP アンプ、44 A/D 変換器、48 比較器、49 PVDD ラインセクタ、60 画像処理 & テスト信号発生ブロック、62 パネル用電源電圧発生ブロック、64 LUT & IR ドロップ補正演算ブロック、66 ムラ補正ブロック、68 補正データ用メモリ、70, 72 タイミング発生回路。

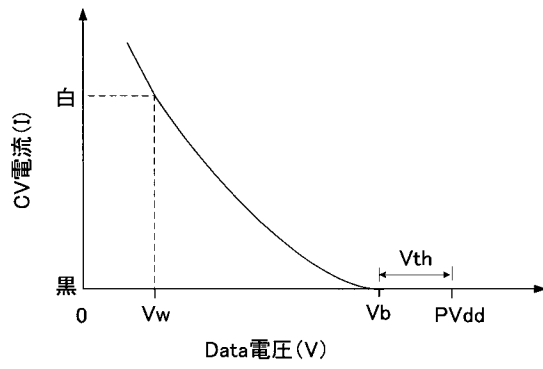
【図 1】



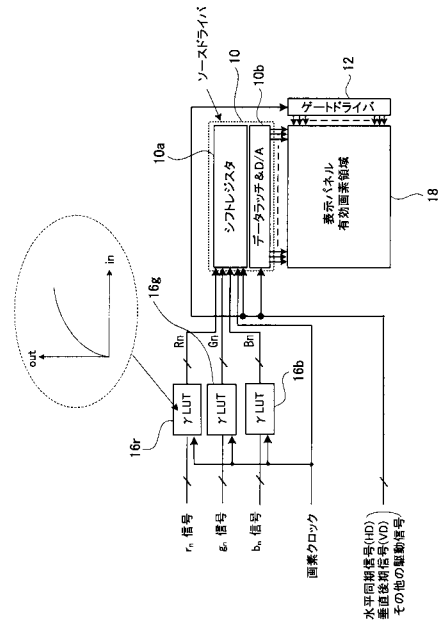
【図 2】



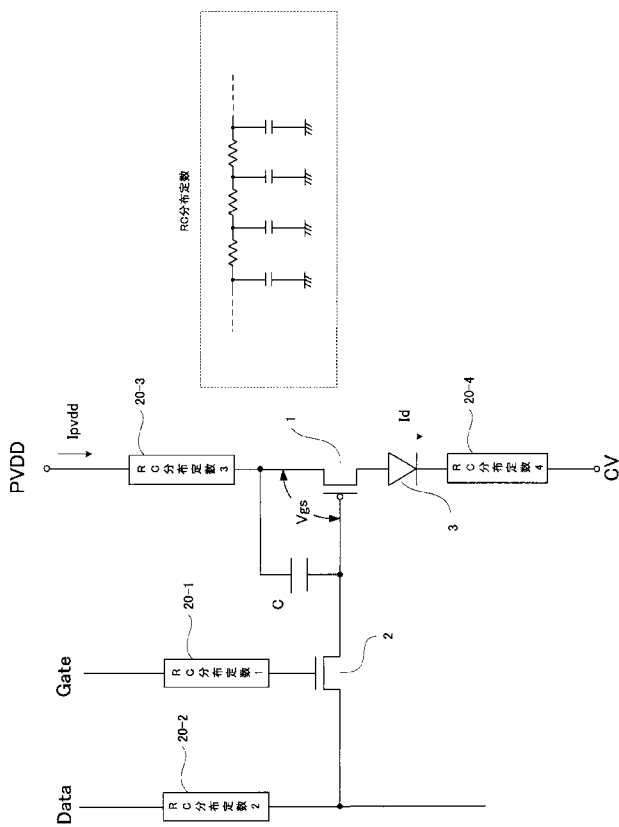
【図 3】



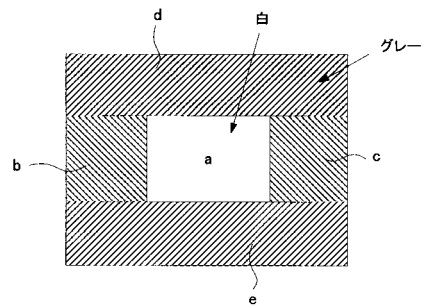
【図 4】



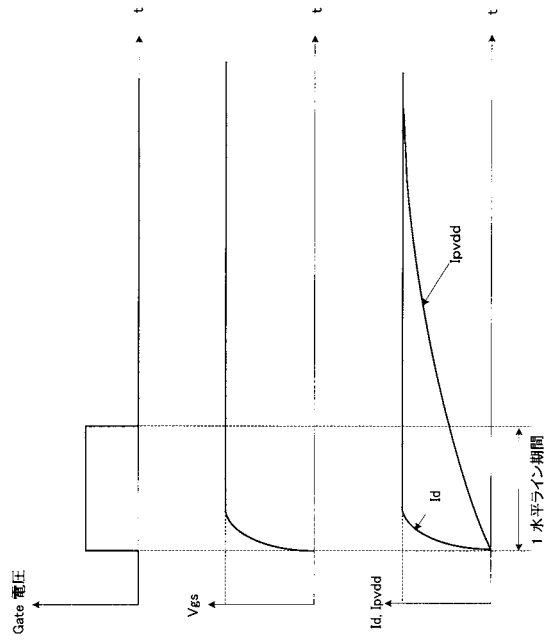
【図 5】



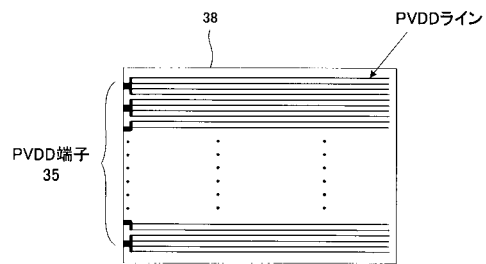
【図 6】



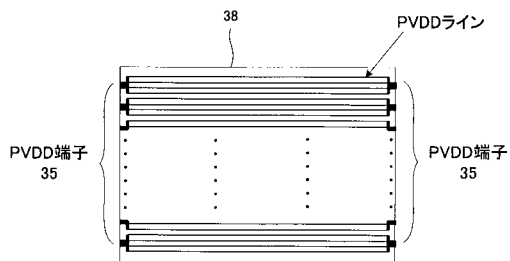
【図 7】



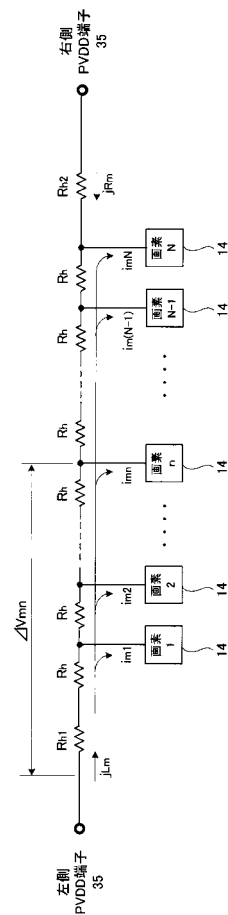
【図 8 A】



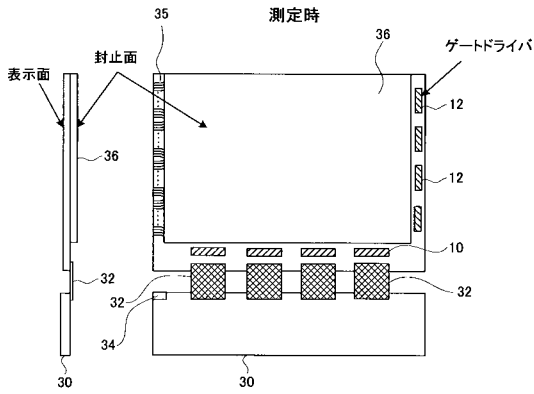
【図 8 B】



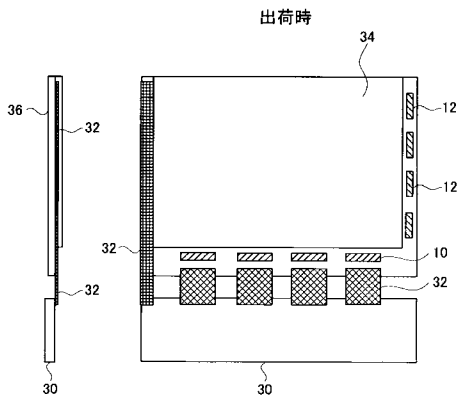
【図 9】



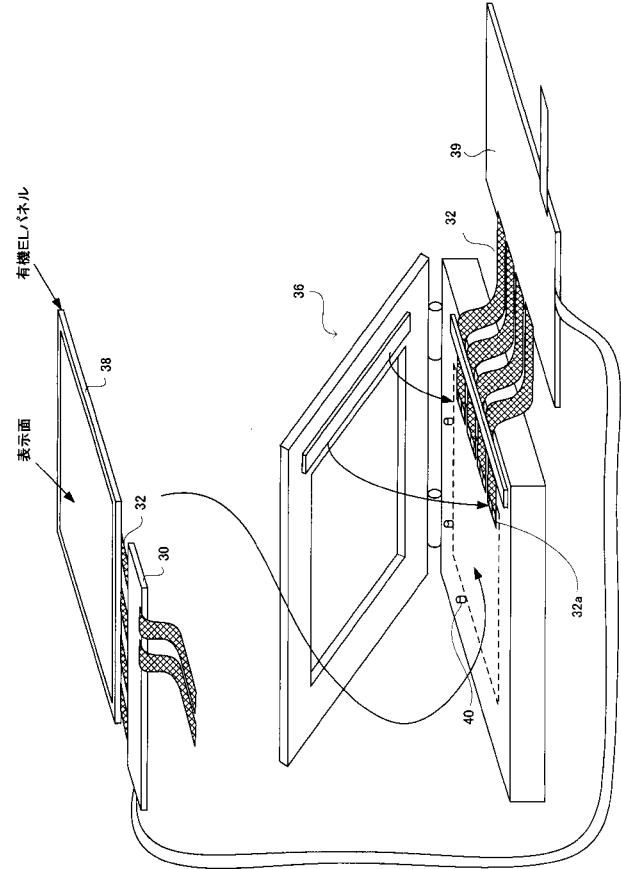
【 図 1 0 A 】



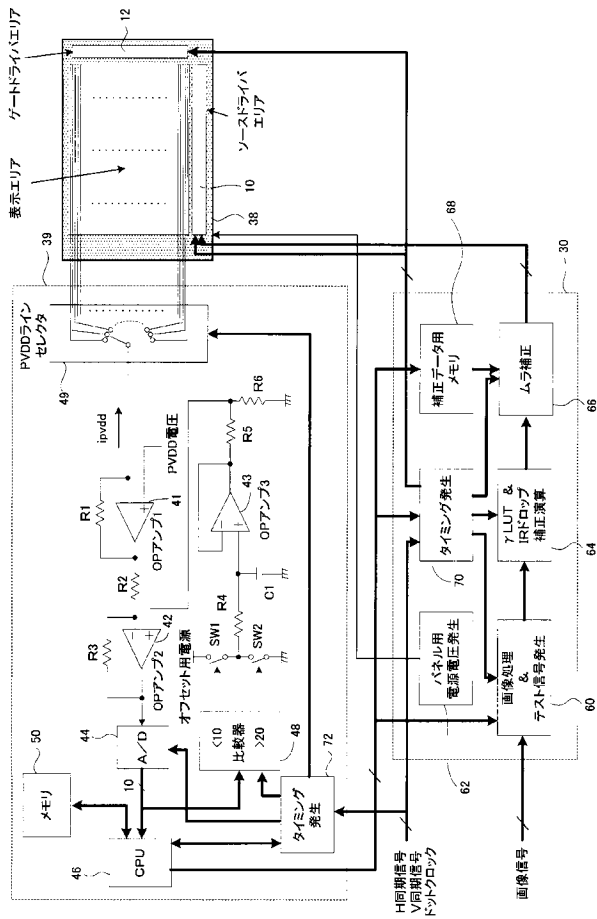
【 図 1 0 B 】



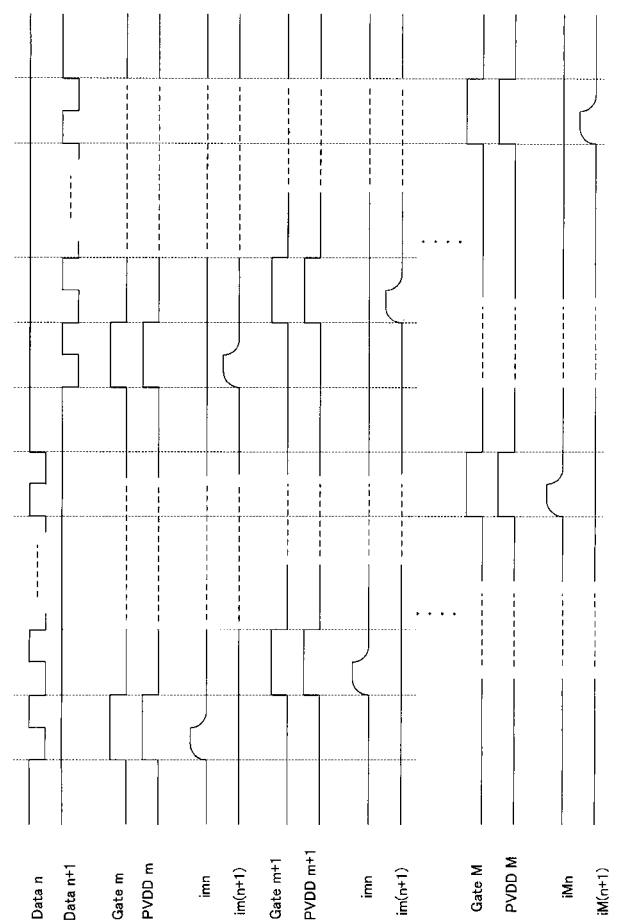
【 図 1 1 】



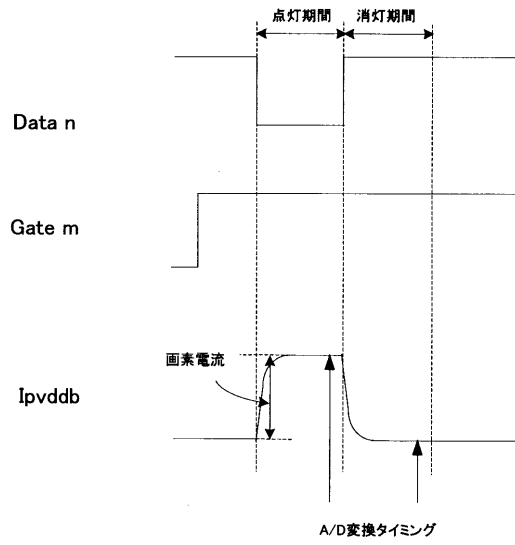
【 図 1 2 】



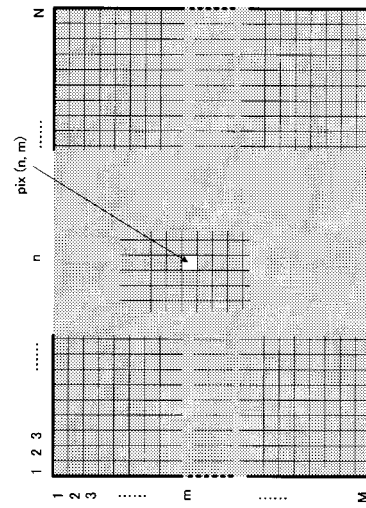
【 ㊦ 1 3 】



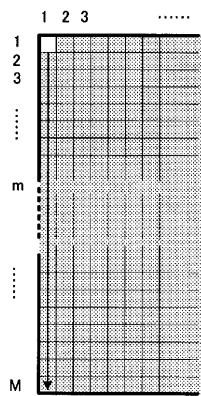
【図 1 4】



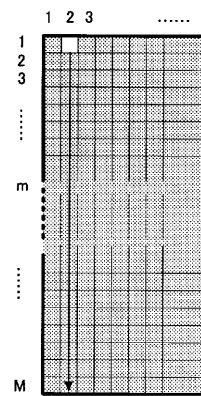
【図 1 5】



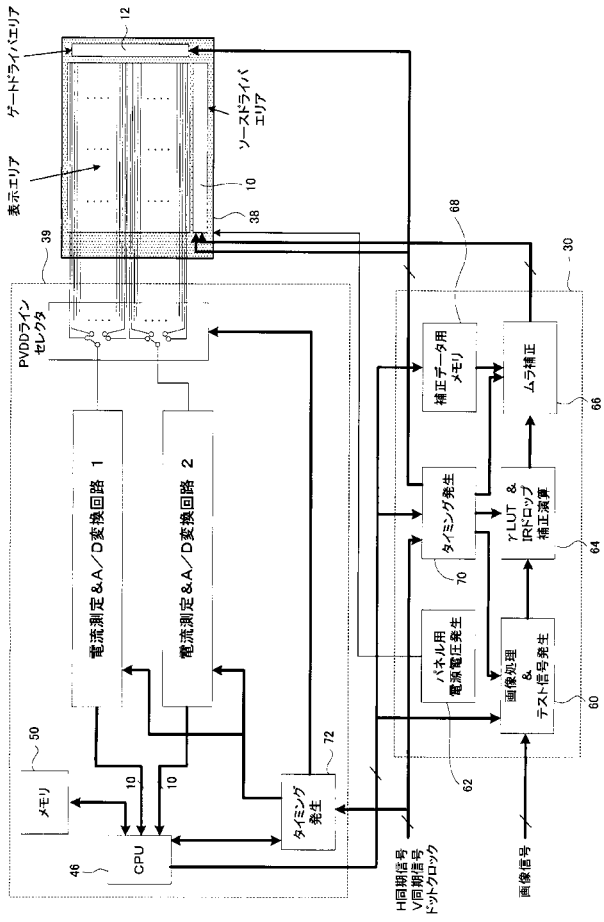
【図 1 6 A】



【図 1 6 B】



【図 17】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 4 1 P
H 0 5 B	33/14	A
H 0 5 B	33/10	
G 0 9 G	3/36	

(72)発明者 河野 誠

東京都千代田区神田駿河台 2 - 9 K D X 御茶ノ水ビル コダック株式会社内

(72)発明者 小野村 高一

東京都千代田区神田駿河台 2 - 9 K D X 御茶ノ水ビル コダック株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 GG00 HH00 HH04 HH05
5C006 AA16 AF42 AF45 AF54 AF64 BB16 FA22 FA37
5C080 AA06 BB05 DD05 EE29 FF11 JJ01 JJ02 JJ03 JJ04 JJ05
JJ06

专利名称(译)	有机EL显示模块及其制造方法		
公开(公告)号	JP2009198691A	公开(公告)日	2009-09-03
申请号	JP2008038857	申请日	2008-02-20
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	水越誠一 森信幸 河野誠 小野村高一		
发明人	水越 誠一 森 信幸 河野 誠 小野村 高一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/10 G09G3/36		
CPC分类号	G09G3/3233 G09G2310/0218 G09G2320/0223 G09G2320/0285 G09G2330/021 G09G2330/028		
FI分类号	G09G3/30.J G09G3/20.621.M G09G3/20.680.G G09G3/20.641.D G09G3/20.642.A G09G3/20.641.P H05B33/14.A H05B33/10 G09G3/36 G09G3/20.611.J G09G3/20.612.U G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/GG00 3K107/HH00 3K107/HH04 3K107/HH05 5C006/AA16 5C006/AF42 5C006/AF45 5C006/AF54 5C006/AF64 5C006/BB16 5C006/FA22 5C006/FA37 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB46 5C380/BA08 5C380/BA19 5C380/BA22 5C380/BA25 5C380/BA38 5C380/BA39 5C380/BA50 5C380/BB03 5C380/CA04 5C380/CA12 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CC02 5C380/CC09 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF09 5C380/CF27 5C380/CF41 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF61 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA32 5C380/FA03 5C380/FA21 5C380/FA28		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少用于校正不均匀性的数据的测量时间，并消除在垂直方向上延伸的电源线中的电阻分量的影响。解决方案：在面板38上，在像素的每条水平线中提供多条PVDD线，通过这些PVDD线向水平线中的像素供电。一种电压降校正单元，基于多个电源线中的电阻和在其中流动的电流，在到达像素之前获得电压降，并校正显示数据以抵消所获得的像素的电压降，以及显示不均匀性通过使用像素的显示数据和获得的像素的校正数据进行计算，包括校正由像素的TFT特性的变化引起的不均匀亮度的校正单元。在衬底的末端，为每个PVDD线或多组PVDD线的每组提供独立的PVDD端子。Ž

