

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-116206

(P2009-116206A)

(43) 公開日 平成21年5月28日(2009.5.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 H	3K107
G09G 3/20 (2006.01)	G09G 3/20 621M	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611J	
	G09G 3/20 642A	
	G09G 3/20 611D	

審査請求 未請求 請求項の数 7 O L (全 36 頁) 最終頁に続く

(21) 出願番号 特願2007-291471 (P2007-291471)
 (22) 出願日 平成19年11月9日 (2007.11.9)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号ソニー株式会社内

最終頁に続く

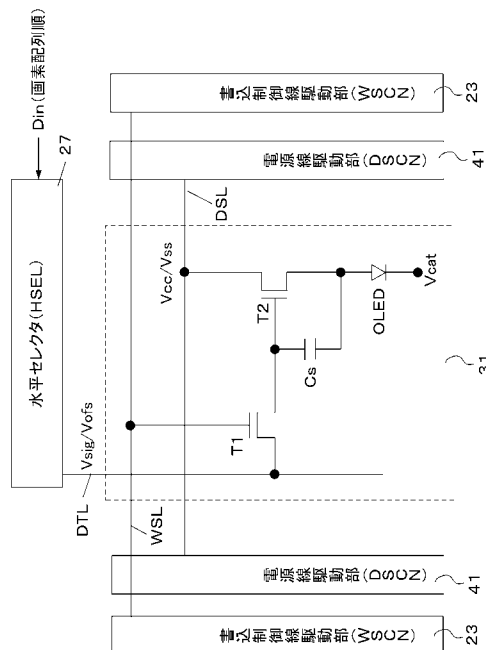
(54) 【発明の名称】 E L表示パネル及び電子機器

(57) 【要約】 (修正有)

【課題】大型パネルでも均一画像が得られるE L表示パネルを実現する。

【解決手段】アクティブマトリクス駆動方式により発光状態が制御されるE L表示素子をマトリクス状に配置した画素アレイ部と、書込制御線を画素アレイ部の両側から駆動する第1及び第2の書込制御線駆動部と、水平ラインの方向に沿って配線された電源線を画素アレイ部の両側から駆動する第1及び第2の電源線駆動部であって、それぞれが第1及び第2の書込制御線駆動部と画素アレイ部との間に配置される第1及び第2の電源線駆動部とを有するE L表示パネルを提案する。

【選択図】図23



【特許請求の範囲】**【請求項 1】**

アクティブマトリクス駆動方式により発光状態が制御される E L 表示素子をマトリクス状に配置した画素アレイ部と、

各書込制御線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の書込制御線駆動部と、

水平ラインの方向に沿って配線された電源線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の電源線駆動部であって、それぞれが前記第 1 及び第 2 の書込制御線駆動部と前記画素アレイ部との間に配置される第 1 及び第 2 の電源線駆動部と

を有することを特徴とする E L 表示パネル。

10

【請求項 2】

請求項 1 に記載の E L 表示パネルにおいて、

前記第 1 及び第 2 の電源線駆動部を構成する最終出力段に位置する出力バッファ回路は、薄膜トランジスタのチャンネル長の方向が信号線と並行になるように形成される

ことを特徴とする E L 表示パネル。

【請求項 3】

請求項 1 又は 2 に記載の E L 表示パネルにおいて、

前記第 1 及び第 2 の電源線駆動部を構成する最終出力段に位置する出力バッファ回路は、薄膜トランジスタのチャンネル幅が一画素の信号線方向の長さよりも大きく形成される

ことを特徴とする E L 表示パネル。

20

【請求項 4】

請求項 1 ~ 3 の何れか一つに記載の E L 表示パネルにおいて、

前記画素アレイ部内の書込制御線と電源線は低抵抗配線である

ことを特徴とする E L 表示パネル。

【請求項 5】

アクティブマトリクス駆動方式により発光状態が制御される E L 表示素子をマトリクス状に配置した画素アレイ部と、書込制御線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の書込制御線駆動部と、水平ラインの方向に沿って配線された電源線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の電源線駆動部であって、それぞれが前記第 1 及び第 2 の書込制御線駆動部と前記画素アレイ部との間に配置される第 1 及び第 2 の電源線駆動部とを有する E L 表示パネルと、

30

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を有することを特徴とする電子機器。

【請求項 6】

アクティブマトリクス駆動方式により発光状態が制御される E L 表示素子をマトリクス状に配置した画素アレイ部と、

各書込制御線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の書込制御線駆動部と、

水平ラインの方向に沿って配線された電源線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の電源線駆動部と

40

を有することを特徴とする E L 表示パネル。

【請求項 7】

アクティブマトリクス駆動方式により発光状態が制御される E L 表示素子をマトリクス状に配置した画素アレイ部と、書込制御線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の書込制御線駆動部と、水平ラインの方向に沿って配線された電源線を前記画素アレイ部の両側から駆動する第 1 及び第 2 の電源線駆動部と、

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を有することを特徴とする電子機器。

50

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御されるEL表示パネルのパネル構造に関する。なお、この明細書で提案する発明は、当該EL表示パネルを搭載する電子機器としての側面も有する。

【背景技術】

【0002】

図1に、アクティブマトリクス駆動型の有機ELパネルに一般的な回路ブロック構成を示す。図1に示すように、有機ELパネル1は、画素アレイ部3と、その駆動回路である書込制御線駆動部5及び水平セクタ7で構成される。なお、画素アレイ部3には、信号線DTLと書込制御線WSLとの各交点に画素回路9が配置される。

10

【0003】

ところで、有機EL素子は電流発光素子である。このため、有機ELパネルでは、各画素に対応する有機EL素子に流れる電流量の制御により階調を制御する駆動方式が採用される。図2に、この種の画素回路9のうち最も単純な回路構成の一つを示す。この画素回路9は、サンプリングトランジスタT1、駆動トランジスタT2及び保持容量Csで構成される。

【0004】

なお、サンプリングトランジスタT1は、対応画素の階調に対応する信号電圧Vsigの保持容量Csへの書き込みを制御する薄膜トランジスタである。また、駆動トランジスタT2は、保持容量Csに保持された信号電圧Vsigに応じて定まるゲート・ソース間電圧Vgsに基づいて駆動電流Idsを有機EL素子OLEDに供給する薄膜トランジスタである。図2の場合、サンプリングトランジスタT1は、Nチャンネル型薄膜トランジスタで構成され、駆動トランジスタT2は、Pチャンネル型薄膜トランジスタで構成される。

20

【0005】

図2の場合、駆動トランジスタT2のソース電極は、固定電位（電源電位Vcc）が印加される電源線に接続され、常に飽和領域で動作する。すなわち、駆動トランジスタT2は、信号電圧Vsigに応じた大きさの駆動電流を有機EL素子OLEDに供給する定電流源として動作する。この際、駆動電流Idsは次式で与えられる。

30

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

【0006】

因みに、 μ は、駆動トランジスタT2の多数キャリアの移動度である。また、 V_{th} は、駆動トランジスタT2の閾値電圧である。また、 k は、 $(W/L) \cdot C_{ox}$ で与えられる係数である。ここで、 W はチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0007】

なお、この構成の画素回路の場合、図3に示す有機EL素子のI-V特性の経時変化に伴って、駆動トランジスタT2のドレイン電圧が変化する特性があることが知られている。しかし、ゲート・ソース間電圧Vgsは一定に保たれるので、有機EL素子に供給される電流量には変化が無く、発光輝度を一定に保つことができる。

40

【0008】

以下に、アクティブマトリクス駆動方式を採用する有機ELパネルディスプレイに関する文献を例示する。

【特許文献1】特開2003-255856号公報

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0009】

ところで、薄膜プロセスの種類によっては図2に示す回路構成を採用できない場合がある。すなわち、現在の薄膜プロセスでは、Pチャネル型の薄膜トランジスタを採用できない場合がある。このような場合、駆動トランジスタT2をNチャネル型薄膜トランジスタに置き換えることになる。

【0010】

図4に、この種の画素回路の構成を示す。この場合、駆動トランジスタT2のソース電極は、有機EL素子OLEDの陽極(アノード)端子に接続されることになる。ただし、この画素回路の場合には、有機EL素子のI-V特性の経時変化に伴ってゲート・ソース間電圧V_{gs}が変動する問題がある。このゲート・ソース間電圧V_{gs}の変動は、駆動電流量を変化させ、発光輝度を変化させてしまう。

10

【0011】

この他、各画素回路を構成する駆動トランジスタT2の閾値及び移動度は、画素毎に異なっている。この駆動トランジスタT2の閾値や移動度の違いは、駆動電流値のバラツキとなって出現し、発光輝度が画素毎に変化する。

【0012】

従って、図4に示す画素回路を採用する場合には、経時変化によらず安定した発光特性の得られる駆動方法の確立が求められている。同時に、製造コストが安価なEL表示パネルの実現が求められる。

20

【課題を解決するための手段】

【0013】

そこで、発明者らは、アクティブマトリクス駆動方式により発光状態が制御されるEL表示素子をマトリクス状に配置した画素アレイ部と、各書込制御線を画素アレイ部の両側から駆動する第1及び第2の書込制御線駆動部と、水平ラインの方向に沿って配線された電源線を画素アレイ部の両側から駆動する第1及び第2の電源線駆動部とを有するEL表示パネルを提案する。

【0014】

もっとも、第1及び第2の電源線駆動部のそれぞれは、第1及び第2の書込制御線駆動部と画素アレイ部との間に配置されることが望ましい。

30

なお、第1及び第2の電源線駆動部を構成する最終出力段に位置する出力バッファ回路は、薄膜トランジスタのチャンネル長の方向が信号線と並行になるように形成されることが望ましい。

また、第1及び第2の電源線駆動部を構成する最終出力段に位置する出力バッファ回路は、薄膜トランジスタのチャンネル幅が一画素の信号線方向の長さよりも大きく形成されることが望ましい。

【0015】

これらの配置構造の採用により画素ピッチに対してバッファ回路を構成するトランジスタサイズを拡大することができる。また、電源線とトランジスタの主電極との配線距離を短くすることもできる。このため、バッファ回路の抵抗値は小さくなり、電源線電位の波形のなまりや抵抗を小さくできる。

40

【0016】

なお、画素アレイ部内の書込制御線と電源線は低抵抗配線であることが望ましい。例えばアルミニウム、銅、金、これら金属の合金であることが望ましい。低抵抗配線の採用により、電源線電位の波形のなまりや抵抗を小さくできる。

また、発明者らは、前述した構成のEL表示パネルを搭載した電子機器を提案する。

ここで、電子機器は、前述した構成のEL表示パネルと、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部とで構成する。

【発明の効果】

50

【 0 0 1 7 】

発明者らの提案する発明では、各画素領域の E L 発光素子に電流を供給する電源線を、画素アレイ部の両側に配置された電源線駆動部により同時に駆動することができる。これにより、画素アレイ部のサイズが大型化して電源線の駆動時間が短縮される場合にも、書込制御線の波形の鈍りを小さくでき、シェーディングの発生を効果的に抑制できる。

【 0 0 1 8 】

更に、これら一対の電源線駆動部を書込制御線駆動部よりも画素アレイ部側に配置することにより、電源線駆動部の出力端から延びる電源線の配線長を、電源線駆動部を書込制御線駆動部の外側に配置する場合に比して短くできる。

【 0 0 1 9 】

また、電源線駆動部を書込制御線駆動部の内側に配置することで、電源線が他の駆動部の配線と立体的に交差する回数を低減できる。通常、交差部分の配線には、プロセスの関係から相対的に抵抗値の高い配線が用いられる。このため、立体交差部分の減少は、電源線駆動部の負荷の低減に有効である。

【 0 0 2 0 】

これにより、白表示時での電源線における電圧降下を小さくすることができる。このことは、白表示時と黒表示時との電圧降下差が縮小することを意味する。よって、クロストークのみならずシェーディングのない均一な画質を得ることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、発明を、アクティブマトリクス駆動型の有機 E L パネルに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【 0 0 2 2 】

(A) 外観構成

なお、この明細書では、画素アレイ部と駆動回路とを同じ半導体プロセスを用いて同じ基板上に形成した表示パネルだけでなく、例えば特定用途向け IC として製造された駆動回路を画素アレイ部の形成された基板上に実装したものも有機 E L パネルと呼ぶ。

【 0 0 2 3 】

図 5 に、有機 E L パネルの外観構成例を示す。有機 E L パネル 1 1 は、支持基板 1 3 のうち画素アレイ部の形成領域に対向部 1 5 を貼り合わせた構造を有している。

対向部 1 5 は、ガラス、プラスチックフィルムその他の透明部材を基材とし、その表面に有機 E L 層や保護膜等を積層した構造を有している。

なお、有機 E L パネル 1 1 には、外部から支持基板 1 3 に信号等を入出力するための FPC (フレキシブルプリントサーキット) 1 7 が配置される。

【 0 0 2 4 】

(B) 形態例 1

(B - 1) システム構成

以下では、駆動トランジスタ T 2 の特性バラツキを防ぎ、かつ画素回路を構成する素子数が少なく済む有機 E L パネル 1 1 のシステム構成例を示す。なお、この形態例では、画面サイズの大きい有機 E L パネルを想定する。

【 0 0 2 5 】

図 6 に、有機 E L パネル 1 1 のシステム構成例を示す。図 6 に示す有機 E L パネル 1 1 は、画素アレイ部 2 1 と、その駆動回路である書込制御線駆動部 2 3、電源線駆動部 2 5、水平セクタ 2 7、タイミングジェネレータ 2 9 で構成される。

【 0 0 2 6 】

画素アレイ部 2 1 には、信号線 DTL と書込制御線 WSL との各交点位置にサブ画素を配置したマトリクス構造を有している。因みに、サブ画素は 1 画素を構成する画素構造の

10

20

30

40

50

最小単位である。例えばホワイトユニットとしての1画素は有機EL材料の異なる3つのサブ画素(R、G、B)で構成される。

【0027】

図7に、サブ画素に対応する画素回路31と各駆動回路との接続関係を示す。また図8に、形態例1で提案する画素回路31の内部構成を示す。図8に示す画素回路は、2つのNチャンネル型の薄膜トランジスタT1、T2と1つの保持容量Csとで構成される。

【0028】

この回路構成の場合も、書込制御線駆動部23は、書込制御線WSLを通じてサンプリングトランジスタT1を開閉制御し、信号線電位の保持容量Csへの書き込みを制御するのに用いられる。因みに、書込制御線駆動部23は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

10

【0029】

なお、この形態例の場合、同一パルスで動作する2つの書込制御線駆動部23を画素アレイ部21の両側に配置し、1本の書込制御線WSLを画素アレイ部21の両側から同時に駆動する方式を採用する。

【0030】

有機ELパネル11の画面サイズが大きい場合、図9に示すように、書込制御線駆動部23から遠い位置での書込制御線WSLの電位変化(図9(B))は、書込制御線駆動部23に近い位置での書込制御線WSLの電位変化(図9(A))より鈍り易い。また、この波形の鈍りに起因する書込時間差は、正常な信号電位の書き込み動作を困難にし、シェーディングを発生する原因となる。

20

【0031】

一方、画素アレイ部21の両側に書込制御線駆動部23を2つ配置する場合には、個々の書込制御線駆動部23が駆動する範囲が半減し、書込制御線WSLの電位変化の遅延や鈍りを最小化することができる。

なお、この形態例1の場合には、書込制御線駆動部23は、電源線駆動部25よりも画素アレイ部21の近くに配置する。

【0032】

電源線駆動部25は、電源線DSLを通じて駆動トランジスタT2の一方の主電極に接続される電源線DSLを2値的に制御し、他の駆動回路との連動動作により画素回路内の動作内容を制御するのに用いられる。ここでの動作には、有機EL素子の発光・非発光だけでなく、特性バラツキの補正動作も含まれる。この形態例の場合、特性バラツキの補正は、駆動トランジスタT2の閾値のバラツキや移動度のバラツキに基づくユニフォーマティの劣化の補正を意味する。

30

【0033】

この形態例の場合、電源線駆動部25についても2つ用意する。そして、2つの電源線駆動部25を画素アレイ部21の両側に配置し、1本の電源線DSLを画素アレイ部21の両側から同時に駆動する。有機ELパネル11の画面サイズが大きい場合、電源線駆動部25から遠い位置の電源線DSLの電位変化が鈍りやすく、正常なタイミング制御が難しくなるためである。

40

【0034】

一方、画素アレイ部21の両側に電源線駆動部25を2つ配置する場合には、個々の電源線駆動部25が駆動する範囲が半減し、電源線DSLの電位変化の遅延や鈍りを最小化することができる。

なお、この形態例1の場合には、電源線駆動部25は、書込制御線駆動部23の外側に配置する。

【0035】

参考までに、書込制御線駆動部23と電源線駆動部25の回路構成の一例を図10に示す。図10に示すように、書込制御線駆動部23と電源線駆動部25の基本構成は同じである。

50

すなわち、書込制御線駆動部 2 3 は、シフトレジスタ部 2 3 1、波形調整回路 2 3 3、出力バッファ回路 2 3 5 で構成される。一方、電源線駆動部 2 5 は、シフトレジスタ部 2 5 1、波形調整回路 2 5 3、出力バッファ回路 2 5 5 で構成される。

【 0 0 3 6 】

図中、網掛けで示すパターンは、各部を駆動するための電源配線である。因みに、「V_h」で示す電源配線は、シフトレジスタ部 2 3 1、2 5 1 と波形調整回路 2 3 3、2 5 3 に「Hレベル」の電源電位を供給する配線である。一方、「V_l」で示す電源配線は、シフトレジスタ部 2 3 1、2 5 1 と波形調整回路 2 3 3、2 5 3 に「Lレベル」の電源電位を供給する配線である。

【 0 0 3 7 】

また、「V_{cc}* (ただし、* は、w s 又は d s)」で示す電源配線は、波形調整回路 2 3 3、2 5 3 と出力バッファ回路 2 3 5、2 5 5 に「Hレベル」の電源電位を供給する配線である。一方、「V_{ss}* (ただし、* は、w s 又は d s)」で示す電源配線は、波形調整回路 2 3 3、2 5 3 と出力バッファ回路 2 3 5、2 5 5 に「Lレベル」の電源電位を供給する配線である。

【 0 0 3 8 】

ここで、シフトレジスタ部 2 3 1 及び 2 5 1 は、クロックパルス C K に基づいてサンプリングパルス S P を順次次段に転送する動作を実行するフリップフロップ段で構成され、フリップフロップ段の 1 段が水平ラインの一段に対応する。

また、波形調整回路 2 3 3 及び 2 5 3 は、時間軸方向のパルス幅及びパルス高さを調整する回路である。

【 0 0 3 9 】

出力バッファ回路 2 3 5 及び 2 5 5 は、それぞれ書込制御線 W S L と電源線 D S L をそれぞれ対応する 2 値の電源電位で駆動する回路デバイスである。具体的には、インバータ回路を 1 段以上直列に接続した回路で構成される。

なお、電源配線は、いずれも水平ラインに対して垂直に配線される。一方、電源線駆動部 2 5 が駆動する電源線 D S L は、いずれも水平ラインに対して並行に配線される。

【 0 0 4 0 】

このため、図 1 1 に示すように、電源線 D S L は、書込制御線駆動部 2 3 内の電源配線と立体的に交差する配線構造を有している。

電源用の配線は、基本的にアルミニウムで配線される。しかし、アルミニウムは膜厚が厚くなる。このため、立体的な交差部分では、一般に膜厚が薄く済むモリブデン等の金属材料が使用される。

【 0 0 4 1 】

結果的に、図 6 に示す有機 E L パネル 1 1 の場合には、電源線 D S L がアルミニウムとモリブデンの混合配線として形成される。

なお、図 6 に示す構造の有機 E L パネル 1 1 の場合、1 本の電源線 D S L について画素アレイ部 2 1 の左右に 2 つずつ計 4 カ所に立体交差が形成される。

【 0 0 4 2 】

水平セクタ 2 7 は、信号線 D T L に画素データ D_{in} に応じた信号電位 V_{sig} 又は閾値補正用のオフセット電圧 V_{ofs} を印加するのに用いられる。水平セクタ 2 7 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D/A 変換回路とで構成される。

タイミングジェネレータ 2 9 は、書込制御線 W S L、電源線 D S L、信号線 D T L の駆動に必要なタイミングパルスを生成する回路デバイスである。

【 0 0 4 3 】

(B - 2) 駆動動作例

図 1 2 に、図 8 に示す画素回路の駆動動作例を示す。因みに図 1 2 では、電源線 D S L に印加する 2 種類の電源電位のうち高電位 (発光電位) の方を V_{cc} で表し、低電位 (非発光電位) の方を V_{ss} で表す。

10

20

30

40

50

【 0 0 4 4 】

まず、発光状態における画素回路内の動作状態を図 1 3 に示す。このとき、サンプリングトランジスタ T 1 はオフ状態である。一方、駆動トランジスタ T 2 は飽和領域で動作し、ゲート・ソース間電圧 V_{gs} に応じて定まる電流 I_{ds} が流れる (図 1 2 (t 1))。

【 0 0 4 5 】

次に、非発光状態の動作状態を説明する。このとき、電源線 D S L の電位が高電位 V_{cc} から低電位 V_{ss} に切り換わる (図 1 2 (t 2))。この際、低電位 V_{ss} が有機 E L 素子の閾値 V_{thel} とカソード電位 V_{cath} との和より小さいとき、つまり $V_{ss} < V_{thel} + V_{cath}$ であれば有機 E L 素子は消灯する。

【 0 0 4 6 】

なお、駆動トランジスタ T 2 のソース電位 V_s は電源線 D S L の電位と同じになる。すなわち、有機 E L 素子のアノード電極は低電位 V_{ss} に充電される。図 1 4 に、画素回路内の動作状態を示す。図 1 4 に破線で示すように、この際、保持容量 C_s に保持されていた電荷は電源線 D S L へ引き出される。

【 0 0 4 7 】

この後、信号線 D T L の電位が閾値補正用のオフセット電位 V_{ofs} に遷移した状態で、書込制御線 W S L が高電位に変化すると、オン動作したサンプリングトランジスタ T 1 を通じて駆動トランジスタ T 2 のゲート電位がオフセット電位 V_{ofs} に変化する (図 1 2 (t 3))。

【 0 0 4 8 】

図 1 5 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ で与えられる。この電圧は、駆動トランジスタ T 2 の閾値電圧 V_{th} よりも大きくなるように設定される。 $V_{ofs} - V_{ss} > V_{th}$ を満たさなければ閾値補正動作を実行できないためである。

【 0 0 4 9 】

次に、電源線 D S L の電源電位が再び高電位 V_{cc} に切り換えられる (図 1 2 (t 4))。電源線 D S L の電源電位が高電位 V_{cc} に変化することで、有機 E L 素子 O L E D のアノード電位 V_{el} が駆動トランジスタ T 2 のソース電位 V_s となる。

【 0 0 5 0 】

図 1 6 では、有機 E L 素子 O L E D を等価回路で示す。すなわち、ダイオードと寄生容量 C_{el} で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$ の関係を満たす限り (ただし、有機 E L 素子のリーク電流は駆動トランジスタ T 2 に流れる駆動電流 I_{ds} よりかなり小さいと考える。)、駆動トランジスタ T 2 に流れる駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【 0 0 5 1 】

結果的に、有機 E L 素子 O L E D のアノード電位 V_{el} は、図 1 7 に示すように、時間の経過と共に上昇する。すなわち、駆動トランジスタ T 2 のゲート電位はオフセット電位 V_{ofs} に固定した状態のまま、駆動トランジスタ T 2 のソース電位 V_s が上昇を開始する。この動作が閾値補正動作である。

【 0 0 5 2 】

やがて、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} = V_{cat} + V_{thel}$ を満たしている。

閾値補正期間が終了すると、サンプリングトランジスタ T 1 が再びオフ制御される (図 1 2 (t 5))。

【 0 0 5 3 】

この後、信号線 D T L の電位が信号電位 V_{sig} に遷移するのに必要なタイミング以降に、サンプリングトランジスタ T 1 は再びオン状態に制御される (図 1 2 (t 6))。図 1 8 に、この場合における画素回路内の動作状態を示す。信号電位 V_{sig} は、対応画素の階調値に応じて与えられる電位である。

この際、駆動トランジスタ T 2 のゲート電位 V_g は、信号電位 V_{sig} に遷移する。一方

10

20

30

40

50

、駆動トランジスタT2のソース電位 V_s は、電源線DSLから保持容量 C_s へと流れ込む電流により時間と共に上昇する。

【0054】

この時、駆動トランジスタT2のソース電位 V_s が有機EL素子の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和を越えなければ（有機EL素子のリーク電流が駆動トランジスタT2に流れる電流よりもかなり小さければ）、駆動トランジスタT2により供給される駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【0055】

なお、駆動トランジスタT2の閾値補正動作は既に完了しているので、駆動トランジスタT2が流す駆動電流 I_{ds} は、駆動トランジスタT2の移動度 μ を反映した値になる。具体的には、移動度 μ が大きい駆動トランジスタほど大きな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇も早くなる。逆に移動度 μ が小さい駆動トランジスタほど小さな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇は遅くなる（図19）。

10

【0056】

結果的に、保持容量 C_s の保持電圧は、駆動トランジスタT2の移動度 μ に応じて補正される。すなわち、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} は、移動度 μ を補正した電圧へと変化する。

【0057】

最後に、サンプリングトランジスタT1がオフ制御されて信号電位の書き込みが終了すると、有機EL素子OLEDの発光期間が開始する（図12（ t_7 ））。図20に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} は一定である。従って、駆動トランジスタT2は一定の電流 I_{ds}' を有機EL素子に供給する。

20

【0058】

これに伴い、有機EL素子のアノード電位 V_{el} は、有機EL素子に電流 I_{ds}' を流す電位 V_x まで上昇する。これにより、有機EL素子による発光が開始される。

ところで、この形態例で提案する駆動回路の場合も、発光時間が長くなると、有機EL素子OLEDのI-V特性が変化する。

【0059】

すなわち、駆動トランジスタT2のソース電位 V_s も変化する。しかし、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} は、保持容量 C_s により一定に保たれるので有機EL素子OLEDに流れる電流量は変化せずに済む。このように、この形態例で提案する画素回路と駆動方式を採用すれば、有機EL素子OLEDのI-V特性の変化にかかわらず、信号電位 V_{sig} に応じた駆動電流 I_{ds} を常に流し続けることができる。これにより、有機EL素子OLEDの発光輝度を信号電位 V_{sig} に応じた輝度に保ち続けることができる。

30

【0060】

（B-3）まとめ

以上の通り、この形態例で説明した画素回路と駆動方式の採用により、駆動トランジスタT2をNチャンネル型薄膜トランジスタで構成する場合にも、画素毎に輝度バラツキのない有機ELパネルを実現することができる。

40

【0061】

また、この形態例の場合、画素アレイ部21の両側に書込制御線駆動部23及び電源線駆動部25をそれぞれ配置し、各書込制御線WSL及び電源線DSLを両側から同時に駆動制御することができる。

このため、画素アレイ部21のサイズが大型化して電源線DSLの駆動時間が短縮される場合にも、書込制御線WSLの波形の鈍りを小さくでき、シェーディングの発生を効果的に抑制できる。

【0062】

また、電源線DSLを画面の片方から駆動する場合には画面の両端での電圧差が大きく

50

ならざるを得ないが、画面の両側から駆動することで電源線DSL上での電圧差を小さくすることができる。特に、有機EL素子は電流駆動素子であるため、電源線DSLの電圧差は駆動電流（発光輝度）の違いに直結する。このため、電圧差を小さくできることで、白表示時における電圧降下の影響（すなわち、クロストーク）を小さくすることができる。

【0063】

以上のように、この形態例の採用により、Nチャンネル型薄膜トランジスタだけを用いながらも、経時変化によらず安定した発光特性を得ることができ、かつ、同時に画面内の表示品質の低下が知覚され難い有機ELパネルを実現できる。

【0064】

(C)形態例2

(C-1)システム構成

以下では、画面サイズの大きい有機ELパネルの表示品質をより高めることが可能なパネル構造について説明する。

【0065】

図21に、有機ELパネル11のシステム構成例を示す。なお、図21には、図6との対応部分に同一符号を付して示している。図21に示すように、基本的なシステム構成は同じである。すなわち、図21に示す有機ELパネル11も、画素アレイ部21と、その駆動回路である書込制御線駆動部23、電源線駆動部41、水平セクタ27、タイミングジェネレータ29で構成される。

【0066】

違いは、書込制御線駆動部23と電源線駆動部41のパネル内の位置関係である。

まず、この形態例では、電源線駆動部41と書込制御線駆動部23の位置関係を入れ替えている。すなわち、電源線駆動部41を書込制御線駆動部23よりも画素アレイ部側に配置する。

【0067】

また、この形態例では、電源線駆動部41を構成する出力バッファ回路を大型化し、バッファ部分の抵抗値を低減する。

図22に、サブ画素に対応する画素回路31と各駆動回路との接続関係を示す。また図23に画素回路31の内部構成を示す。

【0068】

更に、図24に、書込制御線駆動部23と電源線駆動部41の配線関係を示す。図24に示すように、今度は、書込制御線駆動部23が駆動制御する書込制御線WSLが混合配線となり、電源線駆動部41に駆動電源を供給する電源配線の部分で立体交差する。

一方、電源線DSLは、形態例1よりも駆動電源との立体交差の回数が少なくなるので低抵抗金属だけで構成することができる。この形態例の場合、電源線DSLはアルミニウムで構成する。

【0069】

しかも、駆動部の位置関係を入れ替えたことにより、電源線DSLの配線長は、形態例1よりも短くなっている。このため、電源線DSLの配線抵抗は形態例1よりも小さくなる。従って、この形態例で提案するパネル構造の場合、形態例1よりもクロストークやシェーディングが視認される可能性を低下させることができる。

【0070】

一方、形態例2の場合には、書込制御線WSLの抵抗値が形態例1の場合よりも高くなる。結果的に、水平ライン上での書込時間差の最大値は形態例1より拡大する。

しかし、書込時間差の違いを原因とするシェーディングは、輝度差が20%程度にならないと視認されることはない。従って、書込制御線駆動部23を電源線駆動部41の外側に配置しても、書込時間差の問題は両側駆動により抑制することができる。

【0071】

これに対して、電源線DSLの電圧降下を原因とするクロストークは、輝度差が1%程

10

20

30

40

50

度でも視認されてしまう。このため、形態例 2 のように電源線 D S L の配線抵抗を小さくできることの技術的な効果は大きい。

【 0 0 7 2 】

ところで、各画素回路内の駆動トランジスタ T 2 は飽和領域で動作する。このため、配線抵抗は小さくも、アーリ効果の影響は依然として存在する。

このため、図 2 5 に示す類の画像が有機 E L パネル 1 1 に入力される場合、白表示ラインの電源ラインの電圧降下と黒ウィンドウ表示ラインの電源ラインの電圧降下との間に電位差が発生してしまう。

【 0 0 7 3 】

この電位差が輝度差の 1 % 以上になると、クロストークが視認されてしまう。

ところで、クロストークの発生は、表示ライン（水平ライン）の電源電圧降下量の差分に依存する。すなわち、クロストークの発生は、電源線 D S L の部分だけでなく、出力バッファ回路 2 5 7 の出力抵抗値も大きく影響する。

【 0 0 7 4 】

例えば電源線 D S L の配線抵抗が小さくても出力バッファ回路 2 5 7 の出力抵抗値が大きければ黒ウィンドウの表示時に、図 2 6 に示すように白表示ラインの輝度がその電圧降下によって暗くなり、クロストークとして視認されてしまう。

そこで、この形態例では、出力バッファ回路 2 5 7 の出力抵抗値を低減した電源線駆動部 4 1 を提案する。

【 0 0 7 5 】

一例として図 2 7 に、電源線駆動部 4 1 を構成する出力バッファ回路 2 5 7 の等価回路を示す。図 2 7 に示すように、出力バッファ回路 2 5 7 は、C M O S インバータ回路の 2 段接続で構成されているものとする。

図 2 8 に、出力バッファ回路 2 5 7 の最終段を構成する C M O S インバータ回路の平面構造を示す。

【 0 0 7 6 】

図中、破線で囲まれた領域が P チャネル型薄膜トランジスタと N チャネル型薄膜トランジスタにそれぞれ対応する。図に示すように、P チャネル型薄膜トランジスタのサイズは、N チャネル型薄膜トランジスタのサイズより大きくなるように形成する。具体的には、1.5 倍以上、望ましくは 10 倍程度に形成する。これは、電源配線 V c c からの配線抵抗を小さくするためである。

【 0 0 7 7 】

ただし、P チャネル型薄膜トランジスタのサイズの拡大は、事実上、画素ピッチの制限を受ける。しかも、解像度が高くなるほど画素ピッチは小さくなる。従って、限られたレイアウトの中で、P チャネル型薄膜トランジスタのサイズを拡大する工夫が必要となる。

一般に、出力バッファ回路 2 5 7 の出力抵抗を小さくするには、P チャネル型薄膜トランジスタのチャンネル幅を大きくする必要がある。

【 0 0 7 8 】

そこで、最後段の C M O S インバータ回路を図 2 8 に示すように横置き型に形成する。すなわち、P チャネル型薄膜トランジスタのチャンネル長の方向が信号線と並行になるように（水平ライン方向と直交するように）形成する。この際、望ましくは、チャンネル幅が 1 画素の信号線方向の長さよりも大きくなるように形成する。この構造の採用により、多くの電流を流すことが可能になり、その分、出力抵抗を小さくすることができる。

【 0 0 7 9 】

また、この横置き型のレイアウトは、図 2 9 に示す縦置き型のレイアウトに比してチャンネルと電源配線 V c c との距離を短くできる利点もある。ここでの距離は、電源配線 V c c と図 2 8 及び図 2 9 に示す A 点までの長さで与えられる。

明らかに、横置き型のレイアウトの方が、電源配線 V c c とチャンネルの長さを短くすることができる。

【 0 0 8 0 】

(C-2) まとめ

以上説明したように、この形態例では、電源線駆動部41を書込制御線駆動部23よりも画素アレイ部21寄りに形成することで、電源線DSLの配線長の短縮化と配線構造の簡略化(立体交差の削減)とを実現し、配線抵抗を小さくすることができる。

【0081】

加えて、電源線駆動部41の出力バッファ回路257の最終段を構成するインバータ回路のPチャンネル型薄膜トランジスタのチャンネル方向が信号線DTLと平行になるように形成する(横置きのレイアウトを採用する)ことで、出力バッファ回路257内の配線抵抗を小さくすることができる。

【0082】

結果的に、電源線DSLの配線抵抗を、出力バッファ回路257の出力段を含めて全体的に小さくできる。従って、アーリ効果の影響を考慮しても、電源線DSL上における電源電圧降下の差を形態例1より小さくすることができ、クロストークが一段と視認され難い有機ELパネル11を実現することができる。

【0083】

すなわち、原理的に高画質が期待できる有機ELパネル11を実現することができる。

しかも、出力バッファ回路257のチャンネル方向を信号線方向と平行に形成している。従って、有機ELパネル11の狭額縁化も実現できる。

【0084】

(D) 他の形態例

(D-1) 電源線DSLの配線材料

前述した形態例2の場合には、電源線DSLがアルミニウムで形成される場合について説明した。

しかし、形態例2の電源線DSLには、アルミニウム、銅、金これらの合金を用いても良い。これらの配線材料の配線抵抗値は、いずれもモリブデンより低くできる。従って、電源線DSLの低抵抗化に有利である。

【0085】

(D-2) 他の画素回路例

前述した形態例の場合には、画素回路31が2つの薄膜トランジスタで構成される場合について説明した。このため、閾値補正用の基準電圧(以下、「オフセット電圧」という。) V_{ofs} は、信号線DTLを通じて印加する駆動方式を採用した。

【0086】

しかし、オフセット電圧 V_{ofs} の印加タイミングの制御専用にとランジスタを配置しても良い。

図30に、変形例に対応する画素回路51の構成例を示す。画素回路51の場合、第2のサンプリングトランジスタT3を配置する。第2のサンプリングトランジスタT3の一方の主電極は駆動トランジスタT2のゲート電極と接続され、他方の主電極はオフセット電圧 V_{ofs} が固定的に供給されるオフセット線OFSLに接続される。

【0087】

なお、第2のサンプリングトランジスタT3のオンオフ制御は、オフセット線駆動部53により制御される。

また、この例の場合、信号線DTLには、各画素に対応する信号電位 V_{sig} のみが印加される。因みに、図30に示すオフセット線駆動部53と書込制御線駆動部23との位置関係は入れ替わっても良い。

【0088】

図31に、図30で説明した画素回路の駆動動作例を示す。因みに図31では、電源線DSLに印加する2種類の電源電位のうち高電位(発光電位)の方を V_{cc} で表し、低電位(非発光電位)の方を V_{ss} で表している。

【0089】

まず、発光状態における画素回路内の動作状態を図32に示す。このとき、サンプリン

10

20

30

40

50

トランジスタ T1 はオフ状態である。一方、駆動トランジスタ T2 は飽和領域で動作し、ゲート・ソース間電圧 V_{gs} に応じて定まる電流 I_{ds} が流れる (図 3 1 (t1))。

【0090】

次に、非発光状態の動作状態を説明する。このとき、電源線 D S L の電位が高電位 V_{cc} から低電位 V_{ss} に切り換わる (図 3 1 (t2))。この際、低電位 V_{ss} が有機 E L 素子の閾値 V_{thel} とカソード電位 V_{cath} との和より小さいとき、つまり $V_{ss} < V_{thel} + V_{cath}$ であれば有機 E L 素子 O L E D は消灯する。

【0091】

なお、駆動トランジスタ T2 のソース電位 V_s は電源線 D S L の電位と同じになる。すなわち、有機 E L 素子のアノード電極は低電位 V_{ss} に充電される。図 3 3 に、画素回路内の動作状態を示す。図 3 3 に破線で示すように、この際、保持容量 C_s に保持されていた電荷は電源線 D S L へ引き出される。

10

【0092】

この後、オフセット線駆動部 5 3 により、第 2 のサンプリングトランジスタ T3 がオン制御される。これにより、駆動トランジスタ T2 のゲート電位はオフセット電位 V_{ofs} に変化する (図 3 1 (t3))。

【0093】

図 3 4 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ T2 のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ で与えられる。この電圧は、駆動トランジスタ T2 の閾値電圧 V_{th} よりも大きくなるように設定される。 $V_{ofs} - V_{ss} > V_{th}$ を満たさなければ閾値補正動作を実行できないためである。

20

【0094】

次に、電源線 D S L の電源電位が再び高電位 V_{cc} に切り換えられる (図 3 1 (t4))。電源線 D S L の電源電位が高電位 V_{cc} に変化することで、有機 E L 素子 O L E D のアノード電位が駆動トランジスタ T2 のソース電位 V_s で与えられる。

【0095】

図 3 5 では、有機 E L 素子 O L E D を等価回路で示す。すなわち、ダイオードと寄生容量 C_{el} で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$ の関係を満たす限り (ただし、有機 E L 素子のリーク電流は駆動トランジスタ T2 に流れる駆動電流 I_{ds} よりかなり小さいと考える)、駆動トランジスタ T2 に流れる駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

30

【0096】

結果的に、有機 E L 素子 O L E D のアノード電圧 V_{el} は、時間の経過と共に上昇する。すなわち、駆動トランジスタ T2 のゲート電位はオフセット電位 V_{ofs} に固定した状態のまま、駆動トランジスタ T2 のソース電位 V_s が上昇を開始する。

【0097】

やがて、駆動トランジスタ T2 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} = V_{cat} + V_{thel}$ を満たしている。

閾値補正期間が終了すると、第 2 のサンプリングトランジスタ T3 が再びオフ制御される (図 3 1 (t5))。図 3 6 に、この場合における画素回路内の動作状態を示す。

40

【0098】

この後、信号線 D T L の電位が信号電位 V_{sig} に遷移するのに必要なタイミング以降に、第 1 のサンプリングトランジスタ T1 がオン状態に制御される (図 3 1 (t6))。図 3 7 に、この場合における画素回路内の動作状態を示す。信号電位 V_{sig} は、対応画素の階調値に応じて与えられる電位である。

この際、駆動トランジスタ T2 のゲート電位 V_g は、信号電位 V_{sig} に遷移する。一方、駆動トランジスタ T2 のソース電位 V_s は、電源線 D S L から保持容量 C_s へと流れ込む電流により時間と共に上昇する。

【0099】

この時、駆動トランジスタ T2 のソース電位 V_s が有機 E L 素子の閾値電圧 V_{thel} とカ

50

ソース電圧 V_{cat} の和を越えなければ（有機 EL 素子のリーク電流が駆動トランジスタ T2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T2 により供給される駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【0100】

なお、駆動トランジスタ T2 の閾値補正動作は既に完了しているので、駆動トランジスタ T2 が流す駆動電流 I_{ds} は、駆動トランジスタ T2 の移動度 μ を反映した値になる。具体的には、移動度 μ が大きい駆動トランジスタほど大きな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇も早くなる。逆に移動度 μ が小さい駆動トランジスタほど小さな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇は遅くなる。

【0101】

結果的に、保持容量 C_s の保持電圧は、駆動トランジスタ T2 の移動度 μ に応じて補正される。すなわち、駆動トランジスタ T2 のゲート・ソース間電圧 V_{gs} は、移動度 μ を補正した電圧へと変化する。

【0102】

最後に、第 1 のサンプリングトランジスタ T1 がオフ制御されて信号電位の書き込みが終了すると、有機 EL 素子 OLED の発光期間が開始する（図 31 (t7)）。図 38 に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタ T2 のゲート・ソース間電圧 V_{gs} は一定である。従って、駆動トランジスタ T2 は一定の電流 I_{ds}' を有機 EL 素子に供給する。

【0103】

これに伴い、有機 EL 素子のアノード電位 V_{el} は、有機 EL 素子に電流 I_{ds}' を流す電位 V_x まで上昇する。これにより、有機 EL 素子による発光が開始される。

ところで、この形態例で提案する駆動回路の場合も、発光時間が長くなると、有機 EL 素子 OLED の I-V 特性が変化する。

【0104】

すなわち、駆動トランジスタ T2 のソース電位 V_s も変化する。しかし、駆動トランジスタ T2 のゲート・ソース間電圧 V_{gs} は、保持容量 C_s により一定に保たれるので有機 EL 素子 OLED に流れる電流量は変化せずに済む。このように、この形態例で提案する画素回路と駆動方式を採用すれば、有機 EL 素子 OLED の I-V 特性の変化にかかわらず、信号電位 V_{sig} に応じた駆動電流 I_{ds} を常に流し続けることができる。これにより、有機 EL 素子 OLED の発光輝度を信号電位 V_{sig} に応じた輝度に保ち続けることができる。

【0105】

(D-3) 製品例

(a) 電子機器

前述の説明では、有機 EL パネルを例に発明を説明した。しかし、前述した有機 EL パネルは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

【0106】

図 39 に、電子機器 61 の概念構成例を示す。電子機器 61 は、前述した有機 EL パネル 63、システム制御部 65 及び操作入力部 67 で構成される。システム制御部 65 で実行される処理内容は、電子機器 61 の商品形態により異なる。また、操作入力部 67 は、システム制御部 65 に対する操作入力を受け付けるデバイスである。操作入力部 67 には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

【0107】

なお、電子機器 61 は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図 40 に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機 71 の筐体正面には、フロントパネル 73 及びフィルターガラス 75 等で構成さ

10

20

30

40

50

れる表示画面 77 が配置される。表示画面 77 の部分が、形態例で説明した有機 E L パネルに対応する。

【0108】

また、この種の電子機器 61 には、例えばデジタルカメラが想定される。図 41 に、デジタルカメラ 81 の外観例を示す。図 41 (A) が正面側 (被写体側) の外観例であり、図 41 (B) が背面側 (撮影者側) の外観例である。

【0109】

デジタルカメラ 81 は、保護カバー 83、撮像レンズ部 85、表示画面 87、コントロールスイッチ 89 及びシャッターボタン 91 で構成される。このうち、表示画面 87 の部分が、形態例で説明した有機 E L パネルに対応する

10

【0110】

また、この種の電子機器 61 には、例えばビデオカメラが想定される。図 42 に、ビデオカメラ 101 の外観例を示す。

ビデオカメラ 101 は、本体 103 の前方に被写体を撮像する撮像レンズ 105、撮影のスタート/ストップスイッチ 107 及び表示画面 109 で構成される。このうち、表示画面 109 の部分が、形態例で説明した有機 E L パネルに対応する。

【0111】

また、この種の電子機器 61 には、例えば携帯端末装置が想定される。図 43 に、携帯端末装置としての携帯電話機 111 の外観例を示す。図 43 に示す携帯電話機 111 は折りたたみ式であり、図 43 (A) が筐体を開いた状態の外観例であり、図 43 (B) が筐体を折りたたんだ状態の外観例である。

20

【0112】

携帯電話機 111 は、上側筐体 113、下側筐体 115、連結部 (この例ではヒンジ部) 117、表示画面 119、補助表示画面 121、ピクチャーライト 123 及び撮像レンズ 125 で構成される。このうち、表示画面 119 及び補助表示画面 121 の部分が、形態例で説明した有機 E L パネルに対応する。

【0113】

また、この種の電子機器 61 には、例えばコンピュータが想定される。図 44 に、ノート型コンピュータ 131 の外観例を示す。

ノート型コンピュータ 131 は、下型筐体 133、上側筐体 135、キーボード 137 及び表示画面 139 で構成される。このうち、表示画面 139 の部分が、形態例で説明した有機 E L パネルに対応する。

30

【0114】

これらの他、電子機器 61 には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0115】

(D-4) 他の表示デバイス例

前述の形態例においては、発明を有機 E L パネルに適用する場合について説明した。

しかし、前述した駆動技術は、その他の E L 表示装置に対しても適用することができる。例えば LED を配列する表示装置その他のダイオード構造を有する発光素子を画面上に配列した表示装置に対しても適用できる。例えば無機 E L パネルにも適用できる。

40

【0116】

(D-5) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

【0117】

【図 1】有機 E L パネルのブロック構成を説明する図である。

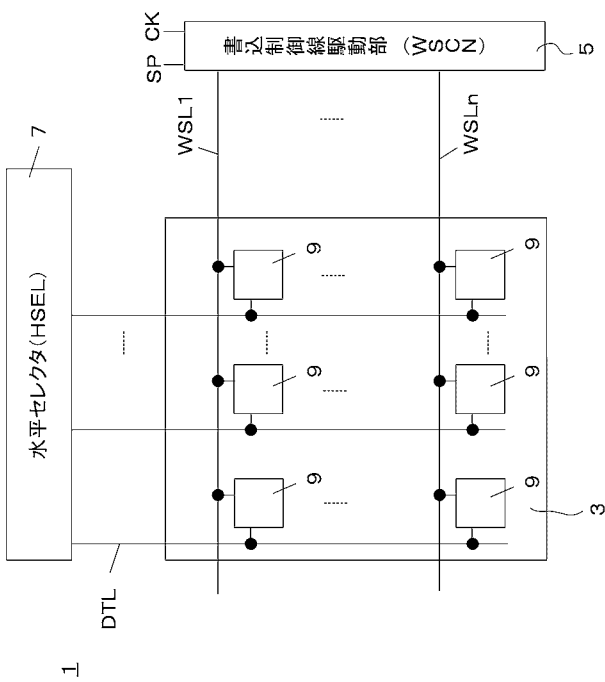
【図 2】画素回路と駆動回路との接続関係を説明する図である。

50

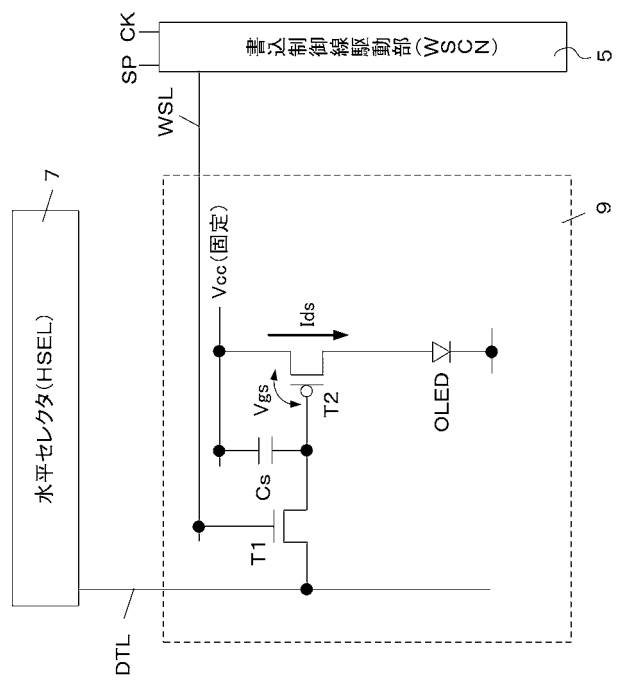
- 【図 3】有機 EL 素子の I - V 特性の経時変化を説明する図である。
- 【図 4】他の画素回路例を示す図である。
- 【図 5】有機 EL パネルの外観構成例を示す図である。
- 【図 6】有機 EL パネルのシステム構成例を示す図である。
- 【図 7】画素回路と駆動回路との接続関係を説明する図である。
- 【図 8】形態例に係る画素回路の構成例を示す図である。
- 【図 9】書込線の位置関係に応じて発生する電位変化の違いを説明する図である。
- 【図 10】書込制御線駆動部と電源線駆動部の内部構成を示す図である。
- 【図 11】図 10 の破線領域の断面構造を説明する図である。
- 【図 12】形態例に係る駆動動作例を示す図である。 10
- 【図 13】画素回路の動作状態を説明する図である。
- 【図 14】画素回路の動作状態を説明する図である。
- 【図 15】画素回路の動作状態を説明する図である。
- 【図 16】画素回路の動作状態を説明する図である。
- 【図 17】ソース電位の経時変化を示す図である。
- 【図 18】画素回路の動作状態を説明する図である。
- 【図 19】移動度の違いによる経時変化の違いを示す図である。
- 【図 20】画素回路の動作状態を説明する図である。
- 【図 21】形態例に係る有機 EL パネルの他の構成例を示す図である。
- 【図 22】画素回路と駆動回路との接続関係を説明する図である。 20
- 【図 23】形態例に係る画素回路の構成例を示す図である。
- 【図 24】書込制御線駆動部と電源線駆動部の内部構成を示す図である。
- 【図 25】表示画像例を示す図である。
- 【図 26】表示画像例を示す図である。
- 【図 27】出力バッファ回路の回路構成例を示す図である。
- 【図 28】出力バッファ回路の最終段を構成するインバータ回路で採用する横置き型のレイアウトパターン例を示す図である。
- 【図 29】出力バッファ回路の最終段を構成するインバータ回路に採用する縦置き型のレイアウトパターン例を示す図である。
- 【図 30】画素回路と駆動回路との他の接続関係を示す図である。 30
- 【図 31】画素回路の駆動動作例を示す図である。
- 【図 32】画素回路の動作状態を説明する図である。
- 【図 33】画素回路の動作状態を説明する図である。
- 【図 34】画素回路の動作状態を説明する図である。
- 【図 35】画素回路の動作状態を説明する図である。
- 【図 36】画素回路の動作状態を説明する図である。
- 【図 37】画素回路の動作状態を説明する図である。
- 【図 38】画素回路の動作状態を説明する図である。
- 【図 39】電子機器の概念構成例を示す図である。
- 【図 40】電子機器の商品例を示す図である。 40
- 【図 41】電子機器の商品例を示す図である。
- 【図 42】電子機器の商品例を示す図である。
- 【図 43】電子機器の商品例を示す図である。
- 【図 44】電子機器の商品例を示す図である。
- 【符号の説明】
- 【 0 1 1 8 】
- | | |
|-----|-----------|
| 1 1 | 有機 EL パネル |
| 2 1 | 画素アレイ部 |
| 2 3 | 書込制御線駆動部 |
| 2 5 | 電源線駆動部 |
- 50

- 2 7 水平セクタ
- 2 9 タイミングジェネレータ
- 2 5 5 出力バッファ回路
- 4 1 電源線駆動部
- 2 5 7 出力バッファ回路

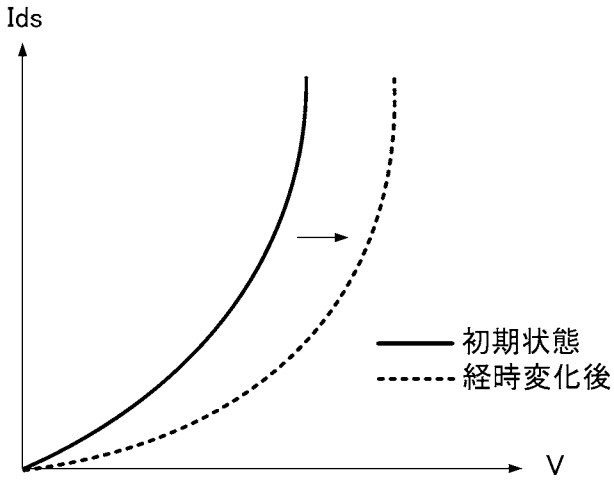
【 図 1 】



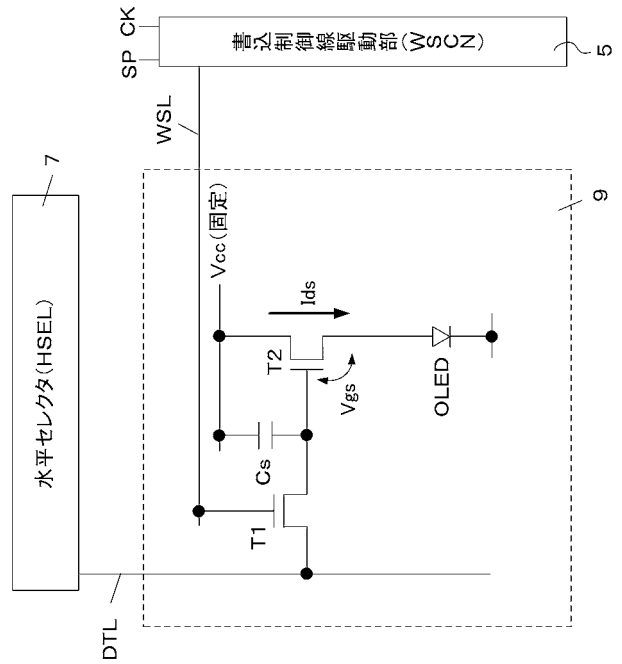
【 図 2 】



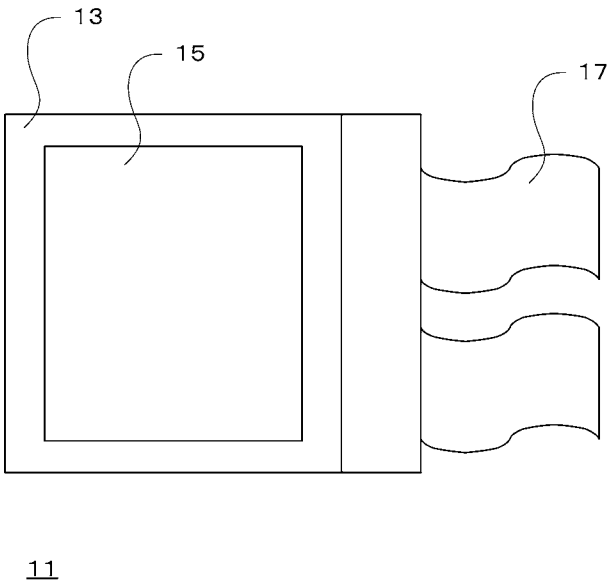
【 図 3 】



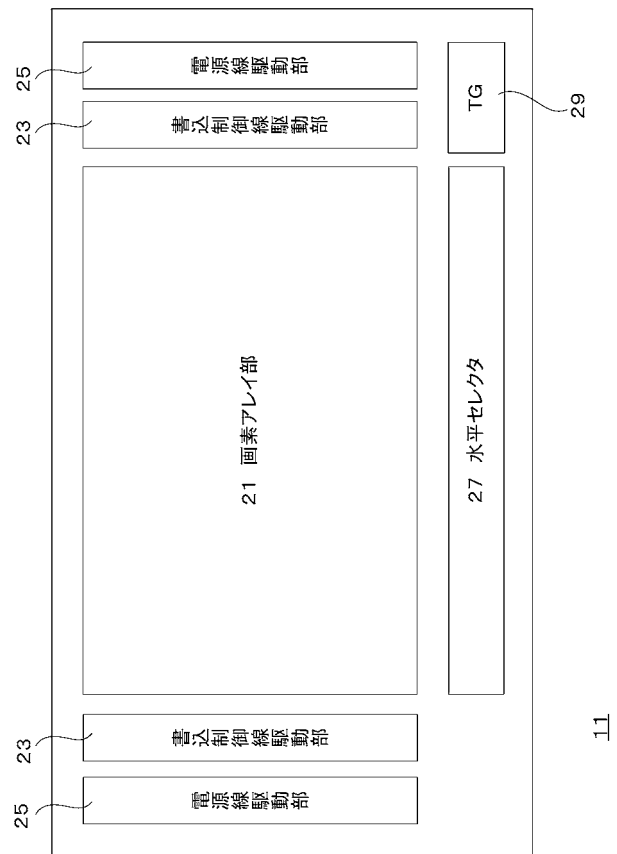
【 図 4 】



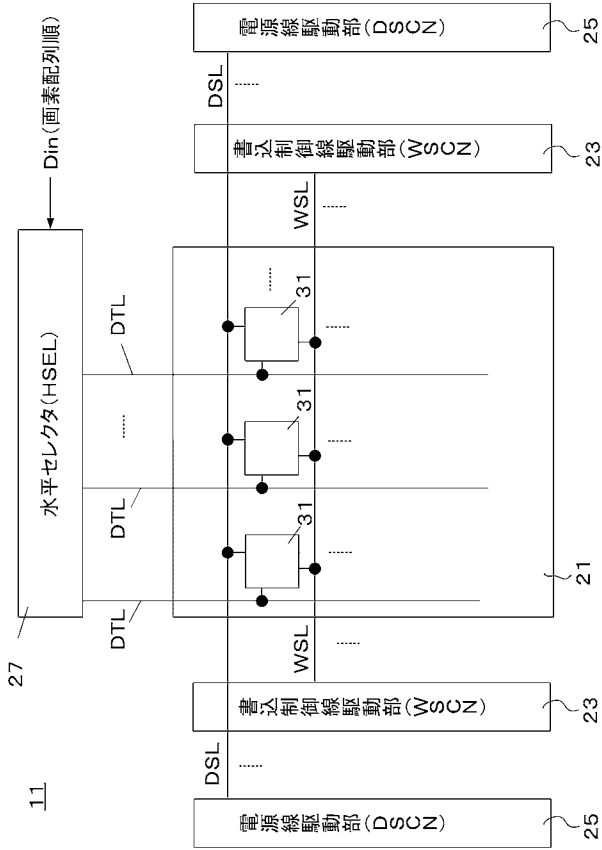
【 図 5 】



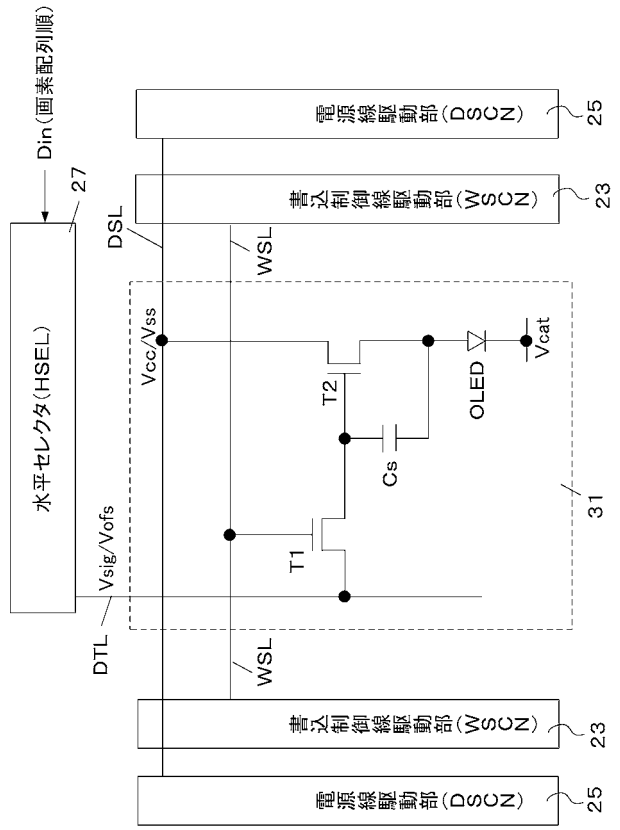
【 図 6 】



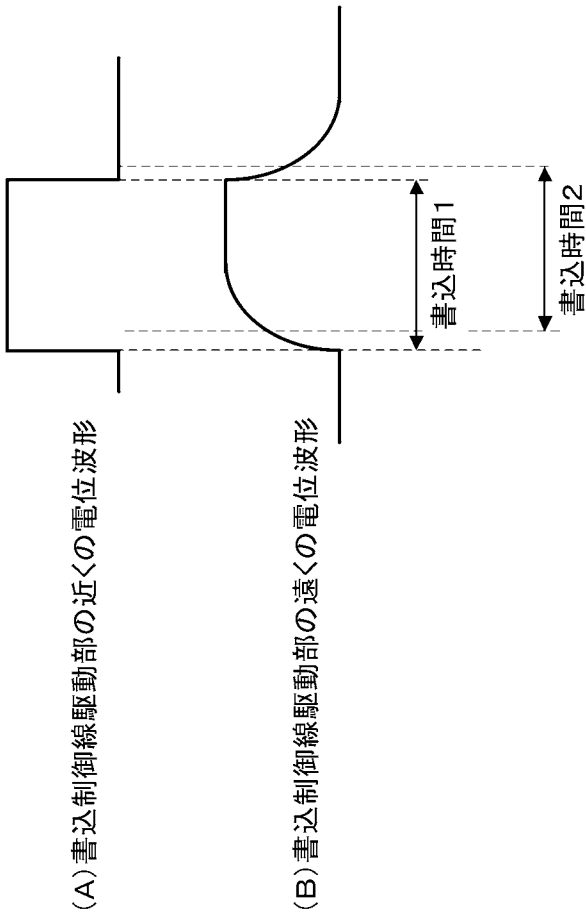
【 図 7 】



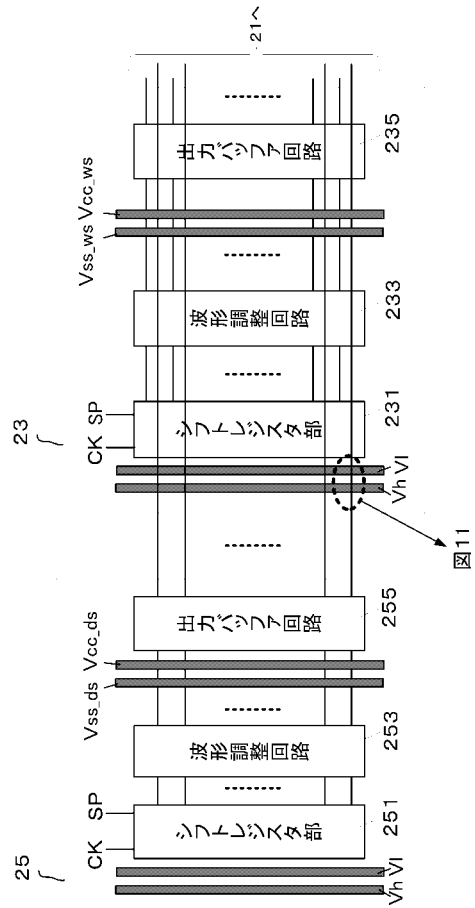
【 図 8 】



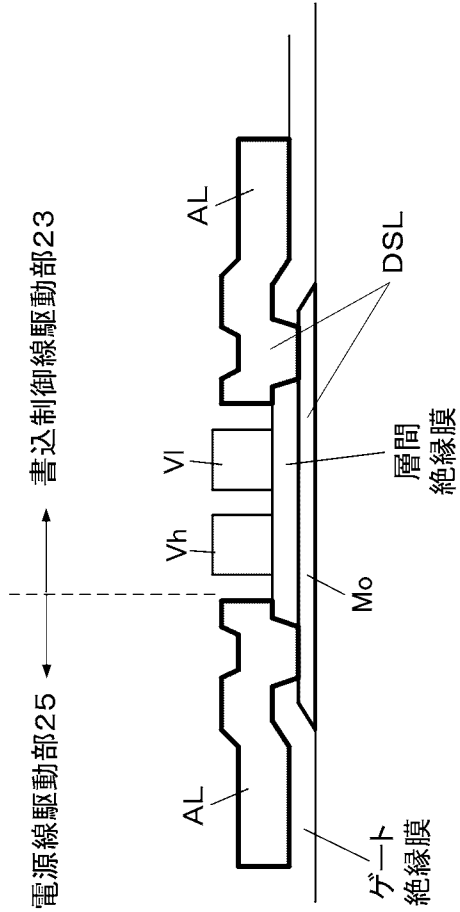
【 図 9 】



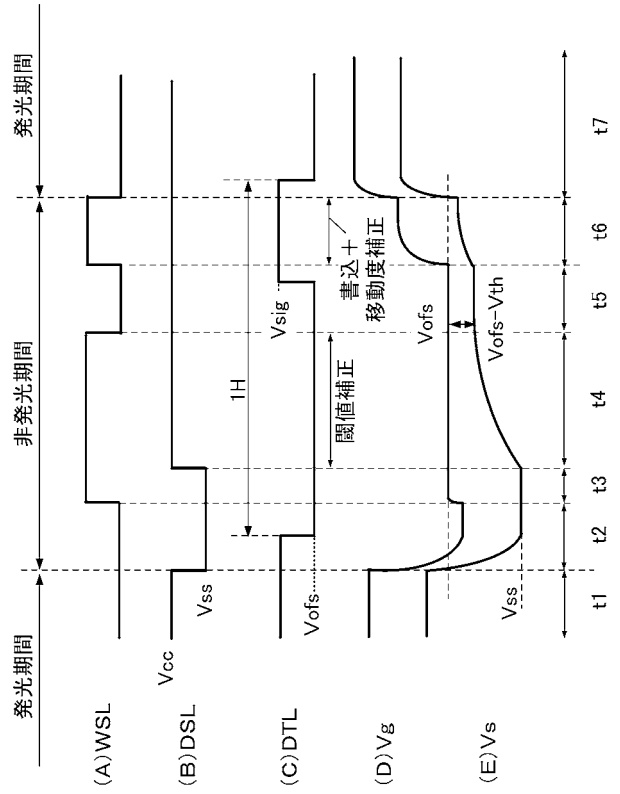
【 図 10 】



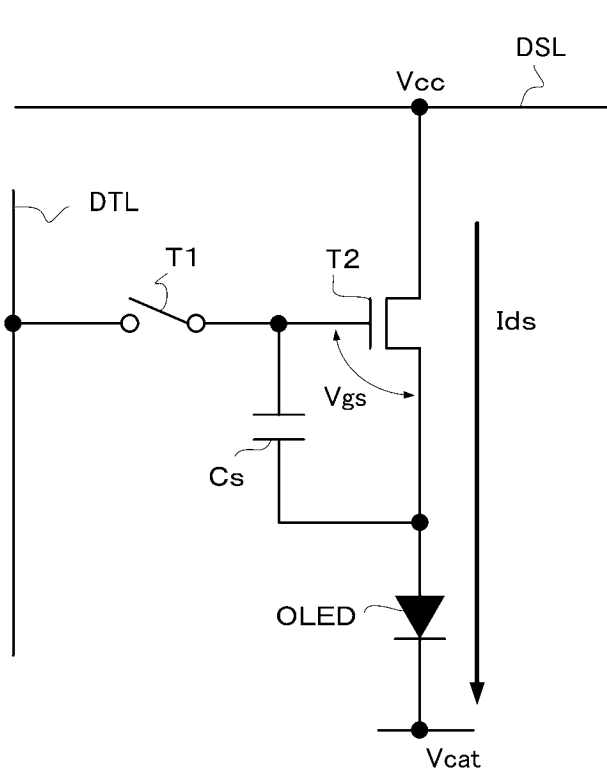
【 図 1 1 】



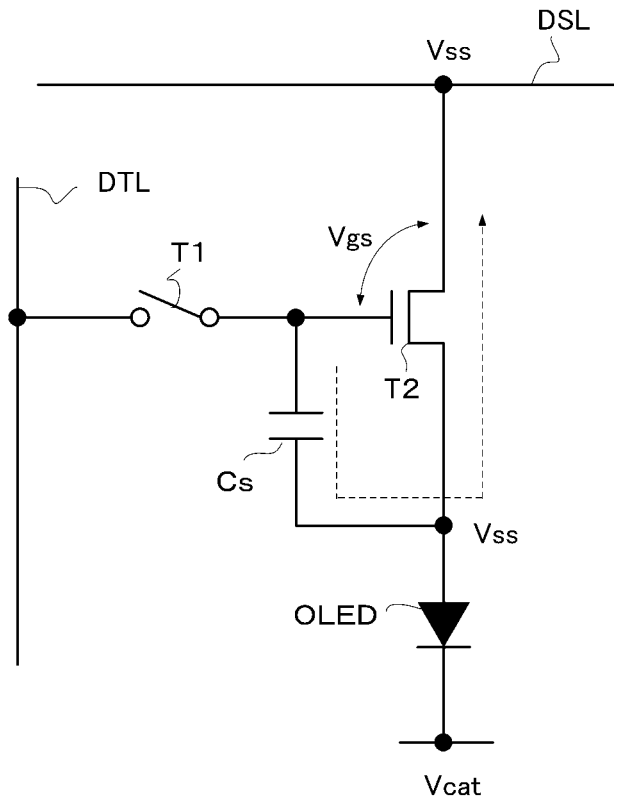
【 図 1 2 】



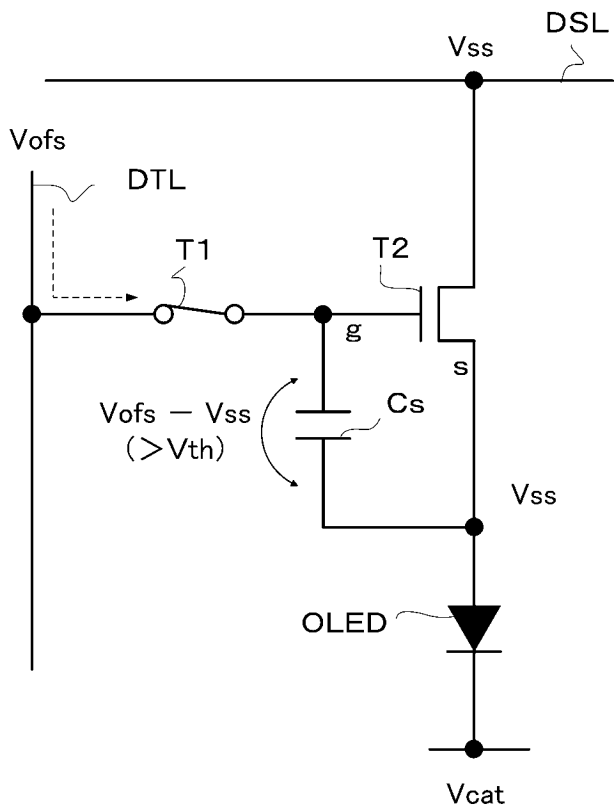
【 図 1 3 】



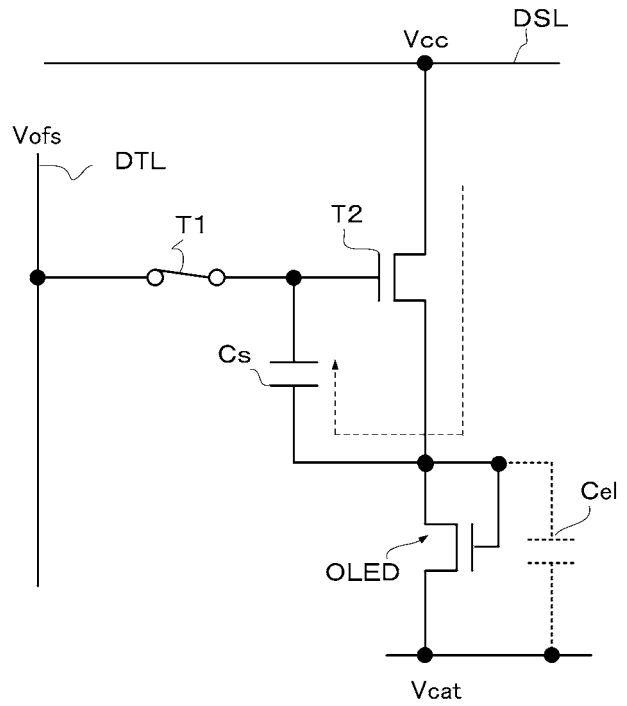
【 図 1 4 】



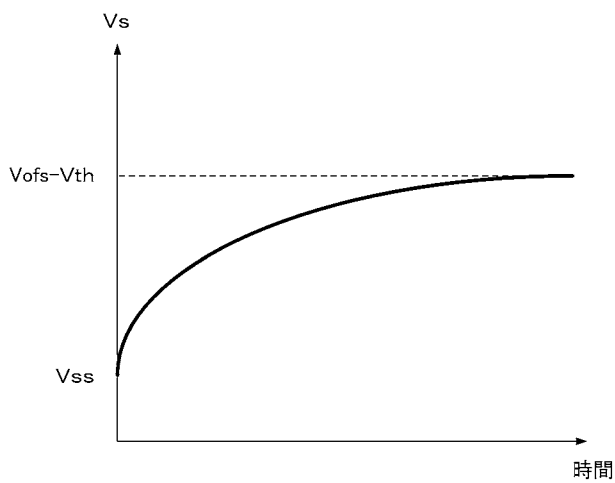
【 図 1 5 】



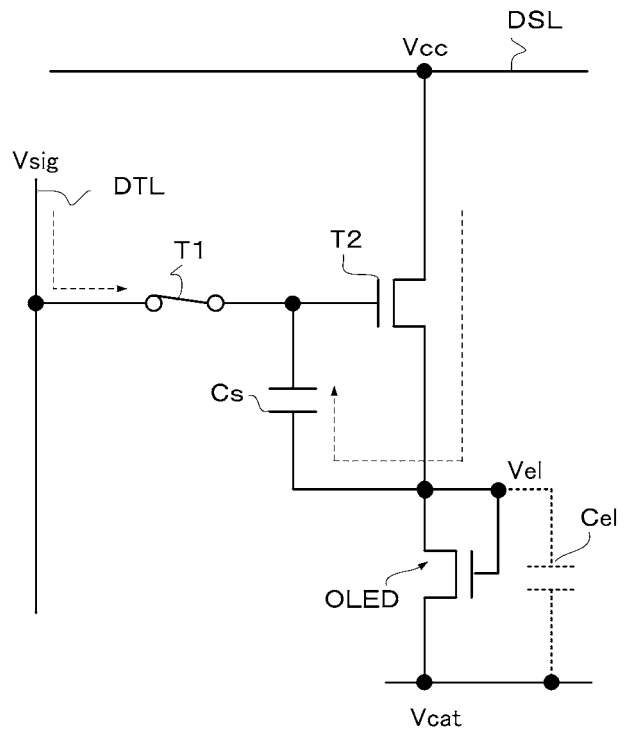
【 図 1 6 】



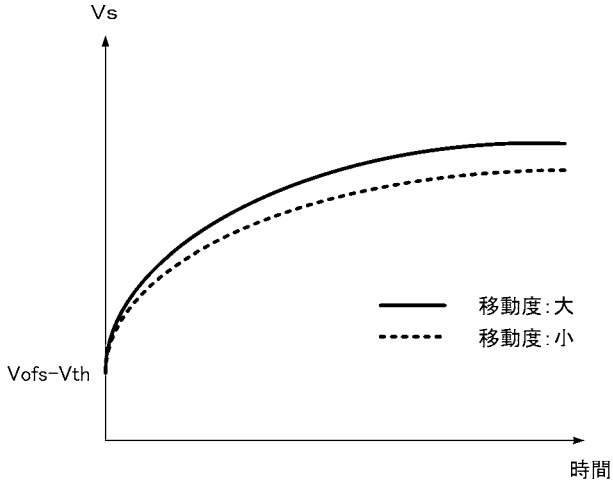
【 図 1 7 】



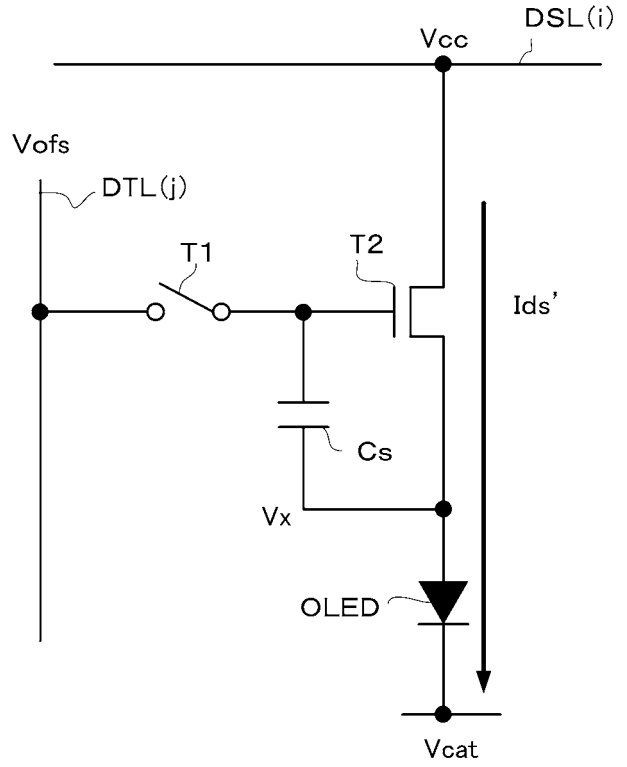
【 図 1 8 】



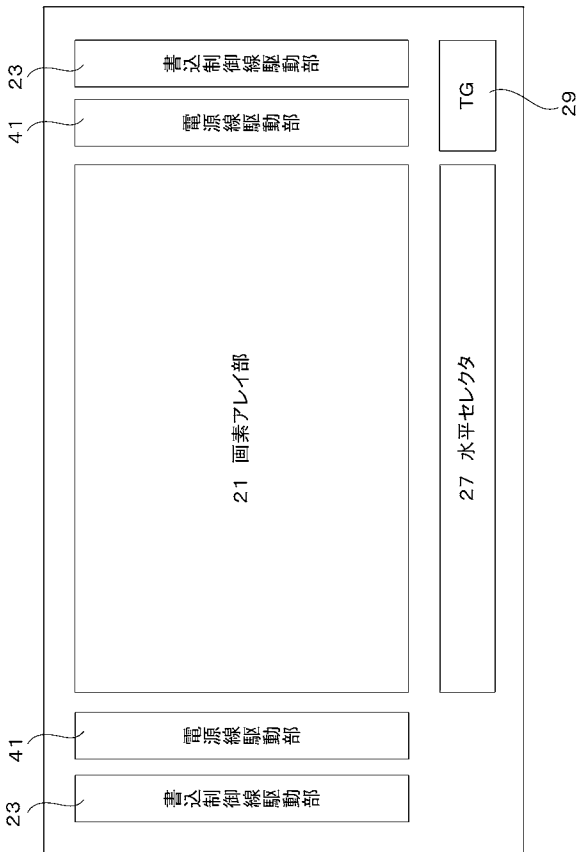
【図19】



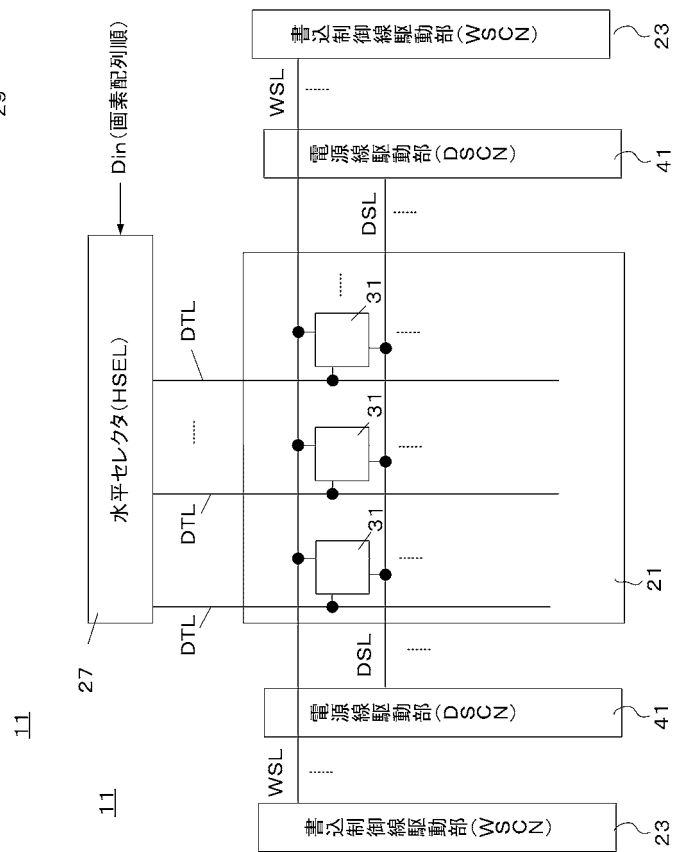
【図20】



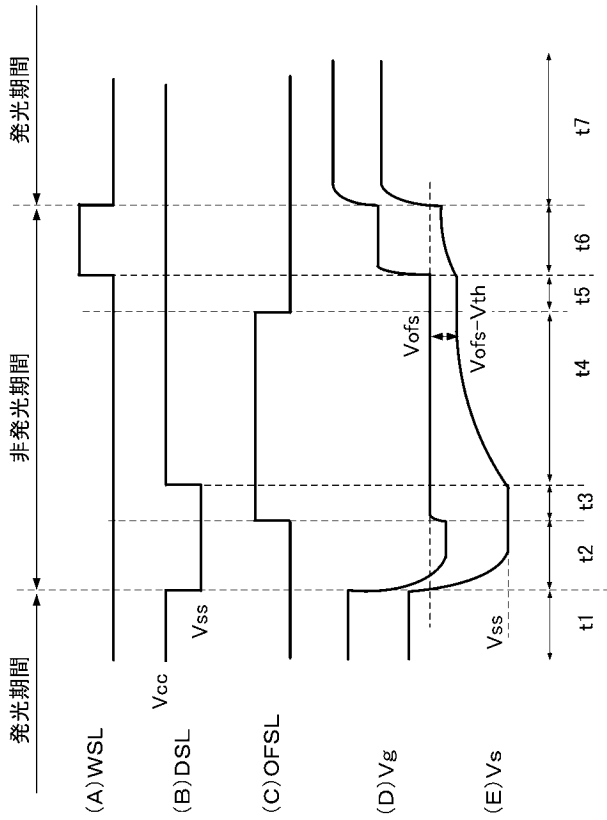
【図21】



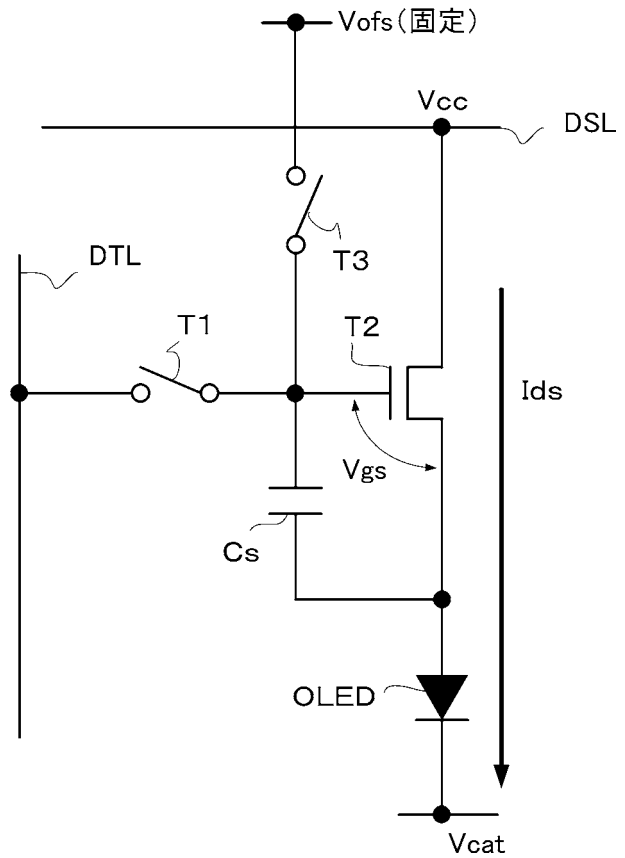
【図22】



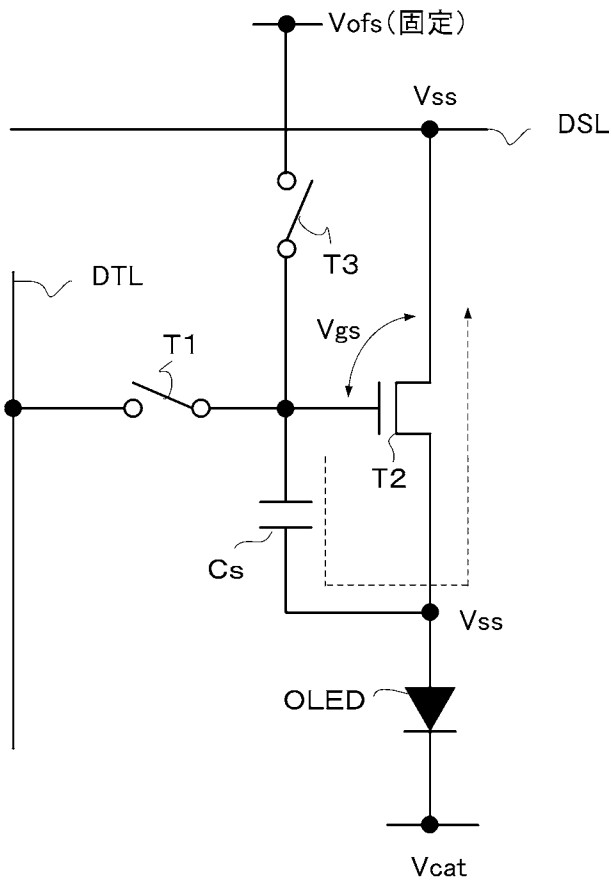
【 図 3 1 】



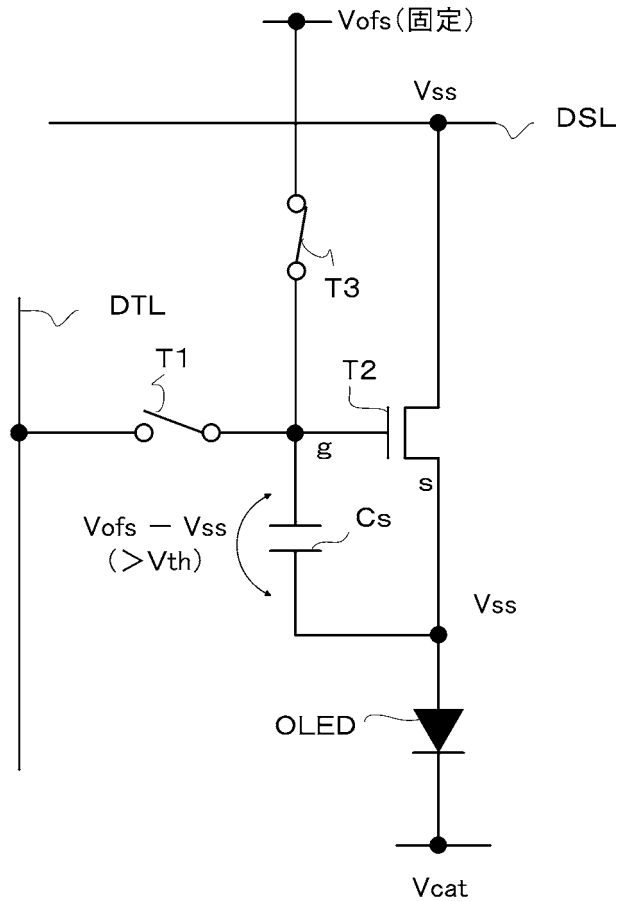
【 図 3 2 】



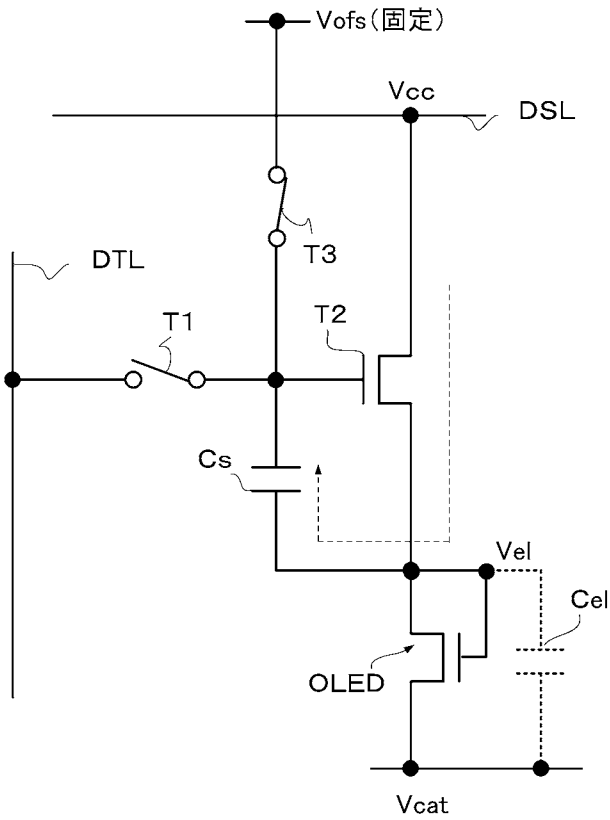
【 図 3 3 】



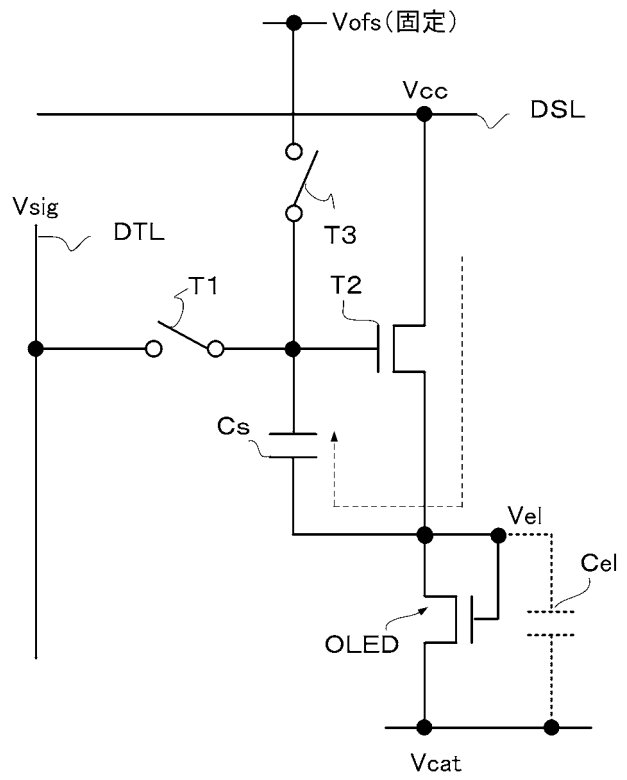
【 図 3 4 】



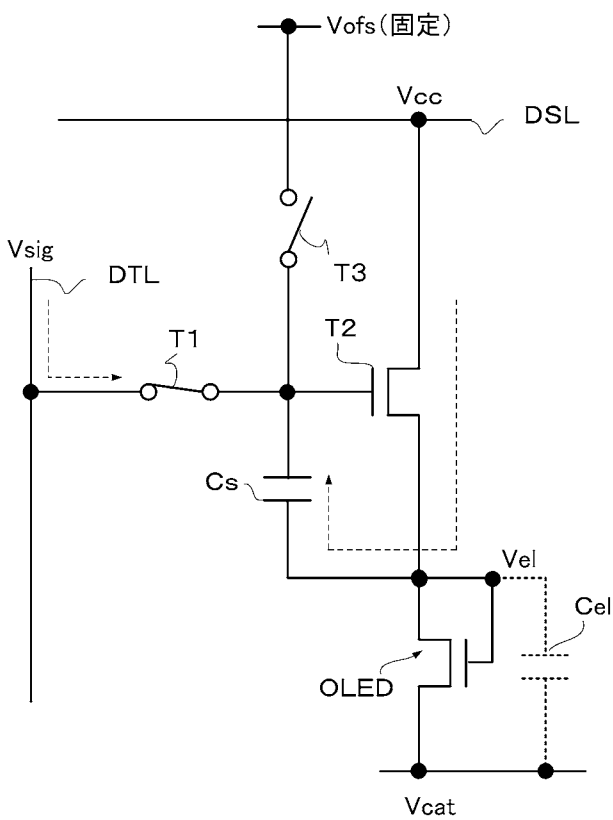
【 図 3 5 】



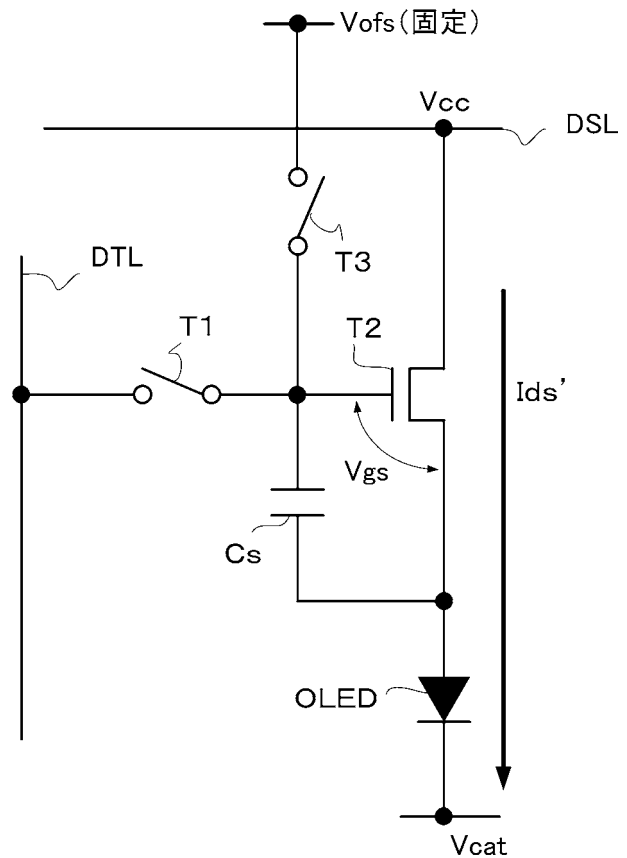
【 図 3 6 】



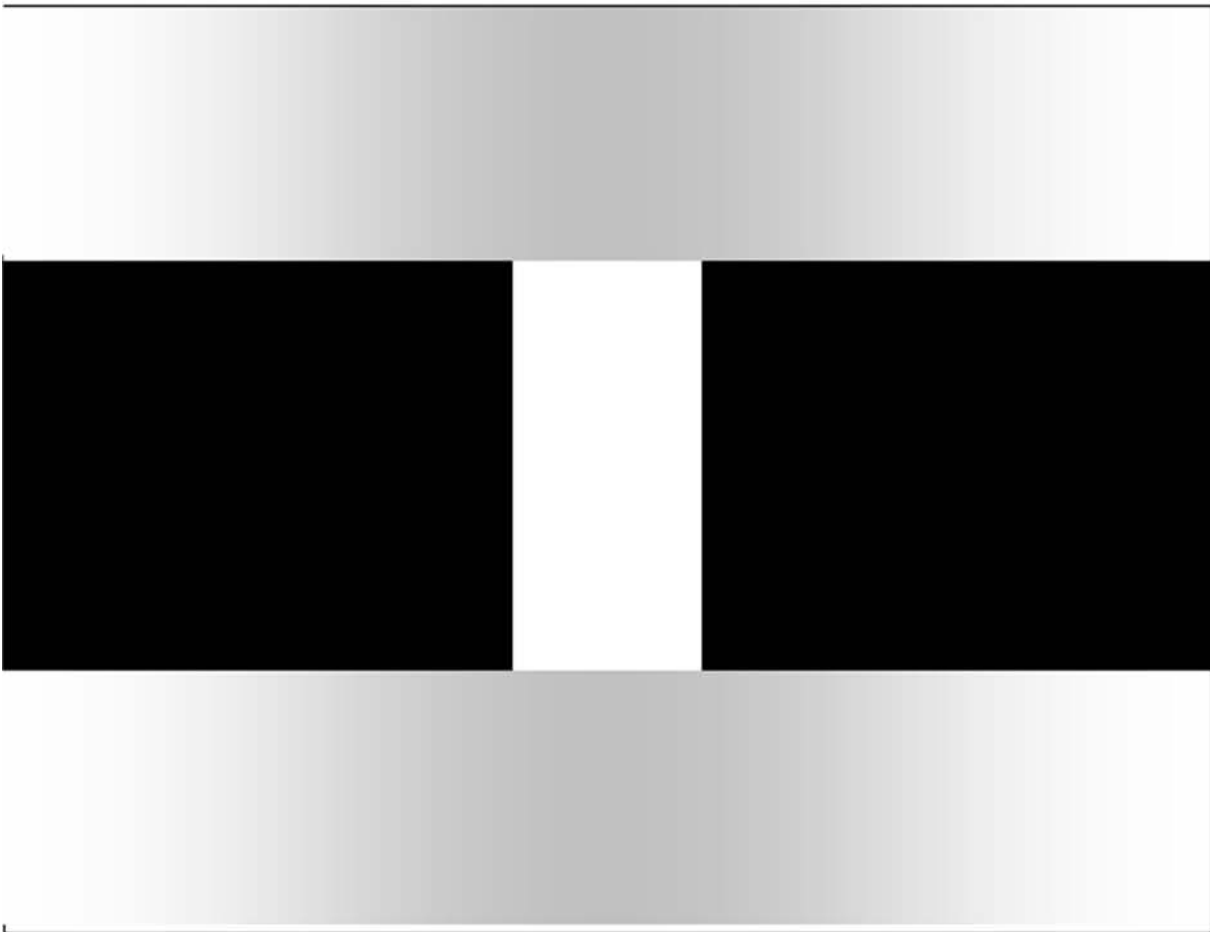
【 図 3 7 】



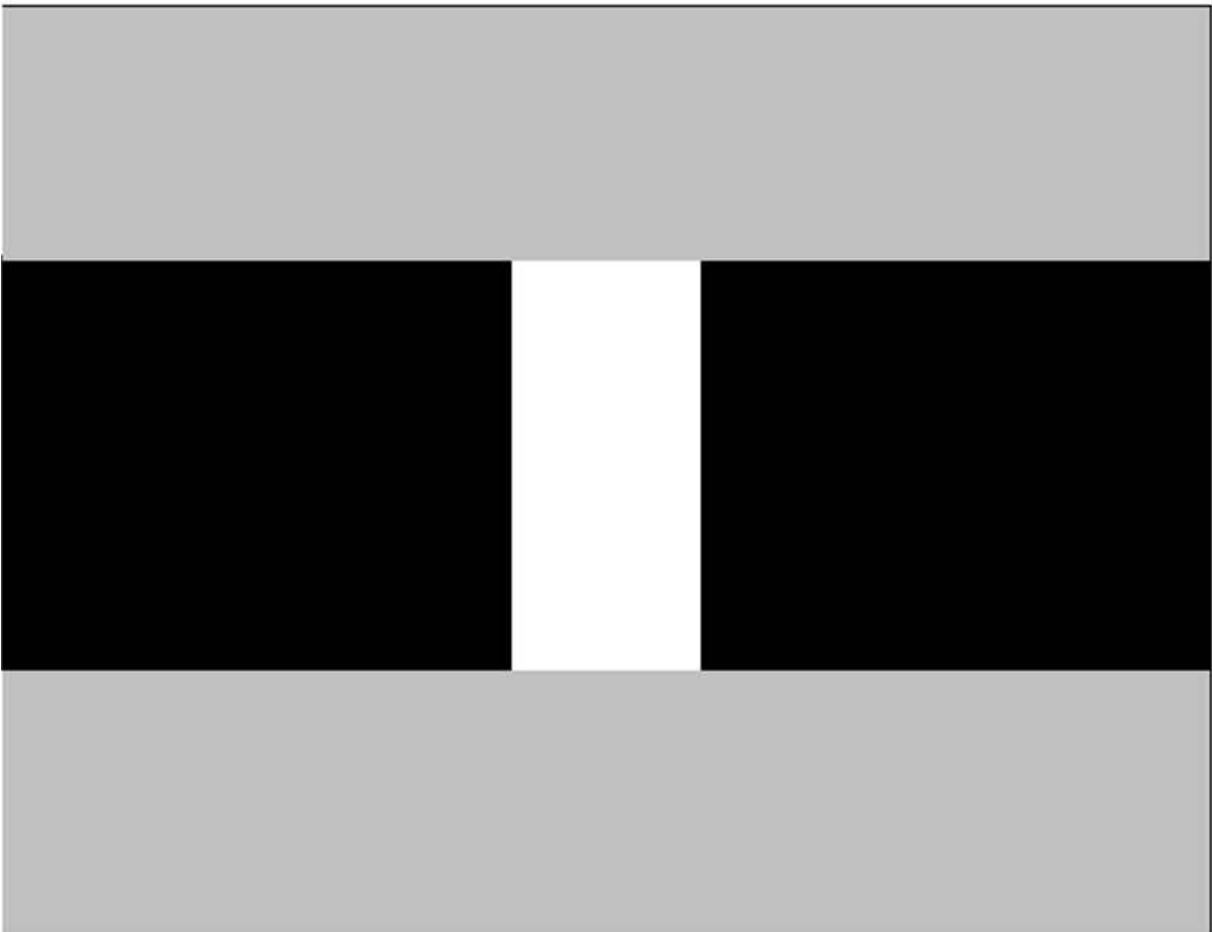
【 図 3 8 】



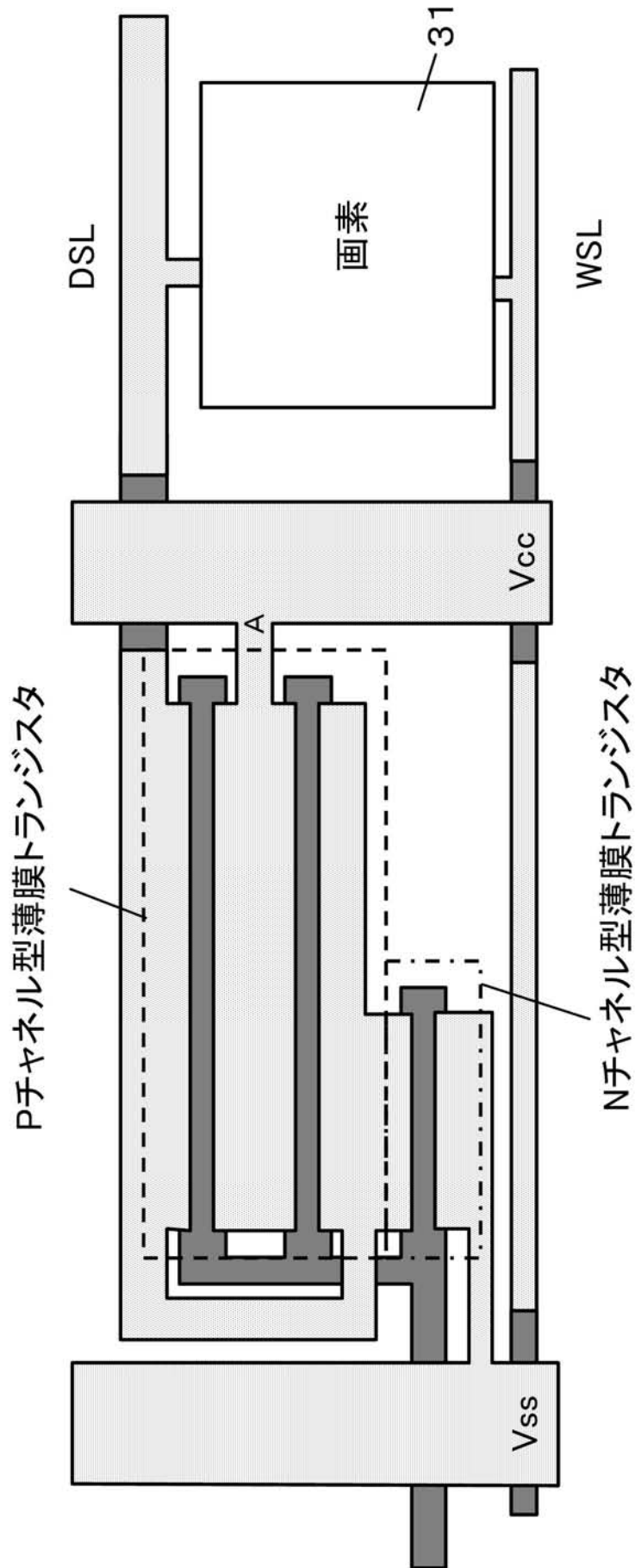
【 図 2 5 】



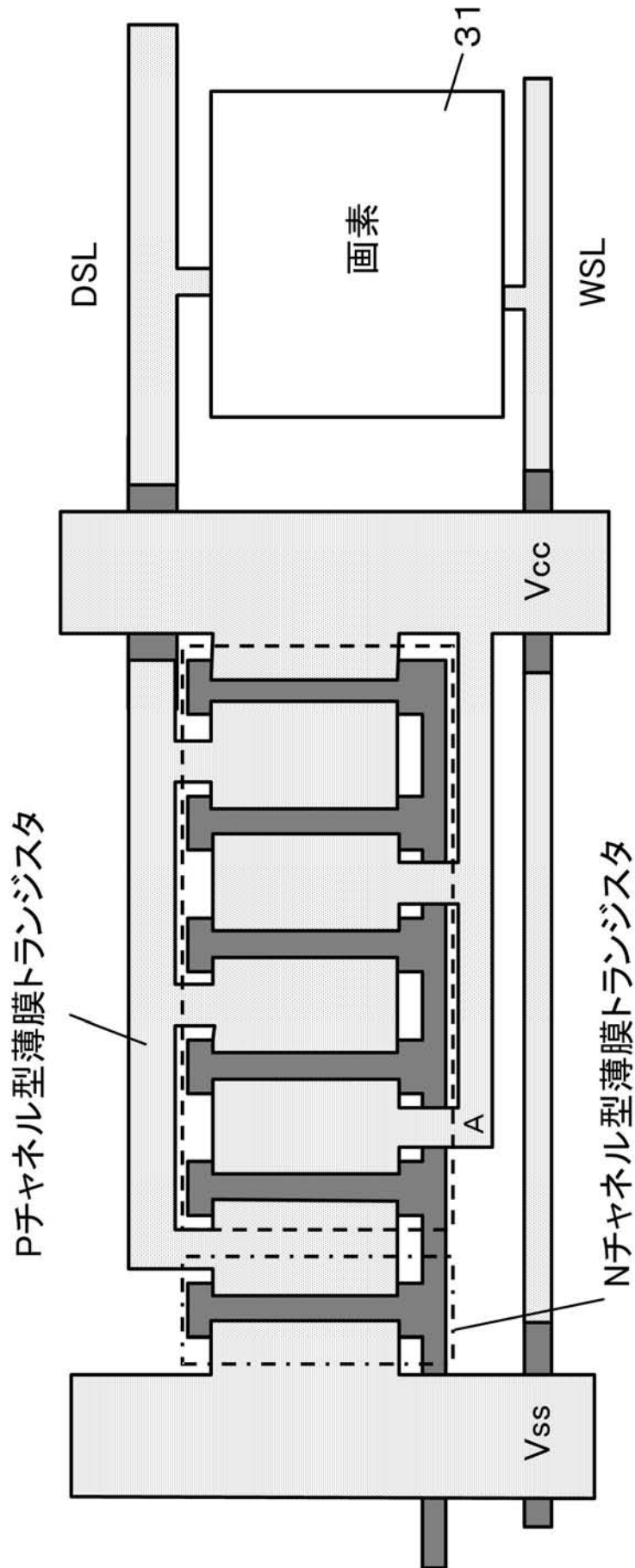
【 図 2 6 】



【 図 2 8 】

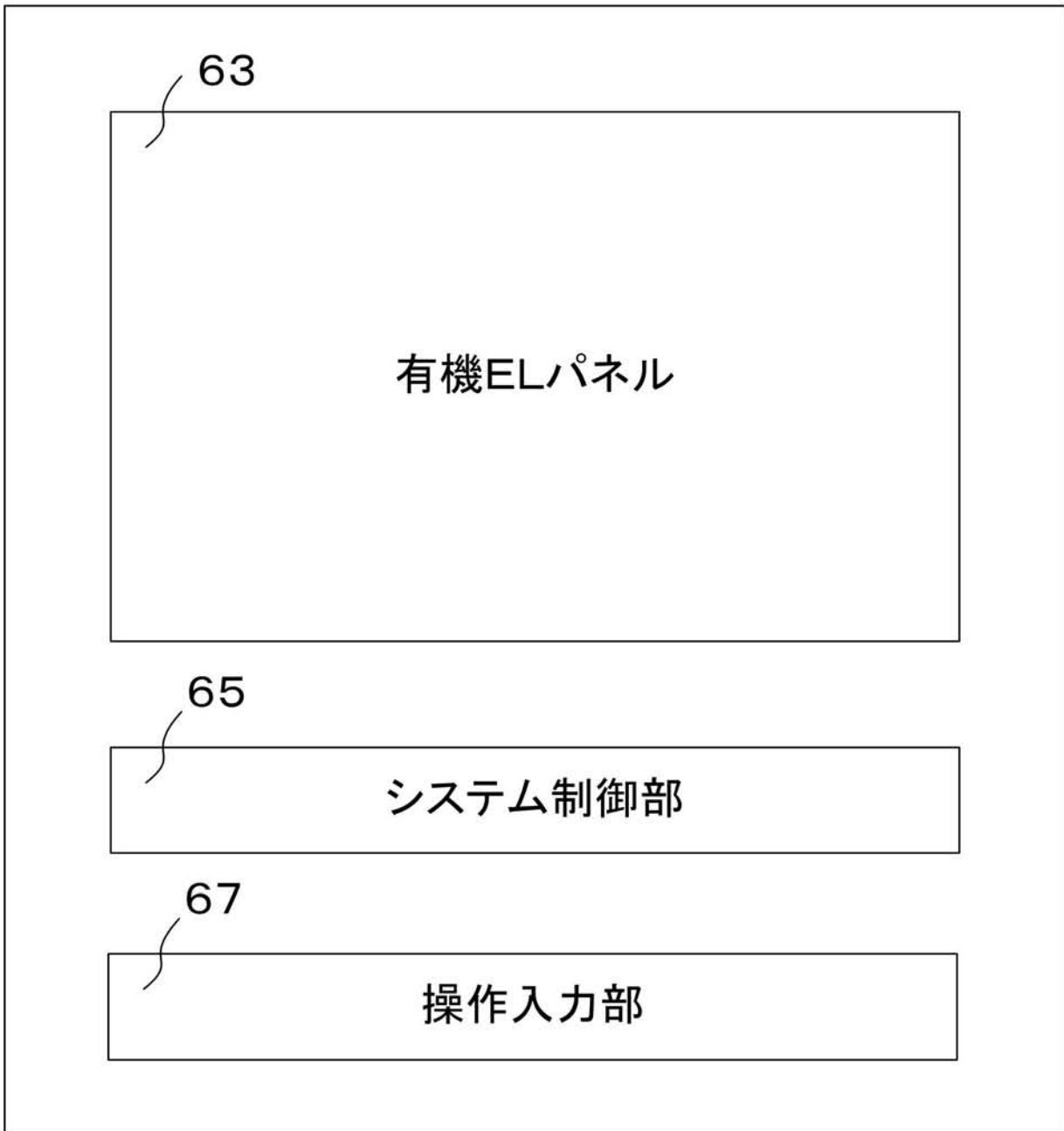


【図 29】

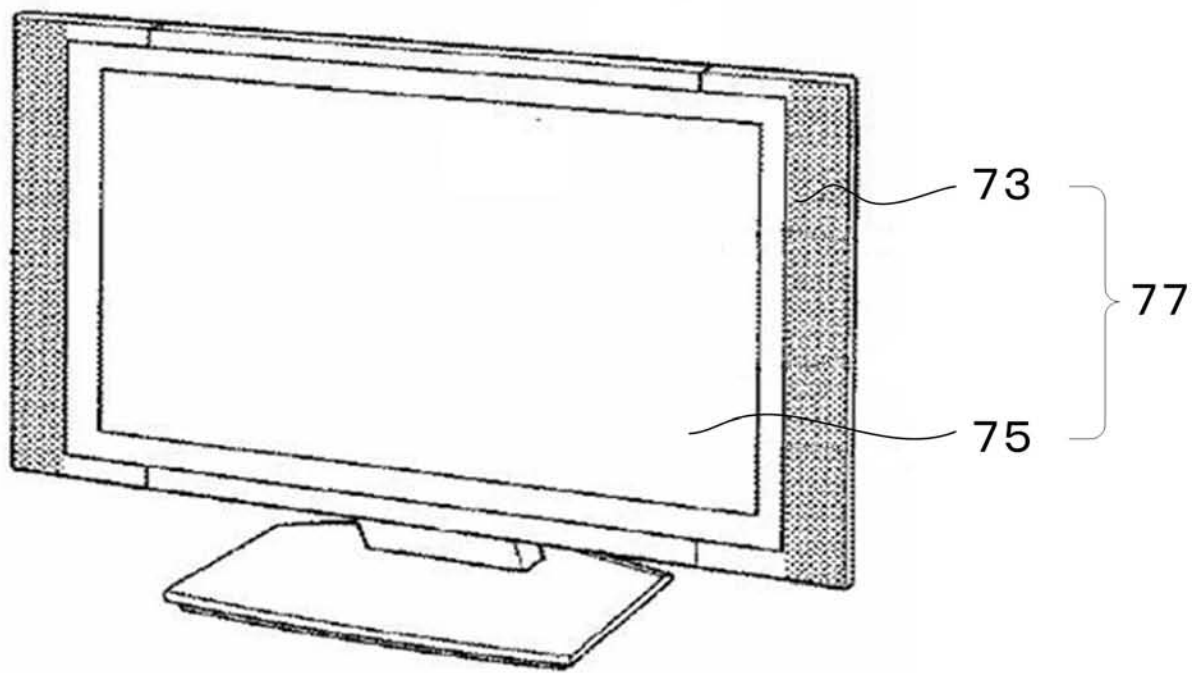


【図 39】

61

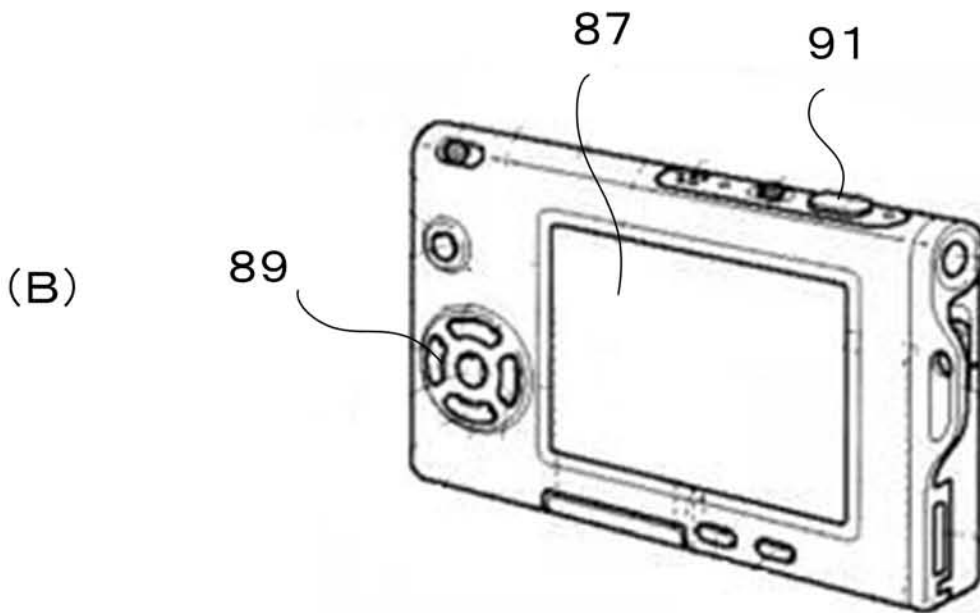
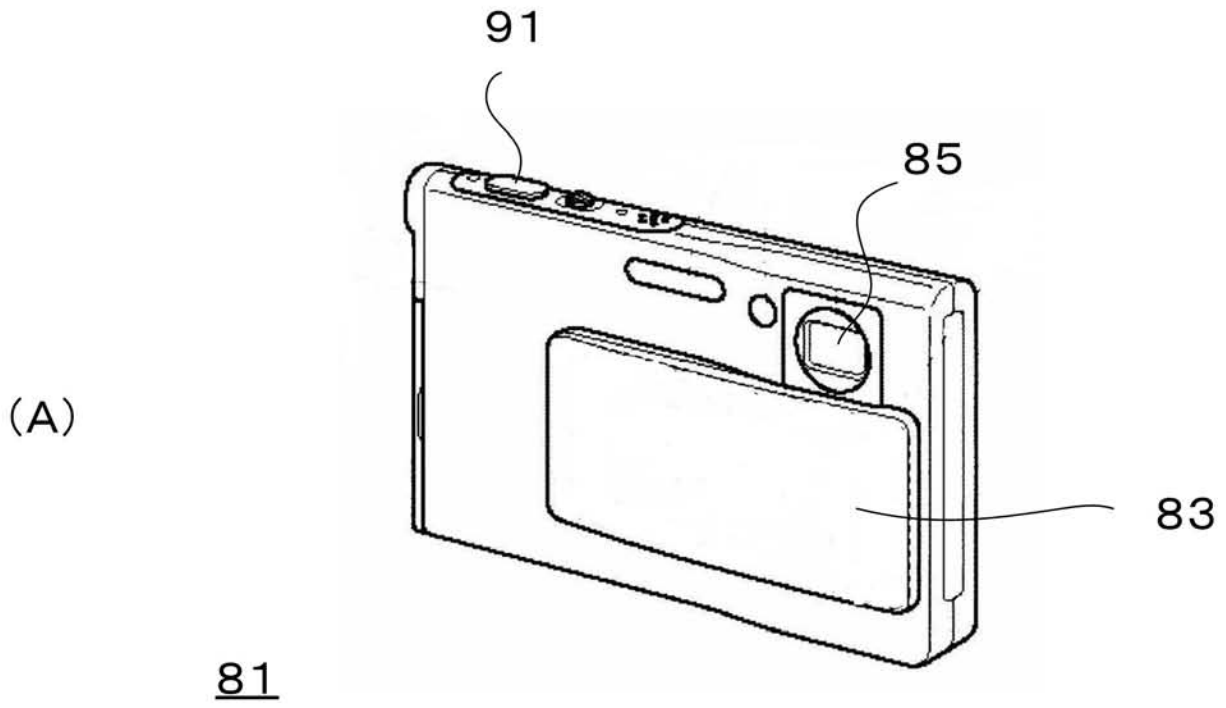


【 図 4 0 】

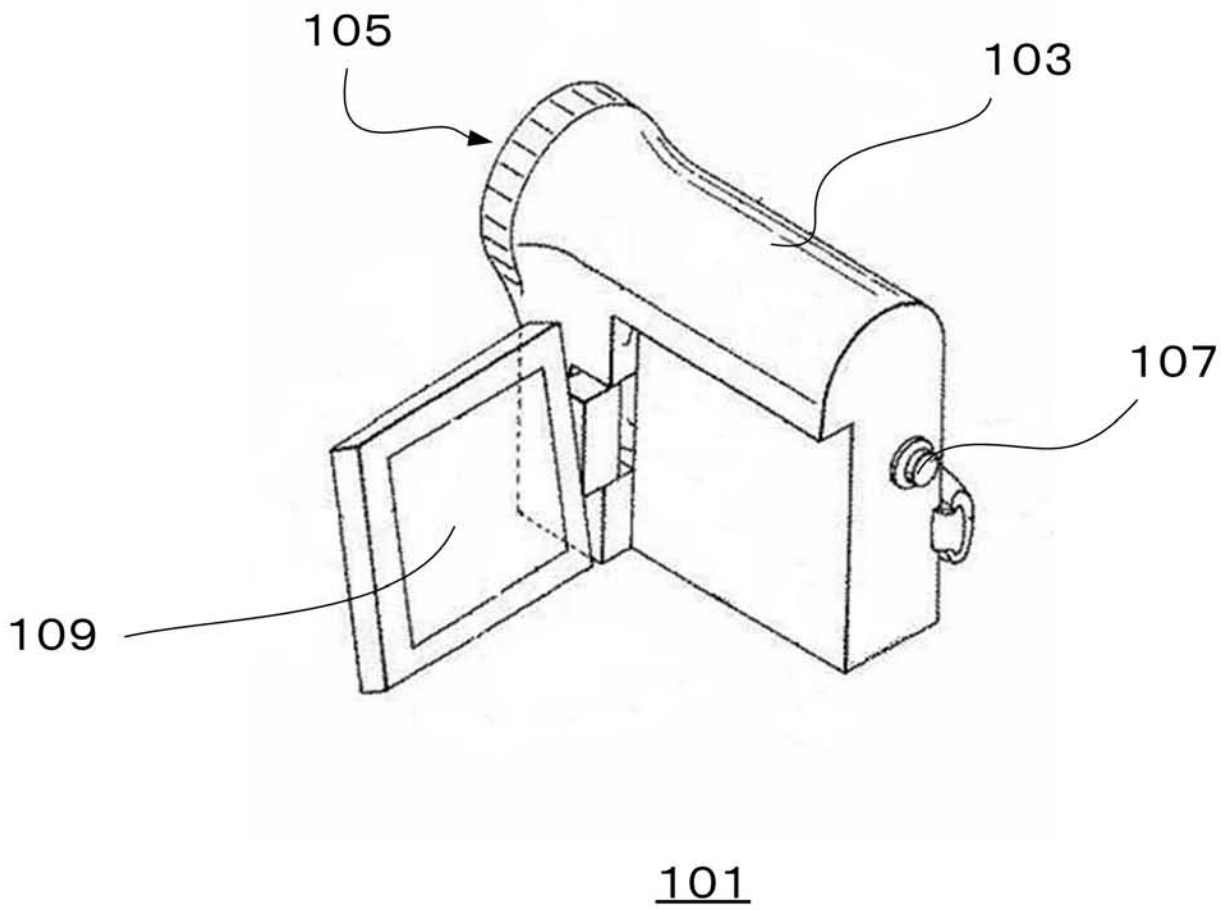


71

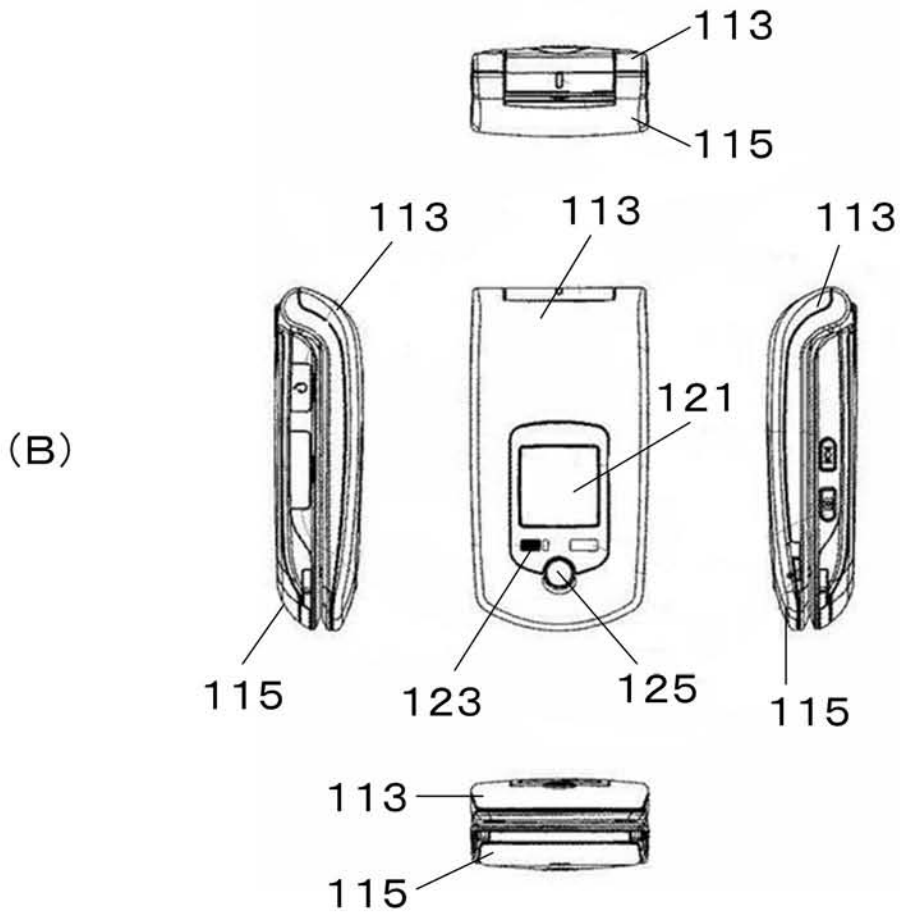
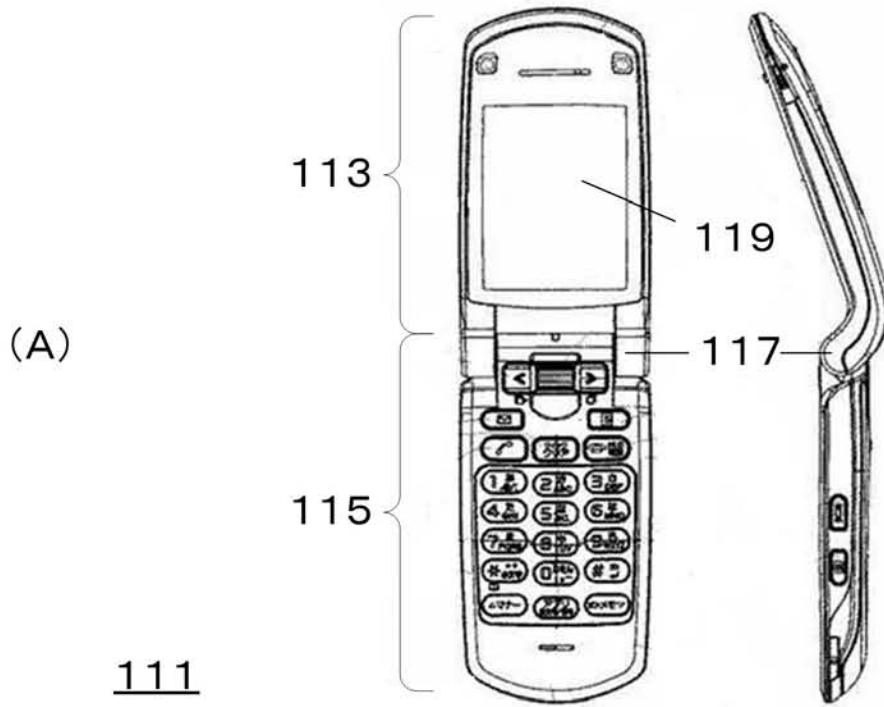
【 図 4 1 】



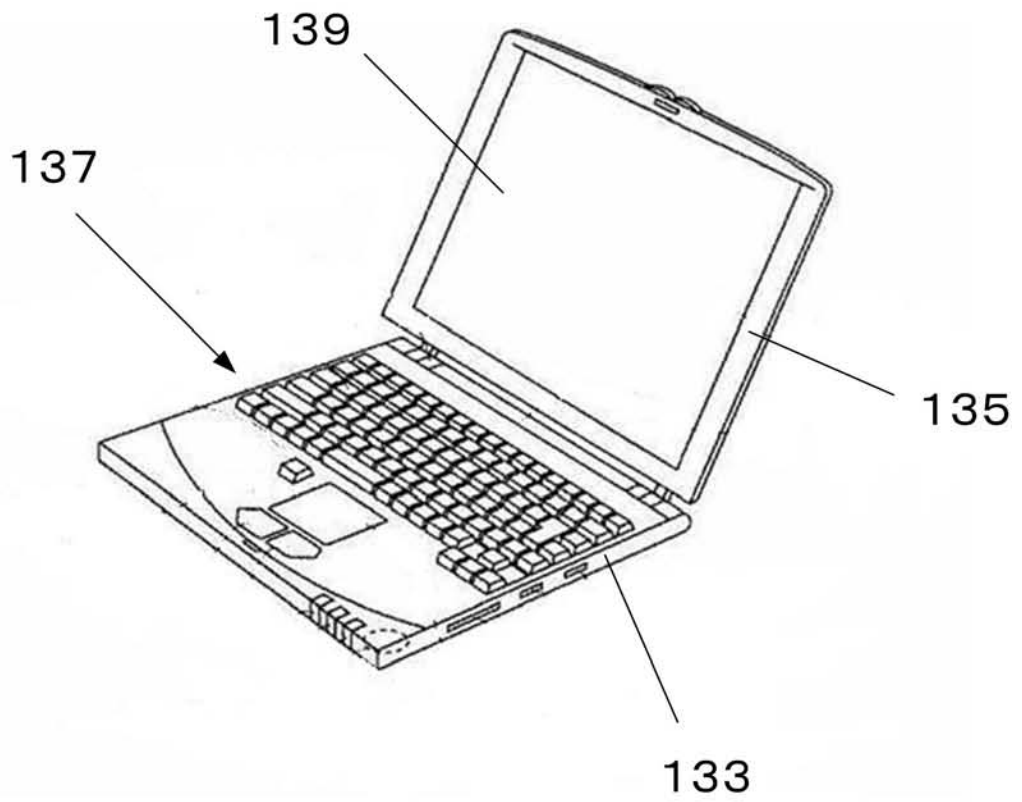
【 図 4 2 】



【 図 4 3 】



【 図 4 4 】



131

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 8 0 G
H 0 5 B 33/14 A

(72)発明者 加藤 正和

東京都港区港南1丁目7番1号ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 CC42 CC45 DD39 EE03 HH04 HH05
5C080 AA06 BB05 DD05 DD10 EE28 FF11 JJ01 JJ02 JJ03 JJ04
JJ06 KK02 KK07 KK43

专利名称(译)	EL显示板和电子设备		
公开(公告)号	JP2009116206A	公开(公告)日	2009-05-28
申请号	JP2007291471	申请日	2007-11-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 加藤正和		
发明人	山本 哲郎 内野 勝秀 加藤 正和		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G5/18 G09G3/3233 G09G3/3266 G09G3/3696 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0281 G09G2310/0291 G09G2320/0223 G09G2320/043		
FI分类号	G09G3/30.H G09G3/20.621.M G09G3/20.611.J G09G3/20.642.A G09G3/20.611.D G09G3/20.680.G H05B33/14.A G09G3/20.624.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC42 3K107/CC45 3K107/DD39 3K107/EE03 3K107 /HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD10 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AB46 5C380 /AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BD02 5C380 /BD05 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CB01 5C380/CB11 5C380/CB14 5C380/CB26 5C380/CB37 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380 /CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CD012 5C380 /CD022 5C380/CD023 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF22 5C380/CF23 5C380/CF48 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	山本隆久 吉井正明		
外部链接	Espacenet		

摘要(译)

解决的问题：实现即使在大面板上也能够获得均匀图像的EL显示面板。像素阵列部分被排列成矩阵，在该像素阵列部分中，其发光状态由有源矩阵驱动方法控制，并且第一和第二写入是从像素阵列部分的两侧驱动写入控制线的。控制线驱动单元以及从像素阵列单元的两侧驱动沿水平线的方向布线的电源线的第一和第二电源线驱动单元。提出了一种EL显示面板，该EL显示面板具有设置在像素控制单元和控制线驱动单元之间的第一控制线驱动单元和第二电源线驱动单元。[选择图]图23

