

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-14796

(P2009-14796A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 621M	5C080
G09F 9/30 (2006.01)	G09G 3/20 680G	5C094
HO1L 27/32 (2006.01)	G09G 3/20 670A	
HO1L 51/50 (2006.01)	G09F 9/30 338	

審査請求 未請求 請求項の数 14 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2007-173590 (P2007-173590)
 (22) 出願日 平成19年6月30日 (2007. 6. 30)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100114546
 弁理士 頭師 教文
 (72) 発明者 富田 昌嗣
 東京都港区港南1丁目7番1号ソニーイー
 エムシーエス株式会社内
 (72) 発明者 浅野 慎
 東京都港区港南1丁目7番1号ソニー株
 会社内
 Fターム(参考) 3K107 AA01 BB01 CC26 CC29 CC45
 EE03 HH00 HH05

最終頁に続く

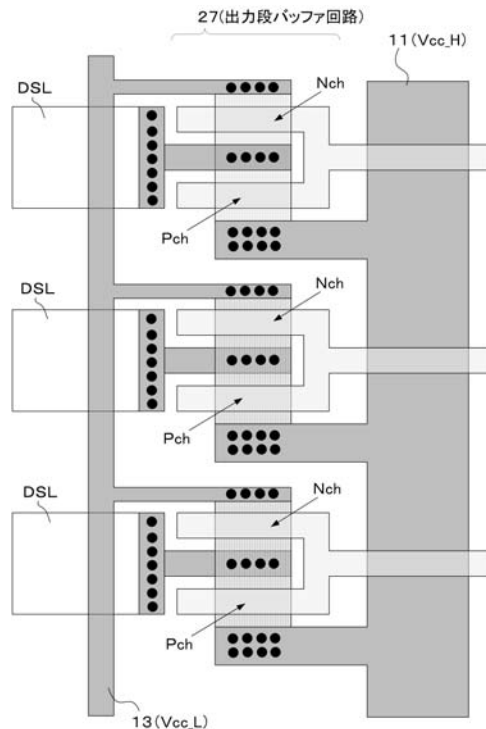
(54) 【発明の名称】 EL表示パネル、電源線駆動装置及び電子機器

(57) 【要約】

【課題】従来の配線パターンでは、高電圧が印加される駆動電源線と高電位電源供給線との間にダスト等に起因する層間ショートの可能性が高い。

【解決手段】高電位と低電位の2種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する方式の表示パネルに、電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方を対応する駆動電源線に供給する電源線用駆動回路と、電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、駆動電源線と交差しない位置に配線された高電位電源供給線と、電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線とを配置する。

【選択図】図10



【特許請求の範囲】**【請求項 1】**

画素アレイ部に行列配置され、アクティブマトリクス駆動方式により E L 素子を駆動制御する画素回路と、

前記画素アレイ部の画素回路と列単位で接続され、各画素回路に対応する画素データを列単位で供給する列数分の信号線と、

前記画素アレイ部の画素回路と行単位で接続され、各画素回路への画素データの書き込みタイミングを行単位で制御する行数分の走査線と、

前記画素アレイ部の画素回路と行単位で接続され、高電位と低電位の 2 種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する行数分の駆動電源線と、

前記画素アレイ部の全ての画素回路に共通に接続され、低電位の電源電位を固定的に供給する共通電源線と、

電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方に対応する前記駆動電源線に供給する電源線用駆動回路と、

前記電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、前記駆動電源線と交差し位置に配線された高電位電源供給線と、

前記電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線とを有することを特徴とする E L 表示パネル。

【請求項 2】

請求項 1 に記載の E L 表示パネルにおいて、

前記高電位電源供給線は、前記電源線用駆動回路の出力段バッファより前段側に形成される

ことを特徴とする E L 表示パネル。

【請求項 3】

請求項 1 に記載の E L 表示パネルにおいて、

前記高電位電源供給線は、前記電源線用駆動回路の出力段バッファの上層位置に多層配線される

ことを特徴とする E L 表示パネル。

【請求項 4】

請求項 1 に記載の E L 表示パネルにおいて、

前記高電位電源供給線は、前記電源線用駆動回路の出力段バッファの出力端と前記駆動電源線との接続線路上に形成される

ことを特徴とする E L 表示パネル。

【請求項 5】

請求項 1 に記載の E L 表示パネルにおいて、

前記高電位電源供給線は、前記低電位電源供給線と重畳するように多層配線される

ことを特徴とする E L 表示パネル。

【請求項 6】

画素アレイ部に行列配置され、アクティブマトリクス駆動方式により E L 素子を駆動制御する画素回路と、

前記画素アレイ部の画素回路と列単位で接続され、各画素回路に対応する画素データを列単位で供給する列数分の信号線と、

前記画素アレイ部の画素回路と行単位で接続され、各画素回路への画素データの書き込みタイミングを行単位で制御する行数分の走査線と、

前記画素アレイ部の画素回路と行単位で接続され、高電位と低電位の 2 種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する行数分の駆動電源線と、

前記画素アレイ部の全ての画素回路に共通に接続され、高電位の電源電位を固定的に供給する共通電源線と、

電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方に対応する前記駆動電源線に供給する電源線用駆動回路と、

10

20

30

40

50

前記電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線であって、前記駆動電源線と交差しない位置に配線された低電位電源供給線と、

前記電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、前記駆動電源線と交差しない位置に配線された高電位電源供給線とを有することを特徴とする E L 表示パネル。

【請求項 7】

請求項 6 に記載の E L 表示パネルにおいて、前記低電位電源供給線は、前記電源線用駆動回路の出力段バッファより前段側に形成される

ことを特徴とする E L 表示パネル。

10

【請求項 8】

請求項 6 に記載の E L 表示パネルにおいて、前記低電位電源供給線は、前記電源線用駆動回路の出力段バッファの上層位置に多層配線される

ことを特徴とする E L 表示パネル。

【請求項 9】

請求項 6 に記載の E L 表示パネルにおいて、前記低電位電源供給線は、前記電源線用駆動回路の出力段バッファの出力端と前記駆動電源線との接続線路上に形成される

ことを特徴とする E L 表示パネル。

20

【請求項 10】

請求項 6 に記載の E L 表示パネルにおいて、前記低電位電源供給線は、前記高電位電源供給線と重畳するように多層配線されることを特徴とする E L 表示パネル。

【請求項 11】

表示パネル部に駆動用の電源電位を供給する電源線駆動装置であって、電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方を対応する駆動電源線に供給する電源線用駆動回路と、

前記電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、前記駆動電源線と交差しない位置に配線された高電位電源供給線と、

30

前記電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線とを有することを特徴とする電源線駆動装置。

【請求項 12】

表示パネル部に駆動用の電源電位を供給する電源線駆動装置であって、電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方を対応する駆動電源線に供給する電源線用駆動回路と、

前記電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線であって、前記駆動電源線と交差しない位置に配線された低電位電源供給線と、

前記電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、前記駆動電源線と交差しない位置に配線された高電位電源供給線と

40

を有することを特徴とする電源線駆動装置。

【請求項 13】

アクティブマトリクス駆動方式により E L 素子を駆動制御する画素回路を行列配置した画素アレイ部と、前記画素アレイ部の画素回路と列単位で接続され、各画素回路に対応する画素データを列単位で供給する列数分の信号線と、前記画素アレイ部の画素回路と行単位で接続され、各画素回路への画素データの書き込みタイミングを行単位で制御する行数分の走査線と、前記画素アレイ部の画素回路と行単位で接続され、高電位と低電位の 2 種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する行数分の駆動電源線と、前記画素アレイ部の全ての画素回路に共通に接続され、低電位の電源電位を固定的に供給する共通電源線とを有する E L 表示パネルと、

50

電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方を対応する前記駆動電源線に供給する電源線用駆動回路と、前記電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、前記駆動電源線と交差し位置に配線された高電位電源供給線と、前記電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線とを有する電源線駆動部と、

システム制御部と、

前記システム制御部に対する操作入力部と

ことを特徴とする電子機器。

【請求項 14】

アクティブマトリクス駆動方式により E L 素子を駆動制御する画素回路を行列配置した画素アレイ部と、前記画素アレイ部の画素回路と列単位で接続され、各画素回路に対応する画素データを列単位で供給する列数分の信号線と、前記画素アレイ部の画素回路と行単位で接続され、各画素回路への画素データの書き込みタイミングを行単位で制御する行数分の走査線と、前記画素アレイ部の画素回路と行単位で接続され、高電位と低電位の 2 種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する行数分の駆動電源線と、前記画素アレイ部の全ての画素回路に共通に接続され、高電位の電源電位を固定的に供給する共通電源線とを有する E L 表示パネルと、

電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方を対応する前記駆動電源線に供給する電源線用駆動回路と、前記電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線であって、前記駆動電源線と交差し位置に配線された低電位電源供給線と、前記電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、前記駆動電源線と交差し位置に配線された高電位電源供給線とを有する電源線駆動部と、

システム制御部と、

前記システム制御部に対する操作入力部と

ことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、E L 表示パネルの歩留まりを向上する技術に関し、例えば E L 表示パネル、電源線駆動装置及び電子機器としての側面を有する。なお、E L 表示パネルは、E L (Electro Luminescence) 素子をガラスその他の基体上に行列配置した自発光型の表示装置をいう。

【背景技術】

【0002】

近年、有機 E L 素子を行列配置した有機 E L パネルが注目されている。有機 E L パネルは、軽量化や薄膜化が容易なだけでなく動画表示特性に優れるためである。

【0003】

現在、有機 E L パネルの駆動方式は、パッシブマトリクス駆動方式とアクティブマトリクス駆動方式の 2 つが存在する。中でも、画素回路毎にアクティブ素子（薄膜トランジスタ）と保持容量を配置するアクティブマトリクス駆動方式を採用した有機 E L パネルの開発が盛んに進められている。

【0004】

以下に、この種の駆動方式に対応する表示パネルの文献例を示す。

【特許文献 1】特開 2003 - 255856 号公報

【特許文献 2】特開 2003 - 271095 号公報

【特許文献 3】特開 2004 - 029791 号公報

【特許文献 4】特開 2004 - 093682 号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【0005】

文献例にも示すように、アクティブマトリクス駆動方式にも様々な駆動方式が存在する。この明細書では、画素回路に電源電位を供給する2本の電源線のうち一方を2値駆動することにより、有機EL素子の点灯状態と非発光状態を制御する駆動方式について説明する。

【0006】

図1に、この種の画素回路例を示す。画素回路1は、2つのN型薄膜トランジスタT1及びT2で構成される。このうち、薄膜トランジスタT1は、信号線電圧 V_{sig} の記憶容量 C_s への書き込みを制御するスイッチングトランジスタである。

【0007】

一方、薄膜トランジスタT2は、記憶容量 C_s の保持電圧 V_{gs} に応じた大きさの駆動電流 I_{ds} を有機EL素子D1に供給する駆動トランジスタである。

薄膜トランジスタT1及びT2は、それぞれ以下のように信号線と接続される。

【0008】

薄膜トランジスタT1のゲート電極は、信号線電位の書き込みタイミングを与える走査線 $SCNL(i)$ (i は、行位置を示す通し番号)に接続される。図1では、書き込みタイミング信号を $SCNL(i)$ で示す。

【0009】

薄膜トランジスタT1の一方の主電極は信号線 $DL(j)$ (j は、列位置を示す通し番号)と接続され、他方の主電極は薄膜トランジスタT2のゲート電極と記憶容量 C_s の電極とそれぞれ接続される。

【0010】

駆動トランジスタT2の一方の主電極は駆動電源線 $DSL(i)$ (i は、行位置を示す通し番号)に接続され、他方の主電極は有機EL素子OLEDの陽極(アノード電極)と接続される。図1では、駆動電源線 $DSL(i)$ に印加される高電位の電源電位(高電源電位ともいう。)を V_{cc_H} 、低電位の電源電位(低電源電位ともいう)を V_{cc_L1} で示す。

【0011】

なお、有機EL素子OLEDの陰極(カソード電極)は、共通電源線(接地線)に接続される。図1では、共通電源線に印加される低電位の電源電位を V_{cc_L2} で示す。

ところで、有機EL素子OLEDは電流駆動素子である。このため、発光動作中の駆動電源線 $DSL(i)$ には、1つの画素回路1に流れる電流 I を画素数倍(n 倍)した電流($I * n$)を流すことが求められる。

【0012】

このため、高電位の電源電位が供給される経路上に位置する駆動電源線 $DSL(i)$ の配線抵抗が小さい必要がある。仮に配線抵抗が大きいと、駆動電源線 $DSL(i)$ の間に降下電圧差が生じて走査線の位置に応じて輝度差が生じたり、電源線が発熱する問題が発生する。

【0013】

また、有効表示領域を構成する走査線の段数を V とすると、各駆動電源線 $DSL(i)$ に高電位の電源電位 V_{cc_H} を供給する高電位電源供給線には、1つの画素回路1に流れる電流 I の画素数倍(n 倍)を更に段数倍(V 倍)した電流($I * n * V$)を流すことが求められる。

【0014】

従って、駆動電源線 $DSL(i)$ と高電位電源供給線の両方は、配線抵抗を下げるために配線幅を大きくとることが技術的に必要となる。

これらの技術的要求を図2と図3を用いて説明する。因みに、図2は、画素回路1と電源線駆動回路3との接続関係を示す。図3は、駆動電源線 DSL と電源線用駆動回路7(出力段バッファ回路)との接続部分の配線パターンである。

【0015】

10

20

30

40

50

電源線駆動回路 3 は、電源線駆動パルスを 1 水平走査期間毎に次の走査線に転送するシフトレジスタ 5 とバッファ回路（入力段バッファ回路と出力段バッファ回路の 2 段構成）7 とで構成される。

【0016】

因みに、バッファ回路 7 を構成する 2 段のバッファ回路は、いずれも CMOS インバータ回路で構成される。図 2 の場合、P チャネル MOS トランジスタは高電位電源供給線 11 に接続され、N チャネル MOS トランジスタは低電位電源供給線 13 に接続される。

【0017】

このため、電源線駆動パルスが H レベルの場合には、高電源電位 V_{cc_H} が駆動電源線 $DSL(i)$ に供給され、電源線駆動パルスが L レベルの場合には、低電源電位 V_{cc_L} が駆動電源線 $DSL(i)$ に供給される。

10

【0018】

ところで、配線幅の広い駆動電源線 $DSL(i)$ と高電位電源供給線 11 が交差するように配置されると、その交差面積は広くなる。しかも、この交差は、全ての駆動電源線 $DSL(i)$ について出現する。従って、1 つの交差面積を S とすると、有機 EL パネル全体の交差面積は $S * V$ (V は走査線の段数又は垂直解像度数) と非常に大きくなってしまふ。

【0019】

このように、交差面積の増大を避け得ない図 3 に示す配線パターンでは、ダスト等に起因する層間ショートの可能性が高くなってしまふ問題がある。このため、有機 EL パネルの欠陥率が上昇する可能性がある。この他、交差部分に寄生する容量が大きくなり、駆動電源線 $DSL(i)$ の電位波形の歪が大きくなる。

20

【課題を解決するための手段】

【0020】

(1) レイアウトパターン 1

そこで、発明者らは、

(a) 画素アレイ部に行列配置され、アクティブマトリクス駆動方式により EL 素子を駆動制御する画素回路と、

(b) 画素アレイ部の画素回路と列単位で接続され、各画素回路に対応する画素データを列単位で供給する列数分の信号線と、

30

(c) 画素アレイ部の画素回路と行単位で接続され、各画素回路への画素データの書き込みタイミングを行単位で制御する行数分の走査線と、

(d) 画素アレイ部の画素回路と行単位で接続され、高電位と低電位の 2 種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する行数分の駆動電源線と、

(e) 画素アレイ部の全ての画素回路に共通に接続され、低電位の電源電位を固定的に供給する共通電源線と、

(f) 電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方に対応する前記駆動電源線に供給する電源線用駆動回路と、

(g) 電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、駆動電源線と交差しない位置に配線された高電位電源供給線と、

40

(h) 電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線とを有する EL 表示パネルを提案する。

【0021】

(2) レイアウトパターン 2

また、発明者らは、

(a) 画素アレイ部に行列配置され、アクティブマトリクス駆動方式により EL 素子を駆動制御する画素回路と、

(b) 画素アレイ部の画素回路と列単位で接続され、各画素回路に対応する画素データを列単位で供給する列数分の信号線と、

(c) 画素アレイ部の画素回路と行単位で接続され、各画素回路への画素データの書き込

50

みタイミングを行単位で制御する行数分の走査線と、

(d) 画素アレイ部の画素回路と行単位で接続され、高電位と低電位の２種類の電源電位により画素回路の発光状態と非発光状態を行単位で制御する行数分の駆動電源線と、

(e) 画素アレイ部の全ての画素回路に共通に接続され、高電位の電源電位を固定的に供給する共通電源線と、

(f) 電源線駆動パルスに基づいて、高電位の電源電位及び低電位の電源電位のいずれか一方を対応する前記駆動電源線に供給する電源線用駆動回路と、

(g) 電源線用駆動回路に低電位の電源電位を供給する低電位電源供給線であって、駆動電源線と交差し位置に配線された低電位電源供給線と、

(h) 電源線用駆動回路に高電位の電源電位を供給する高電位電源供給線であって、駆動電源線と交差し位置に配線された高電位電源供給線と

を有するＥＬ表示パネルを提案する。

【発明の効果】

【００２２】

発明者の提案するレイアウトパターンの採用により、高電位電源と低電位電源とで２値的に駆動制御される駆動電源線と高電位電源供給線との交差を無くすることができる。これにより、同配線間の交差面積を大きく減少することができる。その効果として、ダスト等に起因する層間ショートの可能性が非常に小さくなり、ＥＬパネルの歩留まりを格段に向上することができる。

【発明を実施するための最良の形態】

【００２３】

以下、アクティブマトリクス駆動型の有機ＥＬパネルについて説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。

また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【００２４】

(A) 有機ＥＬパネルの構造

図４に、画素回路１に電源電位を供給する２本の電源線のうち一方を２値駆動することにより、画素回路１のアクティブマトリクス駆動を実現する有機ＥＬパネルの構造例を示す。

【００２５】

有機ＥＬパネル２１は、画素アレイ部２３、走査線駆動回路２５、電源線駆動回路２７（図２の符号３に対応する）及びデータ線駆動回路２９を主要な構成要素とする。

この形態例の場合、画素回路１を画面解像度に応じてマトリクス配置した画素アレイ部２３はカラー表示用であり、発光色の配列に従って有効画面内に配置される。

【００２６】

ただし、複数色の有機発光層を積層した構造を有する有機ＥＬ素子が画素回路１を構成する場合、１つの画素回路１が複数の発光色に対応する。

走査線駆動回路２５は、信号線ＤＬ（ j ）に印加された信号電位の画素回路１への書き込みタイミングを行単位（走査線単位）で与える回路デバイスである。

【００２７】

なお、書き込みタイミング信号は、水平走査期間毎に次段の走査線ＳＣＮＬ（ i ）に供給される。

電源線駆動回路２７は、駆動電源線ＤＳＬ（ i ）を駆動制御する回路デバイスである。図２で説明したように、各走査線に対応するシフトレジスタ５と電源線用駆動回路７とで構成される。

【００２８】

なお、電源線駆動回路２７は、画素アレイ部２３と同じ基板上に一体に形成される場合だけでなく、有機ＥＬパネル２１とは独立したデバイスモジュールとして形成されること

10

20

30

40

50

が考えられる。この電源線駆動回路 27 の詳細な構成は後述する。

【0029】

データ線駆動回路 29 は、信号線 DL (j) を駆動制御する回路デバイスである。信号線 DL (j) に印加される信号電圧は、後述する補正動作の閾値電圧 V_o や書き込みタイミング信号で指定される画素位置のデータ電圧 V_{sig} である。

【0030】

(B) 画素回路の駆動動作

図 5 に、電源線を用いた画素回路 1 のアクティブマトリクス駆動例を示す。図 5 に示す駆動動作例では、駆動トランジスタとして動作する薄膜トランジスタ T2 の閾値補正動作と移動度補正動作も 1 水平走査期間 (1 H) 内に実行する場合を示す。

10

【0031】

なお図 5 は、時間軸を共通として、走査線 SCNL (i)、信号線 DL (j)、駆動電源線 DSL (i) の電位変化を表している、また、これら電位変化に伴う薄膜トランジスタ T2 のゲート電位 V_g の変化とソース電位 V_s の変化も示す。また図 5 は、電位変化の遷移を便宜的に (A) ~ (H) の 8 つの期間に区分して表している。

【0032】

(i) 発光期間

期間 (A) では、有機 EL 素子 OLED が発光状態にある。この期間の後、線順次走査の新しいフィールドが開始される。

【0033】

20

(ii) 閾値補正準備期間

新しいフィールドが開始すると、期間 (B) 及び (C) に亘って閾値補正の準備が実行される。因みに、期間 (B) において、有機 EL 素子 OLED に対するドレイン電流の供給が停止される。これに伴い、有機 EL 素子 OLED の発光は停止する。このとき、有機 EL 素子 OLED の発光電圧 V_{el} はゼロに近づくように推移する。

【0034】

この発光電圧 V_{el} の低下に伴い、薄膜トランジスタ T2 のソース電位 V_s は初期化用の低電源電位 V_{cc_L} とほぼ同じ電位に推移する。勿論、薄膜トランジスタ T2 のゲート電位 V_g も同様に低下する。なお、薄膜トランジスタ T2 のゲート電位 V_g は、続く期間 (C) に信号線 DL (j) を通じて印加される基準電位 V_o に初期化される。

30

【0035】

これら 2 つの初期化動作の実行により、保持容量 C_s の保持電圧の初期設定が完了する。すなわち、保持容量 C_s の保持電圧は、薄膜トランジスタ T2 の閾値電圧 V_{th} より大きい電圧 ($V_o - V_{cc_L}$) に初期設定される。これが閾値補正の準備動作である。

【0036】

(iii) 閾値補正動作

この後、期間 (D) について閾値補正動作が開始される。この期間 (D) でも、ゲート電位 V_g には基準電位 V_o が与えられる。この状態で、駆動電源線 DSL (i) には発光用の高電源電位 V_{cc_H} が印加される。

【0037】

40

結果的に、ドレイン電流は保持容量 C_s を通じて信号線 DL (j) へと流れ、保持容量 C_s の保持電圧 V_{gs} が減少する。これに伴い、薄膜トランジスタ T2 のソース電位 V_s が上昇する。

【0038】

なお、保持容量 C_s の保持電圧 V_{gs} の低下は、保持電圧 V_{gs} が閾値電圧 V_{th} に達して薄膜トランジスタ T2 がカットオフした時点で停止する。かくして、保持容量 C_s の保持電圧 V_{gs} を薄膜トランジスタ T2 に固有の閾値電圧 V_{th} に設定する閾値補正動作が完了する。

【0039】

(iv) 信号電位の書き込みと移動度の補正のための準備動作

50

閾値補正動作が完了すると、期間(E)及び(F)に亘って信号電位の書き込みと移動度補正のための準備動作が実行される。もっとも、この期間は省略も可能である。因みに、期間(E)では、走査線SCNL(i)の駆動電位が低レベルに切り替えられ、薄膜トランジスタT2がフローティング状態に制御される。

【0040】

また、期間(F)では、画素データに対応するデータ電圧 V_{sig} が信号線DL(j)に印加される。この期間(F)は、信号線DL(j)に寄生する容量成分の影響による信号線電位の立ち上がりの遅れを考慮して配置されている。この期間の存在により、次の期間(G)では、信号線DL(j)の電位が安定した状態で書き込みを開始できる。

【0041】

(v) 信号電位の書き込み及び移動度の補正動作

期間(G)では、信号電位の書き込みと移動度の補正動作が実行される。すなわち、走査線SCNL(i)の駆動電位が高レベルに切り替えられ、薄膜トランジスタT2のゲート電位にデータ電圧 V_{sig} が印加される。このデータ電圧 V_{sig} の印加に伴い、保持容量 C_s に保持される保持電圧 V_{gs} は $V_{sig} + V_{th}$ に遷移する。このように、保持電圧 V_{gs} は閾値電圧 V_{th} よりも大きくなるので薄膜トランジスタT2はオン状態に切り替わる。

【0042】

薄膜トランジスタT2がオン状態に切り替わると、ドレイン電流が有機EL素子OLEDに流れ始める。ただし、ドレイン電流の流れ始めの段階では、有機EL素子OLEDは未だカットオフ状態(ハイインピーダンス)にある。このため、ドレイン電流は、薄膜トランジスタT2の移動度に比例して、有機EL素子OLEDの寄生容量 C_0 を充電するように流れる。

【0043】

この寄生容量 C_0 の充電電圧 V だけ、有機EL素子OLEDの陽極電位(すなわち、薄膜トランジスタT2のソース電位 V_s)は上昇する。この充電電圧 V だけ保持容量 C_s の保持電圧 V_{gs} は低下する。すなわち、保持電圧 V_{gs} は、 $V_{sig} + V_{th} - V$ に変化する。このように、寄生容量 C_0 の充電電圧 V だけ保持電圧 V_{gs} が補正される動作が移動度の補正動作に対応する。

【0044】

なお、保持容量 C_s のブートストラップ動作により、薄膜トランジスタT2のゲート電位 V_g は、ソース電位 V_s の上昇量と同じだけ上昇する。もっとも、厳密には、ソース電位 V_s の上昇量にゲイン $g (< 1)$ を乗算して求められる電位値だけ上昇する。

【0045】

(vi) 発光期間

期間(H)では、走査線SCNL(i)の駆動電位が低レベルに変更され、薄膜トランジスタT2のゲート電極がフローティング状態になる。このとき、薄膜トランジスタT2は、移動度補正後の保持電圧 $V_{gs} (= V_{sig} + V_{th} - V)$ に相当するドレイン電流を有機EL素子OLEDに供給する。

【0046】

これにより、有機EL素子OLEDは発光を開始する。この際、有機EL素子OLEDの陽極電位(薄膜トランジスタT2のソース電位 V_s)は、ドレイン電流の大きさに応じた発光電圧 V_{el} まで上昇する。

このとき、保持容量 C_s のブートストラップ動作により、駆動トランジスタT2のゲート電位 V_g は、やはり発光電圧 V_{el} だけ上昇する。ソース電位 V_s の上昇量にゲイン $g (< 1)$ を乗算して求められる電位値だけ上昇する。

【0047】

(C) 画素回路内の接続状態と電位の変化

ここでは、図5で説明した各期間に対応する画素回路1内の電位状態の変化を模式的に説明する。ここでは、対応する期間と同じ符号を図番に付して示す。すなわち、図6A~

10

20

30

40

50

図 6 H を用いて説明する。なお、図 6 A ~ 図 6 H においては、サンプリングトランジスタとして動作する薄膜トランジスタ T 1 をスイッチとして表記すると共に、有機 E L 素子 O L E D の寄生容量を C 0 として明示的に表記する。

【 0 0 4 8 】

(i) 発光期間

図 6 A は、図 5 の期間 (A) の動作状態に対応する。発光期間である期間 (A) では、駆動電源線 D S L (i) に発光用の高電源電位 V_{cc_H} が印加される。このとき、薄膜トランジスタ T 2 は、保持容量 C s の保持電圧 $V_{gs} (> V_{th})$ に対応するドレイン電流 I_{ds} を有機 E L 素子 O L E D に供給する。有機 E L 素子 O L E D の発光状態は期間 (A) の終了まで継続する。

10

【 0 0 4 9 】

(ii) 閾値補正準備期間

図 6 B は、図 5 の期間 (B) の動作状態に対応する。期間 (B) において、駆動電源線 D S L (i) の電位は、発光用の高電源電位 V_{cc_H} から初期化用の低電源電位 V_{cc_L} に切り替え制御される。この切り替えにより、ドレイン電流 I_{ds} の供給は遮断される。

【 0 0 5 0 】

結果的に、薄膜トランジスタ T 2 のゲート電位 V_g とソース電位 V_s は、有機 E L 素子 O L E D の発光電圧 V_{el} の低下に連動して低下する。そして、ソース電位 V_s は、駆動電源線 D S L (i) に印加された低電源電位 V_{cc_L} とほぼ同じ電位にまで低下する。なお、低電源電位 V_{cc_L} は、信号線 D L (j) に印加される初期化用の基準電位 V_o よりも十分低い電位である。

20

【 0 0 5 1 】

図 6 C は、図 5 の期間 (C) の動作状態に対応する。期間 (C) において、走査線 C S N L (i) の電位は高レベルに変化する。これにより、薄膜トランジスタ T 1 がオン状態に制御され、薄膜トランジスタ T 2 のゲート電位 V_g は、信号線 D L (j) に印加された初期化用の基準電位 V_o に設定される。

【 0 0 5 2 】

期間 (C) の終了時、保持容量 C s の保持電圧 V_{gs} は、薄膜トランジスタ T 2 の閾値電圧 V_{th} より大きい電圧に初期設定される。この際、有機 E L 素子 O L E D のカソード電極が接続される共通電源線に高電位を印加し、有機 E L 素子 O L E D を逆バイアスする。これにより、ドレイン電流 I_{ds} は、保持容量 C s 及び薄膜トランジスタ T 1 を通じて信号線 D L (j) へと流れる。

30

【 0 0 5 3 】

(iii) 閾値補正動作

図 6 D は、図 5 の期間 (D) の動作状態に対応する。期間 (D) において、駆動電源線 D S L (i) の電位は、初期化用の低電源電位 V_{cc_L} から発光用の高電源電位 V_{cc_H} に遷移される。なお、サンプリング用の薄膜トランジスタ T 1 はオン状態に維持される。

【 0 0 5 4 】

結果的に、薄膜トランジスタ T 2 のゲート電位 V_g の初期化用の基準電位 V_o のまま、ソース電位 V_s だけが上昇を開始する。期間 (D) の終了までのいずれかの時点で、保持容量 C s の保持電圧 V_{gs} は閾値電圧 V_{th} となる。これにより、薄膜トランジスタ T 1 2 はオフ動作する。この時点におけるソース電位 V_s は、ゲート電位 $V_g (= V_o)$ よりも閾値電圧 V_{th} だけ低い電位となる。

40

【 0 0 5 5 】

(iv) 信号電位の書き込みと移動度の補正のための準備動作

図 6 E は、図 5 の期間 (E) の動作状態に対応する。期間 (E) において、走査線 S C N L (i) の電位は、低レベルに変化する。これにより、薄膜トランジスタ T 1 がオフ状態に制御され、駆動トランジスタとしての薄膜トランジスタ T 2 のゲート電極はフローティング状態になる。

【 0 0 5 6 】

50

ただし、薄膜トランジスタT2のカットオフ状態は維持される。従って、ドレイン電流 I_{ds} は流れない。

図6Fは、図5の期間(F)の動作状態に対応する。期間(F)において、信号線DL(j)の電位が初期化用の基準電位 V_o からデータ電位 V_{sig} に変化する。もっとも、サンプリングトランジスタとして機能する薄膜トランジスタT1はオフ状態のままである。

【0057】

(v) 信号電位の書き込み及び移動度の補正動作

図6Gは、図5の期間(G)の動作状態に対応する。期間(G)において、走査線SCL(i)の電位は、高レベルに変化する。これにより、サンプリングトランジスタT1がオン状態に制御され、薄膜トランジスタT2のゲート電極は信号電位 V_{sig} に遷移する。

10

【0058】

また、期間(G)において、電源線DSL(i)が発光用の高電源電位 V_{cc_H} に変化する。結果的に、薄膜トランジスタT2がオン動作し、ドレイン電流 I_{ds} が流れ始める。ただし、有機EL素子OLEDは、始めカットオフ状態(ハイインピーダンス状態)にある。このため、ドレイン電流 I_{ds} は、有機EL素子OLEDではなく、図6Gに示すように、寄生容量 C_s に流れ込む。

【0059】

寄生容量 C_s の充電に伴って薄膜トランジスタT2のソース電位 V_s が上昇を開始する。やがて、保持容量 C_s の保持電圧 V_{gs} は、 $V_{sig} + V_{th} - V$ となる。このように、信号電位 V_{sig} のサンプリングと充電電圧 V による補正とが並行して実行される。なお、データ電位 V_{sig} が大きいほどドレイン電流 I_{ds} も大きくなり、充電電圧 V の絶対値も大きくなる。

20

【0060】

これにより、発光輝度レベルに応じた移動度補正が可能となる。なお、信号電位 V_{sig} が一定の場合、薄膜トランジスタT2の移動度 μ が大きいほど、充電電圧 V の絶対値も大きくなり、負帰還量が大きくなるためである。

【0061】

(v) 信号電位の書き込み及び移動度の補正動作

図6Hは、図5の期間(H)の動作状態に対応する。期間(H)において、走査線SCL(i)の電位は、再び低レベルに変化する。これにより、薄膜トランジスタT1がオフ状態に制御され、薄膜トランジスタT2のゲート電極はフローティング状態になる。

30

【0062】

なお、電源線DSL(i)の電位は、発光用の高電源電位 V_{cc_HH} に維持されるので、保持容量 C_s の保持電圧 $V_{gs} (= V_{sig} + V_{th} - V)$ に応じたドレイン電流 I_{ds} が有機EL素子OLEDに継続的に供給される。このドレイン電流の供給により有機EL素子OLEDは発光を始める。同時に、有機EL素子OLEDの両極間にはドレイン電流 I_{ds} の大きさに応じた発光電圧 V_{el} が発生する。

【0063】

すなわち、薄膜トランジスタT2のソース電位 V_s が上昇する。また、保持容量 C_s のブートストラップ動作により、ソース電位 V_s の上昇分と同じだけ、ゲート電位 V_g が上昇する。かくして、保持容量 C_s には、ブートストラップ動作前と同じ保持電圧 $V_{gs} (= V_{sig} + V_{th} - V)$ が保持される。結果的に、移動度補正済みのドレイン電流 I_{ds} による発光動作が継続される。

40

【0064】

(B-3) 補正効果

ここでは、補正の効果を確認する。

図7に、薄膜トランジスタT2の電流電圧特性を示す。特に、薄膜トランジスタT2が

50

飽和領域で動作しているときのドレイン電流 I_{ds} は、下記式により与えられる。

$$I_{ds} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{ox} \cdot (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0065】

ここで、 μ は移動度を示す。また、 W はゲート幅を示し、 L はゲート長を示す。さらに、 C_{ox} は単位面積当たりのゲート酸化膜容量を示す。

このトランジスタ特性式から明らかなように、閾値電圧 V_{th} が変動すると、保持電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。図7に、閾値補正と移動度補正のいずれもが実行されない場合のデータ電圧 V_{sig} とドレイン電流 I_{ds} との関係を示す。

【0066】

ところが、前述した補正動作例の場合、発光時の保持電圧 V_{gs} は、 $V_{sig} + V_{th} - V$ で与えられる。従って、(1)式は以下のように表すことができる。

$$I_{ds} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{ox} \cdot (V_{sig} - V)^2 \quad \dots (2)$$

(2)式からは閾値電圧 V_{th} が消えている。すなわち、前述した補正動作により、閾値電圧 V_{th} に依存しないことが分かる。

【0067】

このことは、画素回路1を構成する薄膜トランジスタ T_2 の閾値電圧 V_{th} にバラツキが存在したとしても、その影響がドレイン電流 I_{ds} に現れないことを意味する。図8に、閾値補正のみを実行する場合のデータ電圧 V_{sig} とドレイン電流 I_{ds} との関係を示す。

【0068】

ただし、移動度 μ が異なる画素では、データ電圧 V_{sig} が同じでもドレイン電流 I_{ds} が異なった値になる。図8の場合、画素Aの方が画素Bよりも移動度 μ が大きい。このため、同じデータ電圧 V_{sig} でも、画素Aのドレイン電流 I_{ds} が画素Bのドレイン電流 I_{ds} よりも大きくなっている。しかし、同じ補正期間内に寄生容量 C_0 に発生する充電電圧 V は、移動度 μ に依存する。

【0069】

すなわち、移動度 μ の大きい画素の充電電圧 V の方が、移動度 μ の小さい画素の充電電圧 V よりも大きくなる。(2)式において、充電電圧 V は、ドレイン電流 I_{ds} を減少させる方向に作用する。結果的に、ドレイン電流 I_{ds} に現れる移動度 μ のバラツキの影響が抑制される。すなわち、図9に示すように、どのデータ電圧 V_{sig} に対しても同じドレイン電流 I_{ds} が流れるようにできる。

【0070】

(D)レイアウトパターンの形態例

(D-1)パターン例1

ここでは、図1に示す構成の画素回路1で画素アレイ部が構成される場合に好適な高電位電源供給線11のレイアウトパターン例を説明する。

【0071】

図10に、パターン例1として提案するレイアウトパターンを示す。このパターン例1では、配線幅を太くする必要のない低電位電源供給線13を有効画素領域側に配置し、駆動電源線 $DSL(i)$ と交差させるように配置する。一方、配線幅を太くする必要のある高電位電源供給線11は、電源線駆動回路27を構成する前段バッファ回路の出力配線と交差させるように配置する。

【0072】

このパターン例1の場合も、配線幅が太い高電位電源供給線11と前段バッファ回路の出力配線との交差部分で寄生容量による電源線駆動パルスの波形がなまる可能性は残る。ただし、電源線駆動パルスの波形がなまっても、次段の出力段バッファ回路において波形を再整形することができる。従って、駆動電源線 $DSL(i)$ の駆動に与える影響はない。

【0073】

また、高電位電源供給線11を駆動電源線 $DSL(i)$ と交差させない位置関係を採用することで大きな電位差が交流的に発生する可能性のある配線同士の交差面積を小さくす

10

20

30

40

50

ることができる。従って、ダスト等に起因する層間ショートの可能性を非常に小さくでき、有機ELパネルの歩留まりを大幅に改善することができる。

【0074】

(D-2) パターン例2

ここでも、図1に示す構成の画素回路1で画素アレイ部が構成される場合に好適な高電位電源供給線11のレイアウトパターン例を説明する。

【0075】

図11に、パターン例2として提案するレイアウトパターンを示す。このパターン例2は、パターン例1の変形例である。すなわち、配線幅を太くする必要のない低電位電源供給線13の配置位置だけを変更する。

【0076】

パターン例2の場合、低電位電源供給線13が駆動電源線DSL(i)と交差しないように配置する。具体的には、低電位電源供給線13を、電源線駆動回路27の出力段バッファ回路と重なるように配置する。

【0077】

この配線例の場合、配線層の数は2つから3つに増えるが、2値駆動される駆動電源線DSL(i)と低電位電源供給線13との交差部分がなくすることができる。結果的に、ダスト等に起因する層間ショートの可能性を一段と小さくでき、有機ELパネルの歩留まりを更に改善することができる。

【0078】

(D-3) パターン例3

ここでも、図1に示す構成の画素回路1で画素アレイ部が構成される場合に好適な高電位電源供給線11のレイアウトパターン例を説明する。

【0079】

図12に、パターン例3として提案するレイアウトパターンを示す。このパターン例3は、パターン例1の変形例である。すなわち、配線幅を太くする必要のない低電位電源供給線13の配置位置だけを変更する。

【0080】

パターン例3の場合、低電位電源供給線13は、駆動電源線DSL(i)と交差しないように配置する。具体的には、低電位電源供給線13を、電源線駆動回路27の出力段バッファ回路と駆動電源線DSL(i)との中間位置に配置する。すなわち、出力段バッファの出力端と駆動電源線DSL(i)とを接続する引き出し線部分と交差するように、低電位電源供給線13を配置する。

【0081】

この配線例の場合、低電位電源供給線13は2値駆動される配線(引き出し線)と交差することになるが、この引き出し線は線幅が細いため、やはり交差面積が小さくなる。結果的に、ダスト等に起因する層間ショートの可能性を一段と小さくでき、有機ELパネルの歩留まりを更に改善することができる。

【0082】

(D-4) パターン例4

ここでも、図1に示す構成の画素回路1で画素アレイ部が構成される場合に好適な高電位電源供給線11のレイアウトパターン例を説明する。

【0083】

図13に、パターン例4として提案するレイアウトパターンを示す。このパターン例4は、パターン例1の変形例である。すなわち、配線幅を太くする必要のない低電位電源供給線13の配置位置だけを変更する。

【0084】

パターン例4の場合も、低電位電源供給線13は、駆動電源線DSL(i)と交差しないように配置する。具体的には、低電位電源供給線13を、電源線駆動回路27の出力段バッファ回路と高電位電源供給線11(i)との中間位置に配置する。

10

20

30

40

50

【 0 0 8 5 】

この配線例の場合、配線幅が太い高電位電源供給線 1 1 の場合と同様、低電位電源供給線 1 3 と前段バッファ回路の出力配線との交差部分で寄生容量による電源線駆動パルスの波形がなまる可能性は残る。

【 0 0 8 6 】

しかし、低電位電源供給線 1 3 は線幅が狭く、寄生容量が小さいのに加え、仮に波形がなまったとしても、出力段バッファにより波形を再整形することができるので動作に問題は生じない。勿論、この場合も、有機 E L パネルの歩留まりを改善するのに効果的である。

【 0 0 8 7 】

(D - 5) パターン例 5

ここでも、図 1 に示す構成の画素回路 1 で画素アレイ部が構成される場合に好適な高電位電源供給線 1 1 のレイアウトパターン例を説明する。

【 0 0 8 8 】

図 1 4 に、パターン例 5 として提案するレイアウトパターンを示す。このパターン例 5 は、パターン例 1 の変形例である。すなわち、高電位電源供給線 1 1 の配置位置だけを変更する。

【 0 0 8 9 】

具体的には、高電位電源供給線 1 1 を、電源線駆動回路 2 7 の出力段バッファ回路と重なるように配置する。

【 0 0 9 0 】

この配線例の場合、配線層の数は 2 つから 3 つに増えるが、2 値駆動される駆動電源線 D S L (i) と低電位電源供給線 1 3 との交差部分がなくすることができる。結果的に、ダスト等に起因する層間ショートの可能性を一段と小さくでき、有機 E L パネルの歩留まりを更に改善することができる。

(D - 6) パターン例 6

ここでも、図 1 に示す構成の画素回路 1 で画素アレイ部が構成される場合に好適な高電位電源供給線 1 1 のレイアウトパターン例を説明する。

【 0 0 9 1 】

図 1 5 に、パターン例 6 として提案するレイアウトパターンを示す。このパターン例 6 も、パターン例 1 の変形例である。具体的には、電源線駆動回路 2 7 の出力段バッファ回路の前段に配置された高電位電源供給線 1 1 と重なるよう低電位電源供給線 1 3 を配置する。

【 0 0 9 2 】

この配線例の場合、電源供給線の間が高電圧が印加されることになるが、静的な電圧であるので波形の駆動電源線 D S L (i) の動作への影響は考慮せずに済む。また、電源供給線を面上でオフセット配置せずに済むので有機 E L パネルの面積をわずかながらも小さくすることができる。

【 0 0 9 3 】

(D - 7) パターン例 7

ここでも、図 1 に示す構成の画素回路 1 で画素アレイ部が構成される場合に好適な高電位電源供給線 1 1 のレイアウトパターン例を説明する。

【 0 0 9 4 】

図 1 6 に、パターン例 7 として提案するレイアウトパターンを示す。このパターン例 7 では、高電位電源供給線 1 1 と低電位電源供給線 1 3 とをパターン例 1 とは反対に配置する。ただし、高電位電源供給線 1 1 が駆動電源線 D S L (i) と交差したのでは前述した技術課題を解決できない。

【 0 0 9 5 】

そこで、電源線駆動回路 2 7 の出力段バッファ回路の出力端と駆動電源線 D S L (i) とを接続する引き出し線部分を長くし、その引き出し線と高電位電源供給線 1 1 とが交差

10

20

30

40

50

するように配置する。

【0096】

この配線例の場合、高電位電源供給線11は2値駆動される配線(引き出し線)と交差することになるが、この引き出し線は線幅が細いため、やはり交差面積が小さくすることができる。結果的に、ダスト等に起因する層間ショートの可能性を一段と小さくでき、有機ELパネルの歩留まりを更に改善することができる。

【0097】

(D-8)パターン例8

ここでは、図17に示す構成の画素回路31で画素アレイ部が構成される場合に好適な高電位電源供給線11と低電位電源線13のレイアウトパターン例を説明する。ここでの画素回路31は、駆動トランジスタがP型の薄膜トランジスタT2で構成される。これに伴い、保持容量Csの一方の電極は、全画素に高電源電位Vcc_Hを供給する共通電源線に接続される。

10

【0098】

なお、図17の場合、駆動電源線DSL(i)は、有機EL素子OLEDのカソード電極が接続される電源線が対応する。従って、図17の場合には、カソード電極が接続される駆動電源線DSL(i)が2値的に駆動制御されることで画素回路31内の動作が制御される場合を示す。

【0099】

勿論この場合も、高電源電位Vcc_Hが印加される共通信号線は大電流の供給に備えて線幅が広く設定される。また、駆動電源線DSL(i)の信号幅も大電流の引き出しに対応できるように線幅が広く設定される。

20

【0100】

図18に、パターン例8として提案するレイアウトパターンを示す。このパターン例8では、高電位電源供給線11だけでなく、低電位電源供給線13も配線幅を太くする必要があるので、これら電源供給線が駆動電源線DSL(i)と交差しないように配置する。

【0101】

すなわち、図18の場合、高電位電源供給線11は、電源線駆動回路27を構成する前段バッファ回路の出力配線と交差させるように配置する一方で、低電位電源供給線13は電源線駆動回路27を構成する前段バッファ回路の上層に重ねるように配置する。

30

このように配置することで、ダスト等に起因する層間ショートの可能性を非常に小さくでき、有機ELパネルの歩留まりを大幅に改善することができる。

【0102】

(D-9)パターン例9

ここでも、図17に示す構成の画素回路31で画素アレイ部が構成される場合に好適な高電位電源供給線11と低電位電源供給線13のレイアウトパターン例を説明する。

【0103】

図19に、パターン例9として提案するレイアウトパターンを示す。このパターン例9では、高電位電源供給線11と低電位電源供給線13を、電源駆動回路27の出力段バッファの前段位置で重ねるように配置する例を示す。どちらの電源供給線が上層に位置しても良い。

40

なおこの場合は、線幅の広い電源供給線同士が重なる部分で寄生容量が発生する。しかし、電源供給線はいずれも固定電位を供給するので電源駆動パルスへの影響はない。

【0104】

(D-10)パターン例10

ここでも、図17に示す構成の画素回路31で画素アレイ部が構成される場合に好適な高電位電源供給線11と低電位電源供給線13のレイアウトパターン例を説明する。

【0105】

図20に、パターン例10として提案するレイアウトパターンを示す。このパターン例10では、高電位電源供給線11を電源駆動回路27の出力段バッファの前段位置に配置

50

し、低電位電源供給線 1 3 を電源駆動回路 2 7 の出力段バッファと駆動電源線 D S L (i) とを接続する引き出し線と交差するように配置する例を示す。

【 0 1 0 6 】

なお、高電位電源供給線 1 1 と低電位電源供給線 1 3 の位置が入れ替わっても良い。

この配線例の場合も、駆動電源線 D S L (i) と電源供給線との交差面積を小さくすることができる。従って、ダスト等に起因する層間ショートの可能性を非常に小さくでき、有機 E L パネルの歩留まりを大幅に改善することができる。

【 0 1 0 7 】

(D - 1 1) その他

なお、前述したレイアウトパターンは一例であり、他のレイアウトも可能である。

【 0 1 0 8 】

(E) 他の形態例

(E - 1) 製品例

(a) ドライブ I C

前述の説明では、画素アレイ部と駆動回路とが 1 つのパネル上に形成されている場合について説明した。

しかし、駆動回路部 2 5、2 7、2 9 等は画素アレイ部 2 3 とは別に製造し、画素アレイ部 2 3 の形成された流通することもできる。例えば、ドライブ I C (integrated circuit) として製造し、画素アレイ部 2 3 を形成した有機 E L パネルに実装しても良い。

【 0 1 0 9 】

(b) 表示モジュール

前述した形態例における有機 E L パネル 2 1 は、図 2 1 に示す外観構成を有する表示モジュール 4 1 の形態で流通することもできる。

【 0 1 1 0 】

表示モジュール 4 1 は、支持基板 4 5 の表面に対向部 4 3 を貼り合わせた構造を有している。対向部 4 3 は、ガラスその他の透明部材を基材とし、その表面にはカラーフィルタ、保護膜、遮光膜等が配置される。

【 0 1 1 1 】

なお、表示モジュール 4 1 には、外部から支持基板 4 5 に信号等を入出力するための F P C (フレキシブルプリントサーキット) 4 7 等が設けられていても良い。

【 0 1 1 2 】

(c) 電子機器

前述した形態例における有機 E L パネルは、電子機器に実装された商品形態でも流通される。

図 2 2 に、電子機器 5 1 の概念構成例を示す。電子機器 5 1 は、前述した有機 E L パネル 5 3 及びシステム制御部 5 5 で構成される。システム制御部 5 5 で実行される処理内容は、電子機器 5 1 の商品形態により異なる。

【 0 1 1 3 】

なお、電子機器 5 1 は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

この種の電子機器 5 1 には、例えばテレビジョン受像機が想定される。図 2 3 に、テレビジョン受像機 5 1 の外観例を示す。

【 0 1 1 4 】

テレビジョン受像機 6 1 の筐体正面には、フロントパネル 6 3 及びフィルターガラス 6 5 等で構成される表示画面 6 7 が配置される。表示画面 6 7 の部分が、形態例で説明した有機 E L パネルに対応する。

【 0 1 1 5 】

また、この種の電子機器 5 1 には、例えばデジタルカメラが想定される。図 2 4 に、デジタルカメラ 7 1 の外観例を示す。図 2 4 (A) が正面側 (被写体側) の外観例であり、図 2 4 (B) が背面側 (撮影者側) の外観例である。

10

20

30

40

50

【0116】

デジタルカメラ71は、保護カバー73、撮像レンズ部75、表示画面77、コントロールスイッチ79及びシャッターボタン81で構成される。このうち、表示画面77の部分が、形態例で説明した有機ELパネルに対応する

【0117】

また、この種の電子機器51には、例えばビデオカメラが想定される。図25に、ビデオカメラ91の外観例を示す。

ビデオカメラ91は、本体93の前方に被写体を撮像する撮像レンズ95、撮影のスタート/ストップスイッチ97及び表示画面99で構成される。このうち、表示画面89の部分が、形態例で説明した有機ELパネルに対応する。

10

【0118】

また、この種の電子機器51には、例えば携帯端末装置が想定される。図26に、携帯端末装置としての携帯電話機101の外観例を示す。図26に示す携帯電話機101は折りたたみ式であり、図26(A)が筐体を開いた状態の外観例であり、図26(B)が筐体を折りたたんだ状態の外観例である。

【0119】

携帯電話機101は、上側筐体103、下側筐体105、連結部(この例ではヒンジ部)107、表示画面109、補助表示画面111、ピクチャーライト113及び撮像レンズ115で構成される。このうち、表示画面109及び補助表示画面111の部分が、形態例で説明した有機ELパネルに対応する。

20

【0120】

また、この種の電子機器51には、例えばコンピュータが想定される。図27に、ノート型コンピュータ121の外観例を示す。

ノート型コンピュータ121は、下型筐体123、上側筐体125、キーボード127及び表示画面129で構成される。このうち、表示画面129の部分が、形態例で説明した有機ELパネルに対応する。

【0121】

これらの他、電子機器51には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0122】

(C-2)他の表示デバイス例

前述した駆動方法は、有機ELパネル以外にも適用できる。例えば無機ELパネル、LEDを配列する表示パネル、その他のダイオード構造を有する発光素子を画面上に配列するEL発光型の表示パネルに適用できる。

30

【0123】

(C-3)その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

40

【0124】

【図1】画素回路例を示す図である。

【図2】画素回路と駆動電源回路との接続関係を示す図である。

【図3】駆動電源線と電源線駆動回路との接続部分の配線パターンを示す図である(従来例)。

【図4】アクティブマトリクス駆動型の表示パネルの構成を示す図である。

【図5】電源線を用いた画素回路のアクティブマトリクス駆動例を示す図である。

【図6A】図5の期間(A)に対応する画素回路内の状態を説明する図である。

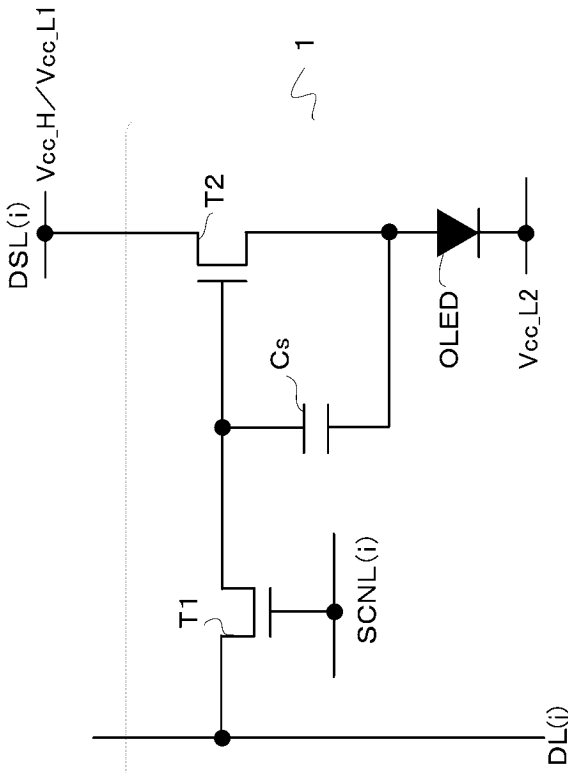
【図6B】図5の期間(B)に対応する画素回路内の状態を説明する図である。

【図6C】図5の期間(C)に対応する画素回路内の状態を説明する図である。

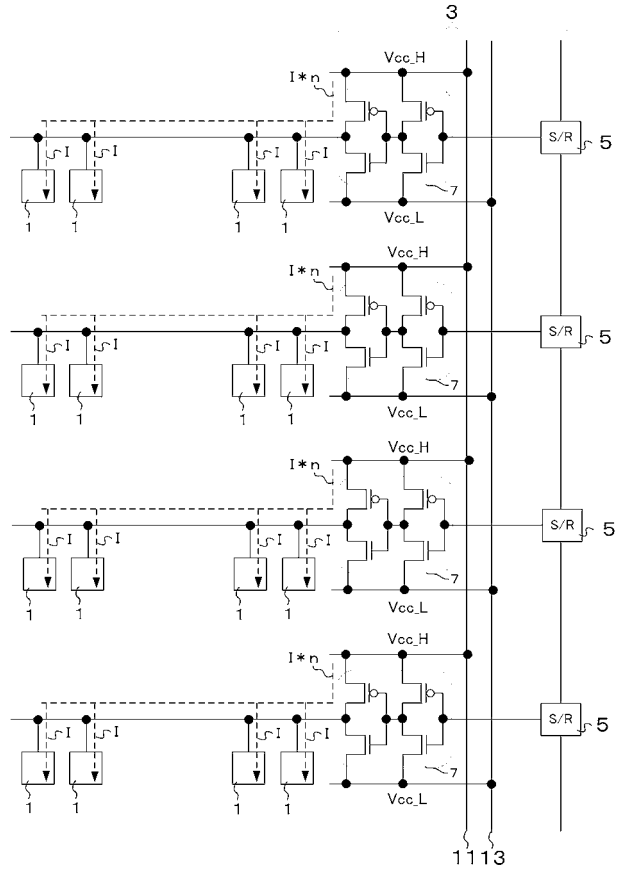
50

- 【図 6 D】図 5 の期間 (D) に対応する画素回路内の状態を説明する図である。
- 【図 6 E】図 5 の期間 (E) に対応する画素回路内の状態を説明する図である。
- 【図 6 F】図 5 の期間 (F) に対応する画素回路内の状態を説明する図である。
- 【図 6 G】図 5 の期間 (G) に対応する画素回路内の状態を説明する図である。
- 【図 6 H】図 5 の期間 (H) に対応する画素回路内の状態を説明する図である。
- 【図 7】閾値補正と移動度補正のいずれもが実行されない場合のデータ電圧とドレイン電流との関係を示す図である。
- 【図 8】閾値補正のみを実行する場合のデータ電圧とドレイン電流との関係を示す図である。
- 【図 9】閾値補正と移動度補正の両方が実行される場合のデータ電圧とドレイン電流との関係を示す図である。 10
- 【図 10】パターン例 1 に対応するレイアウトパターンを示す図である。
- 【図 11】パターン例 2 に対応するレイアウトパターンを示す図である。
- 【図 12】パターン例 3 に対応するレイアウトパターンを示す図である。
- 【図 13】パターン例 4 に対応するレイアウトパターンを示す図である。
- 【図 14】パターン例 5 に対応するレイアウトパターンを示す図である。
- 【図 15】パターン例 6 に対応するレイアウトパターンを示す図である。
- 【図 16】パターン例 7 に対応するレイアウトパターンを示す図である。
- 【図 17】他の画素回路例を示す図である。
- 【図 18】パターン例 8 に対応するレイアウトパターンを示す図である。 20
- 【図 19】パターン例 9 に対応するレイアウトパターンを示す図である。
- 【図 20】パターン例 10 に対応するレイアウトパターンを示す図である。
- 【図 21】表示モジュールの構成例を示す図である。
- 【図 22】電子機器の機能構成例を示す図である。
- 【図 23】電子機器の商品例を示す図である。
- 【図 24】電子機器の商品例を示す図である。
- 【図 25】電子機器の商品例を示す図である。
- 【図 26】電子機器の商品例を示す図である。
- 【図 27】電子機器の商品例を示す図である。
- 【符号の説明】 30
- 【 0 1 2 5 】
- | | |
|-----|------------|
| 1 | 画素回路 |
| 3 | 電源線駆動回路 |
| 5 | シフトレジスタ |
| 7 | 電源線用駆動回路 |
| 1 1 | 高電位電源供給線 |
| 1 3 | 低電位電源供給線 |
| 2 1 | 有機 E L パネル |
| 2 3 | 画素アレイ部 |
| 2 5 | 走査線駆動回路 |
| 2 7 | 電源線駆動回路 |
| 2 9 | データ線駆動回路 |
| 3 1 | 画素回路 |
- 40

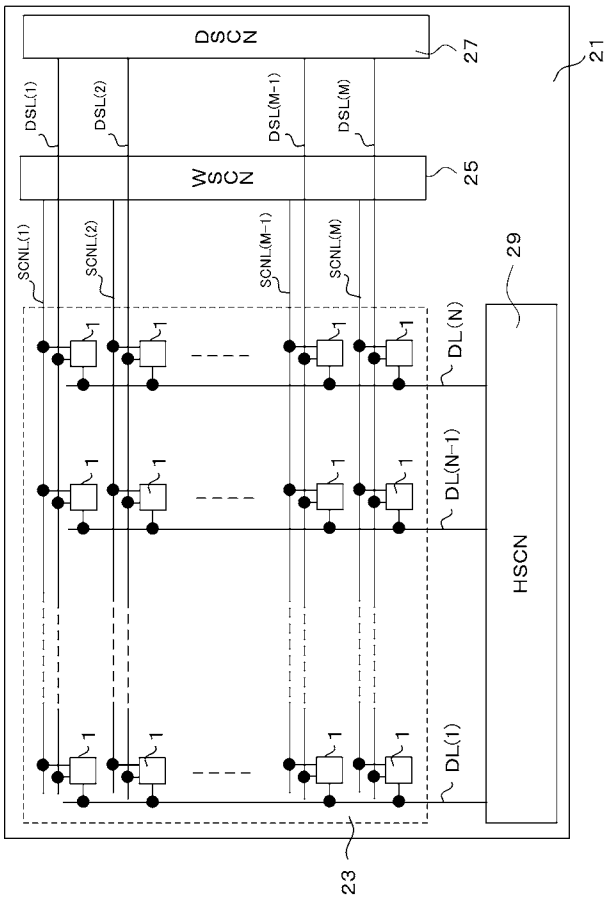
【 図 1 】



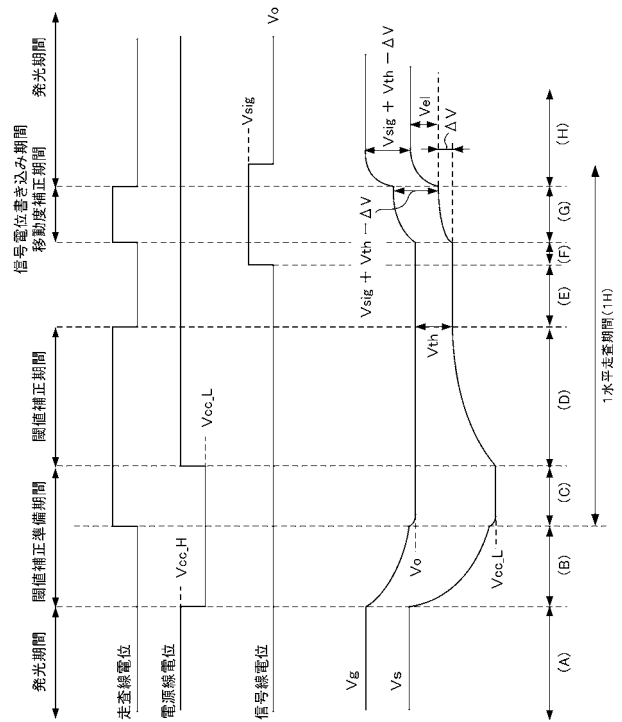
【 図 2 】



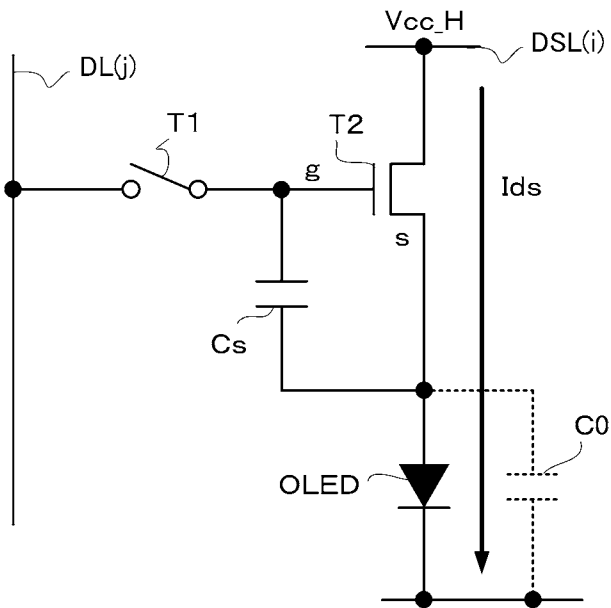
【 図 4 】



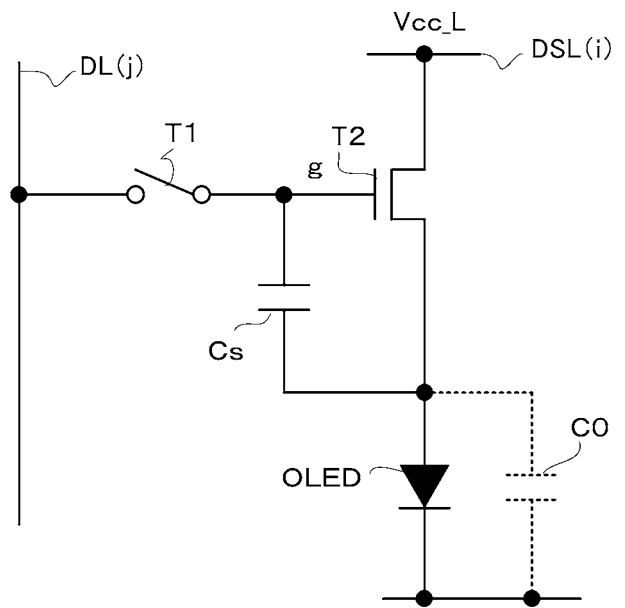
【 図 5 】



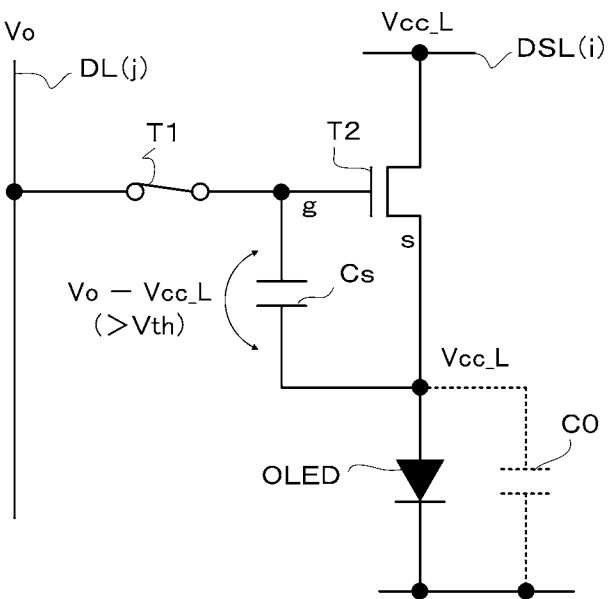
【 図 6 A 】



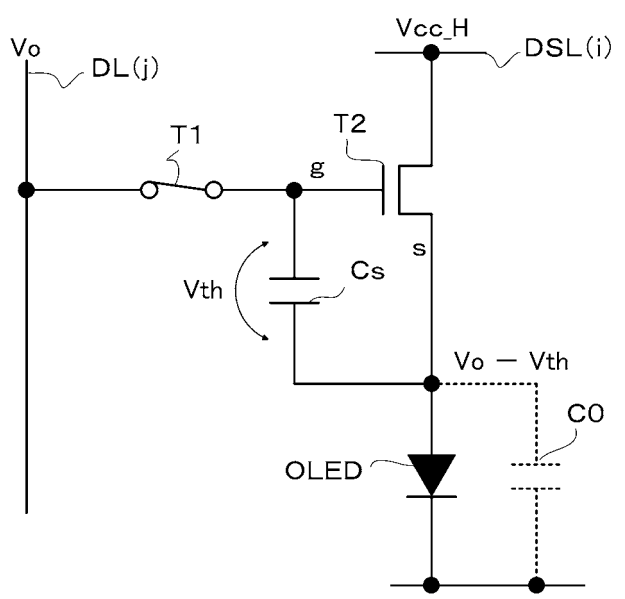
【 図 6 B 】



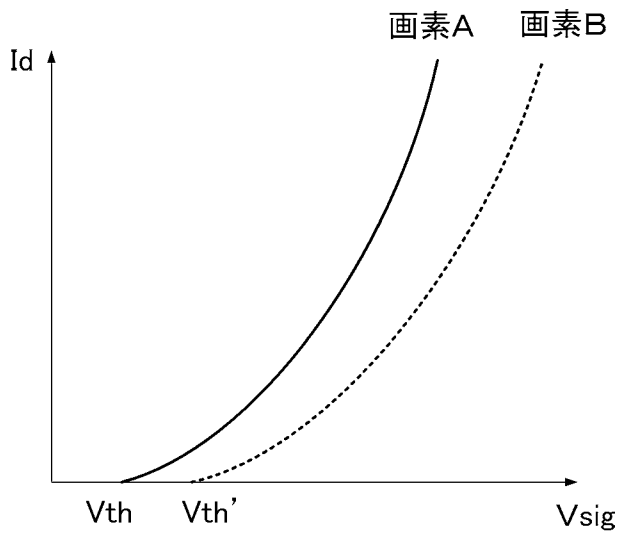
【 図 6 C 】



【 図 6 D 】

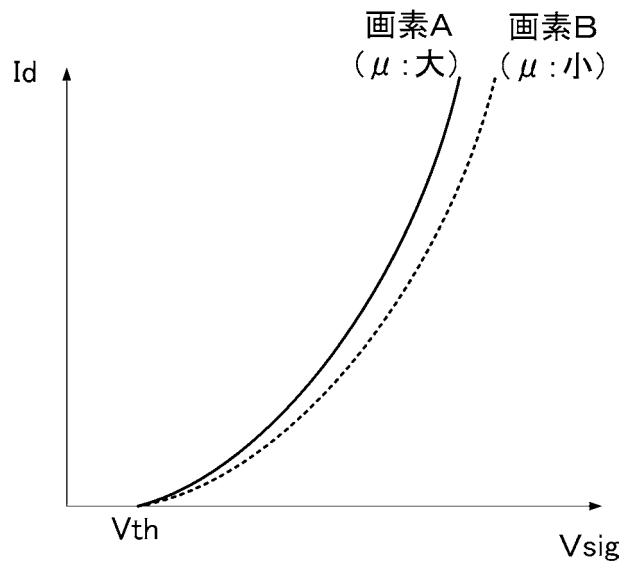


【 図 7 】



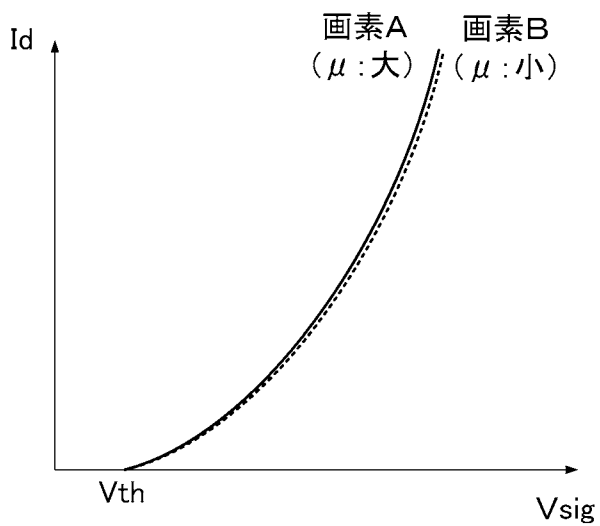
閾値補正無し+移動度 μ の補正無し

【 図 8 】



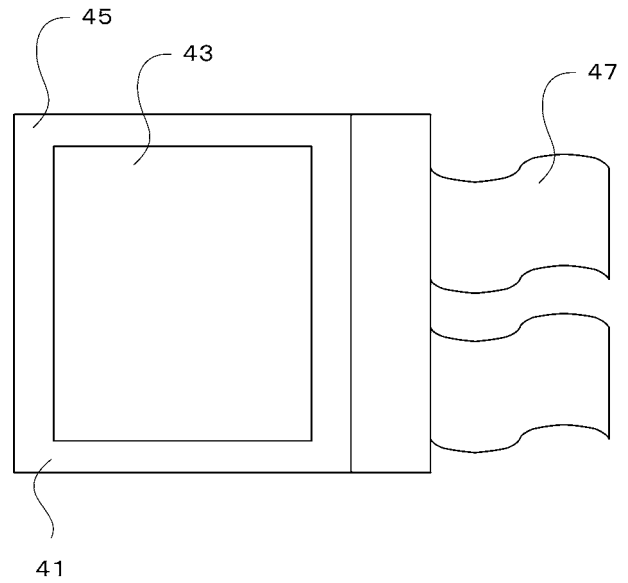
閾値補正有り+移動度 μ の補正無し

【 図 9 】

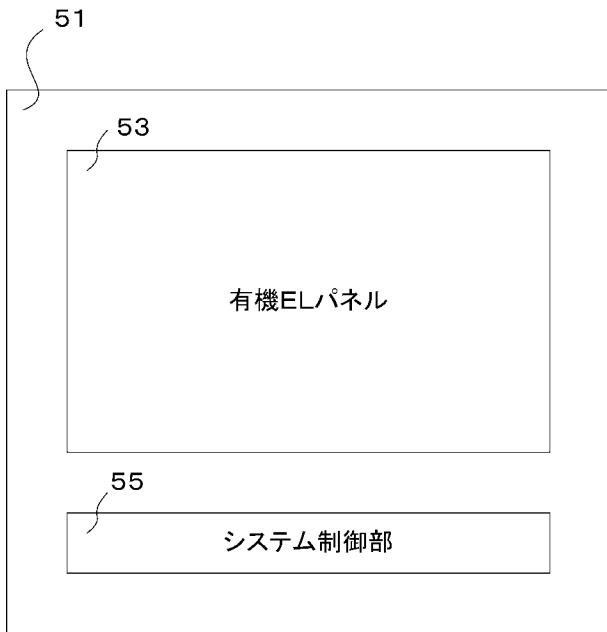


閾値補正有り+移動度 μ の補正有り

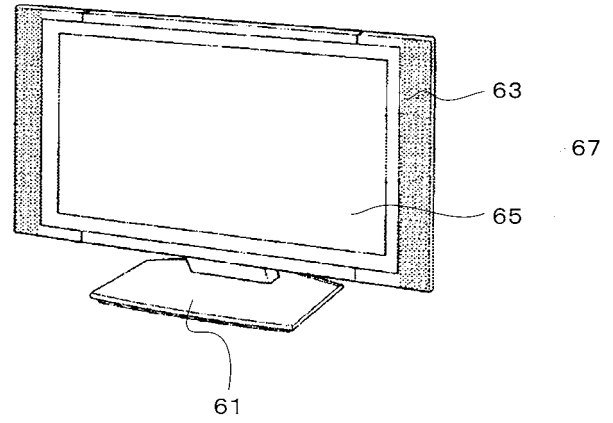
【 図 2 1 】



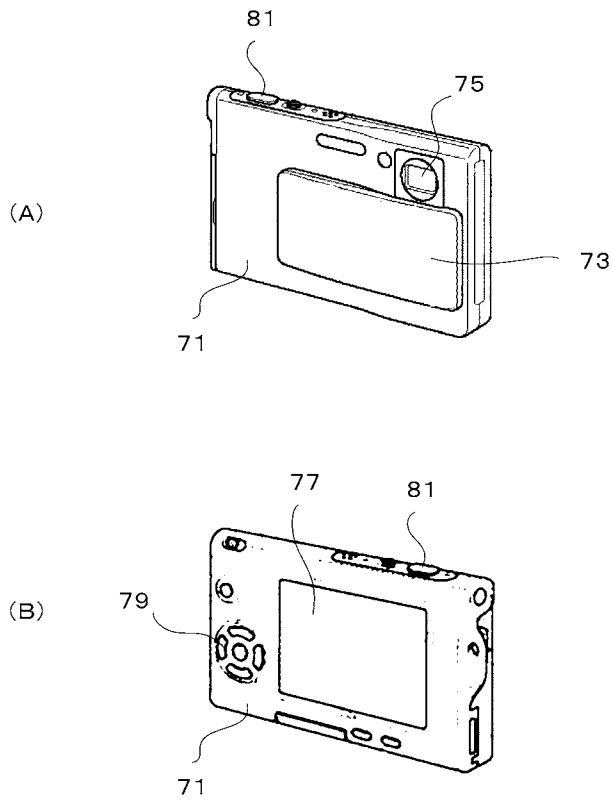
【図22】



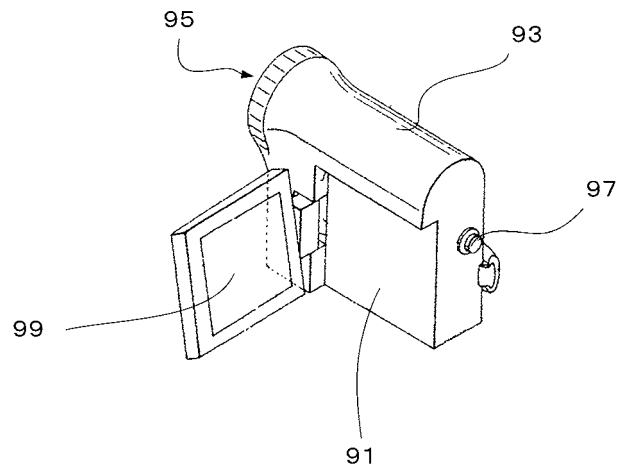
【図23】



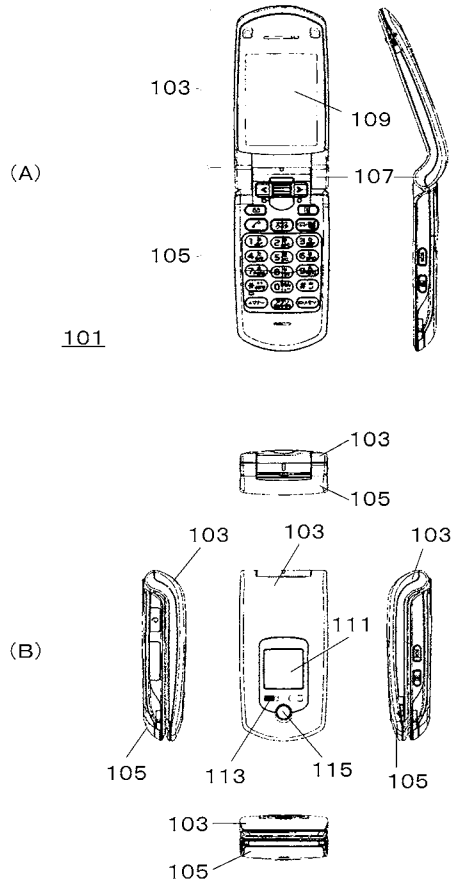
【図24】



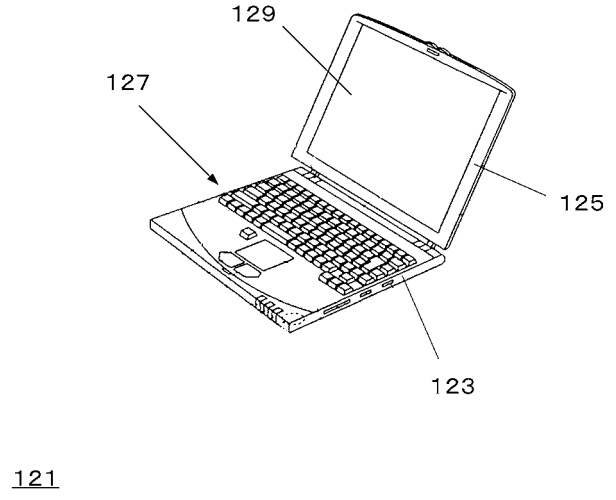
【図25】



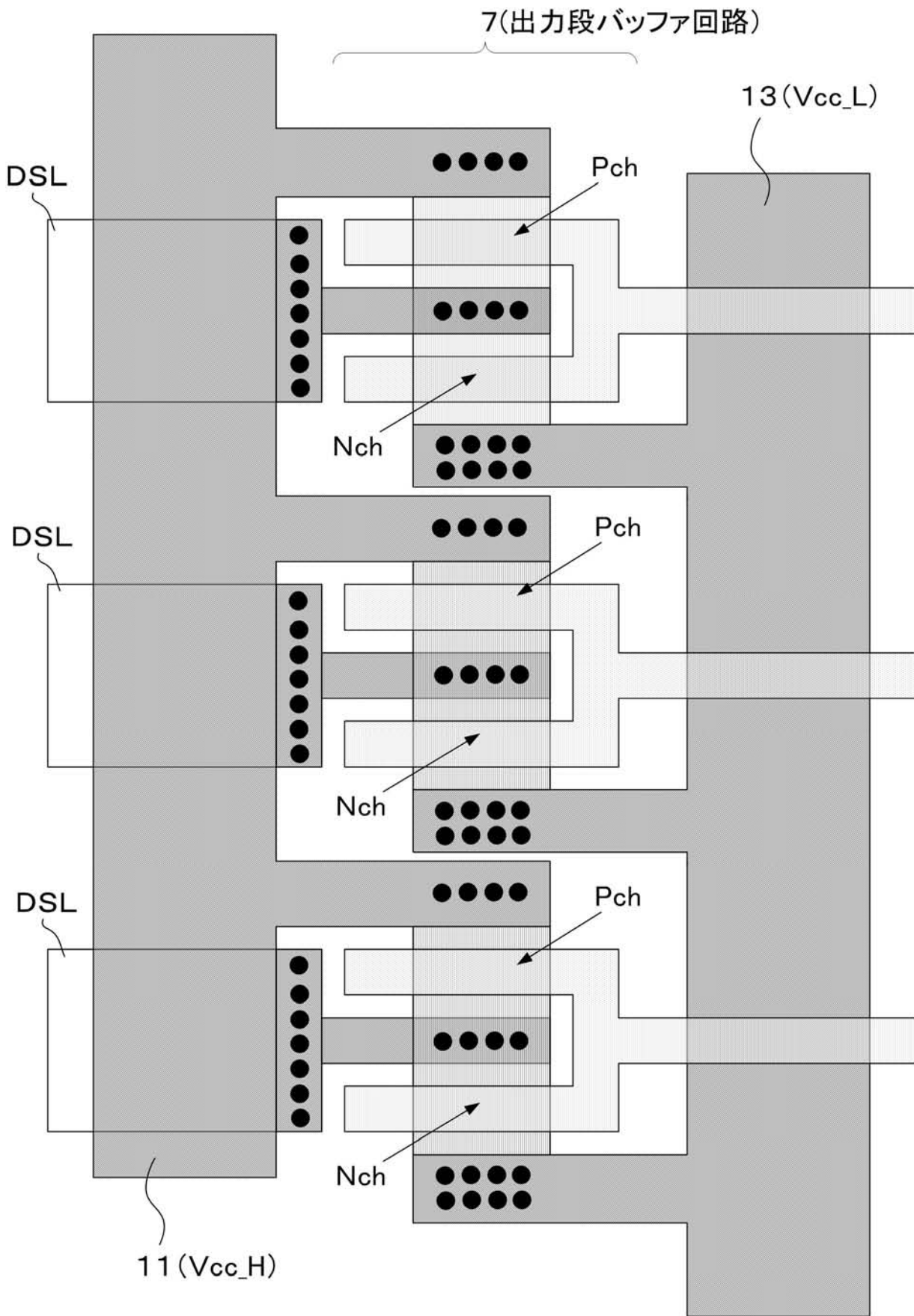
【 図 2 6 】



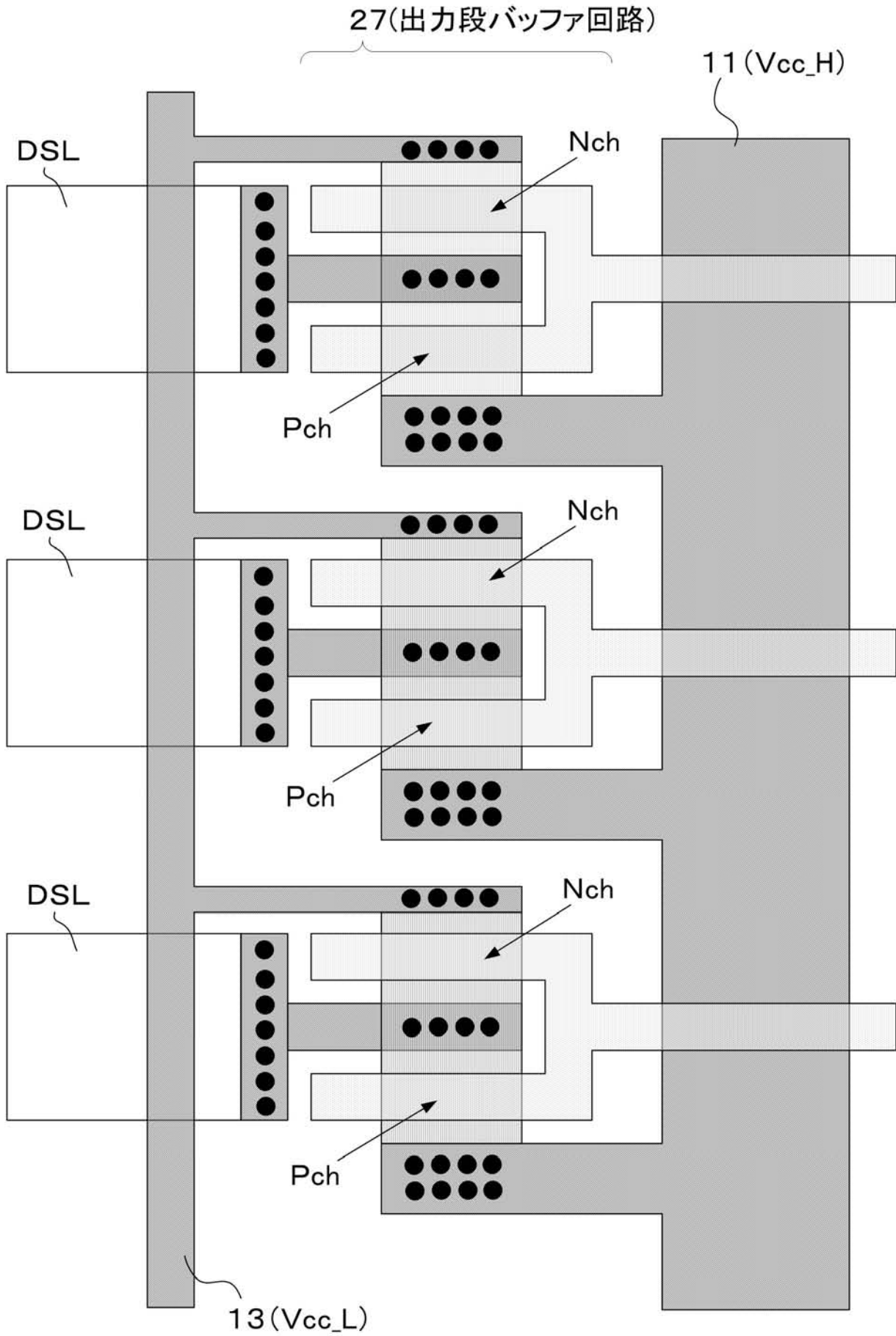
【 図 2 7 】



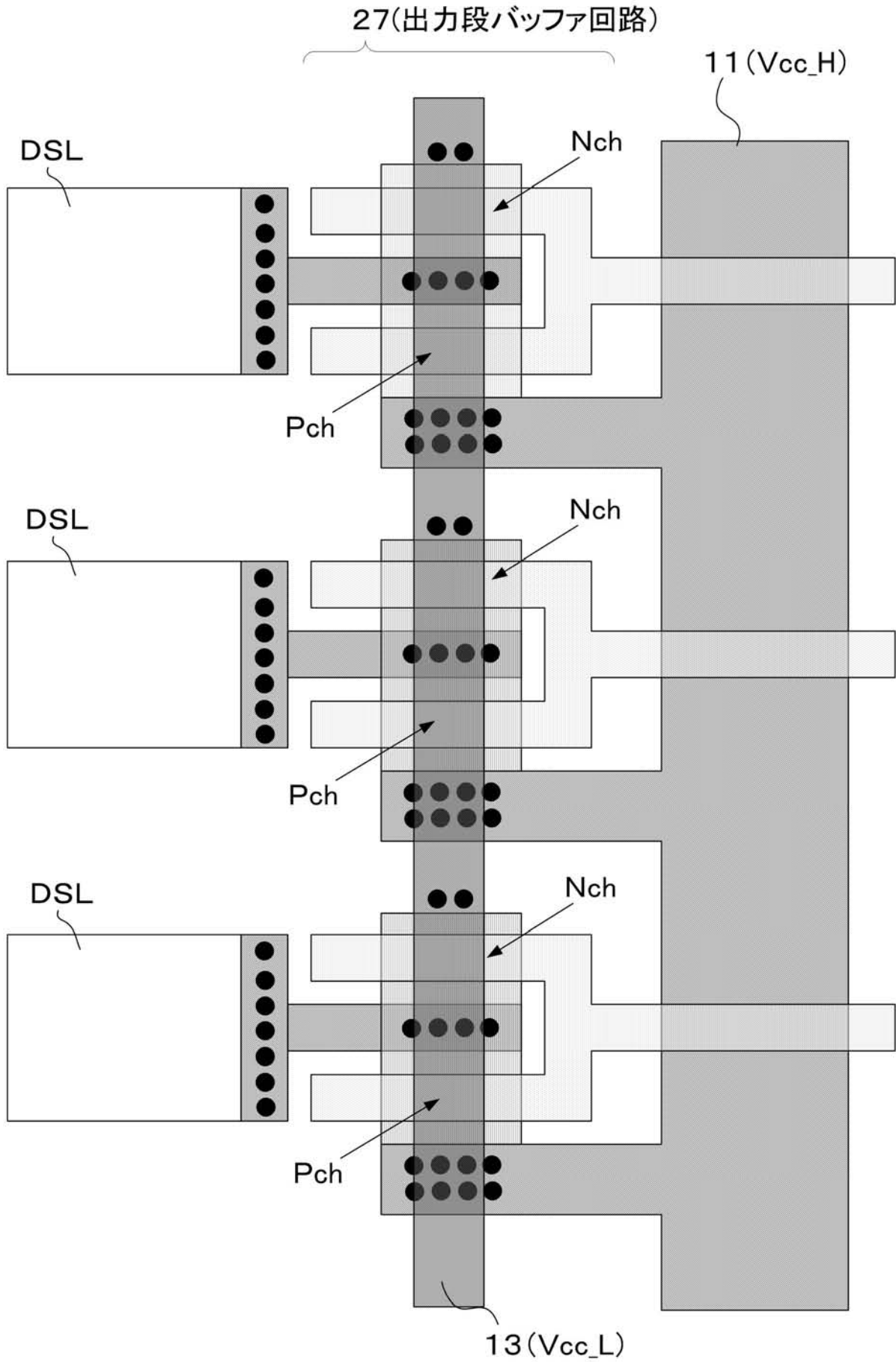
【図3】



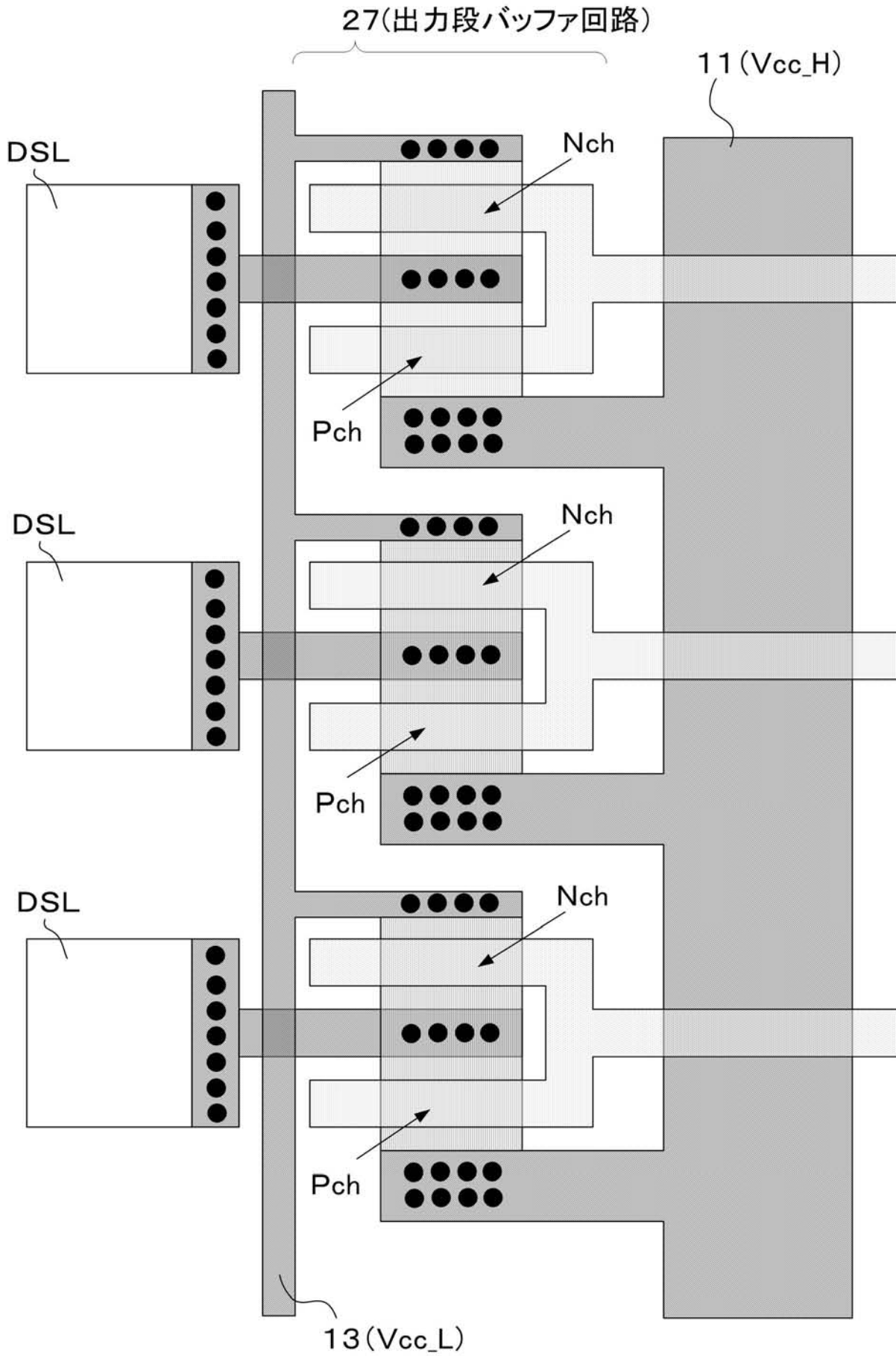
【図10】



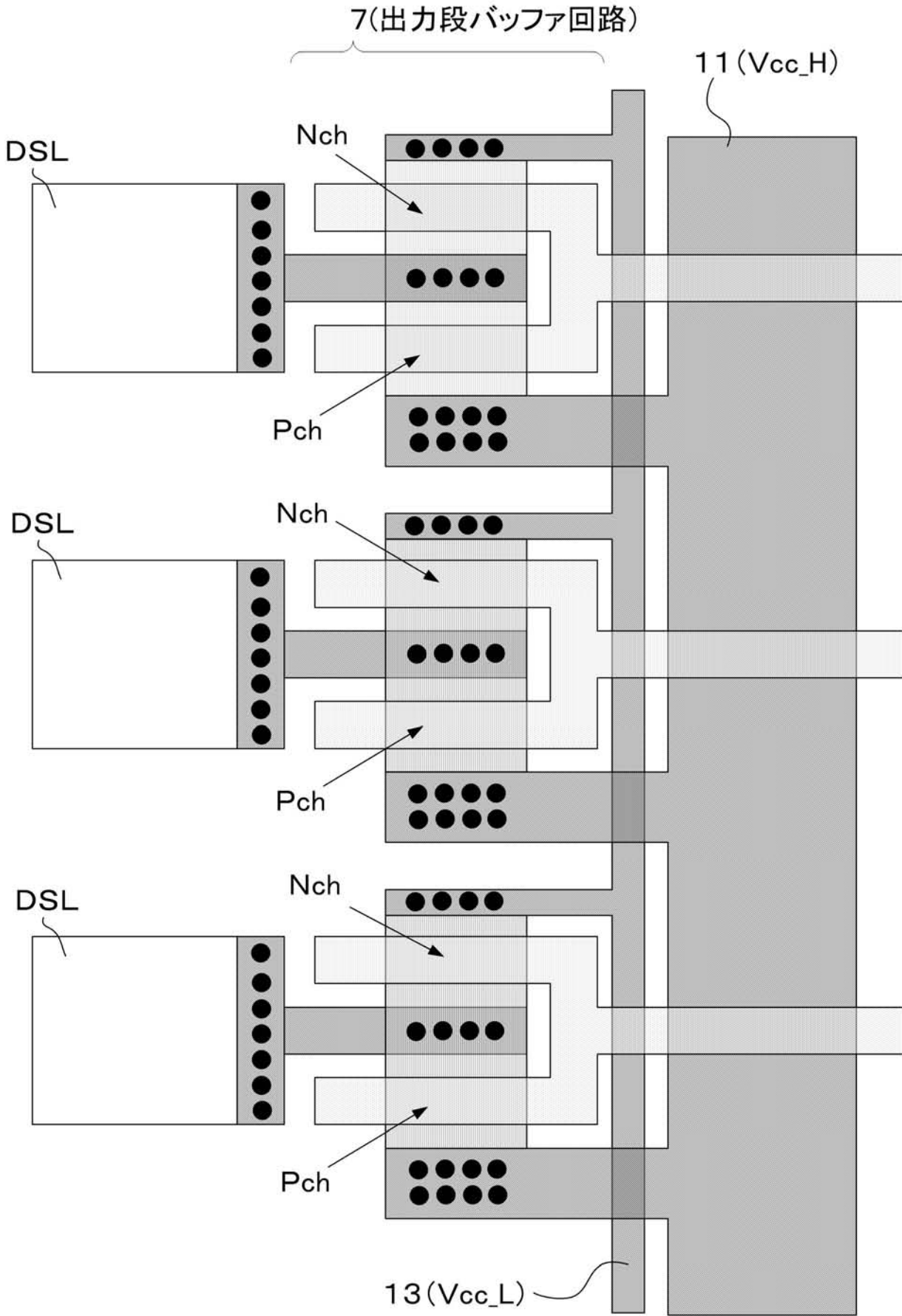
【図11】



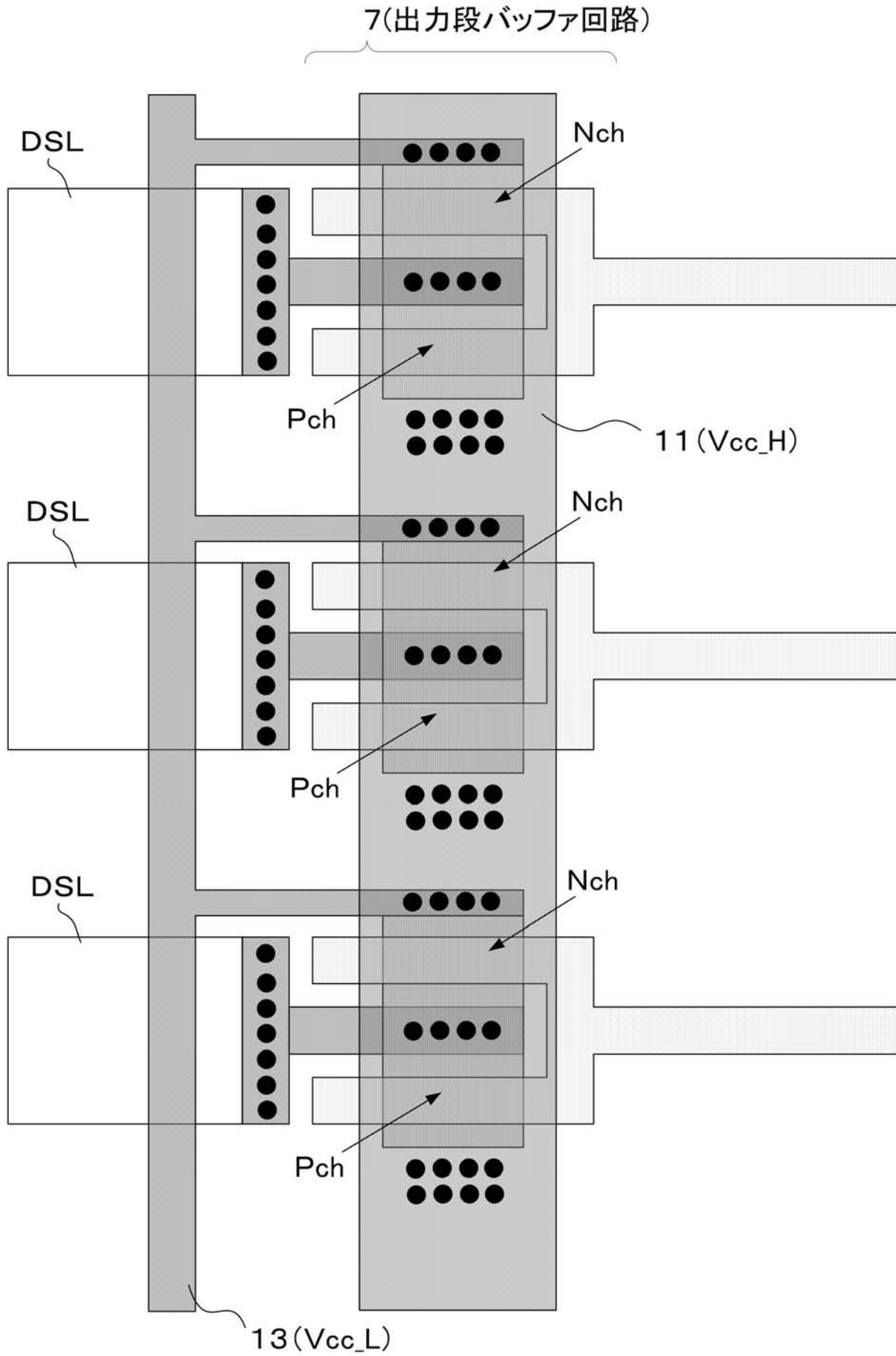
【図 12】



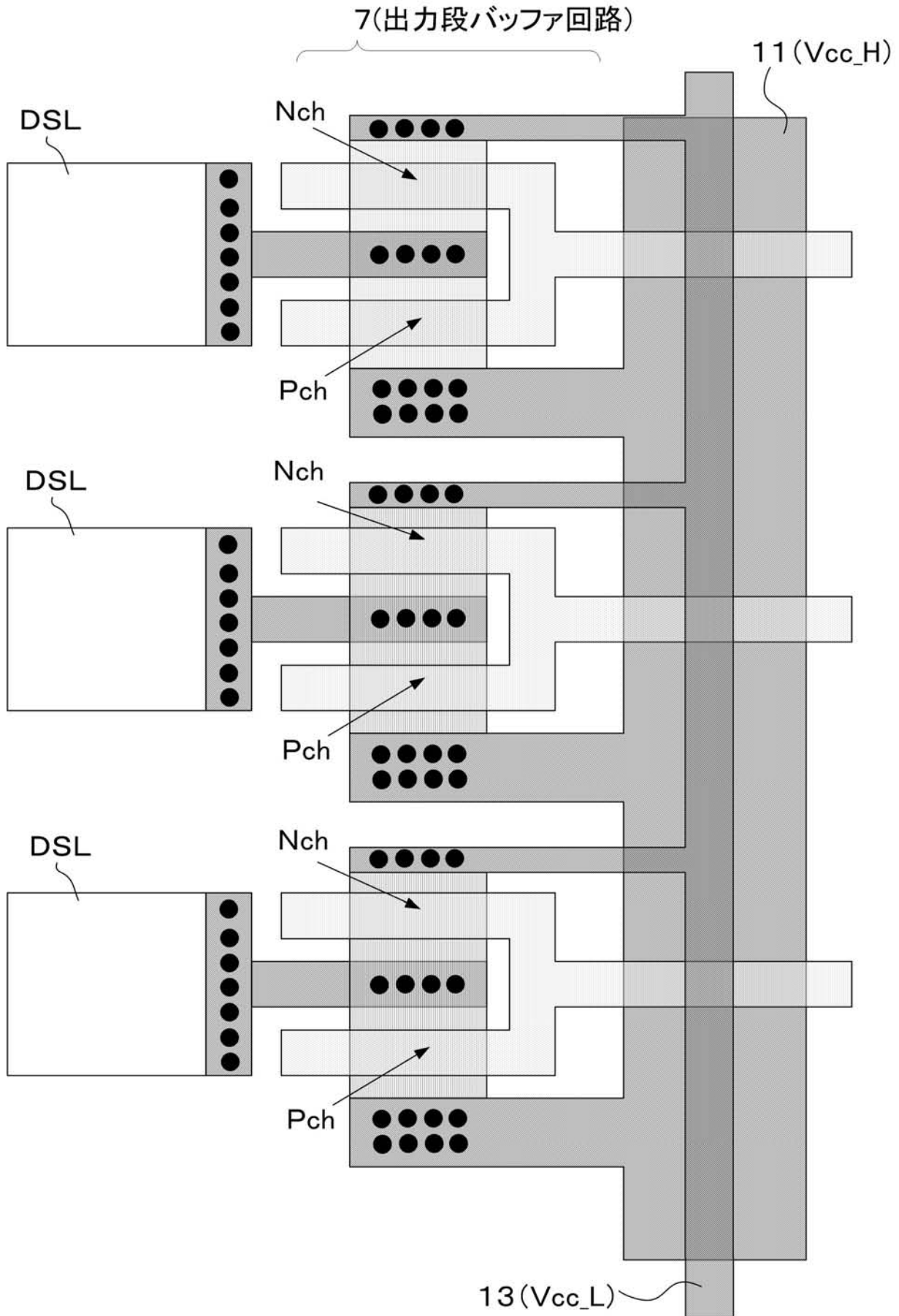
【図 13】



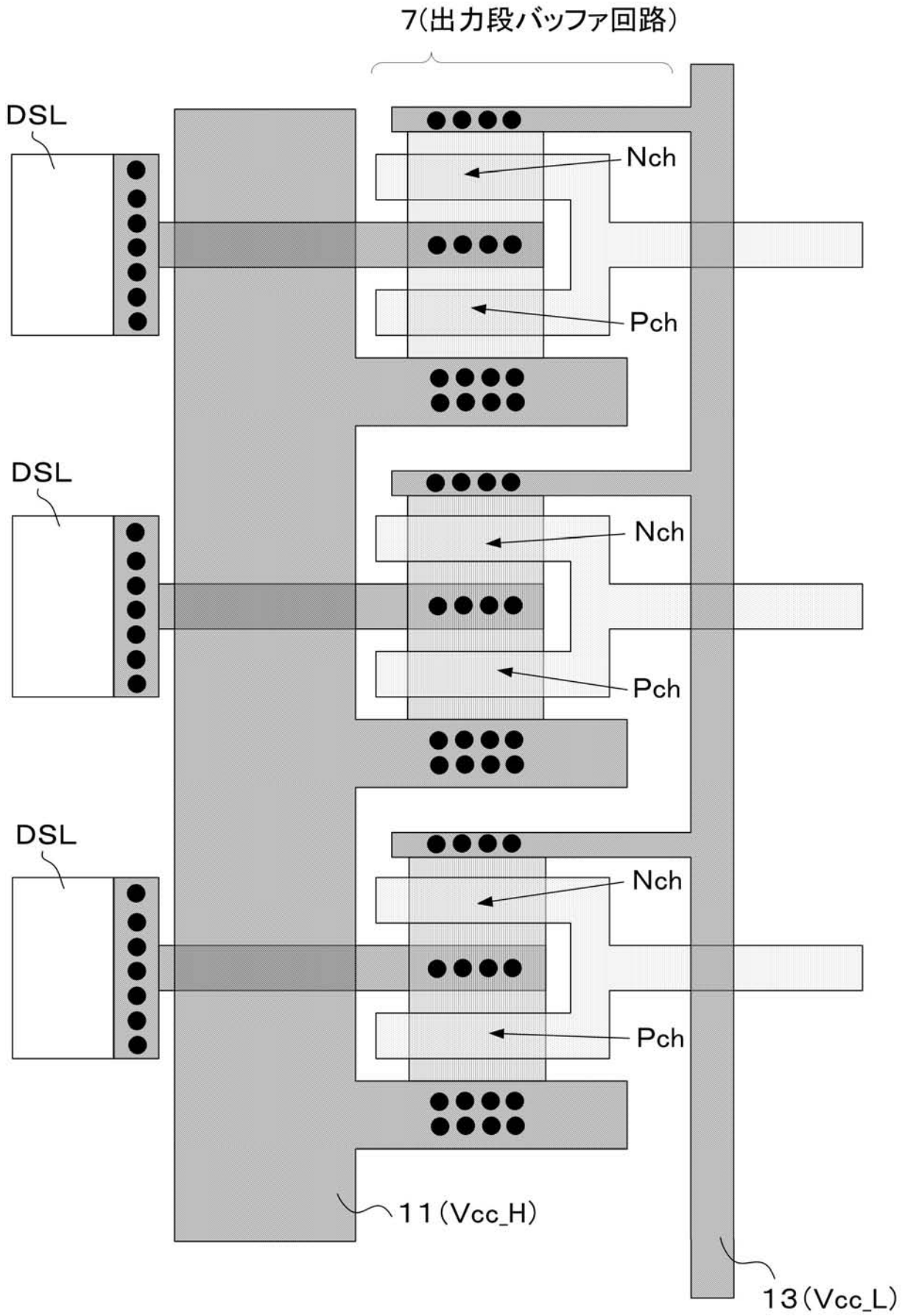
【図14】



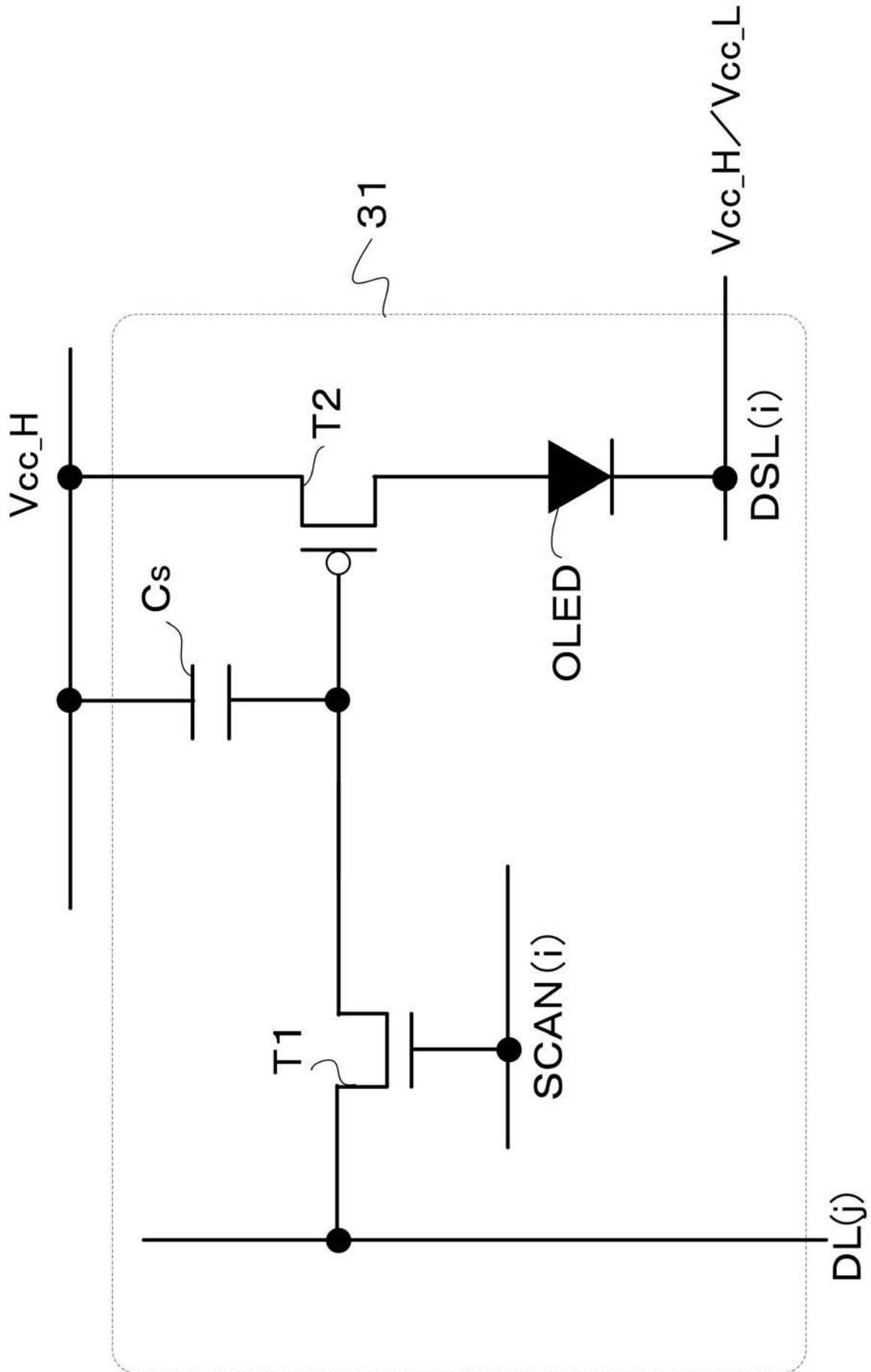
【図15】



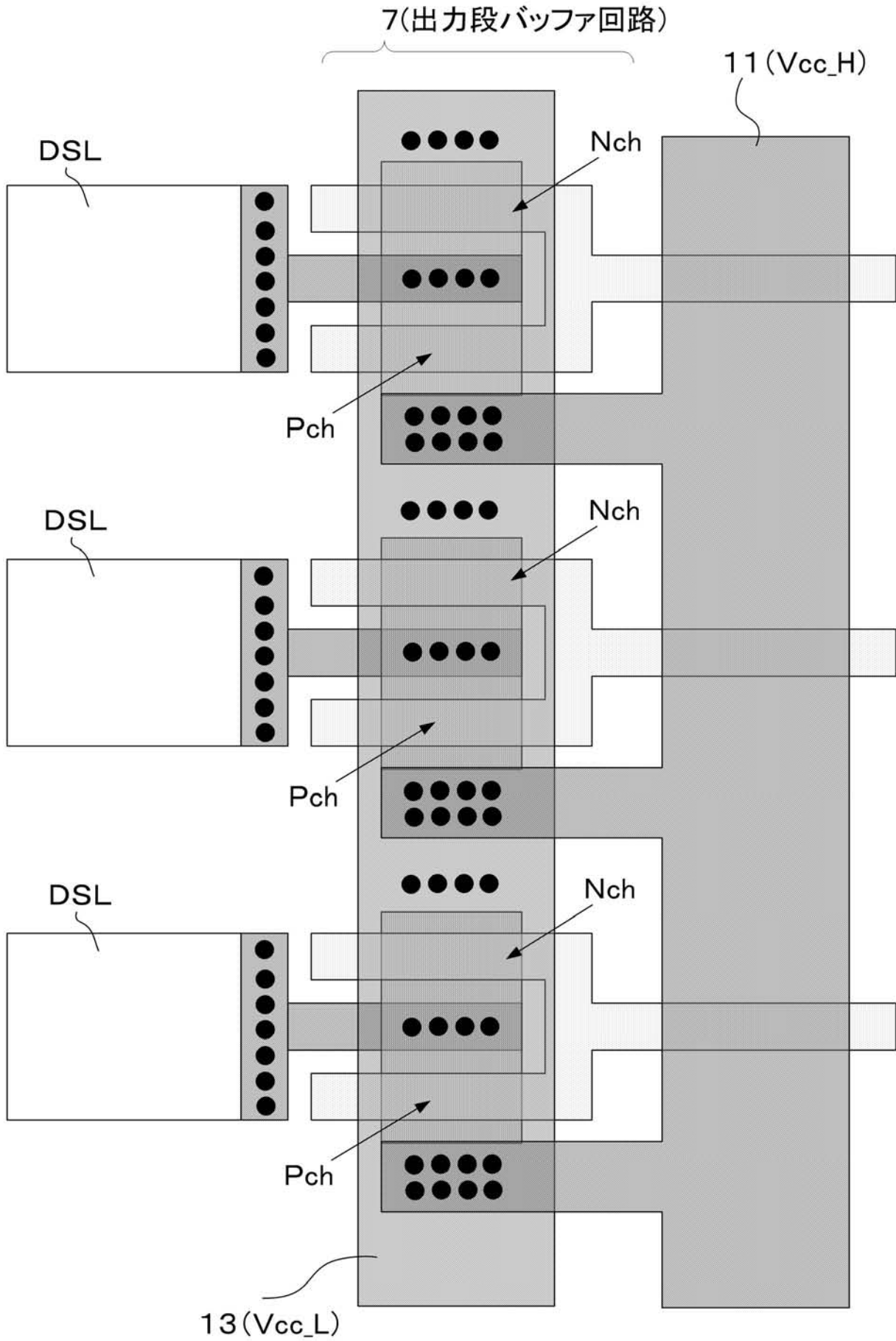
【図16】



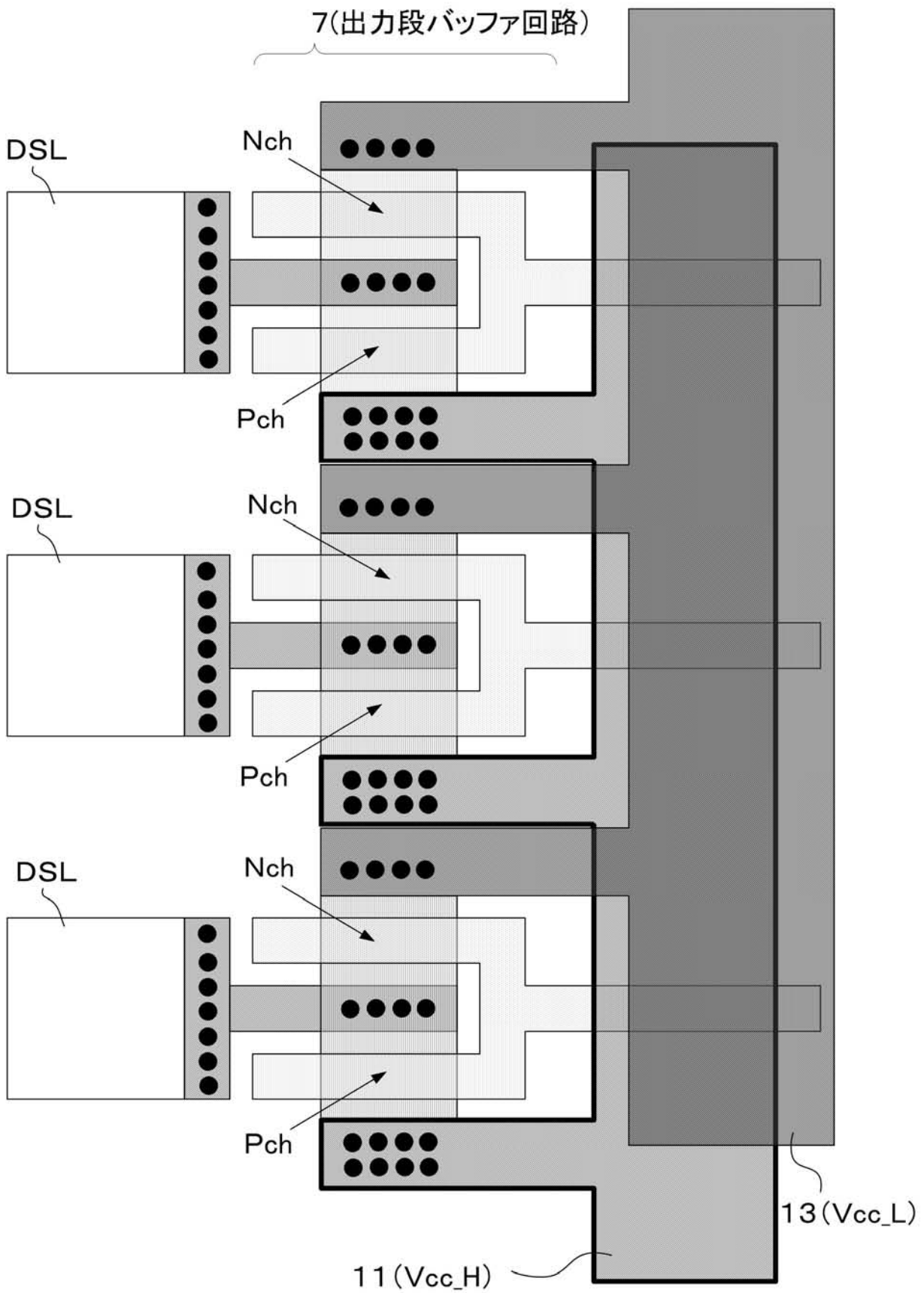
【 図 17 】



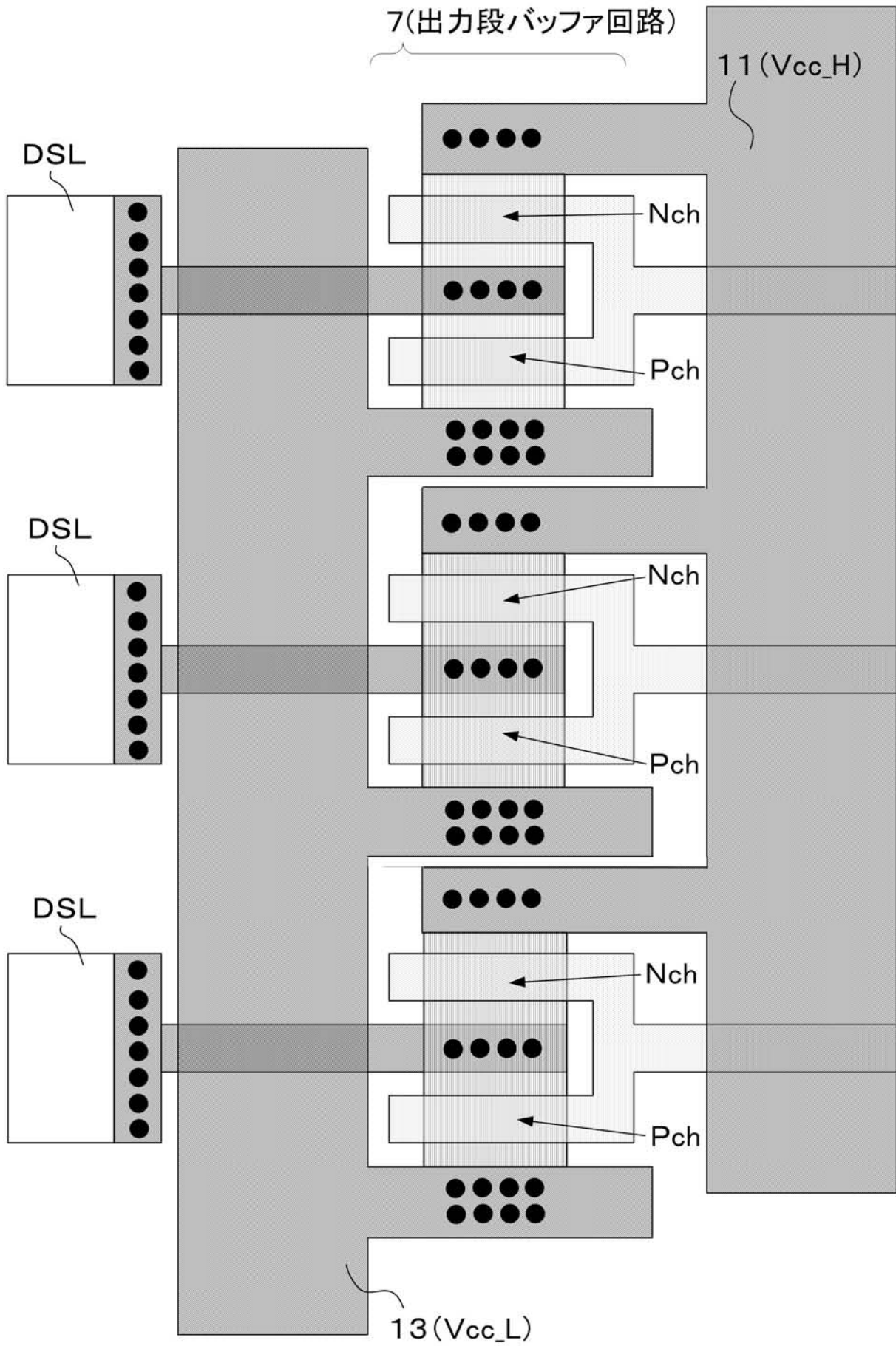
【図 18】



【図 19】



【図20】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/30 3 6 5 Z

H 0 5 B 33/14 A

G 0 9 G 3/20 6 1 2 G

Fターム(参考) 5C080 AA06 BB05 DD18 DD19 JJ02 JJ03 JJ04 JJ05 JJ06 KK02
KK07 KK43
5C094 AA03 AA21 AA34 AA53 BA03 BA27 DB01 DB04 DB10

专利名称(译)	EL显示面板，电源线驱动装置和电子设备		
公开(公告)号	JP2009014796A	公开(公告)日	2009-01-22
申请号	JP2007173590	申请日	2007-06-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	富田昌嗣 浅野慎		
发明人	富田 昌嗣 浅野 慎		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0256 G09G2320/043 G09G2320/045 G09G2330/02 G09G3/30 G09G3/3275 G09G2310 /0286 G09G2310/08 G09G2330/021 H01L27/3276		
FI分类号	G09G3/30.J G09G3/20.621.M G09G3/20.680.G G09G3/20.670.A G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09G3/20.612.G G09F9/30.365 G09G3/20.624.B G09G3/3233 G09G3/3266 G09G3 /3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC26 3K107/CC29 3K107/CC45 3K107/EE03 3K107/HH00 3K107 /HH05 5C080/AA06 5C080/BB05 5C080/DD18 5C080/DD19 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C094/AA03 5C094/AA21 5C094 /AA34 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DB01 5C094/DB04 5C094/DB10 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB27 5C380/AB32 5C380 /AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC20 5C380/BA10 5C380/BA19 5C380/BA20 5C380/BA29 5C380/BA33 5C380/BA34 5C380/BA38 5C380/BA39 5C380 /BB02 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CB37 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380 /CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC71 5C380/CD012 5C380/CD022 5C380/CE04 5C380/CF07 5C380/CF22 5C380/CF23 5C380/DA02 5C380/DA06 5C380 /DA47 5C380/DA50		
代理人(译)	头师 教文		
外部链接	Espacenet		

摘要(译)

解决的问题：在传统的布线图案中，在施加高压的驱动电源线和高电位电源线之间极有可能发生由于灰尘等引起的层间短路。 解决方案：在通过两种类型的电源电势（高电势和低电势）以行为单位控制像素电路的发光状态和不发光状态的方法的显示面板中，基于电源线驱动脉冲会产生高电势电源电势。 以及将高电位电源电位提供给电源线驱动电路的高电位电源线，以及将低电位电源电位和低电位电力电位之一提供给相应的驱动电源线的电源线驱动电路。 向电源线驱动电路提供低电位电源电位的高电位电源线和低电位电源线布置在不与电源线相交的位置。 [选择图]图10

27(出力給バッファ回路)

