

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-203654

(P2008-203654A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl. F 1 テーマコード (参考)
G09G 3/30 (2006.01) G09G 3/30 J 3K107
G09G 3/20 (2006.01) G09G 3/20 611H 5C080
H01L 51/50 (2006.01) G09G 3/20 624B
G09G 3/20 641D
G09G 3/20 642A

審査請求 未請求 請求項の数 5 OJ (全 18 頁) 最終頁に続く

(21) 出願番号	特願2007-41191 (P2007-41191)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成19年2月21日 (2007. 2. 21)	(74) 代理人	100092336 弁理士 鈴木 晴敏
		(72) 発明者	内野 勝秀 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	山本 哲郎 東京都港区港南1丁目7番1号 ソニー株式会社内
		F ターム (参考)	3K107 AA01 BB01 CC21 CC33 EE03 HH00 HH04 HH05 5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ05

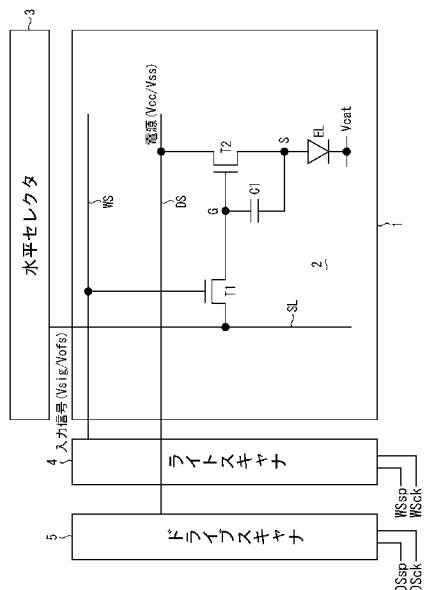
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】制御シーケンスの複雑化に伴う発光輝度のムラを抑制可能な表示装置を提供する。

【解決手段】画素2は、発光素子ELとサンプリング用トランジスタT1と駆動用トランジスタT2と保持容量C1とを含む。サンプリング用トランジスタT1は、走査線WSから供給された制御信号に応じて導通し、信号線SLから供給された信号電位Vsigをサンプリングして保持容量C1に保持する。制御用スキャナ4は、信号線SLが信号電位Vsigにある時間帯にサンプリング用トランジスタT1を導通状態にするため、所定の時間幅の制御信号を走査線WSに出力し、以って保持容量C1に信号電位Vsigを保持すると同時に駆動用トランジスタT2の移動度μに対する補正を信号電位Vsigに加える。その際、制御信号の高電位側と低電位側の中間レベルが、信号電位の最大レベルにサンプリング用トランジスタT1の閾電圧を加算したレベルと一致するように設定する。

【選択図】図2



【特許請求の範囲】

【請求項 1】

画素アレイ部とこれを駆動する駆動部とからなり、
前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、
前記駆動部は、各走査線を低電位と高電位の間で切り換えることで順次制御信号を出力し、画素を行単位で線順次走査する制御用スキャナと、
該線順次走査に合わせて各給電線に第1電位と第2電位で切り換わる電源電圧を供給する電源スキャナと、
該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクタとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している表示装置であって、

前記サンプリング用トランジスタは、該走査線から供給された制御信号に応じて導通し、該信号線から供給された信号電位をサンプリングして該保持容量に保持し、

前記駆動用トランジスタは、第1電位にある該給電線から電流の供給を受け該保持された信号電位に応じて駆動電流を該発光素子に流し、

前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、所定の時間幅の制御信号を該走査線に出力し、以って前記保持容量に信号電位を保持すると同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、

前記制御用スキャナは、該制御信号の高電位側と低電位側の中間レベルが、該信号電位の最大レベルに該サンプリング用トランジスタの閾電圧を加算したレベルと一致するよう設定することを特徴とする表示装置。

【請求項 2】

前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、該時間帯より時間幅の短いパルス状の制御信号を該走査線に出力し、該サンプリング用トランジスタのゲートに印加してこれを導通状態にすることを特徴とする請求項1記載の表示装置。

【請求項 3】

前記制御用スキャナは、該保持容量に信号電位が保持された時点で、該サンプリング用トランジスタを非導通状態にして該駆動用トランジスタのゲートを該信号線から電気的に切り離し、以って該駆動用トランジスタのソース電位の変動にゲート電位が連動しゲートとソース間の電圧を一定に維持することを特徴とする請求項1記載の表示装置。

【請求項 4】

前記電源スキャナは、該サンプリング用トランジスタが信号電位をサンプリングする前に、第1タイミングで該給電線を第1電位から第2電位に切り換え、

前記制御用スキャナは、同じく該サンプリング用トランジスタが信号電位をサンプリングする前に、第2タイミングで該サンプリング用トランジスタを導通させて該信号線から基準電位を該駆動用トランジスタのゲートに印加するとともに該駆動用トランジスタのソースを第2電位にセットし、

前記電源スキャナは、該第2タイミングの後の第3タイミングで、該給電線を第2電位から第1電位に切り換えて、該駆動用トランジスタの閾電圧に相当する電圧を該保持容量に保持しておくことを特徴とする請求項1記載の表示装置。

10

20

30

40

50

【請求項 5】

画素アレイ部とこれを駆動する駆動部とからなり、
前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、

前記駆動部は、各走査線を低電位と高電位の間で切り換えることで順次制御信号を出力し、画素を行単位で線順次走査する制御用スキャナと、

該線順次走査に合わせて各給電線に第1電位と第2電位で切り換わる電源電圧を供給する電源スキャナと、

該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクタとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している表示装置の駆動方法であって、

前記サンプリング用トランジスタが、該走査線から供給された制御信号に応じて導通し、該信号線から供給された信号電位をサンプリングして該保持容量に保持し、

前記駆動用トランジスタが、第1電位にある該給電線から電流の供給を受け該保持された信号電位に応じて駆動電流を該発光素子に流し、

前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、所定の時間幅の制御信号を該走査線に出力し、以って前記保持容量に信号電位を保持すると同時に、該駆動用トランジスタの移動度に対する補正を信号電位に加え、

該制御信号の高電位側と低電位側の中間レベルが、該信号電位の最大レベルに該サンプリング用トランジスタの閾電圧を加算したレベルと一致するように設定することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数μs程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1ないし5に記載されている。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

10

20

30

40

50

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【0004】

図18は従来のアクティブマトリクス型表示装置の一例を示す模式的な回路図である。表示装置は画素アレイ部1と周辺の駆動部とで構成されている。駆動部は水平セレクタ3とライトスキャナ4を備えている。画素アレイ部1は列状の信号線SLと行状の走査線WSを備えている。各信号線SLと走査線WSの交差する部分に画素2が配されている。図では理解を容易にするため、1個の画素2のみを表してある。ライトスキャナ4はシフトレジスタを備えており、外部から供給されるクロック信号ckに応じて動作し同じく外部から供給されるスタートパルスspを順次転送することで、走査線WSに順次制御信号を出力する。水平セレクタ3はライトスキャナ4側の線順次走査に合わせて映像信号を信号線SLに供給する。

10

【0005】

画素2はサンプリング用トランジスタT1と駆動用トランジスタT2と保持容量C1と発光素子ELとで構成されている。駆動用トランジスタT2はPチャネル型であり、そのソースは電源ラインに接続し、そのドレインは発光素子ELに接続している。駆動用トランジスタT2のゲートはサンプリング用トランジスタT1を介して信号線SLに接続している。サンプリング用トランジスタT1はライトスキャナ4から供給される制御信号に応じて導通し、信号線SLから供給される映像信号をサンプリングして保持容量C1に書き込む。駆動用トランジスタT2は保持容量C1に書き込まれた映像信号をゲート電圧Vgsとしてそのゲートに受け、ドレイン電流Idsを発光素子ELに流す。これにより発光素子ELは映像信号に応じた輝度で発光する。ゲート電圧Vgsは、ソースを基準にしたゲートの電位を表している。

20

【0006】

駆動用トランジスタT2は飽和領域で動作し、ゲート電圧Vgsとドレイン電流Idsの関係は以下の特性式で表される。

$$I_{ds} = (1/2) \mu (W/L) C_o \times (V_{gs} - V_{th})^2$$

ここで μ は駆動用トランジスタの移動度、Wは駆動用トランジスタのチャネル幅、Lは同じくチャネル長、 C_o は同じくゲート絶縁容量、 V_{th} は同じく閾電圧である。この特性式から明らかなように駆動用トランジスタT2は飽和領域で動作するとき、ゲート電圧 V_{gs} に応じてドレイン電流 I_{ds} を供給する定電流源として機能する。

30

【0007】

図19は、発光素子ELの電圧/電流特性を示すグラフである。横軸にアノード電圧Vを示し、縦軸に駆動電流Idsをとっている。なお発光素子ELのアノード電圧は駆動用トランジスタT2のドレイン電圧となっている。発光素子ELは電流/電圧特性が経時変化し、特性カーブが時間の経過と共に寝ていく傾向にある。このため駆動電流Idsが一定であってもアノード電圧(ドレイン電圧)Vが変化していく。その点、図18に示した画素回路2は駆動用トランジスタT2が飽和領域で動作し、ドレイン電圧の変動に関わらずゲート電圧 V_{gs} に応じた駆動電流 I_{ds} を流すことができるので、発光素子ELの特性経時変化に関わらず発光輝度を一定に保つことが可能である。

40

【0008】

図20は、従来の画素回路の他の例を示す回路図である。先に示した図18の画素回路と異なる点は、駆動用トランジスタT2がPチャネル型からNチャネル型に変わっていることである。回路の製造プロセス上は、画素を構成する全てのトランジスタをNチャネル型にすることが有利である場合が多い。

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら図20の回路構成では、駆動用トランジスタT2がNチャネル型であるため、そのドレインが電源ラインに接続する一方、ソースSが発光素子ELのアノードに接

50

続することになる。したがって発光素子 E L の特性が経時変化した場合、ソース S の電位に影響が現れるため、V g s が変動し駆動用トランジスタ T 2 が供給するドレイン電流 I d s が経時的に変化してしまう。このため発光素子 E L の輝度が経時的に変化するという課題がある。

【0010】

また駆動用トランジスタ T 2 の閾電圧 V t h や移動度 μ も画素毎にばらつく。これらのパラメータ μ や V t h は前述したトランジスタ特性式に含まれるため、V g s が一定でも I d s が変化してしまう。これにより画素毎に発光輝度が変化し、解決すべき課題となっている。

【課題を解決するための手段】

【0011】

上述した従来の技術の課題に鑑み、本発明は 2 個のトランジスタと 1 個の保持容量と 1 個の発光素子で構成された単純な画素回路で、発光素子の特性変動、駆動用トランジスタの閾電圧や移動度のばらつきなどの影響を受けることなく、発光輝度の一様な表示装置を提供することを目的とする。画素回路の構成素子数を可能な限り抑えた上で種々の発光輝度ばらつき要因を取り除く構成にすると、必然的に制御シーケンスや信号及び電源の電位設定が複雑化し、これが原因で発光輝度にムラが現れることがある。そこで本発明は特に制御シーケンスや電位設定の複雑化に伴う発光輝度のムラを抑制可能な表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、前記駆動部は、各走査線を低電位と高電位の間で切り換えることで順次制御信号を出力し画素を行単位で線順次走査する制御用スキャナと、該線順次走査に合わせて各給電線に第 1 電位と第 2 電位で切り換わる電源電圧を供給する電源スキャナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクタとを備え、前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している表示装置であって、前記サンプリング用トランジスタは、該走査線から供給された制御信号に応じて導通し、該信号線から供給された信号電位をサンプリングして該保持容量に保持し、前記駆動用トランジスタは、第 1 電位にある該給電線から電流の供給を受け該保持された信号電位に応じて駆動電流を該発光素子に流し、前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、所定の時間幅の制御信号を該走査線に出力し、以って前記保持容量に信号電位を保持すると同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、前記制御用スキャナは、該制御信号の高電位側と低電位側の中間レベルが、該信号電位の最大レベルに該サンプリング用トランジスタの閾電圧を加算したレベルと一致するように設定することを特徴とする。

【0012】

好ましくは、前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、該時間帯より時間幅の短いパルス状の制御信号を該走査線に出力し、該サンプリング用トランジスタのゲートに印加してこれを導通状態にする。また前記制御用スキャナは、該保持容量に信号電位が保持された時点で、該サンプリング用トランジスタを非導通状態にして該駆動用トランジスタのゲートを該信号線から電気的に切り離し、以って該駆動用トランジスタのソース電位の変動にゲート電位が連動しゲートとソース間の電圧を一定に維持する。また前記電源スキャナは、該サンプリング用トランジスタが信号電位をサンプリングする前に、第 1 タイミングで該給電線を第 1 電位から第 2 電位に切り換え、前記制御用スキャナは、同じく該サンプリング用トランジ

10

20

30

40

50

スタが信号電位をサンプリングする前に、第2タイミングで該サンプリング用トランジスタを導通させて該信号線から基準電位を該駆動用トランジスタのゲートに印加するとともに該駆動用トランジスタのソースを第2電位にセットし、前記電源スキャナは、該第2タイミングの後の第3タイミングで、該給電線を第2電位から第1電位に切り換えて、該駆動用トランジスタの閾電圧に相当する電圧を該保持容量に保持しておく。

【発明の効果】

【0013】

本発明によれば、有機ELデバイスなどの発光素子を画素に用いたアクティブマトリクス型の表示装置において、各画素が駆動用トランジスタの移動度補正機能を備えており、望ましくは駆動用トランジスタの閾電圧補正機能や有機ELデバイスの経時変動補正機能（ブートストラップ機能）も備えており、高品位の画質を得ることができる。本発明では電源電圧及び信号電位をスイッチングすることにより構成素子数と配線数を最低限に抑えた回路構成で、上述した多様な補正機能を実装することができる。個々の画素の構成素子数がトランジスタ2個と保持容量1個と発光素子1個と最低限であり、これにより画素のレイアウト面積を小さくすることができる。よって高品位且つ高精細なフラットディスプレイを提供することが可能になる。

10

【0014】

ところで素子数を抑えたまま種々の補正機能を実装すると、必然的に制御シーケンスや電源及び信号の電位設定が複雑になる。その影響を受け、保持容量に対する映像信号の書き込み時間にはらつき生じ、発光輝度のムラとなって現れることがある。そこで本発明は、サンプリング用トランジスタの導通を制御する制御信号の高電位側と低電位側の中間レベルが、ちょうど信号電位の最大レベルにサンプリング用トランジスタの閾電圧を加算したレベルと一致するようにしている。これによりサンプリング用トランジスタの導通している時間（即ち信号電位の書き込み時間）が一定となり、画素間でばらつきがなくなる。これにより、制御シーケンスや電位設定の複雑化に伴い生じがちな発光輝度のムラを抑制することができる。

20

【発明を実施するための最良の形態】

【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる表示装置の全体構成を示すブロック図である。図示するように、本表示装置は、画素アレイ部1とこれを駆動する駆動部(3, 4, 5)とからなる。画素アレイ部1は、行状の走査線WSと、列状の信号線SLと、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線DSとを備えている。駆動部(3, 4, 5)は、各走査線WSに順次制御信号を供給して画素2を行単位で線順次走査する制御用スキャナ（ライトスキャナ）4と、この線順次走査に合わせて各給電線DSに第1電位と第2電位で切換る電源電圧を供給する電源スキャナ（ドライブスキャナ）5と、この線順次走査に合わせて列状の信号線SLに映像信号となる信号電位と基準電位を供給する信号セレクタ（水平セレクタ）3とを備えている。なおライトスキャナ4は外部から供給されるクロック信号WSc_kに応じて動作し同じく外部から供給されるスタートパルスWSpを順次転送することで、各走査線WSに制御信号を出力している。ドライブスキャナ5は外部から供給されるクロック信号DSc_kに応じて動作し、同じく外部から供給されるスタートパルスDSPを順次転送することで、給電線DSの電位を線順次で切換えている。

30

【0016】

図2は、図1に示した表示装置に含まれる画素2の具体的な構成を示す回路図である。図示するように本画素回路2は、有機ELデバイスなどで代表される2端子型（ダイオード型）の発光素子ELと、Nチャネル型のサンプリング用トランジスタT1と、同じくNチャネル型の駆動用トランジスタT2と、薄膜タイプの保持容量C1とで構成されている。サンプリング用トランジスタT1はそのゲートが走査線WSに接続し、そのソース及びドレインの一方が信号線SLに接続し、他方が駆動用トランジスタT2のゲートGに接続している。駆動用トランジスタT2は、そのソース及びドレインの一方が発光素子ELに

40

50

接続し、他方が給電線 D S に接続している。本形態は駆動用トランジスタ T 2 が N チャネル側であり、ドレイン側が給電線 D S に接続し、ソース S 側が発光素子 E L のアノード側に接続している。発光素子 E L のカソードは所定のカソード電位 V c a t に固定されている。保持容量 C 1 は駆動用トランジスタ T 2 のソース S とゲート G との間に接続している。かかる構成を有する画素 2 に対して、制御用スキャナ（ライトスキャナ）4 は、走査線 W S を低電位と高電位の間で切り換えることで順次制御信号を出力し、画素 2 を行単位で線順次走査する。電源スキャナ（ドライブスキャナ）5 は、線順次走査に合わせて各給電線 D S に第 1 電位 V c c と第 2 電位 V s s で切換る電源電圧を供給している。信号セレクタ（水平セレクタ）3 は、線順次走査に合わせて列状の信号線 S L に映像信号となる信号電位 V s i g と基準電位 V o f s を供給している。

10

【0017】

かかる構成において、サンプリング用トランジスタ T 1 は、走査線 W S から供給された制御信号に応じて導通し、信号線 S L から供給された信号電位 V s i g をサンプリングして保持容量 C 1 に保持する。駆動用トランジスタ T 2 は、第 1 電位 V c c にある給電線 D S から電流の供給を受け保持容量 C 1 に保持された信号電位 V s i g に応じて駆動電流を発光素子 E L に流す。制御用スキャナ 4 は、信号線 S L が信号電位 V s i g にある時間帯にサンプリング用トランジスタ T 1 を導通状態にするため、所定の時間幅の制御信号を走査線 W S に出力し、以って保持容量 C 1 に信号電位 V s i g を保持すると同時に駆動用トランジスタ T 2 の移動度 μ に対する補正を信号電位 V s i g に加える。

20

【0018】

本発明の特徴事項として制御用スキャナ（ライトスキャナ）4 は制御信号の高電位側と低電位側の中間レベルが信号電位 V s i g の最大レベル（即ち白階調に対応するレベル）にサンプリング用トランジスタ T 1 の閾電圧を加算したレベルと一致するように設定する。その際好ましくは、制御用スキャナ 4 は、信号線 S L が信号電位 V s i g にある時間帯にサンプリング用トランジスタ T 1 を導通状態にするため、該時間帯より時間幅の短いパルス状の制御信号を走査線 W S に出力し、サンプリング用トランジスタ T 1 のゲートに印加してこれを導通状態にする。

20

【0019】

素子数を抑えたまま種々の補正機能を実装すると、必然的に制御シーケンスや電源及び信号の電位設定が複雑になる。その影響を受け、保持容量に対する映像信号の書き込み時間にはらつき生じ、発光輝度のムラとなって現れることがある。そこで本発明は、サンプリング用トランジスタの導通を制御する制御信号の高電位側と低電位側の中間レベルが、ちょうど信号電位の最大レベルにサンプリング用トランジスタの閾電圧を加算したレベルと一致するようにしている。これによりサンプリング用トランジスタの導通している時間（即ち信号電位の書き込み時間で且つ移動度補正時間）が一定となり、画素間でばらつきがなくなる。これにより、制御シーケンスや電位設定の複雑化に伴い生じがちな発光輝度のムラを抑制することができる。

30

【0020】

図 2 に示した画素回路は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ（ドライブスキャナ）5 はサンプリング用トランジスタ T 1 が信号電位 V s i g をサンプリングする前に、第 1 タイミングで給電線 D S を第 1 電位 V c c から第 2 電位 V s s に切り換える。制御用スキャナ（ライトスキャナ）4 は、同じくサンプリング用トランジスタ T 1 が信号電位 V s i g をサンプリングする前に、第 2 タイミングでサンプリング用トランジスタ T 1 を導通させて信号線 S L から基準電位 V o f s を駆動用トランジスタ T 2 のゲート G に印加すると共に、駆動用トランジスタ T 2 のソース S を第 2 電位 V s s にセットする。電源スキャナ（ドライブスキャナ）5 は、第 2 タイミングの後の第 3 タイミングで、給電線 D S を第 2 電位 V s s から第 1 電位 V c c に切り換えて、駆動用トランジスタ T 2 の閾電圧 V t h に相当する電圧を保持容量 C 1 に保持しておく。かかる閾電圧補正機能より、本表示装置は画素毎にはらつく駆動用トランジスタ T 2 の閾電圧 V t h の影響をキャンセルすることができる。なお、第 1 タイミングと第 2 タイミング

40

50

グの前後は問わない。

【0021】

図2に示した画素回路2はさらにブートストラップ機能も備えている。即ちライトスキャナ4は、保持容量C1に信号電位Vsigが保持された時点で、サンプリング用トランジスタT1を非導通状態にして駆動用トランジスタT2のゲートGを信号線SLから電気的に切り離し、以って駆動用トランジスタT2のソース電位の変動にゲート電位が連動しゲートGとソースS間の電圧Vgsを一定に維持する。発光素子ELの電流／電圧特性が経時変動しても、ゲート電圧Vgsを一定に維持することができ、輝度の変化が生じない。

【0022】

図3は、図2に示した画素の動作説明に供するタイミングチャートである。なおこのタイミングチャートは一例であって、図2に示した画素回路の制御シーケンスは図3のタイミングチャートに限られるものではない。このタイミングチャートは時間軸を共通にして、走査線WSの電位変化、給電線DSの電位変化、信号線SLの電位変化を表してある。走査線WSの電位変化は制御信号を表し、サンプリング用トランジスタT1の開閉制御を行っている。給電線DSの電位変化は、電源電圧Vcc, Vssの切換えを表している。また信号線SLの電位変化は入力信号の信号電位Vsigと基準電位Vofsの切換えを表している。またこれらの電位変化と並行に、駆動用トランジスタT2のゲートG及びソースSの電位変化も表している。前述したようにゲートGとソースSの電位差がVgsである。

10

20

【0023】

このタイミングチャートは画素の動作の遷移に合わせて期間を(1)～(7)のように便宜的に区切ってある。当該フィールドに入る直前の期間(1)では発光素子ELが発光状態にある。その後順次走査の新しいフィールドに入ってまず最初の期間(2)で給電線DSを第1電位Vccから第2電位Vssに切り換える。次の期間(3)に進み入力信号をVsigからVofsに切り換える。さらに次の期間(4)でサンプリングトランジスタT1をオンする。この期間(2)～(4)で駆動用トランジスタT2のゲート電圧及びソース電圧を初期化する。その期間(2)～(4)は閾電圧補正のための準備期間であり、駆動用トランジスタT2のゲートGがVofsに初期化される一方、ソースSがVssに初期化される。続いて閾値補正期間(5)で実際に閾電圧補正動作が行われ、駆動用トランジスタT2のゲートGとソースSとの間に閾電圧Vthに相当する電圧が保持される。実際にはVthに相当する電圧が、駆動用トランジスタT2のゲートGとソースSとの間に接続された保持容量C1に書き込まれることになる。この後書き込み期間／移動度補正期間(6)に進む。ここで映像信号の信号電位VsigがVthに足し込まれる形で保持容量C1に書き込まれると共に、移動度補正用の電圧Vが保持容量C1に保持された電圧から差し引かれる。この書き込み期間／移動度補正期間(6)では、信号線SLが信号電位Vsigにある時間帯にサンプリング用トランジスタT1を導通状態にする必要がある。この後発光期間(7)に進み、信号電位Vsigに応じた輝度で発光素子が発光する。その際信号電位Vsigは閾電圧Vthに相当する電圧と移動度補正用の電圧Vとによって調整されているため、発光素子ELの発光輝度は駆動用トランジスタT2の閾電圧Vthや移動度μのばらつきの影響を受けることはない。なお発光期間(7)の最初でブートストラップ動作が行われ、駆動用トランジスタT2のゲートG／ソースS間電圧Vgsを一定に維持したまま、駆動用トランジスタT2のゲート電位及びソース電位が上昇する。

30

40

【0024】

引き続き図4～図11を参照して、図2に示した画素回路の動作を詳細に説明する。まず図4に示したように発光期間(1)では、電源電位がVccにセットされ、サンプリング用トランジスタT1はオフしている。このとき駆動用トランジスタT2は飽和領域で動作するようにセットされているため、発光素子ELに流れる駆動電流Idsは駆動用トランジスタT2のゲートG／ソースS間に印加される電圧Vgsに応じて、前述したトラン

50

ジスタ特性式で示される値を取る。

【0025】

続いて図5に示すように準備期間(2),(3)に入ると給電線(電源ライン)の電位をV_{ss}にする。このときV_{ss}は発光素子ELの閾電圧V_{the1}とカソード電圧V_{c_{at}}の和よりも小さくなるように設定している。即ちV_{ss} < V_{the1} + V_{c_{at}}であるので、発光素子ELは消灯し、電源ライン側が駆動用トランジスタT2のソースとなる。このとき発光素子ELのアノードはV_{ss}に充電される。

【0026】

さらに図6に示すように次の準備期間(4)に入ると、信号線SLの電位がV_{ofs}になる一方サンプリング用トランジスタT1がオンして、駆動用トランジスタT2のゲート電位をV_{ofs}とする。この様にして駆動用トランジスタT2のソースS及びゲートGが初期化され、このときのゲート電圧V_{gs}はV_{ofs} - V_{ss}の値となる。V_{gs} = V_{ofs} - V_{ss}は駆動用トランジスタT2の閾電圧V_{th}よりも大きな値となるように設定されている。この様にV_{gs} > V_{th}になるように駆動用トランジスタT2を初期化することで、次に来る閾電圧補正動作の準備が完了する。

10

【0027】

続いて図7に示すように閾電圧補正期間(5)に進むと、給電線DS(電源ライン)の電位がV_{cc}に戻る。電源電圧をV_{cc}とすることで発光素子ELのアノードが駆動用トランジスタT2のソースSとなり、図示のように電流が流れる。このとき発光素子ELの等価回路は図示のようにダイオードD_{e1}と容量C_{e1}の並列接続で表される。アノード電位(即ちソース電位V_{ss})がV_{c_{at}} + V_{the1}よりも低いので、ダイオードD_{e1}はオフ状態にあり、そこに流れるリーク電流は駆動用トランジスタT2に流れる電流よりもかなり小さい。よって駆動用トランジスタT2に流れる電流はほとんどが保持容量C₁と等価容量C_{e1}を充電するために使われる。

20

【0028】

図8は図7に示した閾電圧補正期間(5)における駆動用トランジスタT2のソース電圧の時間変化を表している。図示するように、駆動用トランジスタT2のソース電圧(即ち発光素子ELのアノード電圧)は時間と共にV_{ss}から上昇する。閾電圧補正期間(5)が経過すると駆動用トランジスタT2はカットオフし、そのソースSとゲートGとの間の電圧V_{gs}はV_{th}となる。このときソース電位はV_{ofs} - V_{th}で与えられる。この値V_{ofs} - V_{th}は依然としてV_{c_{at}} + V_{the1}よりも低くなっている。発光素子ELは遮断状態にある。

30

【0029】

次に図9に示すように書き込み期間/移動度補正期間(6)に入ると、サンプリング用トランジスタT1を引き続きオンした状態で信号線SLの電位をV_{ofs}からV_{sig}に切り換える。このとき信号電位V_{sig}は階調に応じた電圧となっている。駆動用トランジスタT2のゲート電位はサンプリング用トランジスタT1をオンしているためV_{sig}となる。一方ソース電位は電源V_{cc}から電流が流れるため時間と共に上昇していく。この時点でも駆動用トランジスタT2のソース電位が発光素子ELの閾電圧V_{the1}とカソード電圧V_{c_{at}}の和を超えていないので、駆動用トランジスタT2から流れる電流はもっぱら等価容量C_{e1}と保持容量C₁の充電に使われる。このとき既に駆動用トランジスタT2の閾電圧補正動作は完了しているため、駆動用トランジスタT2が流す電流は移動度μを反映したものとなる。具体的に言うと移動度μが大きい駆動用トランジスタT2はこのときの電流量が大きく、ソースの電位上昇分Vも大きい。逆に移動度μが小さい場合駆動用トランジスタT2の電流量が小さく、ソースの上昇分Vは小さくなる。かかる動作により駆動用トランジスタT2のゲート電圧V_{gs}は移動度μを反映してVだけ圧縮され、移動度補正期間(6)が完了した時点で完全に移動度μを補正したV_{gs}が得られる。

40

【0030】

図10は、上述した移動度補正期間(6)における駆動用トランジスタT2のソース電

50

圧の時間的な変化を示すグラフである。図示するように駆動用トランジスタ T 2 の移動度が大きいとソース電圧は速く上昇し、それだけ V_{g_s} が圧縮される。即ち移動度 μ が大きいとその影響を打ち消すように V_{g_s} が圧縮され、駆動電流が抑制できる。一方移動度 μ が小さい場合駆動用トランジスタ T 2 のソース電圧はそれほど速く上昇しないので、 V_{g_s} も強く圧縮を受けることはない。したがって移動度 μ が小さい場合、駆動用トランジスタの V_{g_s} は小さい駆動能力を補うように大きな圧縮がかからない。

【0031】

図 11 は発光期間 (7) の動作状態を表している。この発光期間 (7) ではサンプリング用トランジスタ T 1 をオフして発光素子 E L を発光させる。駆動用トランジスタ T 2 のゲート電圧 V_{g_s} は一定に保たれており、駆動用トランジスタ T 2 は前述した特性式に従って一定の電流 $I_{d_s'}$ を発光素子 E L に流す。発光素子 E L のアノード電圧（即ち駆動用トランジスタ T 2 のソース電圧）は発光素子 E L に $I_{d_s'}$ という電流が流れるため、 V_x まで上昇しこれが $V_{cat} + V_{the1}$ を超えた時点で発光素子 E L が発光する。発光素子 E L は発光時間が長くなるとその電流 / 電圧特性は変化してしまう。そのため図 11 に示したソース S の電位が変化する。しかしながら駆動用トランジスタ T 2 のゲート電圧 V_{g_s} はブートストラップ動作により一定値に保たれているので、発光素子 E L に流れ電流 $I_{d_s'}$ は変化しない。よって発光素子 E L の電流 / 電圧特性が劣化しても、一定の駆動電流 $I_{d_s'}$ が常に流れていれば、発光素子 E L の輝度が変化することはない。

10

【0032】

図 12 は信号書き込み期間 / 移動度補正期間の動作を表す模式図である。（A）は制御用スキャナに近い側に位置する画素に印加される制御信号波形を表している。換言すると水平に延設された走査線 W S の制御信号入力側で観測される波形である。一方（B）は入力側と反対側で観測される制御信号の波形を表している。

20

【0033】

まず（A）に示すように入力側では、タイミング t_0 で制御信号が立上りサンプリング用トランジスタ T 1 がオンした後、タイミング t_1 で信号線 S L が V_{off} から V_{sig} に切換った後タイミング t_2 で制御信号 W S が立下りサンプリング用トランジスタ T 1 がオフするまでの期間 ($t_1 - t_2$) が前述した書き込み期間 / 移動度補正期間 (6) となっている。入力側では制御信号が劣化しておらず書き込み期間 / 移動度補正期間 (6) は設計仕様通りの時間となっている。

30

【0034】

これに対し（B）に示した入力と反対側では走査線 W S に供給される制御信号が配線抵抗や配線容量の影響を受けて立上り波形や立下り波形が鈍ってしまう。この様に鈍ると書き込み期間 / 移動度期間の始期 t_1 には影響がないものの、終期に影響が現れ、それが生じる。図示の例では、入力側のタイミング t_2 に対して入力と反対側のタイミング t_2' は後方にシフトしてしまう。この様に走査線 W S に沿って書き込み期間 / 移動度補正期間がずれてしまうと、移動度 μ の補正のかかり具合に差が生じるため、結果的に V_{g_s} にばらつきが生じ発光輝度のムラとなって現れる。具体的にはパネルの制御信号入力反対側の方が書き込み時間が長くなってしまうため、画面ではシェーディングとなって現れてしまう。特に信号電位 V_{sig} が最大レベルのとき（即ち白表示のとき）移動度補正期間における駆動用トランジスタのソース電位の上昇量 V は大きなものとなる。即ち V_{sig} が高いほど駆動用トランジスタに流れる電流が大きくなり、保持容量に大きな負帰還 V がかかるので、その分ソース電位が大きく上昇する。このため特に白表示において書き込み時間のばらつきが顕著に現れ、シェーディングといった画質ムラが生じる。

40

【0035】

図 13 は、図 3 に示した動作シーケンスの変形例を表しており、上述した書き込み期間 / 移動度補正期間の変動に対処したものである。基本的な制御シーケンスは図 3 に示した先の制御シーケンスと同様であるが、異なる点は書き込み期間 / 移動度補正期間の制御タイミングである。本例では閾電圧補正期間 (5) の後、準備期間 (5a) で一旦走査線 W S をローレベルにしサンプリング用トランジスタ T 1 をオフしている。その後書き込み期

50

間 / 移動度補正期間 (6) 進み、入力信号が V_{sig} にある時間帯で再び走査線 WS をハイレベルとしてサンプリング用トランジスタ T1 をオンしている。即ち本例ではライトスキャナ 4 は、信号線 SL が信号電位 V_{sig} にある時間帯にサンプリング用トランジスタ T1 を導通状態とするため、該時間帯より時間幅の短いパルス状の制御信号を走査線 WS に出力し、サンプリング用トランジスタ T1 のゲートに印加してこれを導通状態にしている。

【0036】

図 14 は、図 13 に示した動作シーケンスの特に書き込み期間 / 移動度補正期間 (6) を取り出して示した模式図である。(A) は入力側の信号状態を表し、(B) は入力と反対側の信号状態を表している。(A) に示すように、信号線 SL がタイミング t_0 で V_{of} から V_{sig} に変化した後、パルス状の制御信号を走査線 WS に印加してサンプリング用トランジスタ T1 をオンしている。したがって本例の書き込み期間 / 移動度補正期間 (6) は、制御信号が立上がった時点 t_1 からこれが立下がった時点 t_2 で決まる。入力側では制御信号パルスはほとんど劣化しておらず矩形波であって設計通りの書き込み期間 / 移動度補正期間が得られる。

10

【0037】

一方 (B) に示すように入力と反対側では制御信号パルスが伝播遅延によって立上りと立下りが鈍っている。しかしながらパルスが鈍ると立上り及び立下り共に後方にシフトするので、両者の間の書き込み期間 / 移動度補正期間は入力側とそれほど差はない。したがって図 12 に示した先の例に比べて図 14 に示した本例は、比較的制御信号パルスの鈍りに強い動作シーケンスとなっており、書き込み期間 / 移動度補正期間のばらつきは少なくなる。

20

【0038】

しかしながら図 14 に示した動作シーケンスでも信号電位 V_{sig} が最高レベルの白電位にあるとき、やはり書き込み期間 / 移動度補正期間のばらつきが顕著になり、輝度ムラが現れるという問題がある。図 15 はこの問題を模式的に表したもので、映像信号側の白電位に比べ、制御信号の波高値が高い場合である。図 15 の上段がパネルの入力側で観測される制御信号パルス波形を表し、下段が入力と反対側で観測される制御信号パルス波形である。入力側では制御信号パルス波形がほぼ矩形波であって、設定通りの書き込み期間が得られる。これに対し入力と反対側では、制御信号パルスの立上りと立下り共に大きく鈍っている。ここでサンプリング用トランジスタのソースが信号線に接続し、ゲートが走査線 WS に接続している。よってゲートに印加される制御信号の波形がソースに印加される入力信号の白電位を超えた時点でサンプリング用トランジスタがオンすることになる。正確には白電位にサンプリング用トランジスタの閾電圧 V_{thT1} を足したレベルを制御パルスのトランジェントが横切った時点でサンプリング用トランジスタがオン / オフする。入力側と反対の場合制御信号パルスの立上り及び立下り (トランジェント) 共に鈍っているが、特に立下りの鈍りが大きく影響し、白電位 + V_{thT1} のレベルを横切る時点が大きく後方にずれ込む。したがって入力と反対側では書き込み時間が大幅に長くなってしまい、発光輝度のばらつきとなって現れる。

30

【0039】

図 16 は、逆に入力信号の白電位に比べ、制御信号パルスの波高値がそれほど高くない場合である。この時には図 16 の上段に示すように入力側で特に問題は生じないものの、下段に示すように入力反対側でやはり書き込み期間が変化し、輝度ムラとなって現れる。図 16 の下段の場合、制御信号パルスが立上り及び立下り共に鈍るが、特に立上りの鈍りが大きく影響し、白電位 + V_{thT1} のレベルを横切る時点が大幅に後ろにずれ込むため、書き込み期間は入力側に比べて短くなってしまう。

40

【0040】

図 17 は本発明に従った電位設定を表しており、図 15 及び図 16 に示した問題点に対処するものである。図 17 の上段はパネルの入力側で観測される制御信号パルス波形を表し、下段は同じくパネル入力側と反対で観測される制御信号パルス波形を表している。図

50

示するように、本発明では、白表示時の信号電位（白電位） V_w とサンプリング用トランジスタT1の閾電圧 V_{thT1} の和が、制御信号の高電位側レベル V_{high} と低電位側レベル V_{low} の中間電位と一致するように、制御信号パルスの電圧を設定している。つまり $V_w + V_{thT1} = V_{low} + (V_{high} - V_{low}) / 2$ となるように制御信号パルスの高電位 V_{high} と低電位 V_{low} を設定している。前述したように、信号電位の書き込み動作はサンプリング用トランジスタの制御信号が白電圧 V_w とT1の閾電圧 V_{thT1} の和を超えた時点から開始される。制御信号の立上りは、走査線WS（ゲートライン）の時定数を τ とすると、時間 t に対して以下の式で表される。

$$V_{low} + (V_{high} - V_{low}) \times (1 - e^{-t/\tau})$$

逆に制御信号パルスの立下りは以下のように表される。

$$V_{low} + (V_{high} - V_{low}) \times e^{-t/\tau}$$

ここで本発明の電圧設定を採用すると、入力側から反対で観測される制御信号パルスは、白電位 $+V_{thT1}$ のレベルをパルスの立上りが横切る時間がある程度後方にずれ込む。同様に制御パルスの立下りが白電位 $+V_{thT1}$ のレベルを横切る時点もある程度後方にずれ込む。ここで白電位 $+V_{thT1}$ のレベルを丁度制御信号パルスの中間に位置させると、立上りと立下りで後方にずれ込む分がほぼ等しくなり、結果的に書き込み時間は入力側とほとんど変わることになる。かかる電位設定により、入力側とその反対側とで書き込み期間を一致させることができ、シェーディングといったムラの低減が可能になる。トランジスタ2個と保持容量1個で構成される画素回路は書き込み時間に関し許容幅が非常に厳しいため、本発明の電圧設定によって初めて白表示におけるパネルの入力側と入力反対側の書き込み時間の差異をなくすことが可能である。

【図面の簡単な説明】

【0041】

【図1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図2】図1に示した表示装置に形成される画素の一例を示す回路図である。

【図3】図2に示した画素の動作説明に供するタイミングチャートである。

【図4】図2に示した画素の動作説明に供する模式図である。

【図5】同じく動作説明に供する模式図である。

【図6】同じく動作説明に供する模式図である。

【図7】同じく動作説明に供する模式図である。

【図8】同じく動作説明に供するグラフである。

【図9】同じく動作説明に供する模式図である。

【図10】同じく動作説明に供するグラフである。

【図11】同じく動作説明に供する模式図である。

【図12】同じく動作説明に供するタイミングチャートである。

【図13】同じく動作説明に供するタイミングチャートである。

【図14】同じく動作説明に供する波形図である。

【図15】同じく動作説明に供する波形図である。

【図16】同じく動作説明に供する波形図である。

【図17】同じく動作説明に供する波形図である。

【図18】従来の表示装置の一例を示す回路図である。

【図19】発光素子の電流／電圧特性を示すグラフである。

【図20】従来の表示装置の他の例を示す回路図である。

【符号の説明】

【0042】

1 . . . 画素アレイ、2 . . . 画素、3 . . . 信号セレクタ、4 . . . 制御用スキャナ、5 . . . 電源スキャナ、T1 . . . サンプリング用トランジスタ、T2 . . . 駆動用トランジスタ、C1 . . . 保持容量、EL . . . 発光素子、WS . . . 走査線、DS . . . 給電線、SL . . . 信号線

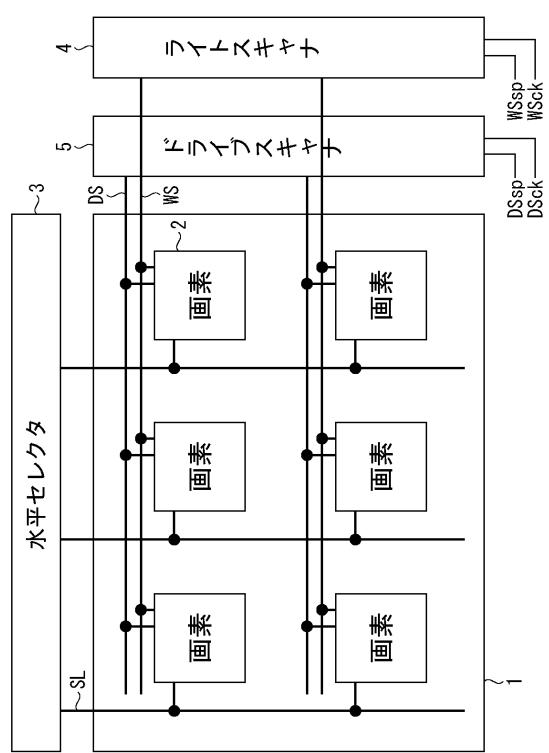
10

20

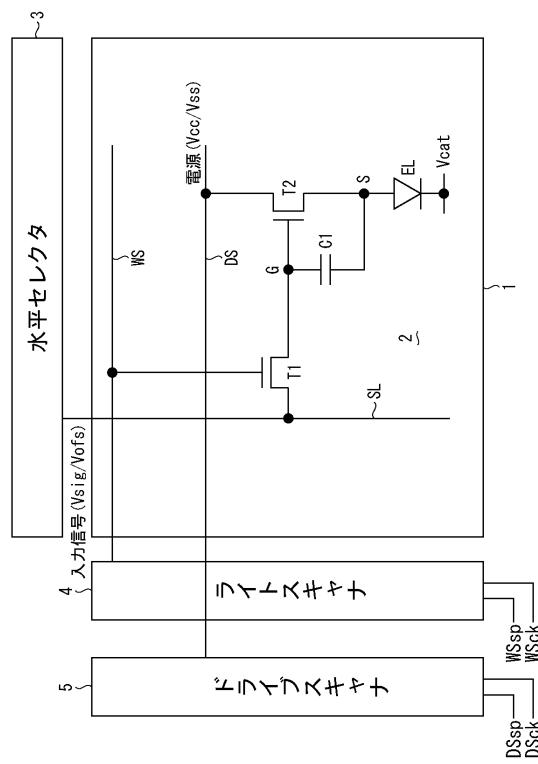
30

40

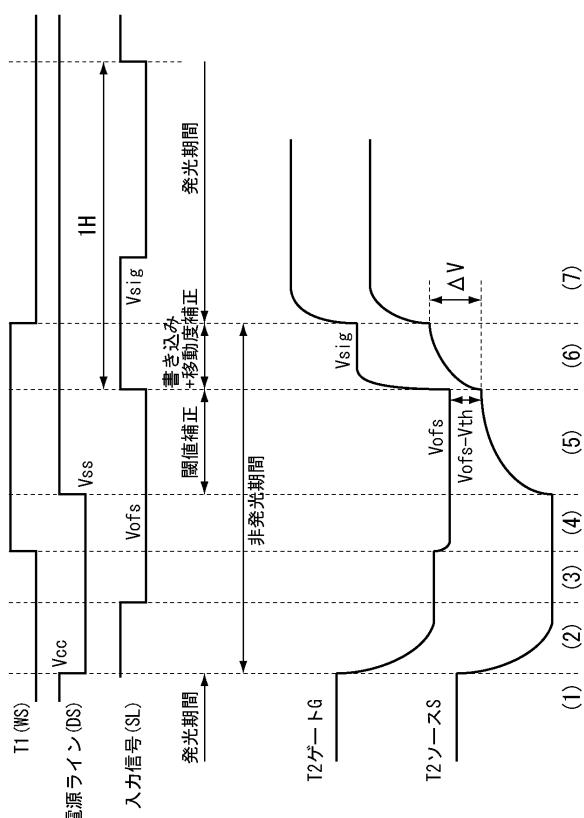
【図 1】



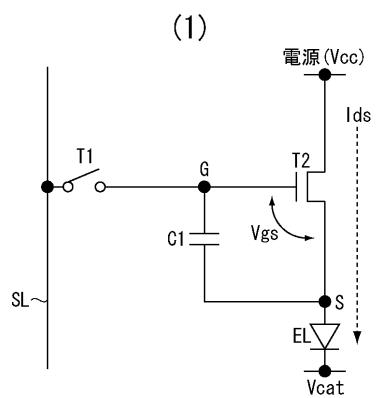
【図 2】



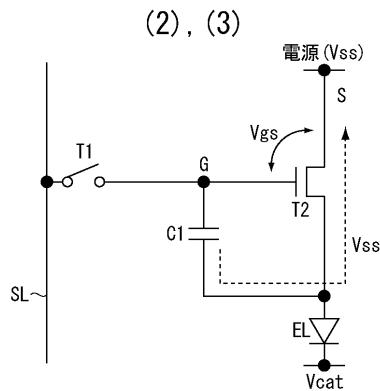
【図 3】



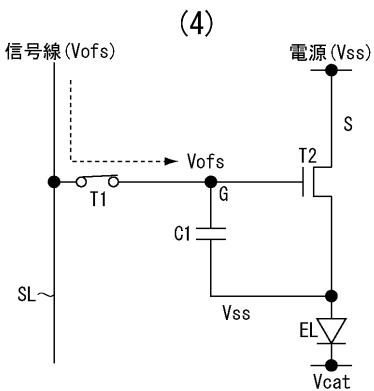
【図 4】



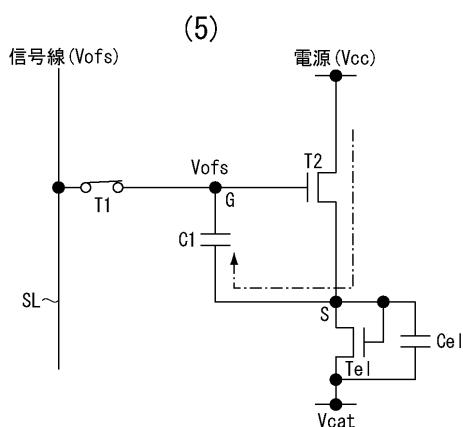
【図 5】



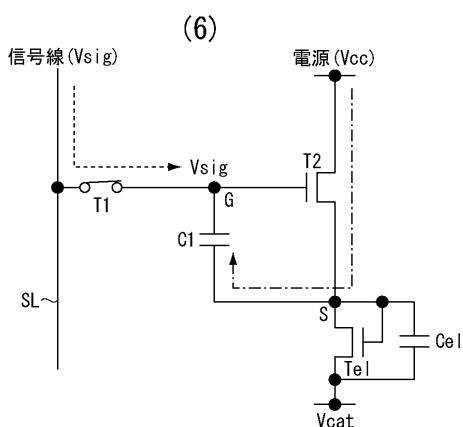
【図 6】



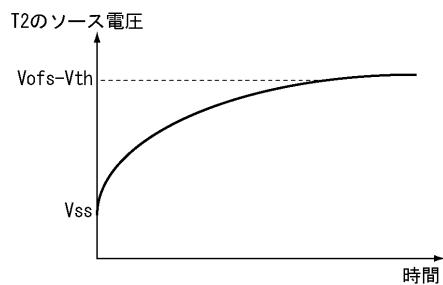
【図 7】



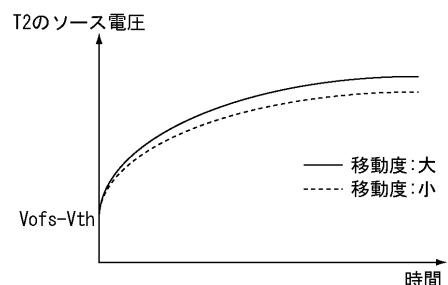
【図 9】



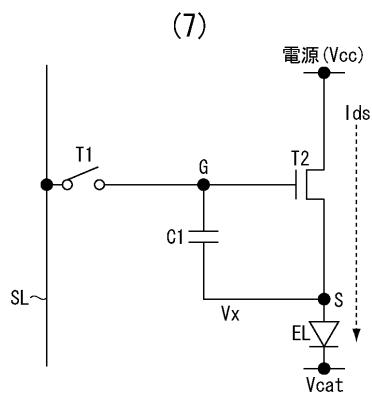
【図 8】



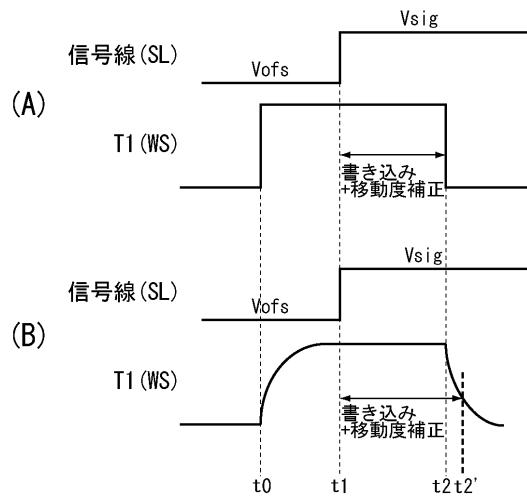
【図 10】



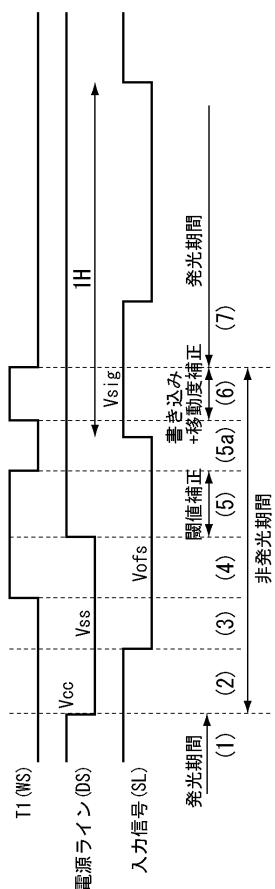
【図 1 1】



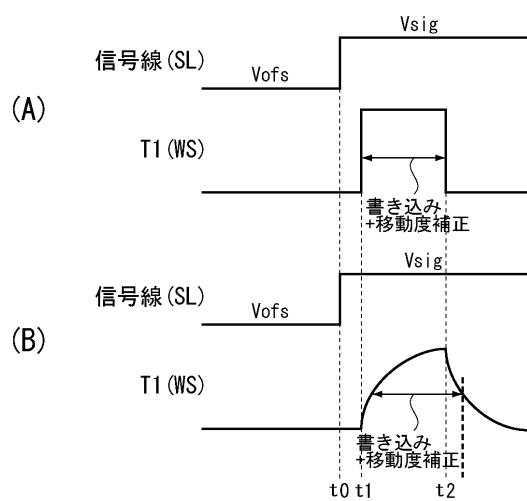
【図 1 2】



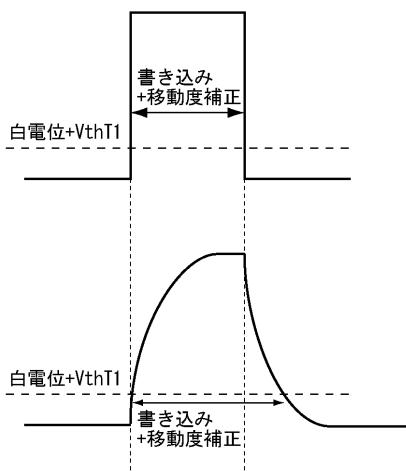
【図 1 3】



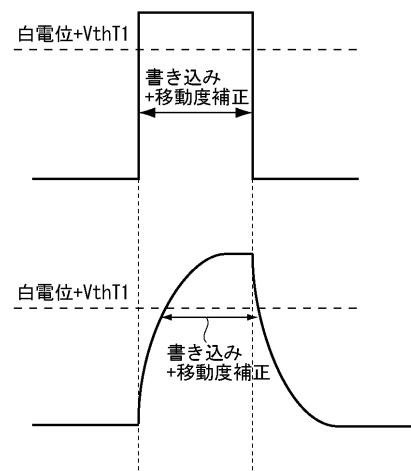
【図 1 4】



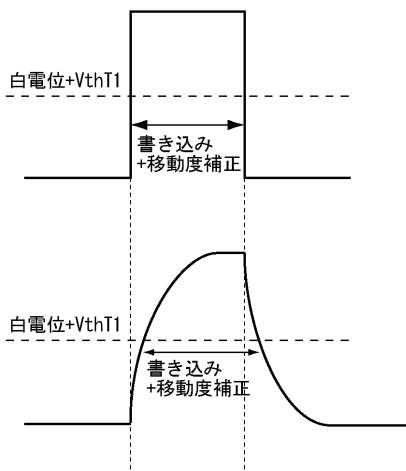
【 図 1 5 】



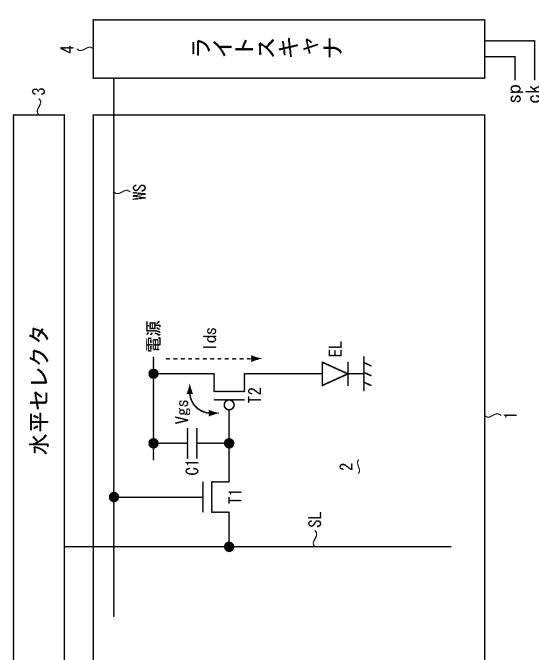
【 図 1 6 】



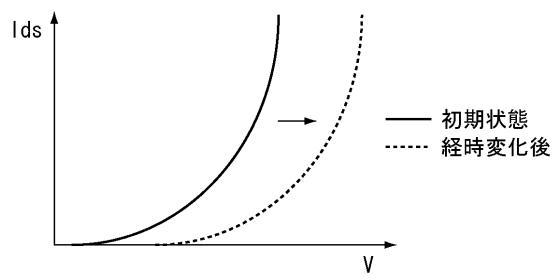
【図17】



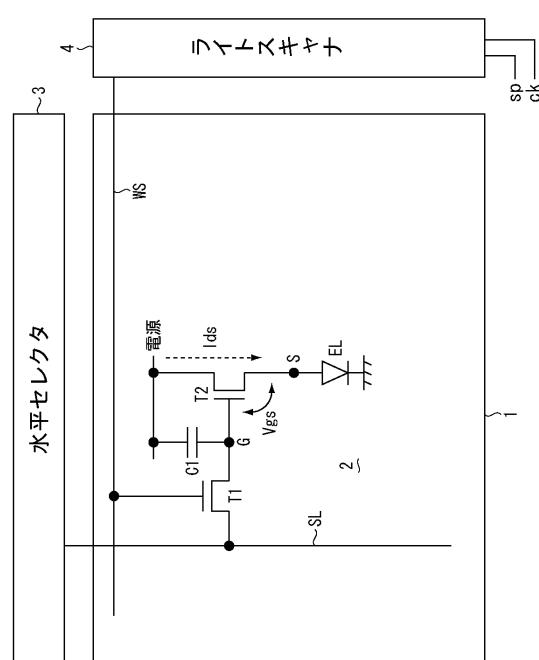
【 図 1 8 】



【図19】



【 図 2 0 】



フロントページの続き

(51)Int.Cl.

F I

H 05 B 33/14

A

テーマコード(参考)

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2008203654A	公开(公告)日	2008-09-04
申请号	JP2007041191	申请日	2007-02-21
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎		
发明人	内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/ /HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/BA32 5C380/BA36 5C380 /BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380 /CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/DA02 5C380/DA06 5C380/DA47		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少由控制序列复杂化引起的亮度不均匀的显示器。解决方案：像素2具有发光元件EL，采样晶体管T1，驱动晶体管T2和保持电容器C1。采样晶体管T1通过从扫描线WS提供的控制信号变为导通，并且对从信号线SL提供的信号电势Vsig进行采样以保持在保持电容器C1中。控制扫描器4将预定时间宽度的控制信号输出到扫描线WS，以使采样晶体管T1导通，同时信号线SL处于信号电位Vsig，然后将信号电位Vsig保持在保持电容器C1中，并且同时对驱动晶体管T2的迁移率μ的信号电势Vsig进行补偿。在这种情况下，控制信号的较高电位和较低电位之间的中间电位电平被设置为通过将采样晶体管T1的阈值电压加到信号电位的最高电平而获得的电平。Ž

