(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-25397
(P2007-25397A)
(43)公開日　平成19年2月1日(2007.2.1)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	K	3K007
G09G 3/20	(2006.01)	G09G	3/20	623B	5C080
H01L 51/50	(2006.01)	G09G	3/20	612R	
		H05B	33/14	A	

審査請求 未請求　請求項の数 1　OL　（全 155 頁）

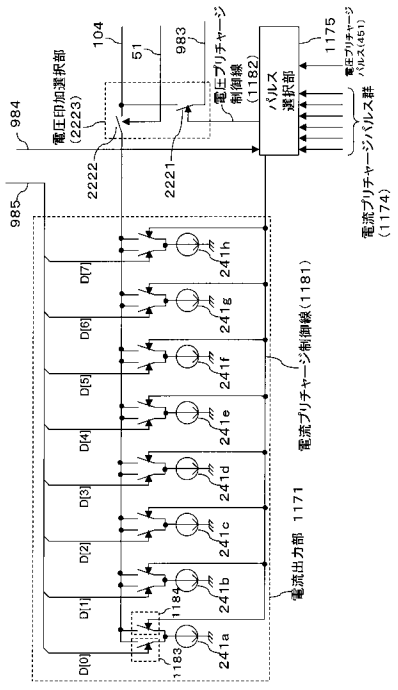
(21)出願番号　特願2005-209248 (P2005-209248)
(22)出願日　平成17年7月19日 (2005.7.19)

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　柘植　仁志
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考)　3K007 AB18 BA06 DB03 GA04
5C080 AA06 BB05 DD05 JJ02 JJ03 JJ04 JJ05 JJ06

(54)【発明の名称】有機発光素子を用いた表示装置の駆動方法

(57)【要約】
【課題】　電流駆動を行う有機発光素子を用いた表示装置において、ソースドライバの電流出力をドランジスタを並べて配置し、出力につながるトランジスタの個数によって電流を制御する場合に、黒電圧印加後から電流プリチャージ期間に移行したときに、トランジスタのドレイン電圧の変動の影響をうけ共通ゲート線電位が変化し、これによりプリチャージ量が多くなり、輝度が高くなる問題がある。
【解決手段】　電圧プリチャージから電流プリチャージ期間に変化する際に、ドレイン電位が急激に変化しないように電圧プリチャージ期間にドレイン電位を固定できるような回路構成とする。電圧プリチャージ期間でも電流プリチャージを同時に実施し、電流源トランジスタ２４１のドレイン電圧をプリチャージ電圧と同一にすることで、電圧プリチャージ終了前後でドレイン電位は常に同一値となり電位変化がなくなったことで共通ゲート線電位の揺れを押さえた。
【選択図】　図２２２



【特許請求の範囲】
【請求項１】
有機発光素子を用いた表示装置の駆動方法であって、
出力階調に応じて出力される電流源トランジスタの数が変化し、
プリチャージ電圧を印加することが可能なソースドライバにおいて前記プリチャージ電圧が印加される期間であるプリチャージ電圧印加期間に、前記電流源トランジスタのうち少なくとも１つが、出力端子と接続された状態となる、有機発光素子を用いた表示装置の駆動方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機電界発光素子など、電流量により階調表示を行う表示装置に用いる電流出力を行う駆動用の電流出力型半導体回路、及びそれを用いた表示装置に関する。
【背景技術】
【０００２】
有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。
【０００３】
一般的な有機発光素子の素子構造の断面図を図４に示す。有機層４２が陰極４１及び陽極４３により挟まれた構成となっている。これに直流電源４４を接続すると、陽極４３から正孔が、陰極４１から電子が有機層４２に注入される。注入された正孔及び電子は有機層４２内を電源４４により形成された電界により対極に移動する。移動途中において電子と正孔が有機層４２内で再結合し、励起子を生成する。励起子のエネルギーが失活する過程において発光が観測される。発光色は励起子の持つエネルギーにより異なり、およそ有機層４２の持つエネルギーバンドギャップの値に対応したエネルギーの波長を持つ光となる。
【０００４】
有機層内で発生した光を外部に取り出すため、電極のうち少なくとも一方は可視光領域で透明な材料が用いられる。陰極には、有機層への電子注入を容易にするため仕事関数の低い材料が用いられる。例えば、アルミニウム、マグネシウム、カルシウムなどである。耐久性、さらなる低仕事関数化のためにこれらの合金や、アルミリチウム合金といった材料が用いられることがある。
【０００５】
一方陽極は正孔注入の容易性からイオン化ポテンシャルの大きいものを用いる。また陰極が透明性を持たないため、こちらの電極に透明性材料を用いることが多い。そのため一般的には、ＩＴＯ（IndiumTin Oxide）、金、インジウム亜鉛酸化物（ＩＺＯ）などが用いられる。
【０００６】
近年では低分子材料を用いた有機発光素子において、発光効率を高めるため、有機層４２を複数の層で構成することがある。これにより、各層で、キャリア注入、発光領域へのキャリア移動、所望の波長を持つ光の発光の機能を分担することが可能となり、それぞれに効率のよい材料を用いることで、より効率の高い有機発光素子を作成することが可能となる。
【０００７】
このようにして形成された有機発光素子は、図５（ａ）に示すように輝度は電流に対して比例し、図５（ｂ）に示すように電圧に対しては非線形な関係となる。それゆえ階調制御を行うには、電流値により制御を行う方がよい。
【０００８】
アクティブマトリクス型の場合、電圧駆動方式と電流駆動方式の２通りがある。
【０００９】

電圧駆動方式は電圧出力型のソースドライバを用い、画素内部において電圧を電流に変換し、変換した電流を有機発光素子に供給する方法である。

【００１０】

この方法では画素毎に設けられたトランジスタにより電圧電流変換を行うことから、このトランジスタの特性ばらつきに応じて、出力電流にばらつきが発生し、輝度むらが生じる問題がある。

【００１１】

電流駆動方式は電流出力型のソースドライバを用い、画素内部では１水平走査期間出力された電流値を保持する機能のみを持たせ、ソースドライバと同じ電流値を有機発光素子に供給する方法である。

【００１２】

電流駆動方式の例を図６に示す。図６の方式は画素回路にカレントコピア方式を用いたものである。

【００１３】

図７に図６の画素６７の動作時の回路を示す。

【００１４】

画素が選択されたときには図７（ａ）に示すようにその行のゲート信号線６１ａはスイッチを導通状態とするように、６１ｂは非導通状態となるようにゲートドライバ３５から信号が出力される。このときの画素回路の様子を図７（ａ）に示す。このときソースドライバ３６に引き込まれる電流であるソース信号線６０に流れる電流は点線７１で示した経路を流れる。よってトランジスタ６２にはソース信号線６０に流れる電流と同一電流が流れる。すると節点７２の電位はトランジスタ６２の電流電圧特性に応じた電位となる。

【００１５】

次に非選択状態となるとゲート信号線６１により図７（ｂ）に示すような回路となる。ＥＬ電源線６４から有機発光素子６３に７３で示す点線の経路で電流が流れる。この電流は節点７２の電位とトランジスタ６２の電流電圧特性により決まる。

【００１６】

図７（ａ）と（ｂ）において節点７２の電位は変化しない。従って同一トランジスタ６２に流れるドレイン電流は図７（ａ）と（ｂ）において同一となる。これによりソース信号線６０に流れる電流値と同じ値の電流が有機発光素子６３に流れる。トランジスタ６２の電流電圧特性にばらつきがあっても原理上電流７１と７３の値には影響がなく、トランジスタの特性ばらつきの影響のない均一な表示を実現できる。

【００１７】

従って、均一な表示を得るためには電流駆動方式を用いる必要があり、そのためにはソースドライバ３６は電流出力型のドライバＩＣでなければならない。

【００１８】

階調に応じた電流値を出力する電流ドライバＩＣの出力段の例を図１０に示す。表示階調データ５４に対し、デジタルアナログ変換部１０６によりアナログの電流出力を１０４より行う。アナログデジタル変換部は、複数個（少なくとも階調データ５４のビット数）の階調表示用電流源１０３とスイッチ１０８及び、１つあたりの階調表示用電流源１０３が流す電流値を規定する共通ゲート線１０７から構成される。

【００１９】

図１０では３ビットの入力１０５に対しアナログ電流を出力する。ビットの重みに応じた数の電流源１０３を電流出力１０４に接続するかをスイッチ１０８により選択することで、例えばデータ１の場合は、電流源１０３が１つ分の電流、データ７の場合は７つ分の電流といったように階調に応じた電流が出力できる。この構成をドライバの出力数に応じた数だけ１０６を並べることで電流出力型ドライバが実現可能である。トランジスタ１０３の温度特性を補償するため共通ゲート線１０７の電圧は分配用ミラートランジスタ１０２により決められる。トランジスタ１０２と電流源群１０３はカレントミラー構成となり、基準電流８９の値に応じて１階調あたりの電流が決められる。この構成により、階調に

より出力電流が変化し、かつ１階調あたりの電流は基準電流により決まる。
【００２０】
有機発光素子を用いた表示装置の例を図２１から図２３にしめす。図２１はテレビ（の斜視図（図２１（ａ）およびその構成ブロック（図２１（ｂ））、図２２はデジタルカメラもしくはデジタルビデオカメラ、図２３は携帯情報端末を示している。有機発光素子は応答速度が速いため動画を表示する機会の多いこれらの表示装置にふさわしい表示パネルである（たとえば、特許文献１参照）。
【００２１】
図１０に示すような電流ドライバでは、同一サイズのトランジスタ１０３を（階調数－１）個だけ並べ、入力データに対し、出力につながるトランジスタ１０３の個数を変化させることで電流出力を行っている。そのため、階調と出力電流は比例関係となる。これをそのまま出力すると、人間の視覚特性から全体に白っぽく見える（低階調側が白っぽくなる）。
【００２２】
一般的なディスプレイの駆動装置では各階調に応じた出力にガンマ補正をかけて出力される。液晶ディスプレイの場合では、電圧駆動であるため、各階調に対応した電圧値が必要である。（電圧の場合には電流のように階調分の足し算により表現することは不可能であるため、階調ごとに電圧が必要）そのため、各階調電圧の段階で、ガンマ補正に対応した電圧出力となるような電圧値に調整して出力されているため、６ビットドライバであってもガンマ補正済みであり、十分に階調表示が可能である。
【００２３】
一方電流ドライバでは同じ６ビットでもガンマ補正がかかっていないため、低階調部での刻みを細かくするためには、６ビットよりも細かな階調出力が要求される。これをフレーム間引き（ＦＲＣ）で行うとすると最低でも４フレーム間でのフレーム間引きが必要となり、有機発光素子の応答速度が速いこともありフリッカが発生する。そのため、細かな階調表現をＦＲＣなしで行う必要があり、例えば８ビット化する必要がある。
【００２４】
この問題は、階調と出力電流が比例する電流ドライバと、入力電流と輝度が比例する電流出力型表示素子を組み合わせた場合に特有な問題である。
【００２５】
ＦＲＣによるガンマ補正をなくすために、電流ドライバの出力を６ビットから８ビットに増加させ、ガンマ処理をソースドライバ入力前に行いガンマ処理した８ビット信号をソースドライバに入力する構成が考えられる。
【特許文献１】特開２００１－１４７６５９号公報
【発明の開示】
【発明が解決しようとする課題】
【００２６】
電流ドライバの出力を６ビットから８ビットに拡張する方法としては、トランジスタ１０３の個数を２５５個用意する方法があるが、この方法の場合、従来（６３個のトランジスタ１０３）の方法に比べ、４倍のトランジスタ１０３が必要となりソースドライバの面積もこれに応じて増加する。出力段トランジスタの全チップ面積に占める割合は７割程度あることから、単純には６ビット時に比べ、約３倍の大きさとなる。コストの面において大きなインパクトがある。
【００２７】
そこで、上記の課題を考慮し、本発明は、電流ドライバの出力ビット数を増加させても、回路規模の増大をより低く抑えることができる、電流出力型半導体回路、表示用駆動装置、表示装置、電流出力方法を提供することを目的とする。
【課題を解決するための手段】
【００２８】
上記の目的を達成するために、本発明は、有機発光素子を用いた表示装置の駆動方法で

あって、
出力階調に応じて出力される電流源トランジスタの数が変化し、
プリチャージ電圧を印加することが可能なソースドライバにおいて前記プリチャージ電圧が印加される期間であるプリチャージ電圧印加期間に、前記電流源トランジスタのうち少なくとも１つが、出力端子と接続された状態となる、有機発光素子を用いた表示装置の駆動方法である。
【００２９】
なお、本発明は、有機発光素子を用いた表示装置の駆動方法であって、
階調によって出力電流が異なるソースドライバにおいて、電圧プリチャージパルスの入力により、前記ソースドライバは電圧出力を行い、
前記電圧プリチャージパルスのパルス幅は、水平走査期間ごとに設定が可能で、
前記電圧プリチャージパルスのパルス幅が、垂直ブランキング期間と、表示期間で異なることを特徴とする有機発光素子を用いた表示装置の駆動方法に関連する。
【発明の効果】
【００３０】
本発明によれば、電流ドライバの出力ビット数を増加させても、回路規模の増大をより低く抑えることができる。
【発明を実施するための最良の形態】
【００３１】
本発明の電流出力型半導体回路では、追加する２ビット分に関しては、従来の６ビット分の下位側に追加する。そのためこれまでの６ビット出力に用いた階調表示用電流源１０３の電流値の４分の１を出力する電流源を用意し、これを３つ追加することで２５６階調出力を行う。図２４に８ビット出力を行う電流出力段の概念図を示す。
【００３２】
８ビット化により増加するトランジスタ数は３個であるため、上位側に追加するのに比べ回路規模の増加が小さい構成が実現可能である。
【００３３】
白表示（最高階調表示）での電流値の調整は“Ｉ”の値を調整すれば良く、この“Ｉ”の値は図８の構成の基準電流８９を制御すれば変化できるため、アプリケーションに応じて制御データ８８を入力することで実現する。
【００３４】
図２４の構成をトランジスタで実現したときの例を図２５に示す。上位６ビット分のトランジスタ２５２は、本発明の第１の単位トランジスタに一例として対応し、下位２ビット分のトランジスタ２５１は、本発明の第２の単位トランジスタに一例として対応する。トランジスタ群２４１ａ、２４１ｂは、本発明の第１の電流源群に一例として対応し、トランジスタ群２４２ａ、２４２ｂ、２４２ｃ、２４２ｄ、２４２ｅ、２４２ｆは、本発明の第２の電流源群に一例として対応する。入力映像信号データＤ［７：０］に対して、Ｄ［０］とＤ［１］間、Ｄ［２］からＤ［７］間では、ビット毎の重みを出力に接続されるトランジスタの個数を変化することで表現し、下位２ビットと上位４ビット間の重み付けはトランジスタのチャネル幅によりきめた。トランジスタ２５１と２５２では、２５２の方がチャネル幅がおよそ４倍となるように設計する。ただし、チャネル幅の比と出力電流の比がぴったり一致するわけではないため、３．３倍から４倍の間でシミュレーションやＴＥＧトランジスタ実測データを元に、トランジスタのチャネル幅の割合を決定することでより階調性の高い出力段を構成できる。
【００３５】
出力電流は各ビットに接続された電流源トランジスタの数により決まり、１つのトランジスタに流れる電流量を個数分積み重ねるような形で、出力電流を変化させる。図２４及び図２５の８ビット出力の場合、階調と出力電流特性は図２６のようになる。（なお紙面の関係上、下位６４階調のみを図示）上位６ビットのトランジスタ２５２により２６２の領域で示される電流が出力され、下位２ビットのトランジスタ２５１により２６１の領域

で示される電流が出力される。２６２の電流はトランジスタの個数の違いにより電流値を変えているため、刻み幅のばらつきは１％以下にできる。出力電流の大部分は２６２の部分であるため、２６１の部分の電流に多少ばらつきが生じても階調のリニアリティに影響を与えない。また２６１の刻み幅が所定の値に比べ増減しても、４階調に１回のみ刻み幅が異なる部分がでるだけで、２６２と２６１の出力電流に対する割合を考慮すると実用上は問題ない。２６２の電流割合が小さくなる低階調領域では、人間の目の特性上輝度差を認識しにくく、刻み幅のばらつきは更に目立たなくなるため、問題ない。

【００３６】

上位６ビット分のトランジスタ２５２による隣接端子間の出力ばらつきは６ビットドライバのものと同一のものを用いていることから、ばらつきは２．５％以内となり、出力電流ばらつきによる縦筋は発生しないことを確認済みである。

【００３７】

一方新たに足した２ビット分のトランジスタについては、チャネル幅を単純に４分の１にしただけでは、トランジスタのチャネル面積が小さくなることから、ばらつきが増加し、２．５％を超える（隣接端子間の出力電流ばらつきはトランジスタ面積の平方根に反比例する）。

【００３８】

図１９に図２５の出力段の構成における階調と隣接間電流ばらつきの関係を示す。単純に下位２ビット分のトランジスタ２５１のサイズを小さくした場合には、実線１９１及び破線１９２で示す階調とばらつきの関係となり、階調３以下でばらつきが２．５％を超える問題がある。単純にチャネル幅を４分の１にした場合でのばらつきと階調の関係を図１４（ｂ）に示す。階調１から３ではばらつきが２．５％を超えるため、許容できない。

【００３９】

そこで、本発明では階調１から３の出力に寄与する３つのトランジスタ２５１のみ（トランジスタチャネル幅）／（トランジスタチャネル長）の値を維持し、出力電流は変化させずに、チャネル幅とチャネル長を大きくしてチャネル面積を大きくすることでばらつきを低減させる。図１４（ａ）に例を示す。この場合ではチャネル長、チャネル幅共に２倍とし、チャネル面積を４倍とすることで全ての階調でばらつきを２．５％以内とした。

【００４０】

なお本例では、理論上の数値を述べており、実際にはトランジスタ群２４１ａ及びトランジスタ群２４１ｂのチャネル幅はこの値よりも大きくなる。大きくなる方向に作成するため、出力電流のばらつきに対しマージンを持つ方向に進むため、理論値でまず計算設計し、最後に実測データに基づいて変更すればよい。

【００４１】

この方法によるチップ面積の増加は全体の７割に対し１．０５倍であることから、全体としては１．０４倍程度の増加となるため、増加率が少なくかつ、ばらつきが見えない表示が可能となる。また階調とばらつきの関係も図１９に示す１９１と１９３の実線で示した関係となり全階調でばらつき２．５％を実現した。

【００４２】

更に、トランジスタ群２４１とトランジスタ群２４２のトランジスタ群はそれぞれ異なるサイズで形成されているため、シミュレーションと実測値とのずれからトランジスタ群２４２の電流出力に対し、トランジスタ群２４１の電流出力が大きくなったり、小さくなったりする。

【００４３】

トランジスタ群２４１の電流出力がトランジスタ群２４２の出力電流に対して小さくできたとしても出力が０であったり、負の電流が流れるわけでもないため階調反転は起こらないため、問題はない。

【００４４】

一方で、トランジスタ群２４１の電流出力がトランジスタ群２４２の出力電流に対して大きくなった場合にはトランジスタ群２４１のトランジスタが出力に寄与する階調と寄与

しない階調が隣接する階調間で階調反転が起こる可能性がある。例えば階調３と４の間や、１２７と１２８の間である。

【００４５】

階調３と４の間では、図３６に示すように３３％の輝度差がある。出力ばらつきは図１４に示すように２．５％程度であるから、仮に階調差が小さくなる方向にばらつきが発生したとしても３０％の差はある。従って、シミュレーション値に比べ、実際のトランジスタ群２４１の電流出力が３０％大きくなっても問題はない。

【００４６】

階調１２７と１２８の間では、図３３に示すように０．７９％の階調差となる。階調１２７のうち１２４階調分と、階調１２８は同一サイズのトランジスタ２４２により出力されるため、ばらつきは隣接間ばらつきと同様に０．５％程度である。そのため階調差は最小で０．２９％になる可能性がある。トランジスタ群２４１のトランジスタによる電流が大きくなっても、全体として０．２９％までに抑えられればよい。トランジスタ群２４１のトランジスタの電流は最大でも１２．３％までであれば階調反転することはない。

【００４７】

階調１２８を超える場合、例えば階調１３１と１３２間では、図３７に示すように、階調差は０．７５％であるが、いずれもトランジスタ群２４２ｆの電流出力を持ち、異なるのはトランジスタ群２４２ａ、トランジスタ群２４１ａ、トランジスタ群２４１ｂの３つである。トランジスタ群２４２ｆに比べ、トランジスタ群２４２ａの電流は３２分の１であり、トランジスタのばらつきによる電流値の変化は１２８階調以下の場合に比べ小さくなる。この場合０．０８％小さくなる可能性があり、その結果トランジスタにばらつきがあったとしても０．６７％の輝度差となる。１２７と１２８間に比べ輝度差が大きくなること、トランジスタ群２４１の電流出力の占める割合が小さくなることから少なくとも１２７と１２８間に比べてトランジスタ群２４１のトランジスタの電流が大きくなっても問題はない。

【００４８】

トランジスタ群２４１のトランジスタの電流量がシミュレーション値（理論値）よりも大きくなっても階調反転が起きない範囲と、表示階調との関係を図３４に示す。

【００４９】

図３４によると、最も理論値からのずれを許さないのが、１２７と１２８階調間で、この場合に１２．３％である。少なくとも理論値と実際の値が１２％ずれなければ、階調反転がおきずに電流出力が実現できる。

【００５０】

図２４及び図２５の構成における８ビットドライバにおいて、下位２ビット（トランジスタ群２４１で出力）と上位６ビット（トランジスタ群２４２で出力）のトランジスタサイズを変えたとしても、階調反転なく表示することが可能となる。

【００５１】

最も階調反転が起きやすいのは階調１２７と階調１２８の間であるため、この２階調間で階調反転が発生した場合でもリペアにより階調反転をなくす回路を組み込んだ電流出力段２３の１出力の回路構成を図３２に示す。

【００５２】

図２５の構成に比べ、１２８階調以上での電流増加用トランジスタ３２２と切り替え部３２１が加えられたことが特徴である。

【００５３】

切り替え部３２１の端子３２３は３つありそれぞれ、電流増加用トランジスタ３２２、グランド電位、電流源２４２ｆに接続されている。

【００５４】

切り替え部３２１では通常は、３２３ａと３２３ｂが接続され、３２３ｃは未設続状態となっている。そのため、電流増加用トランジスタ３２２は電流出力には影響しない。階調反転がない場合にはこの状態で出荷する。

【００５５】
一方で、トランジスタ群２４１の電流が多くなった場合に階調反転が起こった場合には、１２８階調以上の電流を増加させて、階調反転を防止するため、レーザーなどによって切り替え部３２１の接続を変更し、端子３２３ａと３２３ｃを接続させる。
【００５６】
これにより、１２８階調以上の電流が増加し、階調反転を防止できる。
【００５７】
電流増加用トランジスタ３２２の電流はトランジスタ群２４１ａの電流の１０％程度の電流を出力するようなものとする。トランジスタ群２４１の電流が１２．３％を超えると１２７と１２８階調間で反転が起こるためそれを救済するには１０％程度としておく。トランジスタ群２４１の電流が２２％ずれると、１２７と１２８階調間での階調反転を防止できないが、この場合には、すでに６３と６４階調間でも階調反転がおこる。６３と６４階調間での補正はこの回路では不可能であるため、２２％のずれを考慮する必要がない。
【００５８】
そのため本発明では最も階調反転が起きやすい階調間のみの階調反転のみを救済できるようにする構成としたため、電流増加用トランジスタ３２２の電流はトランジスタ群２４１ａの電流の１０％程度のものでよい。
【００５９】
この電流増加用トランジスタ３２２による隣接間ばらつきへの影響は、１２８階調の電流に対し、３２２の出力電流は１２８０分の１であることから、全体の０．０８％であるため無視できる。トランジスタ群２４１ａやトランジスタ群２４１ａの４分の１程度の大きさで作っても問題ない。
【００６０】
各出力に切り替え部３２１を設けたことで階調反転の可能性が小さいドライバＩＣが実現した。これにより、レーザー加工などにより不良品を良品にすることができ歩留まりがあがることが期待できる。
【００６１】
しかし、１出力毎にレーザー加工を行うとなると、加工に時間がかかることによる作業工数の増大、コストの増加を招くこととなり、歩留まりの上昇の効果ほど値段が下がらない可能性がある。
【００６２】
そこで、図３９に示すように電流増加用トランジスタ３２２と電流源２４２ｆの接続を切り替え手段３９１を介して行い、嵩上げ信号３９２により切り替え手段３９１を制御することで外部コマンド入力により嵩上げ信号３９２を用いて１２８階調目の電流を容易に嵩上げできる構成を考えた。
【００６３】
嵩上げ信号６１２は出力ごとに設定できればよいが、この場合信号線ごとの嵩上げ信号６１２の値を保持するラッチが必要である。各ラッチへの信号の分配は映像信号を分配するために用いるシフトレジスタを共用すれば１ビットの信号入力３９２により可能である。しかしラッチを信号線分設けるため回路規模が大きくなる問題がある。ラッチ部２２が保持すべきデータのビット数が各ソース線で１ビット増加する。回路規模が大きくなっても良い場合もしくは微細プロセスを用いて、全体に占めるラッチ部の面積が小さい場合には出力毎に嵩上げ信号を制御して嵩上げするしないを決めてもよいが、階調反転が起きる場合には、シミュレーション値と実測値がかけ離れた場合に発生することから、基本的には全ての端子共通で、電流増加用トランジスタ３２２の要不要の判定がなされるはずである。
【００６４】
そこで嵩上げ信号線３９２は１つのソースドライバ内において全て共通の１本の信号線とし、この信号線の制御によって、全ての出力で１２８階調以上の電流を増加させるかどうかを決める。

【００６５】
この信号線は例えば、通常はローレベルとし、切り替え部３９１が非導通状態として置くが、レーザー加工で、嵩上げ信号線３９２をハイレベルに切り替えることで、全出力一括で制御するようにすれば、短期間でリペアを実施できる。図４３の４３１に示すような回路を形成すれば実現可能である。
【００６６】
更に、ソースドライバＩＣ３６内部にＲＯＭ３５１を構成できる場合には、外部制御信号により、ＲＯＭ３５１の値を書き込み、階調反転が起きたＩＣではＲＯＭ３５１には嵩上げ信号線３９２をハイレベルにするように、階調反転が起きないＩＣではＲＯＭ３５１には嵩上げ信号線３９２をローレベルにするように書き込みを行うようにすればよい。
【００６７】
例えば図３５のように、ＲＯＭ３５１にはＰＣなど３５２からの信号を検査時に入力できるようにして、出力電流測定手段３５３の電流値により階調反転が起きているかどうかをＰＣなど３５２で検出し、階調反転が起きたときにＲＯＭ３５１にはハイレベルの信号を書き込むようにする。階調反転が起きない場合にはＲＯＭ３５１にはローレベルの信号を書き込む。これにより、自動的に階調反転を補正するかどうかを判定でき、人手を介さずに、不良品をレスキューできるようになり、高速にかつ、安価にＩＣを提供できるようになった。
【００６８】
以上の説明においては、ソースドライバは８ビットとして説明を行ったが、８ビットでなくても本発明を実現できる。また、下位２ビットと上位６ビットの組み合わせ以外でも図２７に示すように、下位１ビットと上位７ビットの組み合わせでも実現可能である。下位Ｎビットをあるトランジスタサイズで形成し、上位Ｍビットを別のトランジスタサイズで形成することで、（Ｎ＋Ｍ）（≧３）ビット出力の電流ドライバを実現できる。この場合、下位Ｎビットのトランジスタは上位Ｍビットのトランジスタの電流出力の１／2^{N}の電流を出力すれば最もよい。しかし、階調を表現することができれば、下位Ｎビットのトランジスタよりも上位Ｍビットのトランジスタの電流出力が大きければよいという場合も考えられる。
【００６９】
ＮとＭの関係は、Ｎ≦Ｍであることが好ましい。Ｎが大きくなるにつれてＮビットに対応するトランジスタの電流出力割合が大きくなるため、Ｎビットに対応するトランジスタの電流値の理論値からのずれの影響が大きくなる。例えば８ビットドライバの時には、Ｎ＝２、Ｍ＝６のときでは、１２．３％までずれを許容できるが、Ｎ＝３、Ｍ＝５のときでは５．２６％、Ｎ＝４、Ｍ＝４では２．４６％までしかずれを許容できない。２．４６％となると、隣接間ばらつきと同一レベルであり、この程度が理論値と実測値のずれを制御できる最小値である。
【００７０】
それゆえ、８ビットドライバではＮ＝４が最大値となる。
【００７１】
一般的に（Ｎ＋Ｍ）ビットドライバにおいても、下位トランジスタ（Ｎビット分）の理論値からのずれの影響を少なくするため、Ｎ≦Ｍである必要がある。またＮ≦Ｍであっても、隣接階調間の階調性を良くするためには、Ｎ≦４であることが好ましい。
【００７２】
ガンマ補正をかけた８ビットの信号を入力し、ソースドライバＩＣ３６を利用して表示を行うと、ＦＲＣを用いずともガンマ補正のかかった表示を実現することが可能となる。そのためより低階調側の表示がしやすくなり（ＦＲＣによるフリッカの影響がなくなる）表示品位の高い表示装置が実現できる。
【００７３】
図２１から図２３に示すような表示装置に必要不可欠なドライバＩＣ３６である。
【００７４】

ここまでは画素６７の用いられるトランジスタがｐ型のトランジスタの時の例を示したが、ｎ型トランジスタを用いても同様に実現可能である。

【００７５】

図２０はカレントミラー型の画素構成をｎ型トランジスタで形成したときの１画素分の回路である。電流が流れる向きが逆になり、それに伴って電源電圧が変わる。従ってソース信号線２０５を流れる電流はソースドライバＩＣ３６から画素６７に向かって流れる必要がある。出力段の構成はドライバＩＣ外部に電流を吐き出すようｐ型トランジスタのカレントミラー構成となる。基準電流の向きも同様に反転する必要がある。

【００７６】

このように画素に用いるトランジスタがｐ、ｎ両方において適用することが可能である。

【００７７】

近年携帯情報端末においても多色化が進み、６万５千色もしくは２２万色表示が主流となってきている。ドライバＩＣの入力信号がＲＧＢデジタルインターフェースの場合１６ビットもしくは１８ビット必要となる。従って入力信号線数が１６から１８本データの転送のみで必要となる。他にもシフトレジスタの動作用信号や、各種レジスタの設定などのために信号線が必要となる。

【００７８】

そのため配線数が多くなり、例えば図３のように、表示パネル３３に対し、コントロールＩＣ３１からソースドライバＩＣ３６間の配線が多くなる。そのため、フレキシブル基板３２が大きくなったり、多層基板を用いるなどコストが高くなる問題がある。

【００７９】

本発明における電流出力型ソースドライバＩＣ３６の構成を図２に示す。出力数は単に１出力あたりに必要なシフトレジスタ２１及びラッチ部２２、電流出力段２３、プリチャージ電圧印加判定部５６、電流出力／プリチャージ電圧選択部２５の数を出力数の増減におうじて、増減させることで実現可能であるため、任意の出力数に対応可能である（ただし、出力数が増加するとチップサイズが大きくなりすぎることと、汎用性がなくなるため６００程度くらいが実用上最大である）。

【００８０】

本発明のドライバＩＣ３６の映像信号は制御ＩＣ２８から信号線１２及び１３により入力される。これを分配部２７により映像信号及び各種設定信号を振り分け、映像信号のみをシフトジスタ部２１に入力する。シフトレジスタ部２１及び２つのラッチ部２２により各出力端子に分配する。分配された映像信号は電流出力段２３に入力される。電流出力段２３では、映像信号と基準電流生成部２６により生成された基準電流から、階調に応じた電流値を出力する。ラッチ部のうちプリチャージ判定信号データは、プリチャージ電圧印加判定部５６に入力される。一方プリチャージ電圧印加判定部５６では、ラッチ部２２によりラッチされたプリチャージ判定信号と、プリチャージパルスにより、プリチャージ電源２４から供給される電圧を出力５３に出力するかどうかのスイッチを制御する信号を生成する。これによりプリチャージ電圧印加判定部５６の出力信号に応じてドライバＩＣ３６の外部に階調に応じた電流を出すか、プリチャージ電源２４から供給される電圧を供給するか選択する電流出力／プリチャージ電圧選択部２５を介してドライバＩＣ３６外部に電流もしくは電圧が出力される。

【００８１】

プリチャージ電源２４から出力される電圧は、表示パネルに黒を表示するために必要な電圧値となる。このプリチャージ電圧を印加する方法はアクティブマトリクス型表示装置に電流出力に応じて階調表示を行うためのドライバＩＣ３６特有の構成である。

【００８２】

例えば図６に示す画素構成のアクティブマトリクス型表示装置において、ソース信号線からある画素に所定電流値を書き込む場合について考える。プリチャージを行わない場合、つまりプリチャージ回路がない場合、ソースドライバＩＣ３６の出力段から画素までの

電流経路に関係する回路を抜き出した回路は図１２（ａ）のようになる。

【００８３】

階調に応じた電流ＩがドライバＩＣ３６内から、電流源１２２という形で引き込み電流として流れる。この電流はソース信号線６０を通じて、画素６７内部に取り込まれる。取り込まれた電流は駆動トランジスタ６２を流れる。つまり、選択された画素６７においてＥＬ電源線６４から駆動トランジスタ６２、ソース信号線６０を介して、ソースドライバＩＣ３６に電流Ｉが流れる。

【００８４】

映像信号が変化して電流源１２２の電流値が変化すると、駆動トランジスタ６２及びソース信号線６０に流れる電流も変化する。そのときソース信号線の電圧は駆動トランジスタ６２の電流－電圧特性に応じて変化する。駆動トランジスタ６２の電流電圧特性が図１２（ｂ）である場合、例えば電流源１２２が流す電流値がＩ２からＩ１に変化したとすると、ソース信号線の電圧はＶ２からＶ１に変化することになる。この電圧の変化は電流源１２２の電流によっておこる。

【００８５】

ソース信号線６０には浮遊容量１２１が存在する。Ｖ２からＶ１までソース信号線電圧を変化させるにはこの浮遊容量の電荷を引き抜く必要がある。この引き抜きにかかる時間ΔＴは、ΔＱ（浮遊容量の電荷）＝Ｉ（ソース信号線に流れる電流）×ΔＴ＝Ｃ（浮遊容量値）×ΔＶとなる。ここでΔＶ（白表示時から黒表示時間の信号線振幅）は５［Ｖ］、Ｃ＝１０ｐＦ、Ｉ＝１０ｎＡとすると、ΔＴ＝５０ミリ秒必要となる。これはＱＣＩＦ＋サイズ（画素数１７６×２２０）を６０Ｈｚのフレーム周波数で駆動させるときの、１水平走査期間（７５μ秒）よりもながくなるため、仮に、白表示画素の下の画素に黒表示を行おうとすると、ソース信号線電流が変化途中に画素に電流を書き込むためのスイッチトランジスタ６６ａ、６６ｂが閉じてしまうため、中間調が画素にメモリーされることにより白と黒の中間の輝度で画素が光ってしまうことを意味する。

【００８６】

階調が低くなるほどＩの値が小さくなるため、浮遊容量１２１の電荷を引き抜きにくくなるため、所定輝度に変化する前の信号が画素内部に書き込まれてしまうという問題は、低階調表示ほど顕著に現れる。極端にいうと黒表示時は電流源１２２の電流は０であり、電流を流さずに浮遊容量１２１の電荷を引き抜くことは不可能である。

【００８７】

そこで、電流源１２２にくらべてインピーダンスの低い電圧源を用意し、必要に応じてソース信号線６０に印加する構成をとることにした。この電圧源が図２のプリチャージ電源２４に相当し、印加できるための機構が２５である。

【００８８】

１つのソース信号線６０に対する概略回路を図１３に示す。プリチャージ電源２４から供給される電圧をソース信号線６０に印加することで、浮遊容量１２１の電荷を充放電できるようにした。プリチャージ電源２４から供給される電圧は、図１２（ｂ）の特性に応じて各階調電流に対応した電圧を供給できるようにしてもよいが、電圧発生回路にもデータ５４に応じたデジタルアナログ変換部が必要となるため回路規模が大きくなる。小型のパネル（９インチ以下）では、浮遊容量１２１の容量値が１０～１５ｐＦであることや、画素数が少ないため、垂直走査期間が比較的長く取れることから、実用上はプリチャージ電源２４で発生する電圧は最も電流値の書き込みが難しい黒階調に対応した電圧のみ発生することが費用（チップ面積）対効果の面で十分であるといえる（なお大型、高精細パネルにおいては、あとで説明する図３８に示すように、デジタルアナログ変換部を用いたドライバＩＣも考えられる。）。

【００８９】

小型パネルにおいてはプリチャージ電源２４から発生する電圧は１つでよく、データによって、電圧を出力するかどうかの判定を行い、スイッチ１３１の制御さえすればよくなる。つまり、ある映像信号に対応する電流出力を行う前に、電圧源２４を印加するかどう

かを判別する１ビットの信号線（プリチャージ判定信号）を用意する。

【００９０】

図１３の回路構成における電圧印加判定動作を図９に示す。プリチャージ判定信号５５により、電圧を印加するかどうかを判定する。この例では、“Ｈ”レベルでは電圧印加あり、“Ｌ”レベルを電圧印加なしとしている。

【００９１】

画素回路６７内部の駆動トランジスタ６２のゲート電圧がプリチャージ電源２４の出力電圧と同じになる時間は、ソース信号線６０の配線容量及び配線抵抗の積で表される時定数で決まる。プリチャージ電源２４出力のバッファサイズ及びパネルサイズにもよるが、１～５μ秒程度で変化可能である。

【００９２】

電圧により階調表示を行うと、駆動トランジスタ６２の電流－電圧特性のばらつきにより、同一電圧を各画素に供給できたとしても、ＥＬ素子６３に流れる電流が異なり、輝度むらが発生するので、駆動トランジスタ６２のばらつきを補正するために、１～５μ秒で所定電圧にした後、電流出力を行うようにする。

【００９３】

そのための電圧出力と電流出力の切り替えをプリチャージパルスを用いて行う。プリチャージパルス及びプリチャージ判定信号５５が同時に“Ｈ”の時のみプリチャージ電源２４の電圧を出力し、それ以外の場合では電流出力を行うことで、電圧印加が不要な場合には電流出力を、電圧印加が必要な場合でも電圧印加後電流によりばらつき補正を行うことができるようになる。

【００９４】

プリチャージ電源２４を制御するスイッチ１３１については以上の動作を行うが、電流出力制御部１３３によるスイッチ１３２の動作は図１５のように、電流出力期間１５２ではオンである必要があるが、電圧出力期間においてはオンであってもオフであっても良い。

【００９５】

オフであればプリチャージ電源２４の出力がそのままソースドライバから出力されるので問題ない。一方でオンであってもデジタルアナログ変換部１０６による電流出力先１０４の電圧は負荷によって決まるため、プリチャージ電源２４が出力されていれば、ソース信号線６０の電圧はプリチャージ電源２４と同一電圧となる。そのためスイッチ１３２はどの状態にあっても良い。

【００９６】

そのため、スイッチ１３２及び電流出力制御部１３３はなくても構わない。ただし実際には、プリチャージ電源２４の出力にオペアンプが用いられるとすると、オペアンプから階調表示用電流源１０３に電流が引き込まれるようになり、オペアンプの電流出力能力を高める必要がある。そのため、オペアンプの能力を高めることができない場合には、スイッチ１３２を設け、スイッチ１３１と逆の動作をさせるようにして、オペアンプの電流出力能力不足を補う構成とすることが多い。

【００９７】

スイッチ１３２の有無は、ドライバ設計時のオペアンプの設計次第で決まるものである。オペアンプを小さくする場合にはスイッチ１３２を設け、オペアンプもしくはプリチャージ電源２４がソースドライバ３６外部から供給され、十分に電流出力能力のある電源を用いている場合には、ソースドライバの回路規模を小さくするためにスイッチ１３２と電流出力制御部１３３をなくす構成とすることがある。

【００９８】

プリチャージ電源２４から出力される電圧値が、黒階調時の電流に対応した電圧（以降黒電圧という）のみとしたことから、例えば、階調データ５４が連続した複数の水平走査期間にわたって白の階調を表示するとした場合、ソース信号線は黒、白、黒、白状態を繰り返すことになる。もし、プリチャージを行わない場合、白状態が連続して発生すること

になる。つまりプリチャージを行うことによりかえって、信号線の変化を激しくすることになる上、白表示時の電流によっては、白になりきらず書き込み電流不足を生じるおそれがある。

【００９９】

そこで、プリチャージ判定信号を用いて、電流が比較的たくさん流れる階調ではプリチャージを行わず、黒階調付近の所定電流に変化しにくい階調のみプリチャージ電源２４のアシストを受けるようにすればよい。例えば階調０（黒）の時のみプリチャージ電圧を入れる期間があり、その他の階調表示時にはプリチャージ電圧を入れないようにすることが最も効果がある。最低階調時の輝度を低くすることでコントラストも上昇し、より美しい絵が表示可能となる。

【０１００】

例えば、図１７（ａ）に示すように、階調データ５４が０の時にのみプリチャージ判定信号５５をたてることで、階調０時のみプリチャージを行うことができる。

【０１０１】

また、階調データ５４が０、１の時にプリチャージ判定信号５５をたてれば、階調０、１の時にプリチャージを行うことができる（図１７（ｂ））。

【０１０２】

ところで、全画面が黒表示といったソース信号線の変化がないパターンにおいては、１フレームのはじめのみプリチャージ電圧を印加すれば、あとは黒電流のみでも十分所定の階調が流れる。

【０１０３】

つまり同じ黒表示時においても、前の水平走査期間でソース信号線に流した電流値によって、電流のみで所定電流値まで変化する時間が異なり、変化量が大きくなるほど、変化に時間がかかる。例えば白表示後の黒表示をするには時間がかかるが、黒表示後に黒表示を行う場合では信号線は駆動トランジスタ６２のばらつき分のみの変化となるため変化に要する時間は短い。

【０１０４】

そこで、階調データ５４に同期して、プリチャージ電圧を印加するかどうかを判定する信号（プリチャージ判定信号５５）を色ごとに導入することで、任意の階調で、もしくは同一階調でもプリチャージありなしを選択できるような構成を導入することも可能である。

【０１０５】

階調データ５４に対し、プリチャージ判定信号５５を付加する。これに伴い、ラッチ部２２もプリチャージ判定信号をラッチする必要があるため、映像信号ビット数＋１ビットのラッチ部を持つようにする。

【０１０６】

図１７（ｃ）では階調０のときでかつ、前期間での階調が０でないときにプリチャージを入れた場合（階調０の時にプリチャージするが、連続する場合には階調０でもプリチャージを行わない）を示している。

【０１０７】

この方法では、前の方法と異なり同一階調でも、１水平走査期間前のソース信号線の状態に応じてプリチャージをしたりしなかったりを選択できる利点がある。

【０１０８】

なお、このプリチャージ判定信号は制御ＩＣ２８から供給される。制御ＩＣ２８のコマンド操作により図１７（ａ）から（ｃ）に示したようにプリチャージ判定信号５５のパターンを変更させて出力することができる。

【０１０９】

ソース信号線の容量や、１水平走査期間の長さに応じて、ソースドライバＩＣ３６外部から柔軟にプリチャージの設定を変更させることが可能であり、汎用性がますという利点がある。

【０１１０】
プリチャージ判定信号５５を制御ＩＣ２２で発生させる方法について説明する。入力映像信号に対し、プリチャージをするかどうかの判定を行い、その結果をプリチャージ判定信号５５として制御ＩＣ２２からソースドライバへ出力する。
【０１１１】
プリチャージをするかどうかの判定に対し、ソース信号線の電流変化量と、ソース信号線に流れる電流値が所定電流値にまで変化するかどうかに影響するという観点から、１行前の状態による判別、当該行の表示階調による判別、を行う。
【０１１２】
例えばソース信号線の状態が、白、黒、黒となる場合には白から黒になるときには変化量が大きく時間がかかるが、黒から黒へのように複数の行にわたり同一階調を表示する場合、同一階調を表示する行に対応する期間でソース信号線電流の変化は、ばらつきを補償する分のみであるため変化量が小さい。
【０１１３】
このことを利用して、１行前のデータを参照し１行前のデータと当該データの階調差が大きい場合にのみプリチャージ電圧から電圧出力を行うようにする。前の例では、白から黒に変化する場合にプリチャージを行い、黒から黒への変化時にはプリチャージを行わないようにする。黒から黒へのばらつき補正に必要な変化の時間がプリチャージを行わない分長くすることが可能であり、より補正の精度を高めることが可能となった。これにより１行前の階調と当該行の階調データが同一であるときにはプリチャージをしないということが好ましいことがわかる。
【０１１４】
更に、プリチャージをするための電圧は黒状態に対応する電圧のみであることから、１行前の状態に比べ、当該行の輝度が高い場合には、黒状態にせず、所定の電流のみで階調表示を行えばよい。従って、１行前の階調に比べ当該行階調が高い場合には、プリチャージをしないことが好ましいことがわかる。
【０１１５】
さらに当該画素が中間調以上の場合は電流量が多いため、所定電流まで変化することが容易となるため、１行前の画素によらずプリチャージは不要となる。ただし、解像度が高い場合や、中間調でも電流量が少ない場合、パネルサイズが大きいなど変化しにくい場合は、１行前の画素が中間調以下の場合にプリチャージを行っても良い。
【０１１６】
一般に電流値の変化は、黒から白状態の変化に比べ、白から黒状態に変化する方が難しい。これは、前にも説明したとおり、これから表示する表示階調に応じた電流により１行前のソース信号線の状態から所望のソース信号線の状態まで変化させなければならず、電流値が小さい低階調部ほど変化が難しくなる。更に変化量が多い場合には変化しきる前に、水平走査期間が終わってしまう。そこで変化に時間がかかる、変化量が大きくかつ当該階調が低階調の場合、つまり１行前の画素の階調が中間調以上であるときに、当該画素の輝度が中間調以下となる場合にプリチャージを行うようにすることが効果的である。
【０１１７】
１行前が中間調以下であれば、当該画素の輝度が中間調以下の場合でも変化量が少ない分、所定階調を表示できる。
【０１１８】
これにより、当該画素の輝度がある階調より大きい場合では、プリチャージを行わず、ある階調以下の場合では、１行前の階調により、１行前のデータに応じて、１行前のデータよりも大きい場合にはプリチャージを行わず、１行前のデータよりも小さい場合にはプリチャージを行うようにする。１行前のデータと同一の場合には当該行の階調によらずプリチャージを行わないとする。
【０１１９】
なお１行前データが存在しない１行目のデータに関しては、１行目でのデータを画素に

書き込む直前の状態、つまり垂直ブランキング期間でのソース信号線の状態が重要となる。

【０１２０】

１フレーム間の中にどの行も選択されない垂直ブランキング期間が一般的に存在する。このときソース信号線はスイッチングトランジスタによりどの画素からも切り離され、電流の流れる経路がなくなる。ソースドライバＩＣの電流出力段が図１３のように構成された場合、垂直ブランキング期間では電流出力１０４の先にはソース信号線しか接続されておらず、階調表示用電流源１０３が電流をソース信号線から引き込もうとしても、電流経路がないため引き込めない。

【０１２１】

階調表示用電流源１０３はそのため無理にでも電流を引き込もうとして電流源１０３を構成するトランジスタのドレイン電圧を低下させる。ソース信号線の電位も同時に低下する。

【０１２２】

垂直ブランキング期間が終了し、１行目の画素に電流を供給しようとするときにはソース信号線電位の低下が大きくなり、通常の白表示時に比べてもソース信号線電位が低下する。（ここでソース信号線の電位は白表示時が最低で、黒表示時が最高電位となる。図６の画素構成としたとき）そのため、階調に対応した電流値になるまでソース信号線の電位を変化させることが他の行に比べて難しくなる（必要な変化幅が大きい）。

【０１２３】

ソース信号線電位の低下が大きい場合、白表示時に比べて更に電位が低下し、１行目に白表示を行う場合でも変化に時間がかかる場合、所定輝度に比べて高い輝度で表示が行われてしまう。垂直ブランキング期間終了後すぐに走査を行う行に関しては表示階調によらず、プリチャージ電圧を出力することが望ましい。

【０１２４】

そこで本発明では垂直同期信号を利用して、垂直ブランキング期間の次の行に相当するデータに対応したプリチャージ判定信号では強制的にプリチャージを行うような信号として、１行目の輝度が他行の輝度と異なる問題を解決した。

【０１２５】

なお、ソース信号線の電位低下を少しでも和らげる方法として、垂直ブランキング期間においては階調データ５４に黒表示データを入力し、スイッチ１０８を非導通状態とすることでソース信号線電位の低下を抑えてもよい。また、電流出力１０４とソース信号線の間にスイッチを設け、垂直ブランキング期間ではそのスイッチを非導通状態とするようにしてもよい。このスイッチは電流電圧選択部３８５と兼用にしてもよく、スイッチの状態が３値とれるようにして、電流出力、電圧出力、ソース信号線と切り離すというようにすれば、スイッチの構成数を減らすことが可能である。

【０１２６】

所定の階調が書き込みにくい現象、特に黒が中間調表示となる現象については、表示画像の平均輝度、点灯率に影響する。点灯率が高い場合には全体的に輝度が高くなっており、少数の黒表示画素が、中間調表示となっていても、視認できない。一方で、点灯率が低い場合にはほとんどの画素の輝度が低く設定されておりこの輝度が正常に表示できない場合には、ほぼ全面の輝度が変化することから、本来の映像からかけ離れた表示となり、表示品位に大きな影響を及ぼす。

【０１２７】

そこで、表示品位への影響が少ない点灯率が高い表示では、電流駆動による均一な表示を優先するためにプリチャージをせずに、黒表示輝度の上昇が目立つ点灯率が低い表示においてプリチャージをするような設定ができるようにする。

【０１２８】

パネルの点灯率は１フレーム間全ての輝度データを加算することにより算出可能である。この方法で得た点灯率の値により、点灯率が高い場合プリチャージを行わない、点灯率

が低い場合にはこれまでの判定結果に基づいてプリチャージを行うようにすることで、低階調表示の画素の輝度を忠実に表示できるようにできる。

【０１２９】

以上に示したプリチャージの方法を行うためのフローチャートを図４１に示す。

【０１３０】

映像信号と強制プリチャージ信号から強制プリチャージ信号が有効の場合、映像信号によらずプリチャージ電圧を出力する。出力される電圧値は電圧数が複数ある場合には映像信号に応じて変化させてもよい。ここで１行目に対応する映像信号が入力されているときのみ強制プリチャージ信号を有効にすると、１行目のデータは映像信号によらずプリチャージを行い、垂直ブランキング期間にソース信号線電圧が低下することによる電流が所定値まで変化しにくくなる現象を回避することが可能となる。

【０１３１】

強制プリチャージ信号が無効の場合、次に入力映像信号の階調を判定する（４１２）。小型パネルや解像度の低いパネルでは電流量が低階調部に比べて多い高階調領域では、所定期間（１水平走査期間）内で電流のみで所定電流値まで変化させることが可能である。そこで４１２において所定電流を書き込むことが可能な階調においてはプリチャージを行わず、電流だけでは所定電流とならない階調ではプリチャージを行うような判定を行う。

【０１３２】

次にプリチャージが必要な特定階調以下の場合は４１３に進む。（ここで特定階調については表示パネルにより異なるため外部コマンドにより特定階調を設定できることが好ましい）１行前の映像信号の状態によりプリチャージするしないを判定する。１行前のデータよりも今の映像信号データの方が高階調の場合にはプリチャージにより黒にすると、かえって信号線の変化が大きくなるため、プリチャージをしないようにする。また同様に１行前と同じ階調である場合にでも同様にプリチャージをしないようにする。

【０１３３】

これまでの判定ですべてプリチャージを行うと判定した場合について、次に点灯率を参照し、点灯率が高い場合には判定結果によらずプリチャージしないようにする。点灯率が低い場合には判定通りにプリチャージを行う。

【０１３４】

なお本説明では４１１から４１４のすべての過程を順に通してプリチャージをするかどうかを判定したが、必ずしも全ての過程がなくてもよい。

【０１３５】

なおプリチャージ電源２４の出力が複数ある場合には、スイッチ１３１は複数存在し、印加判定部の出力もプリチャージ電源２４の（電圧出力数＋１）通り考えられる。出力が（電圧出力数＋１）通りあることから、プリチャージ判定信号５５も１ビットではなく、Ｎビット（$2^N \geqq$（電圧出力数＋１）、Ｎは自然数）にする必要がある。ラッチ部２２のビット数もそれに応じて変更することで対応可能である。図４０に２ビットのプリチャージ判定信号５５での例を示す。プリチャージ電源２４の電圧値が３つある場合であり、プリチャージ判定信号が両方とも０のときには電流のみを出力し、全て１の時には、第１の電圧を出力する期間を持ち、５５ａのみ１の時には、第２の電圧を出力する期間を持ち、５５ｂのみ１の時には第３の電圧を出力する期間を持つようにすると、階調に応じてプリチャージ判定信号５５を制御することで、適切なプリチャージ電圧を印加することが可能となる。

【０１３６】

本発明によるプリチャージの方法を実現する回路ブロックを図４２に示す。映像信号４１０に対し各ブロックによる判定の結果としてプリチャージするかどうかの判定信号が４１７に出力される。映像信号４１０とほぼ同一タイミングで出力される判定信号４１７により、ソースドライバ側でプリチャージを行うかどうかが決まる。シリアルパラレル変換部４２７は必ず必要というわけではなく、図２の３６で構成されたソースドライバＩＣと組み合わせて実現する際に、ソースドライバ３６の入力インターフェースにあわせるため

に必要なものである。

【０１３７】

映像信号４１０はプリチャージ判定部（４２１）及び記憶手段（４２２）に入力される。

【０１３８】

強制プリチャージは図４１の４１１に示すように、映像信号４１０によらず、強制プリチャージ信号４１６が入力されたときにプリチャージを行う、となるため全てのプリチャージ判定ブロックの最終段に、判定結果をマスクする形で挿入すればよい。そのため図４２ではプリチャージフラグ生成部４０８は最終段に構成されている。プリチャージ判定信号４１７は“Ｈ”レベルにてプリチャージをするとするのであれば、このブロックは論理和のみで構成すると所望の動作を実現できる。

【０１３９】

１行前のデータが、今のデータよりも小さい場合にはプリチャージを行わないことから、まず１行前と当該行のデータを比較する。そのための回路として、記憶手段４２２と１行前データ比較部４００がある。記憶手段４２２は、ソースドライバ３６の出力数分のデータを保持できる容量を持ち、映像信号を１水平走査期間の間保持することで、１行前のデータを持っておく。この記憶手段４２２の出力と、映像信号４１０を比較することにより、１行前と当該行のデータを比較し、比較結果を次のプリチャージ判定部に入力する。比較結果は、プリチャージするもしくはしないを表す１ビットで出力される。

【０１４０】

また電流のみで書き込みが可能な高階調データである場合にはプリチャージを行なわないことから、映像信号４１０を参照し、プリチャージ印加階調判定信号４２９で設定された階調より大きいか、以下かを判別しプリチャージを行うかどうかの信号を出力する。

【０１４１】

さらに点灯率により判定を行う。点灯率で判定部４０９により、計算された点灯率データ４２０及び点灯率設定信号４１８から、点灯率設定信号４１８により決められた点灯率を超えた場合にはプリチャージを行うという信号を出力する。

【０１４２】

１行前データ比較部及びプリチャージ判定部及び点灯率で判定部の出力と強制プリチャージ信号４１６が入力されるプリチャージフラグ生成部４０８では、強制プリチャージ信号４１６によりプリチャージを行うときには他の信号によらず、プリチャージする信号を４１７に出力する。それ以外の場合では、１行前データ比較部及びプリチャージ判定部及び点灯率で判定部の出力が全てプリチャージするとなったときのみプリチャージするように出力を行う。

【０１４３】

これにより映像信号４１０に対応したプリチャージフラグ４１７は図４１のフローに従って判定された結果に対応した出力を行うことになる。

【０１４４】

シリアルパラレル変換部４２７は図３のソースドライバ３６の入力インターフェースにあわせるために必要なのであり、各色の映像信号及びプリチャージ出力４１７（色ごとにある）がパラレル転送される場合には不要である（そのままソースドライバへ出力する）。

【０１４５】

なお図２の構成では制御ＩＣ２８とソースドライバ３６が別のチップで構成された例を示しているが、同一チップで構成した一体型のチップでも構わない。この場合、図４１や図４２の構成はソースドライバ３６に内蔵される。

【０１４６】

プリチャージ電源２４の出力電圧値は電子ボリュームなどで制御できることが好ましい。所定電流を流すためのプリチャージの電圧はＥＬ電源線６４の電圧を基準に決められるためである。図１２においてソース信号線６０に電流Ｉ２を流そうとするとトランジスタ

６２のドレイン電流－ドレインゲート間電圧の関係（図１２（ｂ））からソース信号線６０の電位は（ＥＬ電源線６４の電圧）－Ｖ２となる。

【０１４７】

一方でＥＬ電源線６４は図３１に示す表示パネルにおいて３１３、３１４の配線で各画素に供給されている。全ての画素が白表示の時には最大電流が３１３に流れ、黒表示の時には最小電流が３１３に流れる。このとき３１３の配線抵抗により白表示時には３１５と３１６の点で電位が異なる。一方で黒表示時には３１５と３１６ではほぼ等しい電位となる。つまり白表示時と黒表示時でＥＬ電源線６４の電位がＥＬ電源線３１３の電圧降下により異なる。つまり同じＩ２の電流を流すにしても、ＥＬ電源線３１３の電圧降下量の違いによってソース信号線６０の電圧が異なる。そのため３１３の電圧降下量によってプリチャージ電源２４の電圧値を変化させなければ、ソース信号線の電流が変化しその結果輝度が変化するという問題が発生する。

【０１４８】

ＥＬ電源線６４の電圧が異なればソース信号線６０に印加する電圧も異ならせる必要がある。１フレーム内での点灯率データを用いて電圧を変更するようにすればよい。点灯率が高いときはＥＬ電源線３１３に流れる電流が多くなるため、電圧降下が大きくプリチャージ電源２４の電圧値を低くするように電子ボリュームを制御する。一方で点灯率が低いときはＥＬ電源線３１３の電圧降下が小さいため電子ボリュームによりプリチャージ電源２４の電圧値を高くするようにすることでＥＬ電源線３１３の配線抵抗が原因となる輝度ムラをなくすことが可能となる。

【０１４９】

一方大型パネルにおいては、所定値まで電流を書き込みすることが困難になるため、特に低階調ではほぼ階調ごとに電圧値を用意して、書き込みを改善する必要がある。更に電圧値を多くするにはプリチャージ用電源２４を多くする方法もあるが、電圧数だけスイッチ１３１も必要となる。特にスイッチは各ソースラインに電源数だけ必要となるため、大きな面積をしめることになる。

【０１５０】

電源数（2^N－１個）に対し、Ｎビットのプリチャージ判定信号５５が必要となり、Ｎビットの信号から（2^N－１）個のスイッチを制御するためのデコード部が各ソース信号線の印加判定部３９に必要となるため、このデコード部の回路規模がＮの上昇に伴い増大し、チップ面積が大きくなってしまうことも問題である。

【０１５１】

これは、各ソースラインにおいてデジタルデータ（階調データ）をアナログ値（プリチャージ電圧）に変換するため、ソースライン毎にデジタルアナログ変換部が必要になるために、出力電圧数が増えるほど回路規模が大きくなる。

【０１５２】

そこで図３８に示すようにデジタルアナログ変換部３８１は、半導体回路で１つのみ用意し、シリアル転送されてきたデータをアナログ電圧に変換し、その後、各ソース信号線に分配するようにする。そのためにデジタルアナログ変換部の出力３８２を分配部及びホールド部３８３に入力し各ソース信号線に、階調データに基づいたアナログ電圧を分配し供給する。

【０１５３】

一方階調に応じた電流を出力する方法は図２と同様に、階調データ３８６をシフトレジスタ及びラッチ部３８４で各ソース線に分配し、各ソース線にある電流出力段２３により階調に応じた電流を出力するようにしている。

【０１５４】

電流もしくは電圧のいずれかを出力するかを決める部分として電流電圧選択部３８５をソース信号線への出力の直前に配置した。プリチャージ判定信号３８０、プリチャージ電圧印加判定部５６とプリチャージパルス５２により、電流電圧選択部３８５を切り替え、電流を出力するか、電圧出力後電流を出力するかのいずれかを決める。プリチャージ電圧

印加判定部５６は、電圧出力を行う期間を設けるかどうか決めるもので、プリチャージパルス５２は電圧出力を行う場合に電圧出力を行う期間を決めるものである。

【０１５５】

これにより、デジタルアナログ変換部３８１が階調数に応じたアナログ出力段階数を持てば、階調に応じた電圧を出力することが可能となり、ある行が選択されている期間（水平走査期間に相当する）において、まず電圧によりほぼ所定の値までソース信号線電流を変化させ、その後、各画素のトランジスタのばらつきによる電流値のずれを電流出力により補正するということが可能となる。

【０１５６】

電流により所定電流値にまで変化させるには、特に低階調部において水平走査期間以上の時間がかかることが多いが、電圧により変化させる方法はほぼ１μ秒で変化を完了させることが可能な上、電流による補正はわずかであるため、電圧印加後電流を流す方法では水平走査期間内に所定電流まで電流を変化させることが容易となる利点がある。

【０１５７】

例えば２５６階調表示が可能な駆動用半導体回路において、上位１２８階調では電流のみで十分所定の電流値に変化できるなら、電圧を出力するのは下位１２８階調分でよい。従ってデジタルアナログ変換部３８１は７ビットの分解能であればよく、１２８種の電圧が出力できればよい。階調データ３８６が上位１２８階調のうちの１つであるときには、電圧出力を行わないように、プリチャージ判定信号３８０を入力する。これにより電流電圧選択部３８５は必ず電流のみを出力するようになる。デジタルアナログ変換部３８１の出力信号は駆動用半導体回路の外部に出力されないため、どのような値であっても良い。最も簡単な方法としては入力階調データ３８６の上位１ビットを無視して、下位７ビットの値に対応した電圧を出力しておいてよい。

【０１５８】

階調データ３８６が０から１２７階調の間である場合には、プリチャージ判定信号３８０により、電流電圧選択部３８５を制御して、デジタルアナログ変換部３８１からのアナログ電圧を駆動用半導体回路外部に出力する期間を設ける。

【０１５９】

これによりデジタルアナログ変換部の分解能を小さくした回路が形成できる。またソース信号線の電圧は一般に図６のようなｐ型トランジスタを用いたカレントコピアや図４４のようなカレントミラーの画素構成の場合、黒表示時が最も電圧が高く、白表示になるに従って電圧が低下していく。黒から白の範囲での電圧変化幅に比べ、黒から中間調の範囲での電圧変化幅の方が小さくなる。従って、０から１２７階調の時のみ電圧を出力するような構成とした場合は、出力電圧のダイナミックレンジを小さくすることが可能となる。

【０１６０】

また本発明のソースドライバＩＣ３６では電圧印加後、電流出力し、駆動トランジスタのばらつきを補正する動作を行うため、出力される電圧値は、ほぼ目標の電流値となる値を印加すれば良く、精度は要求されない。これによりデジタルアナログ変換部３８１の電圧出力の出力偏差の値は液晶パネルに比べ大きくて良いため、その分回路規模を小さくすることも可能である。

【０１６１】

一般にソースドライバＩＣを使うパネルのサイズの違い（ソース線の浮遊容量が異なる）や、走査方向の画素数の違い（水平走査期間が異なる）により、電流変化のしやすさが異なる。

【０１６２】

本構成のドライバＩＣを用いるとプリチャージパルス５２をソースドライバＩＣ外部から入力するようにすれば、プリチャージ判定信号３８０及び階調データ３８６は図２に示すように、外部信号入力となることからパネルにあわせて、電流のみもしくは、電圧と電流の両方を利用して階調表示を行う階調範囲を任意に設定できるという利点がある。階調範囲の設定は図２のように外部に形成されたコントロールＩＣで制御することができる。

またコントロールＩＣの動作をコマンド入力により変化させられる場合は、コマンド入力により調整可能となる。なお、コントロールＩＣは図２のようにソースドライバＩＣの外部に構成される場合の他、液晶用ソースドライバの一部に見られるように、ソースドライバＩＣとコントロールＩＣを同一チップに一体化して形成しても構わない。このときは一体化されたＩＣのコマンド入力により階調範囲を調整できるようにしておけばよい。

【０１６３】

以上の発明により、低階調部において、ソース信号線に流れる電流が小さいことから所定時間（水平走査期間）内に電流が所定値に変化できないために、白表示を行った次の行の画素の輝度が所定値よりも高くなるという問題をプリチャージ電圧入力により解決した。

【０１６４】

図８は基準電流発生回路を示した図である。基準電流は図１０で示した出力段の構成において、１階調あたりの電流値（基準電流８９）を規定するものである。

【０１６５】

図８において基準電流８９は節点８０の電位と、抵抗素子８１の抵抗値により決まる。

【０１６６】

さらに節点８０の電位は電圧調節部８５により、制御データ８８により変化させることが可能である。

【０１６７】

電流出力を行うための階調表示用電流源１０３のトランジスタサイズによっては端子ごとの出力電流ばらつきが発生する。トランジスタサイズ（チャネル面積）と出力電流ばらつきの関係を図１１に示す。基準電流のばらつきを考慮に入れ、チップ内、チップ間の隣接端子間のばらつきを２．５％以内にする必要があることから図１１における出力電流のばらつき（出力段での電流ばらつき）は２．５％以下にすることが望ましく、１０３のトランジスタサイズは１６０平方ミクロン以上あることがよい。

【０１６８】

さて、有機発光素子を用いた表示パネルでは、点灯画素にのみ電流がながれ、非点灯画素には電流が流れない。従って全画面白表示時に最大、全画面黒表示時に最小電流が流れる。

【０１６９】

表示パネルに電流を供給する電源回路は、最大電流が流せるような容量を持たせる必要がでてくる。しかし、最大電流を流すような画面表示となることはきわめて少ない。このきわめて少ない機会しか発生しない最大電流のために、大きな容量の電源回路を設けることは無駄が大きい。また消費電力を下げるためにも最大電流をなるべく小さくする必要がある。

【０１７０】

そこで、最大電流を下げる方法として、白表示画素が全体の６割以上ある場合、全画素の輝度を２～３％程度低下させる。これによると、最大電流が２～３％低下し、ピーク時の電力が下がる。

【０１７１】

この方法を実現させるには、１階調あたりの電流を決める基準電流生成部２６から発生する基準電流８９の値を２～３％程度変化させれば実現できる。

【０１７２】

そのために、表示パターンに応じて制御データ８８の値を変え節点８０の電圧を変えることで、基準電流８９を変える。

【０１７３】

このように、表示パターンに応じて制御データの値を変えるには表示パターンを判別し、判別結果により制御データを変えるという制御をする必要がある。そのためこの判別は通常制御ＩＣ２８により行われる。

【０１７４】

このため、制御ＩＣ２８からソースドライバＩＣ３６へ入力される信号線の数は映像信号線の他、電子ボリュームの制御データ線数だけある。そのため両ＩＣの入出力端子が増加する。電子ボリュームの制御が６ビット、映像信号線が１８ビット（各色６ビット）の場合、２４本端子が必要となる。

【０１７５】

さらにプリチャージ電源２４が内蔵されているため、プリチャージ電源２４の出力電圧を設定するレジスタが存在する。プリチャージ電圧は表示パネルのＴＦＴ特性及び、有機発光素子のしきい値電圧により決まるため、異なるパネル毎に異なる電圧値を設定する必要があり、少なくとも１回外部から設定する必要がある。１回の設定のために外部入力端子を設けるのは非効率である。

【０１７６】

入出力信号線数を減らすことはチップ面積縮小、外部の配線引き回しの簡略化に有効である。

【０１７７】

そこで本発明では、データ線とアドレス線を制御ＩＣとソースドライバＩＣ間に接続し、映像信号と各種設定用信号を高速にシリアル転送させるようにして信号線数を減らすことにした。映像信号も、赤緑青の３源色をシリアル転送する。

【０１７８】

図１にデータ線とアドレス線のタイミングチャートを示す。スタートパルス１６が入力された後、１行分の画素データがデータ線１２より転送される。その後制御用のデータが転送される。例えば電子ボリュームの設定値などである。データ線１２に流れているデータが何であるか判別するために、アドレス１３がデータ線１２のデータに同期して転送される。この例では、アドレス線１３のデータが０のとき赤色データ、１のとき緑色データ、２のとき青色データとなる。４以上の値はコマンドデータである。

【０１７９】

シリアル転送されてきたデータを分配するため分配部２７のブロック図を図１８に示す。分配部は映像信号では２段の、その他のコマンドデータでは１段のレジスタもしくはラッチ回路で構成される。

【０１８０】

１段目のレジスタもしくはラッチ回路１８２により、必要なデータのみを取り込み、映像信号１１に対しては、次のシフトレジスタ部２１のキャリーパルスが長くできるよう３色の信号のタイミングを調整している。これにより図１に示すような映像データ１１が取り出される。このデータがシフトレジスタ部２１により各出力に分配される。

【０１８１】

また、信号線数を減らす第２の例を図２８から図３０に示す。

【０１８２】

この例では色ごとに信号線を用意し、各色のデータをシリアル転送する方法である。各ドットに対応した映像信号を順に転送し、ブランキング期間を利用してコマンド信号を送るようにしている。１水平走査期間での転送の関係を図３０に示す。映像信号転送期間３０１とコマンド転送期間３０２の識別は、データコマンドフラグ２８２により行っている。１画素分データ２８１の先頭の１つのデータをこのデータコマンドフラグ２８２にあて（この例では赤データのうちの１つを使用）、ハイレベルであればこのデータは映像信号、ローレベルであればコマンドと判定し、判別を行う。このデータコマンドフラグ２８２は、１画素分データ２８１のどの部分にあってもよいが、先頭にある方が、入力されるデータが、コマンドか否かをはじめに判別できるため処理がしやすい。

【０１８３】

この例では１画素分データ２８１が６回のデータ転送からなっており、プリチャージ判定信号５５が３ビットと、映像信号が８ビットの１１ビットの信号を２本の信号線により６倍速で転送するものである。図２８に内訳を示す。はじめにプリチャージ判定信号５５群２８３を送信し、映像信号群２８４を送信する。なおこの順番に制約はない。赤データ

、緑データ、青データとも同一回路構成にするためには、はじめの１ビット分のデータはあけて、プリチャージ判定信号５５、映像信号群２８４を転送することが好ましい。映像信号はシリアル転送されるため、シリアルパラレル変換部を介し、パラレル変換後シフトレジスタへ入力される。赤データのパラレル変換後の出力タイミングを２８６に示す。

【０１８４】

２８５で表させる期間は、ブランクデータとしてもよい。この例ではシリアル伝送で送られてきたゲート信号線をソースドライバに入力し、ソースドライバ内部にてパラレル変換し、ゲートドライバへの信号供給を行う構成となっているため、２８５の期間にゲート信号線の信号を入れるようにしている（有機発光素子を用いた表示装置において、ゲートドライバは、所定の画素に所定電流を流すための画素選択用ゲートドライバと、画素に記憶された電流を流し続けるためのＥＬ点灯用ゲートドライバの２つが必要で、それぞれにクロック、スタートパルス、スキャン方向制御、出力イネーブル端子が必要となると、全部で８信号線必要となり、１本のゲート信号線で６つと、２８５の２つの区間で信号線を送ると、１画素タイミングでゲートドライバの波形制御が可能となる。より細かい制御が可能。これを実現するにはゲート信号線シリアル転送用の他に２８５の区間が必要である）。

【０１８５】

一方コマンド送信時のデータ転送の例を図２９に示す。１コマンドあたりのビット数は６ビット程度あれば足ることが多いため、この例では赤緑青データ全てをまとめて６ビットの信号ととらえ、データコマンド識別信号２８２の後の５回分のデータをコマンドとして取り込むようにしている。ブランキング期間であってもゲートドライバの動作は必要であるため、ゲート線及び２８５の区間では、フラグ２８２の値によらず、ゲートドライバ用の信号が入力される。

【０１８６】

データコマンドフラグ２８２と同一タイミングである信号のうち、ゲートドライバ用の信号が入力される区間以外に３ビット分の空きデータがある。この部分はビット長が短いコマンドにあててもよいが、５つ以上のコマンドを設定する必要があるときに、コマンドアドレスとして用いる。図２９では１０個以下のコマンド受付を行うソースドライバを例として、２９２に示す１ビットのコマンドアドレスを用意している。２８２、２９２の値に応じ、更新するコマンドレジスタを変更する。データが１回で転送されることから、シリアルパラレル変換部は不要で、直接内部レジスタ入力（プリチャージ電源２４を決める電子ボリューム入力など）を更新すればよい。

【０１８７】

図２８から図３０に示した入力インターフェースにより、映像信号とプリチャージ判定信号を多重に伝送しかつ、コマンド入力を映像信号非送信期間に行うことで、コマンド数が１０、コマンドビット長が６ビットの場合で、従来の９３本の入力線数から、６本の信号線数まで削減が可能となった。

【０１８８】

信号線数と、転送レートは任意に設定でき、信号線数は、最小は各色１ビットから、最大では、各色の１画素ごとに必要な信号ビット数／２まで設定できる。信号線数が減るとクロック周波数が増加し、外部の配線引き回しが難しくなることから、実用上は、データ転送レートが１００ＭＨｚ以下の信号線数とすることが好ましい。本発明ではＥＭＩを低減するため、クロックのみ半分の周波数とし、両エッジでデータ取り込みを行うようにしている。

【０１８９】

なお、入力信号としては、ＣＭＯＳレベルの信号でなくても、差動伝送によって送信しても良い。差動伝送とすると、一般的に信号線振幅が下がるためＥＭＩが低下するという効果がある。

【０１９０】

高速転送を行うクロック及びデータ線に関して、図１６のような入力形式として、２本

の入力信号線（１６１及び１６２）の差分からロジック信号１６４を取り出すようなＲＳＤＳ形式で送信を行っても良い。１６５及び１６６は電流送信された信号を電圧値に換えるための抵抗素子である。この抵抗素子の値は送信側の仕様に合わせて決定される。この入力端子を図１及び図２８の信号線全てに組み込むことで、伝送形式を差動伝送とし、ＥＭＩの少ないドライバを実現した。

【０１９１】

これにより入力信号線数の少ないソースドライバＩＣ３６が実現できた。

【０１９２】

図７０は電流出力段を図７３の７３６に示すようなカレントコピア構成により形成した場合のドライバＩＣの概略構成を示したものである。

【０１９３】

カレントコピア回路では、入力電流をスイッチ７３４及び７３５を介して駆動トランジスタ７３１に流し、流れた電流量に応じて節点７４２の電圧が決まる。この電圧を保持するために蓄積容量７３２を設け電荷を蓄積することにより電圧を保持する。入力電流を記憶した後スイッチ７３４及び７３５を非導通状態とする事で、入力電流をためておく。電流を出力する際には７３３のトランジスタを導通状態とすることにより、７３２の蓄積容量に蓄えられた電荷量に応じた電流が７３１に流れ出力される。同一駆動トランジスタ７３１のドレイン電流－ゲート電圧特性を用いて入力電流を記憶し、出力するためトランジスタの特性ばらつきのよらず入力電流と同じ電流を出力できる利点がある。

【０１９４】

更にカレントコピア回路では入力電流を一度蓄積容量７３２に記憶してから出力を行うため、メモリ機能を有する。そのため入力データをかく出力端子に分配した後、データの出力タイミングをそろえるラッチ部の機能をカレントコピア回路に持たせることが可能である。これにより図７０の構成においてシリアルに転送されてくる映像信号はラッチ部を使わずに各出力に分配可能となる。

【０１９５】

カレントコピア回路ではアナログ電流を保持することが可能であるため、映像信号をあらかじめデジタル－アナログ変換部７０６で階調に応じたアナログ電流である階調電流信号７３０に変換し、シフトレジスタ２１の出力信号に応じて各出力に分配するようにしている。分配された電流を保持するための電流保持手段７０２に、カレントコピア回路を形成している。

【０１９６】

カレントコピア回路では先に述べたように入力電流を一度保持した後に入力電流に応じた電流を出力するという動作を行うことから、入力電流を記憶している期間では電流出力ができず、また電流出力を行う際には階調電流信号７３０を取り込むことができない。

【０１９７】

表示部への電流出力は画素回路において所定電流への変化に時間がかかるという問題があることから水平走査期間内においてはなるべく長い期間電流を出力し続けることが望ましい。そのためソースドライバＩＣから電流は常に出力されることが好ましい。

【０１９８】

そこでカレントコピア回路構成の出力段でも常に電流を出力し続けるために、同一出力端子にカレントコピア回路を２つ設け、一方が階調電流信号７３０を記憶している際には、他方が電流をドライバＩＣ外部に電流を出力する構成とした。

【０１９９】

出力段の回路を図７３に示す。７３６ａと７３６ｂの２つの保持回路がカレントコピア構成となっている。２つの保持回路のうちどちらを出力にし、どちらが階調電流信号７３０を記憶するかを決めるための信号がセレクト信号７３８である。セレクト信号７３８は１水平走査期間毎に変化し、１水平走査期間ごとに保持回路７３６を変えることにより映像信号に応じた電流出力が可能となる。セレクト信号７３８に応じて保持回路７３６の電流出力用トランジスタ７３３の状態を変えるようにすることで、出力に用いる保持回路を

決めることが可能となる。

【０２００】

両保持回路７３６とも出力を行わないようにする場合には、セレクト信号７３８及びセレクト信号の反転出力７３９ともローレベルとすることで実現する。７３８及び７３９は必ずしも逆相に入る必要はないが、両信号ともハイレベルにしてはならない。他の方法として７３８と７３９は常に逆相とし、別途イネーブル信号を設け、７３８及び７３９との論理積の結果をスイッチ７３３を制御する信号に入力することにより同様な動作を行うことが可能である。

【０２０１】

シフトレジスタ２１及び電流保持手段７０２により階調電流信号７３０が各出力に分配できた。次に階調電流信号７３０を生成する回路について説明を行う。ロジック信号である映像信号をアナログ信号である階調電流信号７３０に変換するためにデジタル－アナログ変換部７０６を設け、映像信号に応じた電流を出力するようにした。デジタル－アナログ変換部７０６の回路例を図７１に示す。

【０２０２】

映像信号の各ビットに対応した電流を外部から入力し、対応した電流（階調基準電流１～階調基準電流８）に対し、電流値に対応して階調信号７１１によりスイッチ７１２を制御することにより、階調信号７１１に応じた階調電流信号７３０を出力するような構成とした。階調信号１（７１１ａ）から順に階調信号８（７１１ｈ）まで最下位ビットから最上位ビットに対応させた場合、階調基準電流１（７００ｃ）の２倍が階調基準電流２（７００ｄ）、一般に階調基準電流ｎの２倍が階調基準電流（ｎ＋１）となるように、電流値を設定し入力する（ここでｎは１以上ビット数未満の整数）。

【０２０３】

これによりスイッチ７１２が導通状態となっている階調基準電流７００の和を階調電流信号７３０として出力する。

【０２０４】

次に階調基準電流７００を作成し、デジタル－アナログ変換部７０６に入力する方法について説明する。

【０２０５】

図７８に示すように階調基準電流７００は階調基準電流生成部７０４により生成する。１階調あたりの電流をどのくらいにするかを設定する基準電流７８１を元にカレントミラー構成などにより、映像信号のビットに応じた階調基準電流７００を出力する。ここでは８ビット出力の場合で、階調基準電流７００は８出力存在する。（階調基準電流ｎの電流値）×２＝（階調基準電流（ｎ＋１）の電流値）となるような電流を正確に出力する必要があることから、ミラーを行うトランジスタ７８２の数を変えることで出力電流を変化させることが好ましい。この方法の場合、階調性は高いが回路面積が大きくなる欠点がある。一方で各階調基準電流７００を生成するトランジスタ７８２は、各期順電流に対し１つずつとし、チャネル幅を変えることにより階調基準電流１から８を変化させることも可能であるが、電流がチャネル幅に正確に一致するわけでないためシミュレーションによりチャネル幅をプロセスに応じて変更する必要がある。このため、個数分だけ並べる方法に比べ階調性が低下するおそれがある。そこで、図７８に示すように低階調部と高階調部に階調基準電流をグループ分けし、低階調部と高階調部の間ではチャネル幅を変更することで電流値を変え、低階調部間及び高階調部間ではトランジスタの個数を変更することで電流を変えるようにする。

【０２０６】

図７８では、低階調部を下位２ビット、高階調部を上位６ビットとし、７８３で示す点線に囲まれたトランジスタは７８４で示す点線に囲まれたトランジスタに比べておよそ１／４のチャネル幅（プロセスにより上下する－１０％以上＋５０％未満）で形成することにより、階調性を維持し回路規模の小さい階調基準電流生成部７０４を実現することができる。

【０２０７】
ドライバＩＣに対し１回路であるため、階調性を高めたいときは図８０に示すようにトランジスタ数により電流を変化させてもよい（全体に対する回路面積が１０％以下であるため）。
【０２０８】
基準電流７８１は図８１に示すように抵抗、演算増幅器などにより定電流源を構成することで実現可能である。８８の制御データにより基準電流７８１の電流値を変えることも可能である。この基準電流７８１の制御は、電力抑制、焼き付き防止、コントラストの向上に役立つ。
【０２０９】
以上のようにして形成された階調基準電流７００をデジタル－アナログ変換部７０６に入力すればよいが、直接接続すると複数のソースドライバＩＣ３６を接続したときに、全てのチップで１％以下の誤差で階調基準電流７００を供給することが難しくなる。
【０２１０】
チップ毎に、基準電流生成部７０３と階調基準電流生成部７０４を設けると、図８１の基準電流生成部７０３でのばらつきと、図７８もしくは図８０でのカレントミラーでのばらつきの２乗平均のばらつきが階調基準電流７００で発生するため、チップによってある階調の電流値が異なるおそれがあり、チップ毎に輝度ムラが発生する。カレントミラーのミラー比ずれによるばらつきを小さくするには７８２、８０１のトランジスタサイズを大きくすることにより実現できるが、ばらつきを１％以下にしようとするには１０，０００平方ミクロン以上のチャネルサイズが必要となる。
【０２１１】
小さいサイズでばらつきなく各チップに階調基準電流７００を供給するには１つの表示部に対し、１ヶ所の基準電流生成部７０３から１ヶ所の階調基準電流生成７０４を用いて階調基準電流７００を発生させ、各チップに分配する方法である。この概念を図７２に示す。
【０２１２】
ソースドライバ３６ａにより発生した階調基準電流７０４を、３６ａを含めた全てのチップに供給することにより、各チップでばらつきのない電流が供給される。ここで、階調基準電流７００は２つ以上のソースドライバＩＣ３６に同時に供給されないようにする必要がある。電圧と異なり電流の場合複数のドライバに接続すると分流され、１つのドライバＩＣに流れる階調基準電流値が異なってしまう。そこで、複数のドライバＩＣ３６が同時に階調基準電流７００を取り込まないようにデジタルアナログ変換部７０６が持つスイッチ７１２を利用して、ある１つのＩＣが映像信号に応じた階調電流信号７３０を生成しているときには他のＩＣではスイッチ７１２全てが非導通状態となるような構成にすることを考えた。
【０２１３】
階調電流信号７３０が必要なのは、電流保持手段７０２に電流を供給するときでシフトレジスタ２１の出力のうちの１つに対し取り込むように信号を出している時である。つまりスタートパルス１６が入力され、カスケード接続された次段ＩＣ３６に対しキャリー出力７０１からパルスを出力するまでの期間が、階調電流信号７３０を必要とする期間である。
【０２１４】
そこで、シフトレジスタ２１が出力を行っている期間以外ではデジタル－アナログ変換部７０６のスイッチ７１２は階調信号７１１によらず常に非導通状態とする。これを実現するためにチップイネーブル信号生成部７０７を設け、シフトレジスタ動作時以外ではスイッチ７１２は常に非導通状態とするようにする。チップイネーブル信号生成部７０７は、スタートパルス１６が入力されて、キャリー出力７０１が行われるまでの間のみパルスを出力し映像信号をアナログ電流に変換することを許可するようにする。正確にはシフトレジスタ出力７１９が同一チップ内で出力されている期間である。スタートパルス１６と

シフトレジスタ出力７１９、キャリー出力７０１とシフトレジスタ出力７１９の関係は入力データとスタートパルス１６の関係やシフトレジスタの構成２１によって変わる可能性があるため、スタートパルス１６とキャリー出力７０１から期間を調整してイネーブル信号８２１を出力するようにする。イネーブル信号に対応したデジタル－アナログ変換部７０６の回路図を図８２に示す。チップイネーブル信号８２１はスタートパルス１６が入力されてからキャリー出力７１０を行うまでの間、ハイレベル状態となり、階調信号７１１に応じて階調基準電流７００が階調電流信号７３０に出力される。それ以外の期間ではチップイネーブル信号８２１がローレベル信号となるため、常にスイッチ７１２が非導通状態となり電流は供給されない。

【０２１５】

１水平走査期間でのあるドライバＩＣ（チップ１）のチップイネーブル信号８２１、セレクト信号７３８、階調電流信号７３８、階調信号７１１のタイミングチャートを図８３に示す。

【０２１６】

セレクト信号７３８はタイミングパルス２９により１水平走査期間毎に変化し、１出力に対し２つある保持回路７３６のどちらに階調電流信号７３８を記憶させ、他方が記憶された電流を出力するかを決める。期間８３１ａでは保持回路Ａ（７３６ａ）から電流を出力し、保持回路Ｂ（７３６ｂ）に階調電流信号７３０を記憶させている。

【０２１７】

階調電流信号７３０への記憶は１出力ずつ順に行い、シフトレジスタ出力７１９によりどの出力へ記憶させるかを決めている。更に複数のドライバＩＣに基準電流を分配できる配線としていることから、分流されることを防ぐためシフトレジスタが動作している期間のみチップイネーブル信号８２１により、デジタルアナログ変換部７０６が動作し、階調電流信号７３８が流れる。チップ１のチップイネーブル信号８２１はシフトレジスタがチップ１で動作している期間である８３２ａの期間でのみハイレベルの信号となり、階調電流信号７３８が流れている。８３２ｂの期間（チップ１以外のシフトレジスタが動作中）のときは、チップイネーブル信号８２１がローレベルとなり階調電流信号７３８は流れない。そのため階調基準電流信号７００は常に１つのドライバＩＣにしか入力されないため、図７２のように複数のドライバＩＣに分岐して配線することが可能となる。カレントミラーなどによる分配に比べ、時間で区切って分配するため正確に同一電流を供給できる。

【０２１８】

カレントコピアを各出力に設け階調電流を各出力に分配する方法では、駆動トランジスタ７３１の特性ばらつきによらず、記憶した電流と同じ電流を出力することが可能であるため、出力ばらつきが起こりにくい。しかし、「突き抜け」と呼ばれる現象により出力電流がばらつくおそれがある。

【０２１９】

図７３の保持回路においてゲート信号線７４１の信号をハイレベルにすると、階調電流を記憶する。例えば白階調の電流を記憶するとすると、図７４に示すように、駆動トランジスタ７３１にドレイン電流は白階調電流（ここでＩｗとする）となる。そのとき駆動トランジスタ７３１の電流－電圧特性（図７５）から節点７４２の電圧はＶｗとなる（期間７４７）。

【０２２０】

期間７４７が終了し、保持回路７３６に電流を記憶するのを終えるためゲート信号線７４１はローレベルに変化する。この時ゲート信号線７４１電圧の低下がトランジスタ７３５ａのゲート容量を介して容量結合により節点７４２の電圧もＶＧだけ低下する。これにより駆動トランジスタ７３１のドレイン電流もＩｗからＩＧ分だけ低下する。

【０２２１】

この「突き抜け」により、出力電流が端子により変化するおそれがある。例えば図７６の７６５、７６６に示すような電流－電圧特性を持つ駆動トランジスタ７３１があるとする。節点７４２の電圧つまり駆動トランジスタ７３１のゲート電圧が突抜によりＶＧ変化

すると、７６５の駆動トランジスタではドレイン電流がＩｗ１となり、７６６の駆動トランジスタではドレイン電流がＩｗ２となり、この電流が出力信号線７３７を介して外部に流れ、出力電流にばらつきが発生する。Ｉｗ２とＩｗ１の差が２つの平均電流に対し１％以上になると輝度ムラとして表示品位に影響を与える。

【０２２２】

節点７４２の電圧変化量ＶＧはトランジスタ７３５のゲート容量をＣｇｓ、蓄積容量７３２の容量をＣｓ、ゲート信号線７４１の振幅をＶｇａとすると、ＶＧ＝Ｖｇａ×Ｃｇｓ／（Ｃｇｓ＋Ｃｓ）で表される。

【０２２３】

ＶＧを小さくするには、ＣｇｓもしくはＶｇａを小さくするか、Ｃｓを大きくする。Ｃｓを大きくする方法はチップサイズが大きくなることから現実的には難しい。またＶｇａは基本的にアナログ電源電圧分の振幅を持つ。この電圧を下げると、出力端子の電圧振幅が低下するため、出力可能な電流のダイナミックレンジが低下する。またゲート信号線７４１のみハイレベル電圧を低下させると、このゲート信号線７４１のための電源が必要となるため電源数が増加する。電源数の増加は電源回路の増加につながるためこの方法も実現することが難しい。

【０２２４】

そこで本発明ではトランジスタ７３５のゲート容量Ｃｇｓを小さくすることを考えた。単にトランジスタ７３５のサイズを小さくした場合では、オフ時のリーク電流が増大し蓄積容量７３２に保持された電荷がトランジスタ７３５を介して移動することにより、節点７４２の電位が変化し所定電流を流せなくなる問題が発生する。

【０２２５】

トランジスタ７３５を少なくとも２つ以上に分割し、そのうちの蓄積容量７３２に最も近いトランジスタを小さくすることを考えた。図７７に２つに分割したときの電流保持手段７０２の回路を示す。

【０２２６】

トランジスタ７３５を２つに分割し、７７５と７７２の２つの構成とした。トランジスタ７７５に比べ７７２はチャネルサイズが小さくなっている。またそれぞれのゲート電極につながる信号線は別になっており、ゲートイネーブル信号７７１の制御により、トランジスタ７７２の方が７７５に比べて早く非導通状態となるようにしている。タイミングチャートを図７９に示す。

【０２２７】

複数個のトランジスタにすることの利点は、２つのトランジスタのゲート信号線の波形を異ならせ、蓄積容量７３２に近いトランジスタ７７２をまず非導通状態とし、その後７７５を非導通状態とすることで、「突き抜け」はトランジスタ７７２のゲート容量Ｃｇ１と蓄積容量Ｃｓ、ゲート振幅Ｖｇａｔｅによることとなり、Ｃｇｓ＞Ｃｇ１となることからＶＧ自体を小さくすることができる。さらに、蓄積容量７３２の電荷を保持するために７７２が完全に非導通状態となった後、７７５が非導通状態となるとなるようにゲート信号線７４１をローレベルに変化させる。７７５はリーク電流を小さくするためトランジスタのチャネル幅／チャネル長の値が大きくなるように設計される。２つのトランジスタを直列に接続することでリーク電流が少なくなる利点がある。更にトランジスタ７７５と蓄積容量７３２に間にトランジスタ７７２が非導通状態となって挿入されているため、７７５ａのゲート信号による、節点７４２への「突き抜け」が発生しないという利点がある。

【０２２８】

このように、駆動トランジスタ７３１のゲート及びドレイン電極間に接続されるトランジスタを複数個に分割し、最も蓄積容量７３２に近いトランジスタはチャネルサイズを小さく作成した上に他のトランジスタに比べ早く非導通状態とすることで、電荷のリークなどの問題がなく突き抜け量を減らすことを実現できる。

【０２２９】

更に駆動トランジスタ７３１の（チャネル幅）／（チャネル長）（以降Ｗ／Ｌとする）

に関してもＷ／Ｌの値が小さくなることが好ましい。

【０２３０】

図８４に電流－電圧特性を示す。Ｗ／Ｌの値が小さくなればなるほど傾きが小さくなり、階調電流信号７３０を記憶させた後「突き抜け」によりＶＧだけ駆動トランジスタ７３１のゲート電圧が低下したときの電流量の低下は８４１の曲線の方が８４２の曲線に比べて大きい。そのため「突き抜け」によるドレイン電流の低下を抑えるため、駆動トランジスタのＷ／Ｌを０．５以下とすることが好ましい。この場合、低下量は設定電流（Ｉｗ）に対し１％以下となる。下限値はチャネル幅の最小作成寸法、チャネル長を延ばすことによるチップ面積の増大の影響から０．００２以上である必要がある。

【０２３１】

以上のようにカレントコピア回路を用いた出力段を形成することにより出力ばらつきの小さいドライバＩＣを実現させた。

【０２３２】

大画面パネル向けのソースドライバにおいては、映像信号が高速に転送される必要があるため信号線周波数が高くなり、その結果電磁波ノイズが放出される問題がある。また、テレビ向けなどでは入力される信号線ビット数も増加するため、信号線が多数になるという問題もある。

【０２３３】

そこで映像信号を小振幅信号伝送することとした。図８５にその時のソースドライバ８５２、ゲートドライバ８５１、コントローラ８５４と電源モジュール８５３の接続を示す。このうち小振幅信号伝送を行うのは信号線周波数の高いクロック８５８、同期信号８５７、映像信号線８５６である。

【０２３４】

映像信号線８５６の伝送形式を図８６に示す。１水平走査期間８６４内に画素に出力されるデータが転送される期間（データ転送期間８６５）とブランキング期間（８６６）を形成する。なおブランキング期間は必ずしも存在する必要はない。

【０２３５】

データ転送期間８６５は、パネルのソース信号線数（カラーパネルの場合は信号線数／色数（一般には３色））に分割される。分割された期間を期間８６２とする。この期間８６２内で赤緑青の各色データ（８６１）及び階調に応じた電圧印加を水平期間のはじめに挿入するかどうかを決める１ビットのプリチャージフラグ（８６２）が映像信号線８５６を介して転送される。映像信号データ８６１及びプリチャージフラグ８６２は、転送信号レートや、信号線数の制約により全ビットを一斉にパラレル転送する場合から１ビットずつシリアルに転送する場合まで任意の方法で転送することが可能である。

【０２３６】

また大型用電流ドライバにおいては、パネルサイズが大きいことによるソース信号線浮遊容量の増加や、画素数の増加による水平走査期間の短縮ということにより１水平走査期間内で電流が所定の値まで変化できない問題が顕著となる。そのため電流により所定階調を表示する前に一度電圧により所定階調付近までソース信号線の状態を変化させてから、電流により所定電流にまで変化させることが必須となる。

【０２３７】

ソースドライバの構成例を図８９に示す。ここでのソースドライバは図８５のソースドライバ８５２を示している。映像信号はクロック及び同期信号と共に小振幅信号伝送されるため、ソースドライバ側でレベル変換するための差動入力レシーバ８９３に入力される。映像信号をＣＭＯＳもしくはＴＴＬレベルの階調データ３８６に変換する。階調データ３８６はシフトレジスタ及びラッチ部３８４とプリチャージ電圧変換部８８４に入力される。階調データ３８６はシフトレジスタ及びラッチ部３８４により各出力に分配され、分配された階調データは電流出力段２３により階調に応じた電流量に変換される。これにより階調に応じた電流出力を行うことが可能となる。一方、階調データは同時にプリチャージ電圧変換部８８４に入力される。プリチャージ電圧変換部８８４では図８８に示すよう

な回路構成により、階調データに応じた電圧が信号８８５により出力される。プリチャージ値変換部８８２の変換マトリクスと抵抗素子８８３の値により出力される電圧を変化させることが可能となる。

【０２３８】

電流書き込みを行う期間における画素とソースドライバ間の等価回路は図１２（ａ）に示す回路であった。このとき白表示時の電流をＩ３、黒表示時の電流をＩ１とすると、プリチャージ電圧出力の変動範囲は図１２（ｂ）からＶ３からＶ１までの範囲となる。Ｖ３及びＶ１の値は画素の駆動トランジスタ６２のチャネルサイズにより変化し、例えばチャネル幅が狭くなるほどＶ３とＶ１の差が大きくなる。パネル（画素トランジスタの構成）によって異なる電圧値が出力できるように本発明では図８８の８８３に示す抵抗素子を２つ外付けで配置し、抵抗値を任意に設定できるようにすることで、様々なパネルに対する電圧出力を可能とした。一般に赤、緑、青で有機発光素子の電流－輝度特性が異なることから、Ｉ１、Ｉ３の値が色ごとに異なり、その結果としてＶ１、Ｖ３も色ごとに異なる。従って図８８に示すプリチャージ電圧変換部８８４は３回路分ソースドライバに必要である。外付けの抵抗値が色ごとに異なる。図８５及び図８９では１回路の記載であるが、実際には赤緑青の３回路分が存在する。

【０２３９】

以上のように階調に応じて出力される電圧はつぎに分配部及びホールド部３８３により各出力に分配される。これにより各出力には階調に応じた電流と階調に応じた電流が分配された。電流と電圧のいずれを出力するかを電流電圧選択部３８５により選択する。

【０２４０】

電流電圧のいずれを選択するかはプリチャージ電圧印加判定部５６により決められる。プリチャージ電圧印加判定部５６はプリチャージパルス４５１とプリチャージイネーブル８９５により判定を行い、プリチャージパルス４５１が入力され、プリチャージイネーブル８９５がプリチャージを行う信号を出力した場合にのみ電圧を印加するようにする。

【０２４１】

これにより、図９０の出力９０１に示すように、階調データＤｎ（ｎは自然数）に対応する電圧をＶＤｎ、対応する電流をＩＤｎとすると、プリチャージ判定信号３８３がハイレベルとなりプリチャージをするというときには、１水平走査期間内でＶＤｎが出力された後、ＩＤｎが出力される。（ＶＤｎ印加期間はプリチャージパルス４５１のパルス幅による）一方でローレベルの時には、ＶＤｎは出力されず、ＩＤｎのみが１水平走査期間の間出力される。（電流出力か電圧出力かの大まかなタイムチャートを図４７に示す）プリチャージ判定信号３８３を利用することで、所定階調値に対応する電流まで変化しにくい低階調部では、電圧によりまず大まかにソース信号線の状態を変化させた後に、電流により所定電流値までソース信号線を変化させる。一方で、高階調部や、複数行同じ階調が連続して表示される場合の２行目以降の行においては、高階調部ではソース信号線が所定電流値にまで容易に変化できること、複数行連続の場合にはソース信号線の状態が変化する必要がないため、電圧により所定階調値まで変化させる必要がないため、プリチャージ判定信号３８３によりプリチャージを行わないようにするという制御が可能となる。（この状態で電圧により変化させると、画素回路の駆動トランジスタ６２の特性ばらつきによる輝度ムラが発生するおそれがあるため電圧を印加しない方がよい）プリチャージ判定信号３８３はこのようにソース信号線の状況に応じてプリチャージを行うかどうかを決められる利点がある。そのため映像信号線８５６で送るデータ量が各色で１ビットずつ多くなっても転送する必要がある。

【０２４２】

プリチャージパルス４５１はプリチャージ期間をコマンド線８４７によりソースドライバに入力し、プリチャージ期間設定値に応じてプリチャージパルス４５１のパルス幅を変更できるようにしている。これにより、画面サイズに応じてプリチャージに必要最低限の時間で電圧出力を行い、所定輝度にする電流出力期間をなるべく長くすることで、電圧による設定で発生する駆動トランジスタ６２による特性ばらつきの輝度ムラ補正をしやすく

する。コマンド線８４７の信号線数を少なくするため図８７に示すように、１ビットのデータをシリアル転送によりソースドライバに送る構成とした。ソースドライバに必要なコマンドは、プリチャージ期間設定８７２の他、基準電流値を変更するための基準電流設定８７１とドライバ出力イネーブル信号のみである。これらの信号は頻繁に書き換えれられることはなく、頻繁に行っても１水平走査期間内で１回の書き換えでよい。図８７の例では全部で１５ビットであり、ソースドライバのシフトレジスタ用のクロック８７１が１水平走査期間内に変化する時間に比べてもゆっくりでよいため、電磁波ノイズの影響もなく信号伝送が可能である。そのため信号線数は１本でよい。また、コマンド線８４７に流れるデータの判別も、例えばタイミングパルス８４９の次のクロックから８ビット分上位から下位ビットの順で基準電流設定８７１、次にプリチャージ期間設定８７２、最後に出力イネーブル信号とすることでコマンドの判別線（アドレス設定）も不要である。これにより少ない信号線数で、ソースドライバの設定が可能である。なお基準電流設定信号が入力される基準電流生成部８９１は電子ボリュームにより基準電流が変更できるような構成となっており、設定信号により、電子ボリューム値が変化することで基準電流が変化する（図８に構成例を示す）。

【０２４３】

映像信号が各色偶数ビットで構成される場合（例えば各色１０ビットの計３０ビット）には、各色にプリチャージフラグ８６２が１ビットずつ足されるため全ビット数の合計は必ず奇数ビットとなる。（例の場合３３ビット）低振幅信号伝送を行う場合にはたいがい配線はツイストペア線で送られる。３３ビットの信号線を送る場合、転送速度がドライバと同じであるときには６６本の線が必要となる。これでは配線数が多いため、通常転送速度を、ドライバのクロックに対し一定倍で転送し、その分配線数を削減している。例えば２倍速で送る場合、１回の転送で１７ビットずつ転送すると３４ビットを転送できる。このうち３３ビットにデータを入れることでデータを２倍速転送でいる。しかしながら実際の転送能力３４ビットに比べ１ビット分ブランクのデータを送っていることになる。同様に偶数倍速で転送する場合には奇数ビットのデータでは必ず１ビット分ブランクのデータが送られることとなり、信号線の利用効率が低いことがわかる。つまり１ビット分データが増加しても、転送レート（クロックの倍速）、信号線数に影響を及ぼすことはない。

【０２４４】

そこで、本発明では、赤緑青の各映像信号とプリチャージフラグにデータ／コマンドフラグ９１１を足すことにし、このデータ／コマンドフラグ９１１の値が、例えば１のときには映像信号とプリチャージフラグが転送され、０のときにはソースドライバの各種レジスタ設定を行うというようなことをすることが可能である。図９１（ａ）にデータ転送、図９１（ｂ）各種レジスタ設定時の各ビットの構成を、図９２に、データ転送及び各種レジスタ設定の転送タイミングを示す。１水平走査期間ないで、各色の映像信号及びプリチャージフラグを全て転送した後のブランキング期間を利用して、データ／コマンドフラグ９１１によりソースドライバの各種レジスタ設定を行うようにした。ここでは、図９１（ｂ）に示すように、基準電流の設定とプリチャージ電圧を印加する期間を設定することとしている。

【０２４５】

このようにすることで、図８５のコマンド線８４７は不要となり信号線数を削減することが可能となる。

【０２４６】

ソースドライバのブロック図を図９３に示す。映像信号線８５６からコマンドデータと映像信号を分離するため、低振幅信号をＣＭＯＳレベルに変換するための回路である映像信号・コマンド分離部９３１が入ることが図８９の構成と異なる点である。

【０２４７】

以上のようにすることで映像信号線と同期してプリチャージフラグを転送し、かつ各種レジスタ設定を行う必要があるソースドライバＩＣにおいて、映像信号線とプリチャージフラグもしくは映像信号線、プリチャージフラグと各種レジスタ設定を同一信号線を用い

て低振幅信号により高速転送を可能とした。これにより、プリチャージフラグに必要な配線、各種レジスタ設定用の配線数を削減することが可能となるうえ、高速転送時の電磁波ノイズ低減することが可能となった。

【０２４８】

小型用途の表示パネルにおいては、モジュール配置の空間的な制約が発生し、パネル外部へ引き出す信号線数を極力少なくする必要がある。大型パネルにくらべ表示ドット数が少ないことから映像信号線の転送レートは低い。そこで図９４及び図９５に示すように映像信号線８５６に階調表示用のデータ（赤緑青の各色データ、ここではＲデータ、Ｇデータ、Ｂデータとする）とその階調表示データに対し、プリチャージを行うかどうかを判定するプリチャージフラグ８６２を多重するのに加えて、さらにゲートドライバ制御用データ９５１を送信する。ゲートドライバＡ（８５１ａ）とゲートドライバＢ（８５１ｂ）両方の制御に必要な信号線を送信する。送信する信号は、シフトレジスタ動作用のクロック、スタートパルス、出力イネーブル信号、及びシフト方向を決める信号である。出力イネーブル信号は数μ秒単位で信号線状態を変化させることがあるため、図９６においてデータ転送期間９６２ばかりでなく、ブランキング期間９６３でもゲートドライバ制御用データ９５１を送信する。そのため図９５（ｂ）に示すようにソースドライバの設定信号に加えて、ゲートドライバ制御データ９５１を転送するようにした。これによりパネルから引き出される信号線は、電源線の他、最小で２ペアのツイスト線と、３本の信号線にて構成することが可能となる。

【０２４９】

信号線数を減らすと、転送レートが上がるため、送信側コントローラ８５４につけられるクロック発生部の消費電力が増大する。一般に小振幅伝送を行う場合の電力はほとんどが、クロック発生部で消費される電力である。そこで、低電力化が要求される機器では、映像信号線８５６に用いられるツイスト線の本数を多くして、転送レートを下げることで消費電力を低下させる。（信号線で消費される電力はクロック発生部で消費される電力の１０分の１から２０分の１程度である）図９６の９６４で示される期間に送る図９５（ａ）のデータ列を、シリアルで順に送るか、映像信号線８５６の本数に応じて一部もしくは全てをパラレルで転送するようにすればよい。

【０２５０】

このようにして、小振幅伝送された映像信号線８５６のデータをソースドライバ８５２にて分離する。ソースドライバ８５２の内部ブロックを図９８に示す。クロック８５８と映像信号線８５６、スタートパルス８４８からクロック８５８から作成したソースドライバクロック８７１に同期した階調データ３８６、プリチャージ判定信号３８３及びゲートドライバ制御線９４１を出力するための映像信号・コマンド分離部９３１を持つことが特徴となる。ゲートドライバ制御信号は図９５に示すように映像信号及びコマンドに対応して必ず送信されているため図９７の用にソースドライバクロック８７１に同期した信号に復調することが可能である。このようにすることで、ゲート信号線をパネル外部に引き出す必要がなくなり、信号線数が少ない表示パネルが実現可能である。またソースドライバクロック８７１に同期して出力することで、ソースドライバとゲートドライバのタイミングがあわせやすくなる利点がある。またコントローラ８５４からゲートドライバ８５１への制御線が不要となることからコントローラ８５４の出力端子数が少なくなり、より小さなパッケージでコントローラ８５１を作成できるようになる。

【０２５１】

図９８の構成は図９３の構成に比べ、プリチャージ電圧を発生出力するブロックが異なる。図９３では映像信号に応じた電圧を生成しアナログラッチを用いて各出力に分配したが、図９８では、電圧設定線９８６により決められるプリチャージ電圧発生部９８１の複数の電圧出力を各出力段に分配し、プリチャージ電圧選択及び印加判定部９８２により複数の電圧のうちどれを出力するか、もしくは電流のみの出力を行うかを判定するようにする。これにより分配部及びホールド部３８３は不要となる。大型パネルにくらべ、小型パネルにおいては１水平走査期間が長いこと、ソース信号線の浮遊容量が小さいことから、

所定電流値が書き込みやすい。そこで、本ソースドライバでは電流のみでも書き込みが可能な高階調部では電圧を印加しないことを前提に発生電圧値の数を少なくし回路規模の低減をはかった。この例では３値の電圧出力とした。必要に応じて電圧値の数は１から７程度まで変えてもよい。

【０２５２】

映像信号のデータに応じたプリチャージ電圧出力の方法を説明する。映像信号線８５６から図９５（ａ）の方法により映像信号とプリチャージフラグが対になって送信される。カラーパネルの場合には赤緑青それぞれ１対ずつ送信される。それぞれ同一の方法によりプリチャージを行うためここでは赤の信号で説明を行う。対になって送信されるＲプリチャージフラグ８６２ａとＲデータ８６１ａは映像信号・コマンド分離部９３１に入力される。ここでＣＭＯＳレベルに変換され、それぞれプリチャージ判定信号３８３及び階調データ３８６となる。１画素ずつ順に送られてきた信号を各出力に分配するためシフトレジスタ及びラッチ部３８４に入力される。分配後、階調データ３８６は階調データ線９８５を介し電流出力段２３に入力され、階調に応じた電流を１０４から出力する。一方、プリチャージ判定信号３８３はプリチャージ判定線９８４に出力される。プリチャージ電圧選択及び印加判定部９８２では図１００に示すようにプリチャージ判定線９８４及びプリチャージパルス４５１によりデコード部１００１及び選択部１００４を制御し、階調電流１０４を出力するか、プリチャージ電圧９８３のいずれか１つを出力するか判定する。ここでは４つの入力のうちから１つの信号を選ぶことから、プリチャージ判定線９８４は２ビット幅が必要である。一般にプリチャージ判定線９８４のビット数をＮ（Ｎ：自然数）とすると、2^N の値が（プリチャージ電圧数＋１）以上となるようなビット数が必要となる。

【０２５３】

プリチャージパルス４５１は図４７の４７３に示すように、１水平走査期間内で電圧出力期間を決めるための信号である。従って、プリチャージ判定線９８４によりいずれかのプリチャージ電圧９８３を出力する際でもプリチャージパルス４５１入力期間のみ電圧が出力される。

【０２５４】

図１０１にプリチャージパルス４５１及びプリチャージ判定線９８４と出力１００５の関係を示す。これによりプリチャージ判定線９８４に入力する信号をコントローラから制御することにより、映像信号に対応したプリチャージ電圧を出力する期間を設けることが可能となる。

【０２５５】

プリチャージ電圧は、プリチャージ電圧発生部９８１により生成される。内部回路の構成例を図９９に示す。各電圧は抵抗分割により生成される。（９８３出力には一般的にはオペアンプが接続される）Ｖｐ１は抵抗素子９９２ａ及び９９２ｂにより決められる。一方Ｖｐ３は発光色により必要な電流値が異なることから色ごとに電圧が変化できる構成とした。抵抗素子９９７及び電圧選択部９９４を用いて、Ｖｓ１からＶｓ４のいずれかの電圧が選択できるようにしている。これは図６のような画素回路を持つ表示装置において、ソース信号線電流（＝ＥＬ素子６３に流れる電流）とソース信号線６０の電圧の関係は、図１０２の駆動トランジスタ６２の電流－電圧特性上に一致するため、緑と青でＥＬ素子の発光効率が異なることによる１階調あたりの電流ずれは、ソース信号線電圧のずれとしてあらわれる。プリチャージ電圧を必要とする０から２階調で考えると、青は緑に比べ発光効率が低いことからたくさんの電流が必要となり、同じ２階調目でも青は１０２１の点、緑は１０２２の点となる。これにより電圧値も異なる。電圧設定線９８６により電圧選択部９９４を制御し、例えば９９４ｃはＶｓ４（９９５ｃ）を選択し、９９４ｂはＶｓ１（９９５ａ）を選択することで、図１０２のような色によってプリチャージ電圧値を変更させることが可能である。駆動トランジスタ６２の特性に合うような９９７、９９８の抵抗値を決めることで所定の電圧を発生させることが可能である。電圧設定線９８６は外部から値を設定でき、図９５（ｂ）に示すようにコマンド期間でプリチャージ電圧設定９５

３を入力し、映像信号・コマンド分離部９３１により映像信号と分離して電圧設定線９８６を取り出せるようにした。これにより色ごとに異なる電圧設定を行うのに際し、新たに外部信号線の数を増やさなくても実現できるようにした。図９８ではプリチャージ電圧９８３は３本のみ記載されているが、これは単色での例を示したものでマルチカラーの場合にはプリチャージ電圧９８３は色ごとに３本、計９本必要となる。プリチャージ電圧選択及び印加判定部９８２の電圧入力は３本である。出力毎に表示色はきまっているため、出力する色に対応した電圧３本を入力すればよいためである。

【０２５６】

なお８つ以上の電圧値が必要な場合では、図１００のデコード部１００１と選択部１００４の回路規模が大きくなることから、図８９の回路構成の方がよい。

【０２５７】

図９５、図９８もしくは図９１、図９３の構成にするかはパネルサイズ及び画素数からどちらを選択するか決めればよい。

【０２５８】

これにより、電流及び電圧出力が可能なソースドライバＩＣを少ない信号線数で実現可能である。

【０２５９】

電流ドライバＩＣでは特に低階調部で出力電流値が少ないことによるソース信号線浮遊容量の充放電不足から画素に書き込まれる電流の変化が遅いことが問題である。電流が変化するのに必要な時間Δｔは$\Delta t = C \times \Delta V / I$（ここでＣはソース線容量、ΔＶはソース線電圧変化量、Ｉはソース信号線に流れる電流である）で表されるため特に低階調ほど変化に時間がかかることがわかる。また白から黒、黒から白への変化では黒から白への変化の方が時間がかかることがわかった。

【０２６０】

例えば白表示時１０ｎＡのソース信号線電流を流し、黒表示時には０ｎＡのソース信号線電流とすると、白から黒へのソース信号線電流の変化の様子は図１０４に示される波形となり、黒から白へのソース信号線電流の変化は図１０５に示される波形となった。

【０２６１】

ＱＣＩＦ＋（１７６×２２０画素）のパネルで１フレームを６０Ｈｚで走査する場合には、１水平走査期間はおよそ７０μ秒である。初期状態から７０μ秒での変化は、白から黒では図１０４に示すように目標に対し９４％まで変化しているのに対し、黒から白では図１０５に示すように目標に対し５％しか変化できていない。

【０２６２】

１０ｎＡと０ｎＡ間での変化にこれほどまでの差がでるのは、ソース信号線電流に対するソース信号線電圧の値の変化が非線形変化となるためである。ソース信号線電流と電圧の関係を図１０６に示す。電流電圧の関係は駆動トランジスタ６２の電流電圧特性（１０６３）により決まり、ソース信号線の電流に応じて、１０６３の曲線に対応する電圧がソース信号線電圧値となる。電流変化に要する時間の式$\Delta t = C \times \Delta V / I$において、黒から白への変化時にはＩ＝１０ｎＡ、白から黒への変化時にはソースドライバの電流は０であるが、駆動トランジスタが１０ｎＡの電流を供給しようとするため初期状態では同様にＩ＝１０ｎＡとなる。するとΔｔが７０μ秒と同じであるときには必然的にΔＶがほぼ等しくなることがわかる。１０ｎＡの状態からΔＶだけソース電位が上昇する場合と、０ｎＡの状態からΔＶだけソース電位がさがる場合では、曲線１０６３の特性から電流変化量が全く異なる。電位が上昇する方向では１０６１に示すように１０ｎＡから０．６ｎＡまで低下するのに対し、電位がさがる方向では０ｎＡから０．５ｎＡまでしか変化しない。その結果として、図１０４及び図１０５に示すような電流変化となる。

【０２６３】

ここでは１０ｎＡと０ｎＡの間の変化を例として説明を行ったが、任意の階調の組み合わせにおいても、同様に高階調から低階調への変化の方が、低階調から高階調への変化よりも早い。

【０２６４】
そこで本発明では、変化速度が遅い低階調から高階調への変化を早くするための方法を考案した。
【０２６５】
変化を早くするためには、ソース信号線容量を小さくするか、電圧変化量を小さくするか、電流を大きくする必要がある。ソース信号線容量はパネルサイズにより決まるため変化できない。また電圧変化量を小さくするには駆動トランジスタの電流電圧特性を変更するしかなく、具体的にはトランジスタのチャネル幅を長くするかチャネル長を短くするしかない。チャネル幅を長くすると、トランジスタサイズが増大し、１画素分の面積が小さい小型高精細パネルでは対策できない。一方、チャネル長を短くするとアーリー効果がより大きく発生し、書き込み時とＥＬ発光時（図７（ａ）と図７（ｂ）の期間）で駆動トランジスタ６２のドレイン電圧が異なると、アーリー効果によりそれぞれの場合においてドレイン電流値が変化するという問題が発生するため、チャネル長を短くすることができない。そこで、ソース信号線電流を大きくすることを考えた。
【０２６６】
図１０８に、ある１画素に電流Ｉを書き込むときの本発明によるソースドライバ電流出力波形を示した。水平走査期間のはじめ１０μ秒にわたって所定電流の１０倍の電流を流す期間を設けたことが特徴である。１０倍の電流を流すことで例えば図１０７に示すように電流の変化は従来の１０７２から１０７１の用に変化するようになり、７０μ秒での所定電流書き込みが可能となった。このようにソース信号線に流す電流を増加させる期間を１水平走査期間のはじめに設けることで電流値の変化が早くなり所定電流を書けるようになった。
【０２６７】
電流を所定値の１０倍して出力するとなると、所定電流の１０倍の値を計算する必要がある上、ソースドライバ側でも１０倍の電流が流せるような機能を設ける必要がある。これには演算回路が必要になったり、ソースドライバの電流出力段の電流源を１０倍分増加させなければならず回路規模が大きくなるという問題が発生する。また、表示色によって１階調あたりの電流値が異なる場合には階調毎に倍率を変化させるということも必要となってくる。そのため処理が複雑となる。
【０２６８】
そこで本発明では、低階調から高階調への変化時が変化しにくく、さらに低階調でも階調０が最も変化がゆっくりとなることから、階調０から次の階調へ変化させるのにどれだけの電流があれば１水平走査期間内に変化可能であるかを調査し、その電流値（ここでＩｐ１とする）を１水平走査期間のはじめに印加した後所定電流を印加することにより１水平走査期間内で所定電流値に変化できるような構成とした。所定階調値がＩｐ１よりも大きい場合には、Ｉｐ１の電流を流す期間でも所定階調電流を流すようにすることで、全階調領域にわたって、階調０から所定階調までの電流を１水平走査期間内に書き込むことが可能となった。この場合には、映像信号がある階調未満の場合にのみＩｐ１を挿入する期間を設けるとすればよいため、乗算器は不要である。また出力段においてもＩｐ１を出力する電流源を１つ各出力に設けるだけでよい。概念を図１０３に示す。階調表示用電流源に加え電流出力１０４にプリチャージ用の電流源Ｉｐ１（１０３３）を設ければ実現できる。この電流Ｉｐ１は所定階調まで変化する速度を速めるだけの目的で使われるため隣接端子間でばらつきがあってもよく、そのため階調表示に用いられる電流源を構成するトランジスタに比べて同じ電流を出力するにもトランジスタ総面積を小さく実現することが可能である。
【０２６９】
また、この電流Ｉｐ１はソース線容量、画素トランジスタの電流電圧特性により最適値が決まり、ＥＬ素子６３の発光効率には依存しない。そのため各色とも共通の電流値が入ればよく、色ごとに個別調整する必要がなく、小さな回路で構成可能となる。
【０２７０】

図１０９に水平走査期間のはじめにＩｐ１を出力する機能を設ける場合におけるソースドライバＩＣの構成を示す。ここで水平走査期間のはじめに出力するＩｐ１の電流をプリチャージ電流と呼ぶこととする。プリチャージ電流を発生するためのプリチャージ基準電流発生部１０９２及びソース信号線に出力するかどうかを判定するプリチャージ電流出力段１０９４、プリチャージ電流の期間を設定するパルス発生部１０９７を設けたことが特徴である。

【０２７１】

プリチャージ電流を出力するかどうかはプリチャージ判定信号３８３により決められる。プリチャージ判定信号３８３は階調データ３８６に同期して送信されるため、１画素毎にプリチャージ電流を出力する期間を設けるかどうか、複数個のプリチャージ電流を設けた場合には、そのうちのどれを選択するかを設定することが可能である。各出力に分配されるように、階調データ３８６と共にシフトレジスタ及びラッチ部３８４により各出力に分配される。階調データは階調データ線９８５として、各出力に設けられた電流出力段２３に入力される。電流出力段２３では階調データ線９８５、基準電流生成部８９１で作成された基準電流値に応じた電流量を１０９３に出力する。図１１０にはマルチカラー対応のドライバの時の基準電流生成部８９１及び電流出力段２３の構成を階調データ線９８５が３ビットの例で示している。基準電流設定線９３４により１１０１の信号線電位が変化し、オペアンプ１１０３、抵抗１１０２とトランジスタからなる定電流回路の電流値が変化する。これにより基準電流設定線９３４の値に応じて電流が変わることがわかる。階調データ線９８５により出力１０９３の電流が変わるのは、階調データ線９８５の値により、出力に接続される電流源トランジスタ１０３の個数が変わることにより変化させている。一般に有機ＥＬ素子は発光色ごとに発光効率が異なるため、発光色ごとに１階調あたりの電流を異ならせる必要がある。本発明では抵抗１１０２をＩＣ外部の素子として構成することで、抵抗１１０２の調整を容易とし、抵抗値で１階調あたりの電流値を変化させ、ホワイトバランスを取れるようにしている。一方各出力に分配されたプリチャージ判定線９８４はプリチャージ電流出力段に入力される。更にプリチャージ電流出力段１０９４はプリチャージ基準電流発生部１０９２及びプリチャージパルス１０９８からも信号入力がある。

【０２７２】

プリチャージパルス１０９８のパルス幅はパルス発生部１０９７により決められる。パルス発生部１０９７では電流プリチャージ期間設定線１０９６の値及びタイミングパルス、クロックによりカウンタ回路などを用いて、タイミングパルス出力からプリチャージ期間設定線１０９６の値に基づいてプリチャージパルス１０９８を出力するようにしている。

【０２７３】

プリチャージ電流の値を決めるプリチャージ基準電流発生部１０９２はプリチャージ電流設定線１０９１入力によりプリチャージ電流を変化させる。

【０２７４】

これら２つの外部設定値（電流プリチャージ期間設定線１０９６及びプリチャージ電流設定線１０９１）は、ソースドライバの入力信号線削減のため映像信号線８５６に、映像信号のブランキング期間を利用してブランキング期間中に設定信号を送るようにした。そのため、映像信号線８５６から映像信号・コマンド分離部９３１を介して、電流プリチャージ期間設定線１０９６及びプリチャージ電流設定線１０９１を取り出すようにしている。

【０２７５】

図１１１にプリチャージ電流出力段１０９４及びプリチャージ基準電流発生部１０９２の回路構成を示す（マルチカラー３色の組が２つの例）。

【０２７６】

プリチャージ電流出力段１０９４では、プリチャージ判定線９８４及びプリチャージパルス１０９８が入力される判定信号デコード部１１１１によりプリチャージ電流源トラン

ジスタ１１１２から１１１４もしくは階調電流１０９３のうちの１つを出力１０４に接続するようにすることで、プリチャージ電流を出力するかどうかを選択する。

【０２７７】

これによりプリチャージパルス１０９８がハイレベルのときに、プリチャージ判定線９８４の値によって、プリチャージ電流源のうちのどれを出力するか、もしくは、プリチャージ電流なしで、階調電流を出力するかを決めることができる。

【０２７８】

なおプリチャージ電流は１値でもよいが、パネルサイズつまり容量値の違いによって必要な電流値が異なることから、ＩＣドライバを任意サイズで汎用的に使う際に、大型向け、小型向けに電流を調整して複数個出せるようにすることで汎用性を高めることが可能である。

【０２７９】

プリチャージパルス１０９８のパルス幅は、パネルサイズ及び水平走査期間の長さにもよるが、５μ秒以上水平走査期間の５０％以下が好ましい。この範囲で所定階調を書き込めない場合にはプリチャージ電流を増加させることで対応する。プリチャージ電流を挿入する期間を設ける階調データ３８６の値は階調データ３８６により電流出力段２３から出力される電流がプリチャージ電流未満の場合に印加するようにプリチャージ判定信号３８３を制御すればよい。プリチャージ判定信号３８３は入力信号線数の削減及び電磁波対策のため図９５に示すような形式で小振幅差動入力しても良い。

【０２８０】

このようにすることで、１行前のデータに比べて、次の行のデータが高階調となる場合にでもプリチャージ電流を入力することで所望の電流が書き込めるようになった。

【０２８１】

高階調から低階調に変化するときには図１０４に示すようにほぼ目標の電流値を書き込めるため、このままでも構わないが、階調０（黒）に関してはきっちりと黒を表示できるようにした方が、コントラストの向上、自発光素子の特徴である黒が表示できるという利点を強調することが可能である。

【０２８２】

そのため、０以外の階調から０階調に変化する際には、水平走査期間のはじめに電圧により黒を表示する電圧を印加するようにすることで、きちっとした黒を実現するようにした。ソース信号線に黒電流に対応する電圧を印加した場合、印加電圧によっては、駆動トランジスタ６２の電流電圧特性のばらつきにより画素によって、黒が浮く（微発光する）現象が観測される。これを防ぐために、印加電圧は、電流電圧特性のばらつきを考慮し、最もよく電流が流れる駆動トランジスタ６２でも電流が流れない電圧（プリチャージ電圧）を印加するようにすることで、駆動トランジスタのばらつきによる輝度ばらつきを防止できる。

【０２８３】

プリチャージ電流もしくはプリチャージ電圧を水平走査期間内に印加できるようにしたソースドライバの構成を図１１２に示す。プリチャージ電圧が供給できるように、プリチャージ電圧発生部９８１、電圧プリチャージを行う期間を指定する電圧プリチャージパルス４５１が入ることが特徴である。

【０２８４】

電圧でプリチャージを行う場合には、電圧印加期間が０．８μ秒以上３μ秒以下で十分にソース信号線をプリチャージすることが可能である。そのため電流プリチャージに比べ短い期間のみの印加となるため、電流プリチャージパルス１０９８とは別の信号線電圧プリチャージパルス４５１を入力している。電流プリチャージと期間を共有してもよいが、この場合、階調に応じた電流を流す期間が短くなるため、電流による駆動トランジスタのばらつき補正が十分行われず黒表示の電圧値が変化した場合に輝度ムラが発生する可能性がある。そのため、電圧印加期間は極力短くし、階調電流出力の期間を長くするようにしている（個々のパネルではプリチャージ電圧を駆動トランジスタ６２のばらつきに応じて

調整することが可能であるが、実際にはパネル間、ロット間で駆動トランジスタ６２の特性が大きくずれる可能性がある。これに対し、プリチャージ電圧を調整すれば、共用することも可能であるが、調整工程が必要となるため実用的ではない。この調整機能を電流により行わせるため、階調電流出力期間が長い方が良い。なお小型パネルにおいてはソース線容量が比較的小さいこと、水平走査期間が長いことから共用としても十分に補正可能であるため、チップサイズ優先で２つのプリチャージパルスを共用する。）。

【０２８５】

１０９８及び４５１の２つのプリチャージパルスは開始位置が同じ（水平走査期間のはじめ）でパルス幅が異なるのみであるため、ソースドライバクロック８７１及びタイミングパルス８４９から作成されるカウンタにより作成することが可能である。パルス幅はそれぞれ電流プリチャージ期間設定線１０９６、電圧プリチャージ期間設定線９３３により定められる。図１０９の構成と同様にソースドライバの入出力信号線数の削減のため、映像信号線８５６のブランキング期間を利用して送信される。２つのパルスは１水平走査期間で１回の出力であることから、設定の書き換えは最もよく書き換えても１水平走査期間で１回であるためこのようにブランキング期間に設定する信号を挿入すればよい。

【０２８６】

印加するプリチャージ電圧値であるが、プリチャージ電圧発生部９８１により発生する。プリチャージ電流電圧出力段１１２へ出力する電圧が各色複数個ある場合には図９９と同様な構成を用いればよいが、階調０に対応する電圧各色１値のみである場合には、３つの電圧をそれぞれ電子ボリュームとオペアンプで構成し、電子ボリュームにより電圧値を調整するような構成でもよい。どちらの構成でも、電圧値の調整はプリチャージ電圧設定線９８６により行う。プリチャージパルスと同様、設定線は映像信号８５６のブランキング期間により行う。

【０２８７】

プリチャージ電圧、プリチャージ電流、階調電流のいずれを出力するかをプリチャージ電流電圧出力段１１２１で選択する。図１１３にプリチャージ電流電圧出力段１１２１の回路構成を示す。この例では電流プリチャージ電流源が１１１２及び１１１３の２つ、プリチャージ電圧線９８３が１つの合計３つと、階調電流１０９３との選択を行うことから、プリチャージ判定線９８４は２ビットとなっている。判定線９８４及びプリチャージパルス１０９８及び４５１から判定信号デコード部１１３１により、４つのうちのどれを出力するかをデコードする。切り替え部１１３２、１１３３、１１３４、１１３５の状態と入力信号の関係を図１１４に示す。プリチャージ判定線９８４によりプリチャージを行うか、行う場合には電流でするか電圧でするかを決める。さらにプリチャージを行う場合には電流もしくは電圧プリチャージパルスの期間のみプリチャージを行い、そのほかの期間では階調電流を出力するように設計する。これにより、電流もしくは電圧プリチャージ機能を有するソースドライバＩＣを実現した。なお図１１２から図１１４では、電圧プリチャージの電圧数が各色１種類、電流プリチャージの電流数が各色２種類で説明を行ったが、任意の種類でも実現可能である。

【０２８８】

プリチャージ判定線の元となるプリチャージフラグ生成のフローチャートを図１１５に示す。

【０２８９】

ここでプリチャージを行う条件を考える。電圧プリチャージは階調０となるときにのみ行う。更に１行前も階調０であるときには、信号線がこの２水平走査期間では変化しないため、電圧プリチャージを行う必要がないため、プリチャージをしないようにする。次に電流プリチャージであるが、ある一定階調以上である場合には、１行前のデータがどういうデータであろうと階調電流により十分に書き込むことが可能となるため、電流プリチャージは不要である。一般的には電流プリチャージ用電流源の電流値Ｉｐよりも大きな階調電流を出力する階調では電流プリチャージは不要である。図１１５の例では、３．５型ＱＶＧＡパネルにおけるフローチャートを記載している。この場合には３２階調以上では、

所定階調に変化できるため電流プリチャージは不要である。電流プリチャージが必要となるのは１から３１階調表示行で、かつ１行前のデータが表示階調よりも大きい場合に電流プリチャージを行う。１行前データよりも当該行データのほうが小さい場合もしくは同一階調の場合には電流プリチャージは不要である。なお１行前データが階調０の場合、プリチャージ電圧が印加されていることが多く、電圧による輝度ばらつきを防ぐため、所定階調より高い電圧が印加される。そのためソース信号線の電位変化量がおおくなり、所定階調が書き込みにくくなる。そこで１行前データが０のときには、電流プリチャージの電流値がＩｐよりも大きなＩｐ０を用意し、階調０の後にはこの電流を出力するようにするということも可能である。

【０２９０】

このようなプリチャージを実現するため図１１５に示すように、まず１１５１に示すフローで映像信号データを調べ、プリチャージが不要な階調３２以上と、電圧プリチャージとなる階調０、その他の階調に分岐させる。階調３２以上ではプリチャージ不要となるため１１５７の判定により、プリチャージフラグ値を０とする（図１１４の判定信号デコード部１１３１真理値表を用いた場合）。階調０の場合には、１１５２のフローにより１行前のデータを参照する。階調０のときには不要であるため階調０とそれ以外に分け、階調０では１１５７のプリチャージなしとなり、フラグは０とし、階調０以外では電圧プリチャージするという１１５４の判定となり、プリチャージフラグは１とする。

【０２９１】

残る階調１以上３１以下では、１行前の映像信号データの方が大きい場合には、プリチャージ不要のため１１５７のプリチャージなしとなりフラグは０となる。階調０のときはＩｐ０の電流をプリチャージ電流として必要とするため１１５５の電流プリチャージ（電流源１１１３）となる。よってフラグ値は３となる。それ以外の場合には通常の電流プリチャージ（電流値Ｉｐ）を用いるため１１５６の電流プリチャージ（電流源１１１２）となりプリチャージフラグは２を出力する（ここで電流源１１１２はＩｐの電流源、電流源１１１３はＩｐ０の電流源と仮定する）。

【０２９２】

なおパネルによってはＩｐの値が大きくなり、それに伴いプリチャージが必要な階調数が増加することがある。この時に備え、１１５１の分岐命令は条件分岐の条件を外部コマンドなどにより変更できるようにしてもよい。また、プリチャージ電流源及び電圧源数が増えたときなどは同様に適宜フローチャートを作成し、回路実現することが可能である。

【０２９３】

このフローチャートを実現するプリチャージフラグ生成部１１６２は、通常コントローラ８５４内部にて、図１１６に示すように、映像信号１１６１及び１行前のデータを蓄積するラインメモリ１１６４の出力を入力とし、映像信号１１６１と同期して小振幅差動信号変換部１１６３に入力される。ここで、信号線数の削減及び電磁波ノイズ対策のため小振幅差動信号に変換され、更にブランキング期間にソースドライバの制御信号を挿入し、映像信号線８５６及びクロック８５８をソースドライバに対し出力する。なお、コントローラとソースドライバが１つのＩＣで構成される場合には小振幅差動信号変換部１１６３は不要でそのまま、この信号をシフトレジスタ及びラッチ部３８４に入力すればよい。

【０２９４】

また図１０９及び図１１２において、ゲートドライバ制御線９４１が出力されているがこの信号は、コントローラ出力信号線数削減のため用いられたものであり、コントローラの出力信号線数に制約がない場合には不要である。

【０２９５】

必要な電流プリチャージの電流量は、同一階調表示を行う場合でも、１行前の表示階調により異なることがわかった。例えば、階調１６を表示する場合には、１行前の階調が０のときには６４階調相当のプリチャージ電流が必要で、１行前階調が１のときには２６階調相当のプリチャージ電流、１行前階調が２のときには１６階調相当のプリチャージ電流（＝なくてもよい）となった。このため、プリチャージ電流を決める際には１行前のデー

タも参照し、１行前のデータと当該行データの値から最適なプリチャージ電流を設定する必要がある。

【０２９６】

１行前データと当該行データとプリチャージ電流値の関係をマトリクステーブルなど用意してプリチャージ電流を制御する方法もあるが、階調数が多くなるとテーブルが大きくなり、ＩＣ設計時回路規模が大きくなってしまうという問題がある。

【０２９７】

マトリクステーブルを用意してプリチャージ電流を決めなくてはならないのは、ソース信号線がはじめにどの状態となっているかで、変化時間に大きな差がでるためである。電流変化に要する時間は（ソース信号線の容量）×（１行前と当該行でのソース信号線電位差）／（ソース信号線電流）で表される。ソース信号線の電流と電圧の関係は図１０６に示すように、駆動トランジスタ６２の特性に従うため、非線形な曲線で表される。低階調表示ほど１階調あたりの電位差が大きくなっている。このため階調差が同じであっても所定電流にまで変化するのに大きく時間が異なる。例えば０階調から２階調に比べ２階調から４階調では電位差は１／２となっているため、ソース信号線電流が２倍になっていることとあわせると、書き込み時間が１／４となる。（階調差が２で同じの場合）単に階調差を検出するばかりでなく、階調差および表示階調からプリチャージを決める必要があり、少なくとも１行前のデータと、当該行のデータを参照する必要がでてくる。

【０２９８】

階調差がソース電位差と比例関係にあれば、階調差１に対するソース電位差が一義にきまり、階調差１あたりの必要電流分が決まる。これを元に任意の階調差に対し必要な電流量を計算により求めることができるため、階調差の計算結果から必要が電流値がきまるため、１行前データと、階調差１あたりの必要電流さえ記憶できる手段があれば、プリチャージ電流が決められる。

【０２９９】

しかしながら、本発明の表示装置においては、階調差とソース電位差は比例関係とならず、階調差が同じであってもソース電位差が異なる場合が発生するため、プリチャージ電流値は、１行前のデータと当該行データを参照し、そこからまずソース信号線電位差を計算する。ソース信号線電位差を元にプリチャージ電流を決めるという必要がでる。１行前のデータと当該行データとソース信号線電位差の関係を計算で求めることは不可能もしくは回路規模が非常に大きくなる計算が必要となるため実際には不可能であり、あらかじめテーブルを用意し、１行前データと当該行データから必要な電流値がわかるように、全ての階調の組み合わせにおいて、プリチャージ電流値を記録させておく必要がある。

【０３００】

２５６階調の場合には６万５千通りあまりの全ての組み合わせについて記憶させる必要があり、この場合でも実際に回路を作成するのはかなり難しい（実際に作成する場合には、電流プリチャージが不要となる階調の組み合わせは記憶させないようにして回路規模を削減する。これにより１万通り程度の記憶量で実現できる）。

【０３０１】

そこで、本発明ではさらにプリチャージ電流値を判断する回路の回路規模を小さくするために、水平走査期間のはじめに電圧により階調０に相当する電圧を印加することとした。電圧によりソース信号線の状態を階調０に変化することは１～３μ秒程度で実現可能である。水平走査期間の１０％以内の期間で変化させるため書き込みに必要な時間を大きく犠牲にする必要がなく、階調０の状態にソース信号線を変化させることができる。

【０３０２】

この階調０に相当する電圧を印加する期間（電圧リセット期間とする）を設けることで常にソース信号線の状態は階調０の状態から変化させることとなり、１行前の状態を記憶する必要がなくなる。（常に０であるため）表示階調に対応したプリチャージ電流を記憶するのみであるため、記憶量は激減し、多くても７０通り程度でよくなる。

【０３０３】

電圧リセット期間の後、所定電流に素早く変化させるためにプリチャージ電流出力期間を設け、所定階調付近にまで電流を変化させた後、所定階調に対応する電流を出力することで電流変化速度が遅い低階調領域でも素早く変化させることができる。

【０３０４】

表示階調に応じてプリチャージ電流を最適な値にして出力する方法では、最適プリチャージ電流値に応じた電流源を必要な電流値の種類だけ各出力に必要となる。階調表示用電流源２４１に加え、電流プリチャージ用電流源を配置するとソースドライバの回路が大きくなり、チップサイズが増大してしまう。また電流変化に要する時間はソース信号線の容量により変化することから、異なるサイズのパネルでは電流プリチャージの電流値が異なる可能性がある。回路形成されたドライバＩＣでプリチャージ電流を変化させることはできないため、例えば必要な電流源数よりも少ない電流値及び多い電流値を余分に作ることで、階調に対応する電流値の選択パターンを変化して対応させることも可能であるが、更に回路規模が大きくなる問題がある。

【０３０５】

そこで本発明では、外部からのコマンド操作などにて複数のパネルサイズに応じた最適な電流プリチャージが行えるように、電流値を階調に応じて変化させるのではなく、プリチャージ電流を印加する期間を階調に応じて変化させるようにした。

【０３０６】

具体的にはプリチャージ電流は、最大階調表示時の電流に対応する電流とし、このプリチャージ電流を印加する時間が変化すると、時間が短い場合にはプリチャージ電流による変化量が小さいため低階調程度の電流となるし、時間が長い場合にはプリチャージ電流による変化量が多くなるため高階調電流にできる。

【０３０７】

これを実現するソースドライバ構成を図１１７に示す。またプリチャージ電流及び階調に応じた電流を出力する電流出力部１１７１の回路構成例を図１１８に示す。

【０３０８】

図１１８において、階調表示用電流源２４１は階調データ線９８５により制御される切り替え手段１１８３に応じて出力１０４に接続されるかどうか決まる。なおこの電流源は階調データ線９８５のビットの重みに応じて電流量が異なるように設計されている。具体的には図２５のようにトランジスタで電流源を形成し、電流の重み付けは個数により決めると正確に電流を出力できる。

【０３０９】

プリチャージ電流を同一電流源から出力できるようにすることで電流源部の回路規模を小さくした。そのために、電流源２４１を出力１０４に接続するかどうかの切り替え手段１１８４を１１８３と並列に接続し、切り替え手段１１８４を電流プリチャージ制御線１１８１により制御するようにしたことで、電流源を共通とし回路規模を小さくした。このように１つの電流源２４１に対し、切り替え手段１１８３と１１８４を並列に配置するだけで実現できたのは、プリチャージ電流が最大電流（白表示電流）であることから実現できた。並列に切り替え手段が接続されているが、いずれか一方が導通状態となれば、接続された電流源の電流は出力される。従って、この２つのスイッチは論理和回路を実現していることとなり、電流プリチャージ出力期間は電流プリチャージ制御線１１８１はハイレベル、出力しないときはローレベルとすると、出力しないときには階調データ９８５により電流が出力され、出力する際には全ての２４１が電流プリチャージ制御線２４１により出力されることから階調データ９８５によらず、プリチャージ電流が出力できる。なお最大電流値を用いることで電流変化が早くなりプリチャージ電流出力期間１２０３をなるべく小さくすることができ、階調表示を正確に行うための階調電流出力期間１２０４を長く取れるという利点もある。

【０３１０】

２つの並列接続された切り替え部１１８３、１１８４を設けることで、論理演算用の素子が不要となるため、回路規模が小さくすることができる。

【０３１１】
プリチャージ電流出力期間を階調により制御するためには、この電流プリチャージ制御線１１８１のハイレベルの期間を階調により変化させれば良い。そこで本発明では、パルス選択部１１７５、複数の電流プリチャージパルスを設け、プリチャージ判定線９８４の値に応じて電流プリチャージパルス群１１７４のうちの１つを選択するようにすること、各電流プリチャージパルス１１７４はあらかじめコマンド設定によりハイレベルの期間を異ならせた信号とすることで、プリチャージ期間を変化させることができる。
【０３１２】
このパルス選択部１１７５の入出力関係を図１１９に示す。プリチャージ判定線９８４の値により、電流プリチャージ制御線１１８１及び電圧プリチャージ制御線１１８２の状態が変化する。同じ階調が連続した行表示される場合などソース信号線の状態が変化しない場合には電圧及び電流プリチャージが不要であるため、この例ではプリチャージ判定線９８４が０のときには階調に応じた電流出力のみを行うようにしている。また、階調０の時は電圧プリチャージにより階調０が表示されているため電流プリチャージのみが不要であるため、プリチャージ判定線９８４が７のときには電流プリチャージ制御線のみ常にローレベルとしたモードを設けている。他の判定値の場合には異なるパルス幅である複数の電流プリチャージパルスのうちの１つを選択できるようにしている。
【０３１３】
これにより図１２０に示すように、プリチャージ判定線９８４、電圧プリチャージパルス４５１、電流プリチャージパルス１１７４から出力１０４に出力される信号が決められる。図１１９の関係に従った場合、出力ははじめの水平走査期間では電圧プリチャージをした後、１１７４ｄの電流プリチャージパルスに応じた期間のプリチャージ電流出力期間１２０３を持ち、最後に階調電流出力期間１２０４となる。次の１水平走査期間では階調電流出力期間１２０４のみが存在する。このようにすることで、プリチャージ判定線９８４により電流プリチャージを行う期間を変化させることが可能となるし、各電流プリチャージパルス１１７４のハイレベルの期間を外部入力により変化させるように設計すれば、パネルサイズ、水平走査期間に応じて最適な電流プリチャージが行え、任意のパネルサイズ、画素数に対応したソースドライバを実現することが可能である。
【０３１４】
本発明では、図１１７に示すようにパルス発生部１１２２により電流プリチャージパルス群１１７４及び電圧プリチャージパルス４５１を発生させている。パルス発生部１１２２には電流プリチャージ期間設定線１０９６、電圧プリチャージ期間設定９３３が映像信号・コマンド分離部９３１を介して外部から入力されることにより、外部のコマンドにて任意のパルス幅を持つプリチャージパルスが実現できるようになっている。
【０３１５】
また、有機発光素子を用いた表示装置では、各表示色で発光効率が異なることから色ごとに１階調あたりの電流値が異なり、これによりプリチャージ電流値が変化してしまう問題がある。最も効率がよい表示色では白表示電流値が小さいため十分に所定階調まで電流が変化しきらない可能性がある。そこで本発明では電流プリチャージパルス群１１７４は１１７４ｇ、１１７４ｈ、１１７４ｉと色ごとに用意することで、電流を印加する期間を調整することにより上記問題点を解決した。具体的には最も効率が良い色では電流が少ない分、プリチャージパルスの幅を全体に長くしている。
【０３１６】
階調に応じてプリチャージパルス１１７４の長さを変化させることで所定電流となるようにできることを図１２４の電流変化の様子を用いて説明する（この場合ではドライバ出力は８ビット、２５６階調出力が行えるものとして説明を行う。階調数に関しては実際に使用するビット数に応じて置き換えて考えれば任意のビット数のドライバでも同様に説明が可能である）。
【０３１７】
電流プリチャージパルスの期間が例えば１１７４ａであるとすると、プリチャージ電流

出力期間１２４２により電流が素早く変化した後、所定電流が出力されるためゆっくりと変化し、図１２４（ｂ）に示すような曲線で示される電流変化となる。

【０３１８】

一方、より長く電流プリチャージを出力した場合、例えば１１７４ｃの期間プリチャージ電流を出力した場合には１２４３の期間素早く変化し、その後階調３０にまで所定電流によりゆっくりと変化する（曲線図１２４（ｃ））。

【０３１９】

さらに電流プリチャージパルスを常に印加した場合では図１２４（ｄ）に示すような変化となる。

【０３２０】

図１２４（ｄ）の電流変化曲線に対し、所定階調値となる付近に近くなるまで電流プリチャージを行い、その後所定階調電流を出力すれば最も早く電流が変化できることがわかる。高階調ほど、プリチャージ電流出力期間を長くし、低階調になるにつれ短くすることでプリチャージ電流値そのものを変化しなくても印加期間のみで所定階調まで変化させることができる。

【０３２１】

図１２３に３．５型ＱＶＧＡパネルにおける、必要なプリチャージ電流期間と階調の関係を示す。階調が高くなるにつれ、プリチャージ電流期間は長く必要となっている。また３６階調以上ではプリチャージ電流期間は不要であることがわかっている。そこで、必要な電流期間と電流プリチャージパルスを図１２３のように対応づけて、それぞれの電流プリチャージパルスのハイレベルの期間を外部コマンドにより図１２３に示す期間に指定することで１つのプリチャージ電流源により、外部コマンド操作により、全ての階調変化に対して、次の行もきちんと所定階調が表示できるようになった。

【０３２２】

なお階調と電流プリチャージパルスの対応は、プリチャージ判定線９８４と電流プリチャージパルスの対応に置き換えられる。表示階調に対し、所望のプリチャージパルスが選択されるようコントロールＩＣなどにより階調データに対応するプリチャージ判定信号を生成し、供給することで階調と、電流プリチャージパルスの対応がとれる。

【０３２３】

これは、階調と電流プリチャージパルスの対応が変化したときにコントロールＩＣの制御により、階調に対する電流プリチャージパルスを変化させることができるという点で有利である。

【０３２４】

１階調あたりの電流値が大きい場合には、より低階調でも電流プリチャージなしで所定階調が表示できる。例えば図１２３の場合に比べ１階調あたり２倍の電流となった場合には、理論上１８階調以上は電流プリチャージなしで書き込みが可能である。この場合には、階調とプリチャージ判定線９８４の関係を制御しているコントロールＩＣでの処理を変更し、関係を書き換えることで対応することが可能となる。

【０３２５】

そのため、このようにプリチャージ判定線を階調信号とは別途用意し、このプリチャージ判定線により電流プリチャージパルスを選択することで、有機発光素子の発光効率が変化したときでも同一ソースドライバを用いて表示することが可能となった。

【０３２６】

複数のパルス幅を持つプリチャージパルス１１７４のうちの１つをプリチャージ判定線９８４の値に応じて選択する方法において、複数のプリチャージパルス１１７４のパルス幅を全て外部からコマンドで制御できるようにするには多数のパルス幅を規定する信号が必要となる。この信号をすべて直接ドライバＩＣ３６外部から入力するようにするとたくさんの入力ピンが必要となるため、実用的ではない。そこで本発明では映像信号のブランキング期間を利用して、ブランキング期間内に映像信号線８５６により、全ての設定値をシリアルに転送することで外部信号線数を増やさずにプリチャージパルス幅を設定できる

。
【０３２７】
図１２１に映像信号線８５６を利用してコマンド入力するための信号入力方法を示す。映像信号が送信される間は図１２１（ａ）のように各表示色データ８６１（ここでは赤緑青を想定している。なお、この３色に限らず表示装置に応じて任意の色のデータであってもよい。例えばシアン、イエロー、マゼンダの３色など）と、各データ８６１に対しプリチャージを行うかどうかを判定するための　信号であるプリチャージフラグ８６２が対応して入力される。映像信号であることを判別するためのデータ／コマンドフラグ９５０が併せて送信される。例えばデータのときは１、コマンドの時な０とすれば、このビットを参照することで送られてくる信号が映像信号かコマンドかを識別できる。
【０３２８】
次に、ブランキング期間においてはコマンドを送信するようにする。データ／コマンドフラグ９５０を０として、コマンドであることを識別できるようにする。１回の転送で全てのコマンド設定が可能であれば不要であるが、本発明においてはコマンド数が多いことから、いくつかのビットをアドレスとして用いることとし、アドレスの値に応じてデータがどのコマンドに対応するかを判定するようにする。図１２１の例ではアドレスＡ１２１１において、電流プリチャージ設定信号か、それ以外の信号かを判定するようにしている。図１２１（ｂ）は電流プリチャージ期間の設定以外に必要な信号の設定を行っており、プリチャージ電圧値や電圧プリチャージ期間、１階調あたりの電流を規定する基準電流設定信号９１２を送信している。図１２１（ｃ）では、電流プリチャージ出力期間を色ごと、各色６つの設定を行う必要があることから、更にアドレスＢ１２１２を設け、アドレスＢ１２１２の値に応じて、どの電流プリチャージパルスのパルス幅を設定するかを決める。
【０３２９】
電流プリチャージパルスのパルス幅は図１２３からおよそ０．４μ秒刻みであることから、刻み幅としては０．２μ秒もしくは０．４μ秒で行い、可変範囲は６．４μ秒程度あれば任意のパネルに対し調整が可能である。３２もしくは１６段階の設定ができればよい。１１７４ａから１１７４ｆが同じパルス幅を持つ必要はないためそれぞれ異なる値に設定できるようにするべきであり、更に１１７４ａがパルス幅最小で、１１７４ｆがパルス幅最大となるように各パルスの役割を分担するようにすれば、例えば１１７４ａの調整範囲は０．２μ秒から６．６μ秒（３２段階調整）、１１７４ｆの範囲は２．０μ秒から８．４μ秒（３２段階調整）といったように、最小０．２μ秒から、最大８．４μ秒までのパルス幅を設定できるような構成にできる。このように、各パルスのパルス幅の可変範囲をパルス毎に少しずつずらして設定することで可変範囲を小さくすることが可能で設定用の信号線幅を少なくし、回路規模の小さいものが実現することができる。
【０３３０】
このように、外部入力コマンドにより様々な値を設定できるようにしたことで任意のパネルサイズ及び解像度における表示装置の階調に応じた電流出力が素早くできるソースドライバＩＣ３６を実現した。
【０３３１】
なお本発明による電流出力部１１７１は図１１８のように１つの電流源２４１に対し複数の切り替え部を並列に接続したものの他に、図１２２に示すように階調データ線９８５の各ビットと電流プリチャージ制御線１１８１の論理和を電流源２４１に接続された切り替え部１２２１の制御に用いる方法でも実現できる。切り替え部１１８３及び１１８４が小さく形成できるプロセスでは図１１８が回路規模が小さくなるが、小さくできない場合はロジック信号のルールで作成できる論理和回路を付加した方が小さくなる場合がある。
【０３３２】
この２つの回路のいずれをとるかはプロセスルールを考慮して小さくなる方を採用すればよい。
【０３３３】

電圧プリチャージパルス４５１はこの例では表示色によらず同一のパルスを入力しているがこれは、電圧でソース信号線の状態を変化させるのには出力のオペアンプの駆動能力により状態変化の速度が決まるのであって、１階調あたりの電流など表示色ごとに異なる信号による影響はないため、回路規模を小さくするために電圧プリチャージパルス４５１を１つとしている。回路規模が問題にならない場合には、各色個別指定ができるように３つのパルスを持ってもよい。

【０３３４】

図１１８または図１２２の出力段の構成を持ったソースドライバＩＣ３６において、図１２３に示すような階調とプリチャージパルスの関係でプリチャージ電流出力期間１２４３を持った出力が行えるが、単に階調に対し、図１２３の関係によりプリチャージ電流出力期間１２４３を決めてしまうと、例えばソース信号線が変化しない同一階調が連続して出力される場合でも、プリチャージが行われてしまう。

【０３３５】

図１２５に示すように、水平走査期間のはじめにプリチャージ電圧印加期間１２５１において黒表示状態に信号線が変化した後にプリチャージ電流出力期間１２５２で所定電流値に近い値までソース信号線の状態が変化し、最後の階調電流出力期間１２５３において、所定電流値に変化することとなり、水平走査期間のはじめにソース信号線電流がいったん黒状態になるため、プリチャージ電流出力を行わない場合に比べ、かえって信号線の状態が変化し書き込み不足が生じる可能性を高めてしまっている。

【０３３６】

そこで本発明では、図１２６に示すように、同一階調電流出力が連続して出力される場合には、後の行ではプリチャージ電流出力期間１２５２を設けず、階調電流出力期間１２５３のみを設け、ソース信号線の状態変化を少なくすることで書き込み不足状態を発生させにくくした。

【０３３７】

図１２７に示す表示パターンの場合（１２７２、１２７４の領域が同じ輝度で、１２７３の領域が１２７２、１２７４の領域よりも低い輝度となるパターン）１２７３の領域となる最初の行と、１２７４の領域となる最初の行で、電流プリチャージを行うようにする。列１２７１に対応したソース信号線の出力電流波形は図１２８のようになる。領域１２７２に対応した期間では、出力電流が変化しないため、水平走査期間１２８１内では階調電流出力期間のみとする。

【０３３８】

領域１２７３に移った後のはじめの水平走査期間１２８１ｄでは、ソース信号線電流が変化するため、すばやく電流を変化させる目的から、プリチャージ電圧印加期間１２５１ｄとプリチャージ電流出力期間１２５２ｄを設け、従来のプリチャージ電流を出力しない場合（１２８２）に比べ短期間で領域１２７３に対応した電流を出力することができるようになった。領域１２７３表示が連続している場合でも同様に、プリチャージ電流、プリチャージ電圧を出力する期間を設けず、階調電流出力のみを行うことで、ソース信号線電流の変化を最小限としている。

【０３３９】

さらにソース信号線が領域１２７４表示に対応する出力を行う場合には、はじめの水平走査期間１２８１ｇのみで電圧及び電流プリチャージを行うようにする。なおプリチャージ電流出力期間１２５２ｇは、１２５２ｄに比べて長くなっている。これは図１２３の階調と電流プリチャージ出力期間の関係から、階調が高いほどつまり電流が多いほど、プリチャージ電流出力期間が長いことに対応している。仮に領域１２７４が階調０の場合には、プリチャージ電圧印加期間１２５１ｇのあと階調電流出力期間１２５３ｇとなりプリチャージ電流出力期間１２５１ｇがなくなる。（階調に応じてプリチャージ電流出力期間１２５１は存在するため、必ずしも存在するとは限らない）このプリチャージを行うことで、従来のプリチャージがなく階調電流出力のみで出力電流値を変化させた場合（１２８３）に比べ、短い時間で所定電流値にまでソース信号線の電流を変化させることができた。

【０３４０】
このようにソース信号線の状態が変化するときのみ、電圧プリチャージ及び電流プリチャージもしくは電圧プリチャージを行うようにするには、図１２３の階調との関係に加え、１行前階調との比較により、映像信号に変化があったときのみ図１２３の関係でプリチャージを行うようにする必要がある。
【０３４１】
プリチャージを行うかどうかを判定するための流れを図１２９に示す。映像信号１２９１から、現在の階調値を検出する。（１２９２）ここで階調が０の場合には、図１２３と同様に電圧プリチャージのみを行いその後階調に応じた電流を出力するようにする（１２９３）。
【０３４２】
階調３６以上ではプリチャージを行わなくても所定階調まで電流が変化するため、階調に応じた電流出力のみを行う（１２９６）。
【０３４３】
階調１以上３５以下では１行前の階調により処理が変わり（１２９４）、現在の階調と同一階調では階調に応じた電流出力のみを行う（１２９６）。これは、同一階調が連続して表示されるときに図１２６のように波形変化を小さくするために行っている。
【０３４４】
一方１２９４の処理で、１行前の階調と現在の階調が変わるときにはプリチャージ電圧出力後、階調に応じた期間電流プリチャージ、残りの期間で階調に応じた電流出力を行う（１２９５）ようにする。これは、図１２８で１２８１ｄ及び１２８１ｇの水平走査期間内での動作に相当している。
【０３４５】
プリチャージ判定線９８４の信号は、図１２９の判定結果で１２９４、１２９５の状態となった場合に図１２３の階調とプリチャージ電流出力期間の関係となるように信号を発生させれば、ソースドライバＩＣにおいて図１２６に示すような出力を行えるようになる。１２９６の状態となる場合には、図１２３の関係は用いず、常に階調電流が出力されるようにプリチャージ判定線９８４の値を決めればよい。
【０３４６】
これによりソース信号線の変化を最小限にしつつ、変化点では急速に電流を変化できるようにすることで図１２７のような表示でもきちんと領域の境界が表示できるようになった。
【０３４７】
階調０表示において、プリチャージ電圧がソース信号線を通じて画素回路内の駆動トランジスタ６２のゲート電極に印加され、黒表示に対応した電流（１．３ｎＡ以下の電流）を流すようにしている。しかしながらこの場合、駆動トランジスタ６２において電圧を電流に変換していることから、入力電圧に対するドレイン電流は温度の変化によって、変化する。例えば図１３０に示すように、低温ポリシリコンで駆動トランジスタ６２の作成した場合には温度が高い場合（図１３０（ａ））の方が、温度が低い場合（図１３０（ｂ））に比べ電流がよく流れる。そのため黒表示時の電流が増加し、黒浮きが発生するという問題がある（図６のような回路構成である場合には、駆動トランジスタ６２のドレイン電流がＥＬ素子に流れる電流である。そのためこのＥＬ素子に流れる電流が大きくなることでＥＬ素子が微点灯し、黒浮きが発生する）。
【０３４８】
例えば、温度が低い場合（ａ）でプリチャージ電圧をＶＢｋ２に調整した場合には、トランジスタ６２のドレイン電流はＩＢｋ流れる。この電流は黒浮きがわからないレベル（１．３ｎＡ）以下である。この状態で温度が上昇し、図１３０（ｂ）で示す曲線にトランジスタ６２の特性が変化した場合には、電流ＩＤが流れ、黒浮きがわかるレベルにまで電流が増加する。高温状態でも黒浮きをなくすためには、ゲート電圧をＶＢｋ１まで上昇させる必要がある。

【０３４９】
画素トランジスタのチャネルサイズを幅２５ミクロン、長さ１５ミクロンで設計した場合には、（ａ）が－２０℃、（ｂ）が＋５０℃とすると、ＶＢｋ２の電圧は、（６４の電圧値）－１［Ｖ］、ＶＢｋ１の電圧は（６４の電圧値）－３［Ｖ］である。画素トランジスタ６２のソースドレイン間の電圧がそれぞれ１Ｖ、３Ｖとなる値である。
【０３５０】
温度によって、必要なソースドレイン間電圧が異なるのであれば、トランジスタ６２に印加されるプリチャージ電圧を温度によって変化させればよい。プリチャージ電圧を発生する際に、基準となる電圧を抵抗分割により生成するとき、図１３１に示すように、抵抗素子１３１２のうちの１つに並列にサーミスタなどの温度補償素子１３１１をつければ温度によって、分割点１３１４の電圧が変化する。サーミスタであれば、温度上昇に伴い抵抗値が小さくなることから、２つの抵抗素子１３１２のうち、６４の電源側に接続された抵抗素子１３１２ａに並列に温度補償素子１３１１を接続する。各抵抗素子の値と、サーミスタの抵抗値及び温度係数を調整すれば、図１３２に示すように、温度が上昇するにつれ、プリチャージ電圧が上昇していくような設定を行うことができる。
【０３５１】
具体的な回路構成を図１３４に示す。ソースドライバ３６及び１画素分の画素回路で説明を行う。ソースドライバ３６の回路は電圧プリチャージを行うアナログ出力部に関してのみ記載している。全体の回路構成は例えば図１１７のようになっている。電圧プリチャージを行う際には、電圧プリチャージ制御線１１８２により電流出力線１０４にプリチャージ電圧発生部１３１３で発生した電圧が出力される。
【０３５２】
出力された電圧は、ソース信号線６０を伝い、ゲート信号線６１により選択された画素回路６７内部の、節点７２に印加される。
【０３５３】
画素選択期間が終了すると、スイッチ６６ａ、６６ｂが非導通状態、６６ｃが導通状態となり、トランジスタ６２のゲート電圧とドレイン電流の関係に基づいてＥＬ素子６３に電流が流れる。このときのゲート電圧とドレイン電流の関係が、図１３０となるため、プリチャージ電圧が温度によらず一定値を出力すると、節点７２（＝トランジスタ６２のゲート電圧）も一定であり、温度変化により図１３０の関係から、ＥＬ素子６３に流れる電流が変化する。
【０３５４】
そこで本発明では、プリチャージ電圧発生部１３１３において、オペアンプでバッファする前の電圧を、電子ボリューム１３４１で生成するのではなく、外部接続端子を経由し、抵抗素子１３１２と温度補償素子１３１１を用いて発生することにより、プリチャージ電圧つまりは節点７４の電圧を温度に応じて変化させ、温度によらずＥＬ素子６３に流れる電流を一定にするようにした。
【０３５５】
図１３３の波線１３１１にプリチャージ電圧が一定の場合でのトランジスタ６２のドレイン電流（＝ＥＬ素子６３に流れる電流）と温度の関係を示す。
【０３５６】
図１３３の実線１３３２にプリチャージ電圧を変化させたときの電流値の温度に対する変化を示す。１３３２の場合では、温度によらずトランジスタ６２のドレイン電流が一定であることがわかる。この電流値を１．３ｎＡ以下となるように、抵抗素子１３１２と温度補償素子１３１１を選定することで、黒浮きがない表示が実現可能となった。
【０３５７】
なお図１３４の構成では温度補償素子を用いて、温度特性により電流変化を補償したが、電子ボリューム１３４１がある場合には、電子ボリューム１３４１の値を温度によって変化させても良い。
【０３５８】

電子ボリューム１３４１を制御するのは一般的にはコントローラ１３５１にて行うため、コントローラ側で温度に応じて、電子ボリューム制御用コマンドを変化させるようにすればよい。そのためにコントローラ１３５１には、温度検知手段１３５０の信号が入力される。

【０３５９】

電子ボリュームの設定にはこの図では電子ボリューム制御信号１３５３を用いて、コントローラ１３５１からソースドライバ３６の制御を行っているが、図１１７に示すようなソースドライバではプリチャージ電圧発生部９８１の電圧値を映像信号線８５６から映像信号・コマンド分離部９３１を介して、受け取っている。このように、他の信号線を利用して、コントローラからソースドライバにシリアル転送後、信号分離する方法もあるため、必ずしも電子ボリューム制御信号１３５３は必要ではない。制御することが可能な信号線が、電子ボリューム制御用の単独、もしくは他の信号と共用でソースドライバとコントローラ間に接続されていればよい。

【０３６０】

なお、電子ボリューム１３４１で電圧値を制御する場合には、入力がデジタル信号であるため、温度に対して比例関係で電圧値を増やすことができず、図１３６の実線で示すように、階段状に電子ボリュームの出力電圧（つまりプリチャージ電圧）が変化する。

【０３６１】

この場合でも全ての温度範囲で、ＥＬ素子６３の流れる電流が１．３ｎＡ以下となるようにするため、温度補償素子で変化させた破線１３６２の電圧値を下回らないように、電子ボリュームの値を変化させた実線１３６１のように温度に対して電子ボリューム出力電圧を変化させるようにすればよい。

【０３６２】

このようにすると、トランジスタ６２のドレイン電流は図１３７の１３７１に示すように温度に対して電流が流れる。これにより温度によらず、ＥＬ素子６３に流れる電流を１．３ｎＡ以下にすることが可能となり、従来の温度によりプリチャージ電圧を変化させない１３３１に比べて、高温でも黒浮きがない表示を実現できた。

【０３６３】

サーミスタなどの温度補償素子１３１１を用いずにプリチャージ電圧値を温度によって変化させる方法を図１３８に示す。

【０３６４】

本発明の特徴として、プリチャージ電圧発生用回路１３８２を、画素回路６７が形成されているアレー１３８３と同一アレー面上に形成し、駆動トランジスタ６２と同一特性のトランジスタ１３８１を用いて電圧を出力することを特徴としている。

【０３６５】

プリチャージ電圧発生用回路１３８２は、トランジスタ１３８１と容量１３８６からなっており、画素回路６７と比較して、画素選択状態と同一回路となるような構成となっている。節点１３８７の電圧をソースドライバ３６のプリチャージ電圧発生部１３１３のオペアンプに入力することで、トランジスタ１３８１に電流が流れないときの電圧が、プリチャージ電圧発生部１３１３から出力されることにより、このプリチャージ電圧がこのアレーでの黒表示状態に対応した電圧を出力できることがわかる。（電子ボリューム１３４１の出力は用いないようにする）ここで、１３８１の電流が流れない状態にするには、オペアンプ１３８８の入力インピーダンスが十分高くなるようにオペアンプ１３８８を設計しておくことが必要である。

【０３６６】

トランジスタ１３８１と駆動トランジスタ６２は同一アレー面内にあり、ドレイン電流とゲート電圧の関係は２つのトランジスタ間では非常に少なくできる。これはロット間、シート間ばらつきに比べ、シート面内ばらつきの方が小さくなることからである。

【０３６７】

より黒表示時の輝度を下げる（電流を小さくする）には、節点７２の電位を上昇させる

しかない。節点７２の電圧を上げるには、プリチャージ電圧発生用回路１３８２の、節点１３８７の電圧を上げるしかない。このためには、トランジスタ１３８１のドレイン電流を下げる方法があるが、その場合には、オペアンプ１３８８の入力インピーダンスを高めるしかなく、オペアンプ１３８８の特性ばらつきによる影響を受けやすくなる。

【０３６８】

そこで、本発明では、トランジスタ１３８１のチャネル幅を大きくすることで、ドレイン電流が同一であっても（ソースドライバの構成を変えなくても）トランジスタ１３８１の特性に従って節点１３８７の電圧を上昇させることとした。

【０３６９】

この場合には、プリチャージ電圧と、駆動トランジスタ６２が黒表示を行う際の電圧（節点７２の電圧）は、同一アレー面１３８３に形成された２つのトランジスタによってのみ決められるため、アレー面内のばらつきが抑えられれば、どのような外部回路を持ってきても常に一定の黒表示を実現することが可能となる。

【０３７０】

トランジスタ１３８１のチャネル幅を大きくするか、チャネル長を短くするとドレイン電流とゲート電圧の関係が変化し、図１３９に示す１３９１と１３９２の曲線が実現できる。

【０３７１】

図１３９のような関係となるように２つのトランジスタを形成すると、リーク電流などによりトランジスタ１３８１にＩｄ１の電流が流れた場合に、節点１３８７の電位はＶｇ１となり、プリチャージ電圧としてＶｇ１が出力される。この時、画素回路６７の節点７２にも同一のＶｇ１電圧が印加され、駆動トランジスタ６２にはＩｄ１より小さなＩｄ２の電流が流れる。これにより、リーク電流となるＩｄ１よりも小さなＩｄ２の電流が画素内に流れることから、より黒表示の輝度が低い表示が可能となった。Ｉｄ１とＩｄ２の関係はトランジスタ１３８１と６２の特性の関係つまりトランジスタのチャネル幅及び長さの比により決まるため、より黒表示時の電流を下げるために、トランジスタ１３８１のチャネル幅を大きくするという手法がとれる。同一サイズでも良いが、好ましくは３倍程度のチャネル幅にすることが好ましい。

【０３７２】

これは、トランジスタ６２にソース信号線６０を介して、０の電流を流した時にでも、ＥＬ素子６３には３．５ｎＡ程度の電流が流れるという問題があり対処のために、大きくしている。図１４４に示すドレイン電流とソースドレイン間電圧の関係のような駆動トランジスタ６２のアーリー効果により、ソース信号線６０から０の電流を書き込んだ場合のソースドレイン間電圧と、ＥＬ素子６３に電流を流すときの駆動トランジスタのソースドレイン間電圧が全く異なることで、Ｉｄ１で書き込んだ電流でもＩｄ３の電流まで増加してしまうという問題がある。Ｉｄ３の電流が３．５ｎＡであり、主観評価で黒表示が問題とならない１．３ｎＡ以下の電流に比べ３倍近くの電流が流れていることから、電流を１／３に削減するためにトランジスタ１３８１のチャネル幅を３倍にすることで対応することとした。１．３ｎＡ以下であるので、３倍以上でも構わないが、アレー上でのトランジスタ形成面積が増大することから３倍程度とした。

【０３７３】

更に、同一アレー面内であるため、温度依存性のばらつきも小さく、図１４３に示すように、常温時の特性が１３９１、１３９２であるとすると、高温時には１４３１、１４３２のように同じようにシフトされ、プリチャージ電圧として供給される電圧がＶｇ１からＶｇ２に変化するのみで、駆動トランジスタ６２のドレイン電流はＩｄ２で変化せずに表示が可能である。このことは温度特性を調整なしで補償できていることを示している。これにより、温度制御手段を用いずともアレー面内にプリチャージ発生用トランジスタを形成することで、温特補償が可能となった。

【０３７４】

図１４０にプリチャージ電圧発生用回路１３８２の配置場所の例を示す。表示エリア内

には画素回路が形成されているため配置できない。そこで画素周辺に形成するようにする。ゲートドライバ３５周辺にスペースがある場合などはそこに入れることも可能である。

【０３７５】

更に図１４０の１３８２の回路を全て形成しておき、図１４１に示すように、接続変更部１４１１を介して、そのうちの１つをプリチャージ電圧発生部１３１３に入力するようにしても良い。この接続変更部の配線は外部から用意にレーザー加工などによって変更できるようにすることで、アレー製造工程時に仮に１３８１ａのトランジスタが不良となったとしても、レーザーリペアにより正常なトランジスタを用いて出力できるように結線を変更するようにすれば、歩留まり向上が期待できる。１３８１ｃのトランジスタが正常動作であるときの配線例を図１４１に示している。

【０３７６】

図１４２では更に、トランジスタ１３８１を全てソースドライバ入力端子１３８９に接続している。端子１３８９を流れる電流は一定であることからトランジスタ１３８１の１つあたりに流れる電流が約１／４となり、より黒表示が可能な回路を実現できる。

【０３７７】

また、図１４０のように四隅に配置したことでアレー面内の様々な特性のトランジスタを用いて黒表示用電圧を生成することで、トランジスタ１３８１の１つあたりのばらつきを吸収し、平均値に近い電圧を出力できるという利点がある。１つのトランジスタが異常に多く電流を流す場合には、そのトランジスタの特性に応じて電圧がきまる。端子１３８９を流れる電流値は同一であるため、もっともたくさん流すトランジスタの特性に応じて電圧がきまる。よって最も特性のよいトランジスタでも黒表示が可能な電圧を出力するため、最悪でも必ず黒浮きがないようにできる利点がある。

【０３７８】

トランジスタ１３８１に欠陥がある場合には、レーザーによりそのトランジスタと接続している配線をカットするだけでよいため、簡便にリペア可能である。

【０３７９】

なお接続変更部１４２１を含む節点１３８７の配線は高抵抗であるため、ノイズに弱い。ノイズによる変動を抑えるため、容量１３８６は画素回路での容量値に比べ大きくすることが好ましい。表示部と異なり開口率がなくてもよいため、十分に大きなコンデンサを形成することが可能である。これにより電圧変動が少ない電圧を供給できる。

【０３８０】

ソースドライバＩＣを含めたアレー外部回路から、プリチャージ電圧を印加する場合、パネル毎に黒輝度が一定レベル以下（０．１カンデラ／平方メートル）となるようなプリチャージ電圧値が異なってくる。

【０３８１】

プリチャージ電圧を調整する方法として図１４５及び図１４７の例を挙げる。この２つの図の違いは、プリチャージ電圧を外部から供給する際に、電子ボリュームを用いてプログラム的に変更させるか、サーメットトリマなどを用いてハード的に調整するかの違いである。

【０３８２】

本発明の特徴は、ＥＬパネルのＥＬ素子の全カソード電極が接続されたＥＬカソード電源１４５０の電流を電流計１４５３を用いて測定し、電流値に応じてプリチャージ電圧を変更させるようにしたことである。

【０３８３】

ＥＬ素子の場合、輝度と電流は比例関係にあるため、０．１カンデラ／平方メートル以下の輝度となる電流値さえわかっていれば、電流を測定するだけで、十分な黒レベルかどうかの判定が可能である。

【０３８４】

輝度を測定するに比べ、電流で測定すると、暗室が不要である上、輝度計に比べ安価でかつ使いやすい電流計を用いて調整ができる利点がある。

【０３８５】
図１４５の場合には電子ボリューム１４５６を用いてプリチャージ電圧線１４５５の電圧値を調整することから、電子ボリューム１４５６の入力ロジックをパソコンなどの制御装置１４５２により、電流計１４５３の値を取り込み、値に応じて、電子ボリューム制御線１４５９の値を自動的に変化させるようにすれば、自動的にカソード電流を調整することができる。人手を介さない点で、低コストで調整が可能となる。
【０３８６】
図１４７の場合は、電子ボリューム１４５６と記憶手段１４５７の代わりに抵抗素子１４７２とトリマ１４７３でプリチャージ電圧を調整できるようにした例である。なおこの図では温度特性を補償するために、温度補償素子１４７１も同時に用いている。この場合は、電流計１４５３の値を観測しながら、所定の電流値となるようにトリマ１４７３を調整することで、黒表示を実現できる。
【０３８７】
図１４６は、最適なプリチャージ電圧を調整するためのフローである。電圧プリチャージを行いながら黒表示を行う。（１４６１）その際にＥＬカソード電源（１４５０）の電流値を測定する（１４６２）。０．１カンデラ／平方メートルとなる電流値がわかっているので、電流値がその値となるかどうか判定する（１４６３）。
【０３８８】
所定値でなければ、電子ボリュームを制御し、プリチャージ電圧を変更する。（１４６４）変更後の値を測定し、所定値となるか再び判定する。所定値になるまでこの操作を繰り返す。
【０３８９】
所定値になった後、つぎに電子ボリュームに供給する信号の値を記憶手段１４５７に記憶させる（１４６５）。
【０３９０】
電子ボリューム内部に記憶手段がないと、本発明での電圧調整後にモジュールとして出荷する際に、電子ボリュームの値を保持できない。そのため、別途記憶手段を設け、記憶手段に電子ボリュームの値を保持させ、検査終了後には、記憶手段１４５７の値に基づいてプリチャージ電圧を発生するようにする。（１４６７）まずは、検査終了前にパソコンなどの制御手段から記憶手段１４５７に値を書き込む。
【０３９１】
これにより電源が切断されても、パネル毎に最適な黒表示となるプリチャージ電圧を供給することが可能となった。
【０３９２】
以上の発明により、パネルによらず常に黒表示時の輝度が一定となり、黒浮きがない輝度に調整することで、黒表示が実現できた。
【０３９３】
以上の方法の他、電圧プリチャージを用いずに、黒表示の輝度を抑える方法として、図１４８のゲート信号線２（６１ｂ）のオンオフ制御を変化させ、有機EL素子６３に電流が流れる時間を短くすることで、輝度を抑えることができる。
【０３９４】
図１４９にゲート信号線２（６１ｂ）の波形を示す。図１４９（ａ）は従来の波形で、１フレームの内、ソース信号線からの電流を画素内に取り込む１水平走査期間のみ非点灯期間（１４９３）となっている。それ以外の期間では、有機ＥＬ素子６３に電流を流すため、有機ＥＬ素子が点灯する。
【０３９５】
本発明では図１４９（ｂ）のように、１フレームの内の一部の期間（例えば１０分の１）のみスイッチを導通状態とし、有機ＥＬ素子６３に電流を流す構成としている。表示輝度を一定にするため、発光期間１４９４が１０分の１になった分、ソース信号線から流れる電流を１０倍とする。１０倍の電流が１０分の１の期間に有機ＥＬ素子６３に流れるこ

とで、１フレームあたりの輝度は従来通り維持される。

【０３９６】

黒表示時においては、ソースドライバから出力される電流は０であり、０を１０倍したとしても、やはり電流は０である。０の電流が駆動トランジスタ６２のアーリー効果のみによってある値だけ増加するが、これは、従来と同じ電流値である。一方で有機ＥＬ素子６３に電流が流れる期間が１０分の１となるため、輝度は１０分の１まで低下させることが可能である。

【０３９７】

点灯期間１４９４の長さは、短いほど、非点灯期間１４９５が長くなり、確実に有機ＥＬ素子６３に電流が流れる期間が短くなるが、白表示時などに有機ＥＬ素子６３に流れる瞬時電流が増加し、瞬時電流による発熱、電流増大による有機ＥＬ素子の劣化などのおそれがあることから、最小でも１／１０倍程度が好ましい。一方で、３．５ｎＡ程度の黒表示時電流を１．３ｎＡまで低下させる必要があることから少なくとも１／３倍の非点灯期間とすることが必要である。

【０３９８】

ただし、大型テレビのように、画素数が多く水平走査期間が短く所定電流が書き込めない場合に、同様の手段で各階調の電流を増加させることで書き込みを行う手段を用いている場合には、その電流倍率の１０倍の電流が最大であると考える。

【０３９９】

なお本発明以外に、電圧プリチャージなどを用いて黒表示を実現する方法を併用する場合には、例えば黒表示電流を図１４９（ａ）の従来例で駆動した場合に２ｎＡ程度まで低下させるようにしておけば、点灯期間１４９４を従来の半分にするという方法もある。２倍であれば、１ビット右シフト演算など、演算がしやすいなどの利点があるため、ロジック回路の負担が少なくなると考えられる。そのため、本発明の方法の２つ以上を組み合わせるとすれば、点灯期間を１／２とすることも可能である。

【０４００】

なおこのゲート信号線２（６１ｂ）の点灯期間１４９４を変化させるには、ゲートドライバ３５のスタートパルスの長さを制御するなどの方法で点灯期間１４９４を変化させることが可能である。この変更は、コントローラ１４８２内部のロジックをコマンドにより変化させることで実現できる。

【０４０１】

コントローラ１４８２により点灯期間１４９４が変化させることができる。また同様にソースドライバ３６の電流も、図８のような基準電流生成部をもち、電子ボリュームによりコントローラから基準電流を変化させることができる。基準電流を２倍にすれば、１階調あたりの電流も２倍となる。

【０４０２】

例えばコントローラ１４８２の制御により、ソースドライバ３６の基準電流を２倍にし、ゲートドライバのスタートパルスの長さを変更し、ゲート信号線２（３６ｂ）の点灯期間１４９４を１／２倍とすると、黒表示時の輝度は１／２倍となる。

【０４０３】

ソースドライバとゲートドライバの制御を同時におこない、かつ倍率が同じように駆動させれば、任意の点灯期間１４８２を実現し、黒表示輝度も低下させることができる。

【０４０４】

黒表示時の輝度は駆動トランジスタ６２のアーリー効果の温度特性により高温ほど高くなる。そこで、本発明では、コントローラ１４８２に温度検知手段１４８１の結果の信号を入力するようにし、温度によって、点灯期間１４８２を変化させるような構成とする。低温ほど、点灯期間を長く、高温ほど点灯期間を短くする。これにより、ソースドライバの電流は低温ほど少なく、高温のみに電流が増加するようになる。

【０４０５】

必要なときにのみ電流を増加させることで不必要に有機ＥＬ素子の電流を多く流さない

ようにすることで、劣化の少ない表示装置が実現できる。

【０４０６】

なお設定できる倍率は連続的ではなく、表示装置の走査信号線数に応じた離散的な値で変化設定できる。１／（走査線数）の割合で増加、減少できる。

【０４０７】

黒表示時の黒浮き対策で点灯期間を１／１０～１／３の期間とすることに関しては、パネルにより限界値が決まっており、きっちりと１／１０とはならないこともあり、Ｎ／（走査線数）の値が、１／１０～１／３の間に入ればよい（Ｎは自然数でかつ走査線数未満）。

【０４０８】

スタートパルス幅を制御する他に、ゲートドライバの出力イネーブル信号を併用すると、任意の期間、非点灯期間１４９５を設けることが可能である。この方法を用いた場合には、点灯期間１４９４と非点灯期間１４９５が交互に混ざるため、フリッカを抑える効果がある。

【０４０９】

出力イネーブル信号を用いた場合のゲート信号線２（６１ｂ）の波形を図１４９（ｂ）に示す。図１４９（ａ）のゲート信号線波形に対し、最終出力で出力イネーブルをかけた結果である。このように１フレーム内でまんべんなく点灯させることでフリッカは出にくくなる。ソースドライバ３６の基準電流は、非点灯期間１４９５の割合により、コントローラから電子ボリュームを制御することで変化させて黒以外の階調で所定の輝度となるように設定すればよい。

【０４１０】

以上の構成により、電圧プリチャージを必ずしも用いなくても黒浮きのない表示を実現することができた。

【０４１１】

図４５は領域４５１では階調０表示を、領域４５２では階調４表示を行う表示パターンを示した図である。このとき、領域４５２の行が少なく、例えば１行であるとすると、領域４５２の輝度が極端に低下することがある。

【０４１２】

これは、階調４の電流が小さく（２０ｎＡ以下）のため、ソース信号線６０の浮遊容量に蓄積された電荷の充放電がし難いことと、低階調側では１階調あたりのソース信号線電圧の変化量が大きいことから、階調４に変化する途中の階調（０から４の間）が表示されるために、輝度が低下するという問題が発生する。

【０４１３】

領域４５２が複数の行にまたがって存在する場合には１行目から徐々に輝度が増加し、３もしくは４行目から所定階調を表示するため、少し表示が欠けた状態となる。１行のみである場合には、最悪まったく領域４５２の線が表示されなくなり、黒表示を背景にした小さな文字や横ストライプ画像が表示されないという問題が発生する。一方で領域４５２の表示階調が高い場合には１行であってもきちんと表示される。

【０４１４】

図４７に各階調におけるソース信号線電流と電圧の関係を示す。領域４５１ａから４５２への変化の際にかかる時間を階調４表示時にはΔｔ４、階調２５５表示時にはΔｔ２５５とする。Δｔ４＝Ｃ×ΔＶ４／Ｉ４、Δｔ２５５＝Ｃ×ΔＶ２５５／Ｉ２５５となる。Ｉ２５５　６４×Ｉ４であるが、一方でΔＶ２５５　３．５×ΔＶ４である。そのため、Δｔ４はΔｔ２５５に比べて１８倍程度変化に時間を要する。

【０４１５】

これはソース信号線電流の増加とソース信号線電圧の増加が比例関係にないことが原因である。低階調ほど電流の変化に対し電圧の変化が大きい。図４７の曲線を決めているのは、図１２（ａ）の等価回路でも示すようにトランジスタ６２のドレイン電流とゲート電圧の関係である。そのため非線形な関係となり、同じ表示階調から、明るい階調への変化

において低階調への変化ほど難しくなる。

【０４１６】

ＱＶＧＡの表示パネルで６０Ｈｚのフレーム数端数で駆動させた場合に、領域４５１においてソース信号線電流が４０ｎＡ以下の階調で、領域４５２ではソース信号線電流が３００ｎＡ以下の階調において、領域４５２の輝度が低下することを確認している。

【０４１７】

画素内の容量６５に所定の電荷が書き込めていないこの現象を「書き込み不足」とする。

【０４１８】

また、図４６の表示パターンにおいて、領域４６１が２５５階調表示で、領域４６２が階調０や階調４表示をしようとした時、領域４６１の下数行にわたって輝度が増加する現象が発生する。領域４６２の１行目が最も輝度が高く、下の行に従って、輝度が徐々に低下し、３～５行程度で領域４６２の所定の輝度を表示するようになる。

【０４１９】

図４８に示すように領域４６１の最終行に電流を書き込んだ後領域４６２に対応する階調を書き込むためにはソース信号線を流れる電流により浮遊容量の電荷を充電しなければならず、電流量が小さいため充電に時間がかかる。例えば階調４への変化の場合にはＩ４の電流で、階調０への変化の場合にはＩ０の電流で変化させなければならない。よって低階調ほど変化に時間がかかる。更に、電圧の変化量も低階調に変化させるほど変化量が大きくなる。このため０階調への変化が最も厳しく、階調が増加するにつれ、所定の値が書き込みやすくなる。

【０４２０】

ＱＶＧＡの画素数のパネルで１フレームを６０Ｈｚで表示させた場合において、領域４６２でのソース信号線電流が４０ｎＡ以下の電流になる場合に、はじめの１～５行が所定輝度よりも高い輝度となる。

【０４２１】

この現象を「尾引き」とする。

【０４２２】

「書き込み不足」、「尾引き」ともソース信号線の電流が小さいことから発生している。そこで本発明では、一時的に最大階調の電流を流す期間を設け、所定電流付近まで変化させた後に、所定の電流値をソース信号線に流すような仕組みを設けることで、所定階調までソース信号線の状態を素早く変化させるようにした。

【０４２３】

例えば図４７の例で階調０から階調４への変化時について、図４９に示すように、Δｔ４ｐ１（４９１）の期間で最大電流値（ここでは２５５階調電流）を流し、残りのΔｔ４ｐ２（４９２）の期間で所定階調電流（Ｉ４）を流すようにした。これにより階調０から階調４までの変化の時間Δｔ４ｐ（＝Δｔ４ｐ１＋Δｔ４ｐ２）は４９３での電圧をＶｉｐとすると、Ｃ×（Ｖ０－Ｖｉｐ）／Ｉ２５５＋Ｃ×（Ｖｉｐ－Ｖ４）／Ｉ４となり、Ｉ２５５＝（２５５／４）×Ｉ４であること、Δｔ４＝Ｃ×（Ｖ０－Ｖ４）／Ｉ４を利用すると、Δｔ４ｐ＝Δｔ４＋（（２５１×Ｃ）／（２５５×Ｉ４））×（Ｖｉｐ－Ｖ０）となり、Ｖ０＞ＶｉｐであることからΔｔ４ｐ＜Δｔ４となる。これにより０階調から４階調目への電流変化時間が短縮できる。

【０４２４】

尾引き対策の場合、単に電流を増加させるだけではできない。そこで、一度黒階調に相当する電圧（Ｖ０）をソースドライバから供給し、ソース信号線を階調０表示状態としてから、先ほどの図４９のようにして階調４表示を行う。階調０から階調４への変化と階調２５５から階調４への変化では、変化前後の電位差のみが異なり、電位差は階調２５５から階調４への変化の方が大きい。図４９の方法は階調０から階調４への単純な変化よりも短い時間で変化できることから、階調２５５から階調４への変化においても、一度電圧により階調０にしてから（電圧で変化させるため変化時間は１～２μ秒と短い）階調４付近

まで階調２５５電流を流し、その後階調４電流で所定階調表示することが最も変化がはやい。

【０４２５】

このように、所定の電流値に変化させる前に最大電流を流すことを電流プリチャージと規定する。

【０４２６】

電流プリチャージを行う動作は、まず階調０に対応する電圧を印加し、その後、所定の階調に近づくまで最大電流値を出力し、最後に所定の電流を流す動作である。

【０４２７】

「書き込み不足」の場合であっても、一度階調０に電圧で変化させて良い。階調０とせずに最大電流とすることによる電流変化時間の短縮は少なくとも１００μｓあるため２μ秒程度の電圧印加期間と電流プリチャージ期間の増加（階調にもよるが２μ秒程度）あったとしても、電圧印加するようにする。

【０４２８】

これにより「書き込み不足」及び「尾引き」の両方で同一動作の電流プリチャージを行うことができるため、電流プリチャージを行うための回路が簡単になる。

【０４２９】

また、階調０にする電圧印加期間がない場合には、同一表示階調であっても、１行前の階調が異なると電流プリチャージを印加する期間を変える必要がある。階調３から階調９への変化の場合と、階調６から階調９への変化の場合では、電圧変化量が違うため、変化に要する時間が異なる。そのため、仮に階調０にする期間がない場合には、１行前の階調と今の階調の値に応じて最大階調を出力する期間を変化させる必要がでてくるため、階調差の演算が必要になるなど制御が複雑となる。

【０４３０】

一度階調０にする電圧印加期間を設けると、電流プリチャージによる階調変化は必ず階調０からの変化となり、表示階調に応じて電流プリチャージを行う期間を設定すればよくなる。

【０４３１】

このようにして電流プリチャージを行うことで図４７、図４８の表示パターンにおいて低階調表示時であってもきっちりと表示することが可能となる。

【０４３２】

電流プリチャージを全ての階調表示で行うとなると、２５５階調の全ての階調に最適な電流プリチャージを印加する期間を指定しなければならず、１０～２０種類程度の印加パターンが必要となる。

【０４３３】

電流プリチャージ印加期間の制御は図６５に示すソースドライバ内部にて行っている。図１２０に示すように例えば7つの電流プリチャージパルス１１７４と電圧プリチャージパルス４５１を用意し、図１１８、図１１９に示すパルス選択部１１７５及び電流出力部１１７１により実現する。プリチャージ判定線９８４は電流プリチャージパルスのいずれか１つもしくは、電流プリチャージをしない、電圧プリチャージのみ（階調０状態の電圧のみ出力する）を決めるもので、映像信号と対で送信されてくる。映像信号に対しプリチャージ判定線９８４を選ぶことで、例えば電流プリチャージパルス１１７４ｂが選択されたとすると、電圧プリチャージパルス４５１によりまずプリチャージ電圧発生部９８１からの階調０に対応した電圧が出力された後、電流プリチャージパルス１１７４ｂがハイレベルの期間には最大階調に対応する電流が流れ、ローレベルになると階調に応じた電流を出力するようになる。１画素分の映像信号に応じて最適な電流プリチャージパルス１１７４を選択する必要があるためパルス選択部１１７５や電流出力部１１７１はソースドライバの出力数必要となる。

【０４３４】

６種類の電流プリチャージと、電圧プリチャージを用意すると、プリチャージなしを含

めて８通りの選択方法が考えられる。そのためプリチャージ判定線は少なくとも３ビット必要となり、パルス発生部１１７５では３ビットから７ビットに変換するデコード部が必要となる（例えば図１１９に示す真理値表に従って動作）。

【０４３５】

全ての階調で電流プリチャージを行おうとすると、この電流プリチャージパルス１１７４が２０～３０必要となり、パルス選択部１１７５の回路規模が増大する。ソースドライバの出力数だけ１１７５が存在するため回路規模の増大はチップ面積に大きく響く。また、映像信号に対し、プリチャージ判定線９８４が対になって送信されるため、ラッチ部のビット数も増大する。そのため、ソースドライバのコスト面を考えると、電流プリチャージを行う種類は６種類程度が好ましい。

【０４３６】

電流プリチャージを行う種類がソースドライバハード規模の制約から６種類に限定されるため、全ての階調で電流プリチャージを行うことはできず、必要とされる低階調領域でのみ電流プリチャージを行うようにする。

【０４３７】

電流プリチャージをするかどうかを判定するためのフローチャートを図５０に示す。映像信号入力に対しまず階調０かどうか判定する。階調０であるときには電流プリチャージは不要で、電圧プリチャージのみが必要であるため電圧プリチャージ判定部に進み、電圧プリチャージを行うかどうか決める。

【０４３８】

階調０でない場合には次に１行前の階調と比較を行う。これは、「尾引き」と「書き込み不足」の２つの状態では、電流プリチャージを必要とする階調数が異なるためにそれぞれの課題に応じて電流プリチャージをするかどうかの判定を行うようにしている。なお、ここで１行前と現在の階調が一致した場合には、電流プリチャージを行わなくても十分に所定階調表示をすることが可能となるため、電流プリチャージしないと判断する。

【０４３９】

１行前の方が低いと判断された場合（図４５の表示例）には領域４５１においてソース信号線電流が４０ｎＡ以下の階調で、領域４５２ではソース信号線電流が３００ｎＡ以下の階調において、領域４５２の輝度が低下することを確認していることから、この条件に合致する場合にのみ電流プリチャージを行うようにすればよい。合致しない場合には領域４５２は所定輝度で表示されるため、電流プリチャージを行わなくてもよい。

【０４４０】

１行前の方が高いと判断された場合（図４６の表示例）には領域４６２でのソース信号線電流が４０ｎＡ以下の電流になる場合に、はじめの１～５行が所定輝度よりも高い輝度となるため、現在のソース信号線電流が４０ｎＡ以下となる場合にのみ電流プリチャージを行うようにする。

【０４４１】

これにより図５０のフローチャートとなる。

【０４４２】

１行前の階調と比較５０２の構成を図５２に示す。１行前の階調を比較するには１行分のラインメモリが必要である。メモリ５２２に１水平走査期間ためも込むことで、現在のデータとメモリ５２２のデータを比較することで、大小比較することが可能となる。

【０４４３】

８ビットの映像信号入力の場合、８ビットのラインメモリと、８ビット同士の数値の大小比較する比較器が必要となる。ラインメモリと比較器の回路が大きくなる。そこで本発明では、図５０から現在の階調と１行前の階調が共に４０ｎＡを超える電流値となるのであれば、電流プリチャージが不要であることを利用し、使用する有機発光素子の効率にもよるが、８ビット信号の場合階調１５以上では４０ｎＡを超える。つまり階調１５以上の信号が２行の間に渡って連続する場合にはプリチャージ不要である。

【０４４４】

そこで図５１のように入力映像信号をデータ変換部５２１においてデータ変換し、メモリ５２２に書き込むようにすると、メモリ５２２は４ビットで済む。（メモリの面積が半分となり、制御ＩＣに構成する場合にはメモリ５２２はおよそ半分の面積を占めているため、制御ＩＣの面積が少なくとも２０％削減することが期待できる）図５１に従うと、比較器５２５も４ビット同士の比較となり、１５階調以上のデータと１５階調以上のデータを比較する場合には、一致するとなり、電流プリチャージしないと判定できる。いずれか一方が階調１５未満の場合には、大小比較できるため、「尾引き」もしくは「書き込み不足」のいずれかの対策をするということになる。

【０４４５】

メモリはさらに、１行分のデータが保持できればよい。図２８のように６倍速でデータを転送する場合にはクロックは６倍速で動作している。つまり１データが転送されている間にはクロックが６回入力される。図６８にクロック６８５と映像信号の関係を示す。映像信号のＤＡＴＡの次の２つの数字は列と行を表している。ＤＡＴＡ１２というのは１列目で２行目のデータを指している。データ変換部５２１ではラッチもしくはフリップフロップがあり、映像信号を記憶できる。変換後のデータは、５クロック目にメモリへ書き込まれる。メモリのアドレスと列数を対応させると、同一のアドレスのデータ内容は１フレームの間保持される。５クロック目にメモリ５２２のデータが更新されることから少なくとも３クロック目から５クロック目の間にメモリ５２２とデータ変換部５２１の出力（６８６）を比較すると１行前と今の階調を比較することができる。１列目のデータの１行目と２行目を比較するには、６８１ａの期間で比較すればよい。同様にメモリ５２２のアドレス２番地を用いて６８１ｂの期間で比較を行えば、データ比較ができる。

【０４４６】

これによりメモリは、ソースドライバ出力数×４ビット分あれば可能である。

【０４４７】

この判定に従うと、例えば変化が１階調であっても低階調時での変化であれば電流プリチャージを行うことになる。変化量が少ないため電流プリチャージを行っても行わなくても表示することは可能である。電流プリチャージを行う際には、一度プリチャージ電圧発生部９８１による階調０表示時に対応する電圧が印加される。この電圧はトランジスタ６２のゲート電圧に印加されることから、仮にトランジスタ６２のゲート電圧とドレイン電流の関係にばらつきが発生すると、画素毎に最適な階調０の電圧に比べて、高かったり低かったりする。この電圧値を所定階調に対応する電圧値にまで変化させるのに電流プリチャージを用いているが、電流プリチャージの電流値及びソース信号線容量、プリチャージを行う時間にはばらつきが小さいため、電流プリチャージを行ったあとの電圧値も最適値と比較して上下があり、その結果、低階調領域では、電流が少ないことから、このばらつきは所定階調電流を流している期間では補正できず、トランジスタ６２のムラに応じた表示ムラが発生するおそれがある。そこで本発明では、変化の小さい１階調差の場合には電流プリチャージを行わないということで、表示ムラの少ない表示が実現できるような構成とすることを考えた。ただし階調０から階調１への変化の際には、元々階調０の時には黒表示時の輝度を限りなく０に近づけるため電圧プリチャージにより階調０を表示することから、同じ電圧を入力し、電流プリチャージを行っても表示に影響がないと思われる。また階調０と階調１の間では電圧の変化量が大きく、電流のみでは変化しにくいこともあるため、１階調差であっても電流プリチャージを実施できるような構成とすることが好ましい。更に１階調あたりの電流値が大きい場合などでは２階調差でも電流プリチャージなしで表示が可能となることがある。この場合でも階調０では黒輝度を低くするために電圧を高めに印加したり、階調０から１、０から２の変化量が大きいことから、０から１、０から２への変化に限り電流プリチャージを行うとしてもよい。

【０４４８】

そこで本発明では図５２の代わりに図５３の回路構成とし、１階調差、２階調差など、コマンドＡにより指定した条件においては電流プリチャージをしないとできるような比較判定器５３１を設けることとした。図５４にはコマンドＡの内容を記載する。コマンドＡ

の値が０のときは電流プリチャージを全くしない（電流プリチャージ使用しない）。１の時には、１階調差の場合には電流プリチャージをしないとし、２の時には、０から１への変化を除いた１階調差の場合に電流プリチャージしない、３のときには差が２階調以下の場合には電流プリチャージしない、４の時には、０から１、０から２への変化を除いた２階調以下の差の場合に電流プリチャージをしないとして、有機発光素子の効率及び、パネルの輝度（２５５階調時の電流が変わるため、輝度が高くなるほど所定階調が表示しやすくなる）の変化に対応しコマンドＡの値によって、最適な値を選択することで、必要最低限の電流プリチャージを行えるようにしている。この比較判定器５３１で電流プリチャージなしと判定される回数が多くなるほど１画面で電流プリチャージを使用して表示を行う画素数が減り、その結果、電圧を印加することによる表示ムラの影響が見えにくい表示を実現することが可能となる。

【０４４９】

１行前の状態と比較できない、１行目の表示については、図５３の代わりに図５５の構成とする。１行目が階調０のときと０以外の時で場合分けされ、階調０の時には電圧プリチャージをするかどうかの判定を行うため、１行目電圧プリチャージ判定部５５４に入力される。ここで、コマンドＢにより、電圧プリチャージをするかどうかの判定をする。ここで、電圧プリチャージをしない場合というのは、電圧プリチャージを行わなくても黒が表示できる場合や、黒輝度が高くても良い（コントラストが低くてもよい）場合のアプリケーションに用いる表示装置などで、プリチャージしないことを選択できるようにするために設けている。

【０４５０】

１行目が階調０以外の場合には１行目電流プリチャージ判定部５５１で電流プリチャージを行うかどうか判定を行う。コマンドＣにて、プリチャージするかどうか決めることができ、最高輝度が高いパネルや、有機発光素子の効率が低く電流をたくさん流す場合などで、低階調でも十分所定階調表示ができる場合に電流プリチャージを行わなくて良いとすることができるようになっている。

【０４５１】

１行目電流プリチャージ判定部５５１により電流プリチャージを行うと判定されると次に階調に応じて電流プリチャージを行う期間を選択する必要がある。階調に応じて電流プリチャージを行う期間を選択する回路ブロックを図５７に示す。図５７では映像信号と、コマンドＤからコマンドＩの値に応じて、電流プリチャージ１から６もしくは電流プリチャージしない、のいずれかの判定を行う回路ブロックである。ソースドライバ３６側では電流プリチャージ１から６の期間を例えば図１２０のように設定しているとし、電流プリチャージパルス１１７４がハイレベルの期間に電流プリチャージされる。この電流プリチャージパルス１１７４の６つのパルスのいずれを選ぶかについては図１１９の真理値表に基づき決められる。従って、電流プリチャージ期間を階調に応じて変化させるには、プリチャージ判定線９８４の値を階調に応じて変化させるようにすればよい。

【０４５２】

図５７においては、映像信号とコマンドにおうじて場合分けされ、５７１から５７７の各結果に対し、図６３に示すように、プリチャージ判定信号５５を図１１９と同様な考えで出力すればよい。これにより、映像信号と対に送信されるプリチャージ判定信号５５の値を元に、ソースドライバ３６では、どの長さで電流プリチャージを行うかを決めることができる（電圧プリチャージのみ、プリチャージを行わない、の決定も同様にしてすることが可能）。

【０４５３】

なお各電流プリチャージパルスの長さについては、ソースドライバ側にて設定を行う。各パルス長は図６５に示すように、パルス発生部１１２２により決められる。パルス発生部１１２２は図６９に示すように、カウンタ６９３とパルス生成手段６９４、分周回路６９２により構成される。カウンタ６９３によりカウントされた値と電流プリチャージ期間を決める電流プリチャージ期間設定線１０９６を比較し、設定値に応じた期間ハイレベル

となる電流プリチャージパルス１１７４を出力する。ソース信号線に階調が出力される最初に電圧プリチャージをし、その後電流プリチャージし階調電流を出力することから、電流プリチャージパルス１１７４のハイレベルの開始期間はタイミングパルス８４８の出力後から開始される。そこで、カウンタ６９３はタイミングパルス８４８入力で０リセットされるようにすることで、タイミングパルス８４８基準でパルス生成されるようになる。電圧プリチャージ期間設定線９３３及び電圧プリチャージパルス４５１についても同様な構成で行う。電流出力部１１７１及び電圧印加選択部１１７３の構成が図１１８で示す回路となっていることから、図１２０のように電流プリチャージパルス１１７４と電圧プリチャージパルス４５１は同一タイミングでハイレベルとなってもよい。パルス生成手段６９４の簡略化のために、図１２０のような波形としている。従って、電流プリチャージパルス１１７４のハイレベルの長さは、電圧プリチャージ期間設定線９３３及び電流プリチャージ期間設定線１０９６の値を足したものである。なお電流プリチャージパルス１１７４は６つあるため、電流プリチャージ期間設定線１０９６も６種類分設定できるようになっている。なお分周回路６９２を持つことから、画素数の変化などによりソースドライバクロック８７１が変化したとしても、パルス幅の調整範囲をなるべくそろえられるようにしていること、必要なパルス幅がＥＬ効率の上昇などにより急激に変化したとしても分周数を変化させることで対応できるような構成となっているため、任意の画素数、ＥＬ素子の発光効率によらず同一ソースドライバを用いることができるという利点がある。

【０４５４】

これにより、コマンドＤからコマンドＩの６つのコマンドにより、６つの電流プリチャージを行う階調範囲を指定し、各電流プリチャージ期間の長さをソースドライバ３６の電流プリチャージ期間設定線１０９６で定めれば、最適な電流プリチャージが実現できる。電流プリチャージ１を行うのは階調１以上コマンドＤ指定階調以下、電流プリチャージ２を行うのはコマンドＤ指定階調より大きく、コマンドＥ指定階調以下、電流プリチャージ３を行うのはコマンドＥ指定階調より大きく、コマンドＦ指定階調以下、電流プリチャージ４を行うのはコマンドＦ指定階調より大きく、コマンドＧ指定階調以下、電流プリチャージ５を行うのはコマンドＧ指定階調より大きく、コマンドＨ指定階調以下、電流プリチャージ６を行うのはコマンドＨ指定階調より大きく、コマンドＩ指定階調以下、コマンドＩ指定階調より大きい場合には電流プリチャージなし５７となる。

【０４５５】

１行目以外の場合では、図５３に示すように電流プリチャージを行うとしても、比較判定器５３１の結果により、「書き込み不足」対策と、「尾引き」対策の２つが必要となる。これは図５０の５０４から５０６のフローに相当する。

【０４５６】

書き込み不足対策のときには、１行前が４０ｎＡより大きな階調であると、電流プリチャージが不要であるので、まず図５６に示すように、１行前データ階調検出手段を設ける。コマンドＪによる設定階調以上の場合には電流プリチャージしないようにする。ここで、４０ｎＡの電流に相当する階調はアプリケーションにより異なったり、表示色、有機材料の発光効率に影響されるため、念のためコマンド入力としている。これらの条件が決まっている場合には、コマンド入力なくても、指定階調以上、未満で判定できるようにしても良い。指定階調未満である場合には次に、５０６の判定に相当する電流プリチャージ判定機能が必要である。この機能は先の図５７を共通利用すればよい。コマンドＩの階調が、ソース信号線電流が３００ｎＡを超える電流になる階調としておけば、図５０を満たす。

【０４５７】

次に「尾引き」対策の場合であるが、５０４の判定をすればよいため、図５８に示すように、図５７と同様に電流プリチャージ期間選択手段５７８により判定を行う。これにより「尾引き」はなくなるが、画素内部回路のトランジスタ６２特性のばらつきにより、電圧プリチャージ印加時に必要以上に黒表示になる電圧が画素によっては印加されることになる。その際に、電流プリチャージにはばらつきがないことから、この必要以上に黒表示

にされた場合には所定輝度よりも低下することがある可能性がある。（必ず所定階調に対応した電流を出力する期間があることから、必ず低下するわけではなく、最悪の場合その可能性があるということを意味する）「書き込み不足」の場合では、黒くなったとしてもなだらかな変化としてとらえられるため目立ちにくいが、「尾引き」の場合、図４６で４６１が階調４８、４６２が階調４０とした場合に、４６２の一番上の行のみ、階調３０が表示されるということが発生する可能性がある。階調４８と４０の間であれば、階調４８によるハレーションに隠れて目立ちにくくなるが、この２つの階調に比べて低い階調がでると、境目に暗い横線が発生してしまう。

【０４５８】

暗い横線が発生すると画質に影響すること、ハレーションのため「尾引き」は「書き込み不足」よりも目立ちにくいことを考慮すると、「尾引き」対策の場合には「書き込み不足」対策に比べ、電流プリチャージによりきちっと表示階調を出す必要性が低いと考える。

【０４５９】

３．５型サイズＱＶＧＡのパネルで、実験したところ、「書き込み不足」が発生するのは、１行前が階調０から階調７の範囲で、現在の階調が階調１から階調７４の場合に発生する。一方で、「尾引き」が発生するのは１行前の階調によらず今の階調が階調０から階調９のときに発生している。「書き込み不足」に比べて「尾引き」の場合では電流プリチャージをしなければならない階調数は少ないことがわかる。

【０４６０】

そこで本発明では、電流プリチャージ期間選択手段５７８の出力をさらに電流プリチャージ挿入判定手段５８１に入力し、コマンドＫにより電流プリチャージを行う範囲をさらに限定するようにしている。コマンドＫは図５９のようにプリチャージ挿入判定手段５８１の出力を変化させる役割を持っており、例えばコマンドＫの値を６とすると、図５９の動作により結果的に階調によって電流プリチャージなし、もしくは電流プリチャージ１を実行する、のいずれかとなる。電流プリチャージ１を実行する範囲はコマンドＤにより決められているから、結果的には電流プリチャージをするのはコマンドＤの設定階調以下となる。このようにして、電流プリチャージをする階調を限定している。尾引き除去手段５８０をこのように２段階で構成しているのは、コマンド数を削減するためである。尾引き用と書き込み不足用の２種類のコマンドを持つと、コマンド数が１２個必要になるが、本発明の形式であれば、７つのコマンドで済むためコマンドレジスタが少なくて済むという利点がある。電流プリチャージの判定は共通として、尾引きの際に不要となる部分においてのみコマンドＫにより削除するという考えである。

【０４６１】

さて、現在の階調が０の場合には電流が０であるため電流プリチャージは不要で、０階調相当の電圧を印加する電圧プリチャージをするかどうかの判定となる。この判定を図５０では電圧プリチャージ判定部５０３としており、図６０の構成となる。ここで１行前データ検出部６０１を設けているのは、２行以上連続して階調０が表示された場合には１行前からソース信号線の状態を変化させる必要がないことから、階調０であっても電圧プリチャージしなくても良い。電流によってのみ制御することで、トランジスタ６２のばらつきによる輝度ばらつきの影響を減らすことができる。そのため１行前データ検出部６０１では、１行前データが階調０かどうかの判定のみを行っている。（この場合１行前データはデータ変換後１行前映像信号５２３である。変換は図５１に従い行っていることから階調０かどうかの判定であれば変換後データで行っても支障ない）１行前のデータは図５２でのメモリ５２２から共通で出力をもらい、判定すればよい。

【０４６２】

階調０であっても十分に黒輝度が低くなる場合、もしくは黒輝度が高くても問題がない場合においては電圧プリチャージしないということも可能であるため、電圧プリチャージしないという判定ができるような構成としている。これをコマンドＬにより制御し、コマンドＬの値により図６１に示すような電圧プリチャージするかどうかの判定を行うように

している。必ず電圧プリチャージするというのは、黒の輝度を極端に下げる場合に用いる。リーク電流による黒浮きを防止することが可能である。

【０４６３】

以上のプリチャージ判定をまとめると図６２のようになる。まず映像信号が階調０かどうか判定し（６２１）、０と０以外で処理が異なる。０のときは電圧プリチャージをするかどうかである。１行前のデータに応じて電圧プリチャージするかどうか判定する（６０１）。ただし１行目では比較データがないため１行目の階調に応じてプリチャージを判定する（５５４）。

【０４６４】

階調０以外では、電流プリチャージをするかどうか判定し、さらに電流プリチャージをする場合には６種類のプリチャージ期間のどれを選択するかを判定する。「尾引き」、「書き込み不足」対策のため１行前の階調に比べて今の階調が大きいか小さいかで処理が異なる。比較できない１行目と２行目以降で異なり、１行目では５５１、５５２のブロックにより判定を行う。２行目以降では、「尾引き」対策の場合には尾引き除去手段５８０で判定し、「書き込み不足」対策では５６１及び５７８により判定を行う。なお、同一階調の場合や、１階調差などでプリチャージをしない方が良い場合などは、５３１で電流プリチャージなしの判定となる。

【０４６５】

３．５型ＱＶＧＡパネルにおいては、コマンドＡを２、コマンドＢは５５６を出力するように、コマンドＣは５５２を出力するように、コマンドＤは階調１、コマンドＥは階調２、コマンドＦは階調４、コマンドＧは階調１０、コマンドＨは階調３０、コマンドＩは階調８０を指定する。コマンドＪは階調１１、コマンドＫは４をコマンドＬは１を指定することで、所定階調が表示されにくい低階調の表示を実現した。

【０４６６】

図６２の結果として図６７に示すように、映像信号に対応してプリチャージ判定信号５５が追加される。（図６２の判定はプリチャージ判定信号生成部６７１で行われる）。

【０４６７】

パラレルシリアル変換部６７２は必ずしも必要となるわけではないが、変換せずに制御ＩＣからソースドライバに信号を転送する際には、映像信号８ビット、プリチャージ判定信号５５が３ビットの１１ビット、これが３色分あるので３３ビットの転送線が必要となる。接続信号線が多くなることから配線の引き回しが大変なことや、入出力ピンの増加によるパッケージサイズの増大という問題があることから、この配線はシリアル転送にすることが好ましい。なお制御ＩＣとソースドライバが同一パッケージのＩＣで構成される場合にはＩＣ内部配線の問題であるため、シリアルに変換する必要はない。

【０４６８】

シリアル転送にしたときの、パラレルシリアル出力部８５６の出力波形の例を図１及び図２８に示す。同一信号線にプリチャージ判定信号５５と映像信号、ソースドライバのコマンドを順に転送している。基本的にはこの信号が制御ＩＣとソースドライバＩＣの間の配線に転送される。

【０４６９】

図６４に本発明の形態におけるパネル構成を示す。制御ＩＣ２８は本体機器側から同期信号６４３及び映像信号６４４をもらい、ソースドライバ３６入力信号形式に変換して、映像信号及びコマンド信号を映像信号線８５６として出力する。その他ソースドライバ３６内部のシフトレジスタ動作のためのクロック８５８、シフト方向制御８９０、スタートパルス８４８、アナログ電流出力するタイミングを決めるタイミングパルス８４９、シリアル転送して信号線数を減らしたゲート線６５１が、ソースドライバ３６に入力される。

【０４７０】

ゲート線６５１は、図６６に示すタイムチャートにて転送される。ゲートドライバ３５は２回路あるため、（スイッチ６６ａ、６６ｂ制御用と６６ｃ制御用）それぞれにスタートパルス、出力イネーブル信号、クロック、シフト方向制御の８本の信号が必要である。

そのため６倍速転送では、１出力分で６信号しか送れないため、２信号分は緑データ８５６ｂ、８５６ｃの空き部分に１つずつ入れている。８信号分が入力されたら一斉にゲートドライバ制御線６５２に出力するようにする。これによりゲートドライバの信号線は少なくとも１出力分の時間刻みで変化させることができる。なお１つのソースドライバに対し２つのゲートドライバを制御する可能性があることから、ソースドライバ３６は左右にそれぞれ１回路分ずつのゲートドライバ制御線６５２出力している。図６４のように２つのソースドライバを用いてゲートドライバ３５を制御する場合にはソースドライバ３６同士が隣接する出力ではゲートドライバ制御線６５２出力は不要である。そこで、左右のゲートドライバ制御線６５２の出力をしないようにできるゲート出力イネーブル信号Ｌ及びＲ（６５３）を設けている。これにより不要な出力をなくし、外部へのノイズ放出を抑えている。

【０４７１】

更に電源のオンオフを制御する電源制御線６４１を出力している。待ち受け時や、非表示時には電源回路６４６を停止させて待機電力を減らす機能となっている。電源回路がパネル電源回路６４６ａ、ドライバ電源回路６４６ｂに分かれているのは、オンオフのタイミングが異なるためである。これは、電源が立ち上がり時に、ゲートドライバ３５の出力が不定であるため、画素回路６７のトランジスタ６６が意図せず導通状態となることがある。例えばスイッチ６６ｃが導通状態となったときに、蓄積容量６５の電荷が２５５階調表示状態であると、この画素は点灯状態となる。電源投入２フレーム後には所定の階調電流が画素６７に書き込まれ、ゲートドライバ３５の出力はゲートドライバのスタートパルスに従ってレベル変化するため、所定の電流がＥＬ素子６３に流れ、所定階調となる。電源投入２フレームの間に所定階調と異なる階調表示が発生する可能性があるため、電源投入時にパネルが一瞬光るという問題がある。そこで、この問題を解決するため、ＥＬ電源線６４の電源を１フレーム後に入れることで、所定階調と異なる階調が画素の蓄積容量６５に記憶されている場合と、トランジスタ６６の制御がきちんとできない場合でも、ＥＬ電源線６４から電流が供給されないため、ＥＬ素子６３は発光しない。これによりパネルが一瞬光るという問題を回避する。そのため電源制御線６４１は２本必要となる。

【０４７２】

このような構成においては、制御ＩＣ２８とソースドライバ３６間の信号線数を減らすために図１もしくは図２８のようにシリアル転送してデータを送信することが最適である。

図１５１の点線１５１１は、電流出力型のソースドライバを用いたときのソースドライバ入力階調に対する表示輝度の関係を示している。階調に対して輝度が比例関係となっている。

【０４７３】

一方で人間の目の特性から階調と輝度の関係は１５１２の曲線で示した関係となるようにガンマ補正をかけて出力する必要がある。

【０４７４】

ソースドライバの階調と輝度特性の関係を変化させることは困難であるため、図１５１の１５１２に示す曲線を実現するには、あらかじめタイミングコントローラなどにおいて映像信号階調とソースドライバ階調の関係を変化させ、例えば図１５２の１５２１の関係から１５２２のような関係にするようにする。

【０４７５】

このように映像信号階調に対しソースドライバの出力階調を対応させることでガンマ補正を行いなめらかな階調表示を実現することができる。この場合例えば映像信号の階調が２の場合にはソースドライバ階調は０．５を出力するとなる。しかしソースドライバでは０．５階調を出力することはできないので、フレーム間引きやディザ、誤差拡散法などを用いて擬似的に０．５階調相当の出力を行うようにしている。例えば２回に１回を階調１表示、残りの１回を階調０表示とすれば平均して０．５階調相当の出力を行うことが可能となる。同様に映像信号階調１ならば４回表示機会があれば３回を階調０、１回を階調１

表示すればよい。映像信号階調が５から７の場合には階調１と階調２の表示回数の割合を変化させることで実現する。フリッカを防止する観点から、表示できない階調が指定されたときは、表示できない階調に近い２つの階調を使って表示することが好ましい。

【０４７６】

例えば映像信号階調１が全画面に表示されたときのあるフレームにおけるソースドライバ階調出力パターンの一例を図１５５に示す（なおこの図では、説明を簡単にするため単色表示のパネルを示している。カラーパネルの場合には、色ごとに図１５５のパターンを表示することで実現が可能である。）。

【０４７７】

ある表示面積を見た場合に４分の１の画素が階調１表示で、４分の３の画素が階調０表示となり、さらにフレーム間で同一の画素を見た場合に４分の１の期間で階調１、４分の３の期間で階調０となるようにすることでフリッカの少ない表示ができる。カラーパネルの場合には階調１が表示される画素が色ごとに異なるようにすることで白表示におけるフリッカを低減させることができる。

【０４７８】

図１５２の１５２２であらわされる直線を実現するための回路ブロックを図１５３に示す。入力映像信号１５３１に対し、ガンマ補正回路１５３６で映像信号１５３１を変換する。その際に人間の視覚特性に合わせるために低階調部の輝度を抑えるように階調変換を行う。低階調では映像信号の階調よりも細かい刻み幅で階調増加させる必要があり、そのために映像信号１５３１よりもガンマ補正後映像信号１５３９のほうがビット数増加する。

【０４７９】

ガンマ補正後映像信号１５３９のビット数とソースドライバ３６の映像データビット数が同じであればこのまま信号を入力すればよいが、ソースドライバ３６のビット数を増やすにはラッチ部２２のラッチされるビット数が多くなり、電流出力段５４の階調表示用電流源１０３、スイッチ１０８が少なくともビット数の分だけ各出力で増加するため、ソースドライバ３６の回路規模が大きくなりコストも高くなる。

【０４８０】

そのため一般的にはソースドライバ３６の映像データビット数よりもガンマ補正後映像信号１５３９のほうがビット数が多くなる。ビット数の差が多くなると、図１５２でも説明したようにフレーム間引きなどを用いて表示しなければならない階調数が増加する。有機発光素子などでは応答速度が速いためフレーム間引きを行う際に使用する２つの階調の階調差によるフリッカが見えやすくなる傾向がある。フレーム周波数が６０Ｈｚでフリッカ無しで表示を行うにはフレーム間引きによる方法では４フレーム内に完結する必要があることが実表示からわかった。

【０４８１】

ガンマ補正後映像信号１５３９がＭビット（Ｍは自然数かつＮより大きい）、ソースドライバ３６の映像データビット数がＮビット（Ｎは自然数）であるとするとＭビットをＮビットにデータ変換するためのデータ変換部１５３７が必要となる。

【０４８２】

そこで図１５３では、ガンマ補正後映像信号１５３９をデータ変換部１５３７により変換後映像信号１５３２（Ｎビット）に変換する。

【０４８３】

変換する方法としては、図１５６に示すように入力Ｍビットのうち上位Ｎビットと下位（Ｍ－Ｎ）ビットに分けて処理を行う。ここで上位Ｎビットをそのままソースドライバの階調に対応させて供給するようにし、かつ１階調あたりの必要な電流値を$2^{(M-N)}$倍して出力すれば、$2^{(M-N)}$階調ごとの表示はきちんと実現できる。しかしその間の階調表現ができなくなり、実質は$2^{(M-N)}$階調ごとにデータが切り捨てられたように表現される。これを補正するために、データが切り捨てられるガンマ補正後映像信号１５３９の下位（Ｍ－Ｎ）ビットデータを記憶部１５６４、加算器Ａ１５６３を用いて、保持、

加算し、切捨て量（下位（Ｍ－Ｎ）ビットデータの加算合計の値）が$2^{(M-N)}$以上となったときに、切り捨てによる階調の不足を補うためにガンマ補正後映像信号上位Ｎビットデータ１５６１に１を加算するようにする。そのために加算器Ｂ１５６８を設けている。これにより下位（Ｍ－Ｎ）ビットがソースドライバ３６に入力されないことによる表示階調の低下を補正することが可能となる。

【０４８４】

同一画素に注目した場合４フレーム内に補正を完了しなければ、フリッカが発生することから、下位（Ｍ－Ｎ）ビットは（Ｍ－Ｎ）≦２であることが好ましい。応答速度が遅い表示材料を用いた場合には必ずしも２以下である必要はなく、表示パネルに応じて（Ｍ－Ｎ）の上限値を決めればよい。（Ｍ－Ｎ）が小さいほど、ソースドライバのビット数が増大しコストが上がるが、フレーム間引きやディザ処理を行わない分画質が向上する。画質とコストのトレードオフにあるため、必要に応じて（Ｍ－Ｎ）を決めればよい。

【０４８５】

以下の説明では有機発光素子を用いた表示パネルに適用した場合について説明を行うため、Ｍ－Ｎの値を２として説明する。

【０４８６】

図１５２の１５２２に示すような映像信号階調（ガンマ処理後、Ｍビット）とソースドライバ階調（Ｎビット）の関係において、ソースドライバのビット数が８ビットであるとすると、ガンマ処理後のビット数は１０ビット１０２４階調表現が可能である。

【０４８７】

ソースドライバの階調を基準とすると、ガンマ処理後映像信号のデータは最小０．２５階調刻みで２５６階調表示と表現することになる。

【０４８８】

図１５５は階調０．２５を全画面に表示する場合の例である。ガンマ補正後映像信号の上位８ビットは常に０で、下位２ビットは常に１である。表示のはじめは記憶部１５６４の値は表示行ごとに乱数を発生する乱数発生部１５６９の値により決められる。これは、あらかじめ記憶部１５６４の値を表示行ごとに変化させることで、同一階調表示の際に、ソースドライバの表示階調が１増加するタイミングを行ごとにずらしフリッカを見えにくくするためである。乱数発生部１５６９で発生される値はこの場合１５６２が２ビット分のデータであることから、０から３のいずれかとなる。

【０４８９】

図１５５の第１の行１５５１ａでは乱数発生部１５６９の出力が０であるため、記憶部１５６４は初期状態で０である。１５５３の画素に相当するデータが１５３９から入力されると、１５６１の信号線は０を１５６２の信号線は１を出力する。加算器Ａ１５６３の出力１５３３と１５６５は、各２ビット入力である１５６２と１５６６の加算結果により、下位２ビットの結果が１５６５に、桁上がりしたキャリー出力となる１５３３を出力することから、１５３３は０を、１５６５には１を出力することになる。記憶部１５６４には１が記憶される。

【０４９０】

そのため加算器Ｂでは１５６１のデータがそのまま出力され、変換後映像信号１５３２は０が出力される。

【０４９１】

次に、画素１５５４に対応したデータ（階調０．２５）が入力される。上位８ビットデータ１５６１は０、１５６２は１となる。加算器Ａ１５６３の出力は、記憶部１５６４のデータが１であることから、１５３３では０、１５６５では２を出力する。この結果、加算器Ｂ１５６８の出力は１５６１と同じ０が出力される。

【０４９２】

次に、１５５５の画素に対応したデータ（階調０．２５）が入力されると、１５６１は０、１５６２は１になる。加算器Ａ１５６３の出力は１５６２、１５６６から１５６５が３、１５３３が０となり、その結果加算器Ｂ１５６８の出力は０となる。

【０４９３】
次に、１５５６の画素に対応したデータ（階調０．２５）が入力されると、１５６１は０、１５６２は１になる。記憶部１５６４のデータが３であることから、加算器Ａ１５６３の出力は１５６５は０となり、１５３３は１となる。そのため加算器Ｂ１５６８の出力は１となり画素１５６６に１が出力される。
【０４９４】
１行すべてが階調０．２５の場合はこの４状態が繰り返し実行される。
【０４９５】
次の行のはじめには、最終列での記憶部１５６４のデータを持ち越さず、乱数発生部１５６９で発生された値が記憶部１５６４に入力され、データの入出力が行われる。なお、乱数発生部１５６９は必ずしも乱数を発生させなくても、$2^{(M-N)}$行の開始時点の記憶部１５６４の値を見たときに$2^{(M-N)}$通りのデータが出力されていればよい。
【０４９６】
このようにすることで、図１５２に示すような１５２２の線で示されたソースドライバ階調と映像信号階調の関係を実現することができる。
【０４９７】
このように階調特性を改善した図１５３の回路を本発明に導入し、プリチャージ判定信号発生部に変換後映像信号１５３２を入力すると、ある特定の階調同士の組み合わせによっては、階調の変化行付近でフリッカが発生するという問題が起こった。
【０４９８】
例えば図１５７に示すようなソースドライバの階調として１行目が０．２５階調、２行目以降が３階調表示であるような場合、各画素はあるフレームにおいて図１５６の回路ブロックから図１５７に示すようにドライバの出力階調パターンが決まる。
【０４９９】
このパターンにおいて、１行前と当該行の階調差が２階調差以下ではプリチャージなしで３階調以上でプリチャージありという設定にしたとすると、第２の行においては第１の行の階調が列によって異なることから、第１から第３の列では３階調差あるため電流プリチャージを行うが、第４の列では階調差が２となるため電流プリチャージを行わないこととなる。プリチャージを行うかどうかの判定結果を画素ごとに記載したものを図１５８に示す。
【０５００】
その結果、電流プリチャージを行わない列においては、電流値が所定階調まで変化しにくくなり、１行前のデータ内容により書き込み不足が発生し、階調３表示でであっても輝度が低くなる。図１５９の１５９１で示すような画素の範囲では、輝度が低下する。第１の行の出力が１である列で輝度が低くなることから４列に１列輝度が低い列が現れる。低階調ほど所定階調までの変化時間が大きくなり、所定階調との電流差が大きくなるため所定輝度に対する輝度差が大きくなり暗い部分が目立つようになる。暗い部分と所定輝度の部分がフレームごとに変化し順に移動することで、暗い縦線が左右に動いて見える形でのフリッカが発生する。
【０５０１】
フリッカの発生は第１の行と第２の行がいずれも常に同じ階調を表示していても、図１５６のデータ変換部１５３７の存在により、少なくとも４画素に１回違う階調が表示される場合において発生する。特に１５３３の信号が１となり、加算器Ｂ１５６８で信号が１加算されたときにフリッカの原因となる書き込み不足が発生する。
【０５０２】
フリッカが発生するパターンとしてほかに図１６４の表示パターンのように、１行前の表示は常に同一であるが、当該行（ここでは２行目）の表示が階調２．７５を表示するために列によって階調２を表示するか３を表示するか異なる。この場合でも、階調２を表示した列では電流プリチャージを行わないことから書き込み不足により、階調２よりも低い輝度で表示が行われ、階調３を表示した列では電流プリチャージを行うため所定の階調３

を表示する。階調２と階調３の表示領域の輝度差が大きくなることでフリッカが見えやすくなる。

【０５０３】

ソースドライバから映像信号として出力される信号については、変更するとフリッカの発生や、表示階調のずれにより表示品位が低下する。

【０５０４】

そこで本発明では、プリチャージ判定信号発生部１５３８で階調判定を行う信号を別に設けるもしくは判定用の信号を新たに付与することでフリッカをなくすようにした。

【０５０５】

これを実現する方法として３つの例を示す。

【０５０６】

第１の方法を実現するための回路ブロックを図１６２に示す。入力された映像信号線に対し、ガンマ補正をかけた後の映像信号１５３２とプリチャージをするかどうかとプリチャージの種類を判定するためのプリチャージフラグ３８０を出力する。従来の方法と異なるのは、プリチャージ判定信号発生部１６２１に入力される信号がデータ変換部１５３７の出力ではなく、ガンマ補正後映像信号上位Ｎビットデータ１５６１を用いている点である。データ変換部１５３７の動作は図１５６と同一である。

【０５０７】

これにより、判定に用いるデータは加算器Ｂ１５６８を通らないため、入力信号の下位２ビット分のデータを切り捨てたデータで判別を行うことになる。例えば表示上では図１６４の表示を行ったとしても、プリチャージを判定するための信号は図１６５に示すようなパターンとなり、常に階調差が２となりプリチャージ無しでの表示となり、フリッカは発生しない。一方で図１５７の表示パターンの場合でも図１６３に示すようなプリチャージ判定用信号が入力されるため、常に電流プリチャージを行うとなり同様にフリッカが発生しない。

【０５０８】

ある１行と次の１行がそれぞれ同一階調表示の際には列によらず、プリチャージするかどうかの判定が一定であるため、プリチャージの有無の差によるフリッカを防止することができた。

【０５０９】

第２の方法を図１６８に示す。

【０５１０】

この方法ではガンマ補正後映像信号上位Ｎビットデータ１５６１から加算器Ｂ１５６８により生成された変換後映像信号１５３２を用いる。このままプリチャージ判定信号発生部１６２１に入力すると、フリッカが発生するので加算器Ｂ１５６８により加算された分を減算器１６８１にて減算したデータをプリチャージ判定信号発生部１６２１に入力した。

【０５１１】

これによりプリチャージ判定信号発生部１６２１へはガンマ補正後映像信号上位Ｎビットデータ１５６１と同一信号が入力されることとなり、第１の方法と同様に、プリチャージの有無の差によるフリッカを防止することができた。

【０５１２】

データ変換部１５３７の回路内部における信号遅れが大きく、プリチャージフラグ３８０と変換後映像信号１５３２の同期をとるために図１６２においてプリチャージ判定信号発生部などにタイミング調整用保持回路が必要な場合において、減算器１６８１に比べて保持回路の回路規模が大きくなる場合には第２の方法が有効である。

【０５１３】

第３の方法の回路ブロックを図１６１に、図１６１に使用するプリチャージ判定信号発生部１５３８のブロックを図１５４に示す。

【０５１４】

本発明の方法では、データ変換部１５３７からキャリー信号１５３３を出力し、変換後映像信号１５３２とキャリー信号１５３３の両方を用いてプリチャージフラグ３８０の出力を判定している点が第１、２の方法と異なる。

【０５１５】

図１５９で、階調３がきちんとかけていない画素１５９１と、きちんとかける画素１５９２があるのは、１行前のデータが階調０の場合と１の場合があるためで、これは、階調０．２５表示をするにあたり、キャリー信号１５３３がないときには階調０となりキャリー信号１５３３があるときには階調１となる。図１６０（ａ）に各画素の表示階調と、カッコ内にキャリー信号１５３３の値を示した表示パターンの例を示す。

【０５１６】

ここで、階調３表示であってもプリチャージを行わなかった画素は、必ず１行前の画素に対応するキャリー信号１５３３が１のときであることがわかる。３階調差以上のときに電流プリチャージを行うという設定においてそこで、キャリー信号１５３３が１になったことによって、１行前との階調差が２になった場合にはプリチャージを行うと判定すれば、すべての階調３表示の画素に電流プリチャージが行われるため、所定階調が書き込めないことによるフリッカを防ぐことが可能となる。

【０５１７】

一般的にはＮ階調差以上のときにプリチャージを行うという設定の場合には図１６６に示すようにＮ－１階調差のとき、キャリー信号１５３３も参照し、１行前のキャリー信号１５３３が１で、当該行のキャリー信号が０のときにはＮ階調以上の指定に関わらず電流プリチャージを行うとする。他の３つのケースでは、キャリー信号がなかったとしても、１行前との階調差がＮ階調差未満であるため、プリチャージを行わないでよい。

【０５１８】

さらにＮ階調差の場合でも図１６７に示すようにキャリー信号１５３３の値により、プリチャージを行うかどうかの判定が異なる。例えば階調０表示の次の行が階調２．２５表示の場合には、４分の３の列では２階調差となり４分の１の列ではキャリー信号１５３３により３階調差となる。このときに３階調差となった画素のみに電流プリチャージを行うと階調２と階調３の輝度差が大きくなることによりフリッカが発生する。そこで、図１６７に示すように、現在の画素でキャリー信号１５３３が１で１行前がキャリー信号０のときには、Ｎ階調差であってもプリチャージしないようにする。これによりプリチャージのあるなしによるフリッカを防止できる。

【０５１９】

Ｎ＋１階調差以上ある場合には、キャリー信号の有無によらずＮ階調差以上階調差があるため、キャリー信号によらずこれまでと同様のプリチャージ判定を行うようにする。

【０５２０】

このような判定を行うために、図１６１に示すようにプリチャージ判定信号発生部１５３８に対し、変換後映像信号１５３２の他にキャリー信号１５３３を入力し、映像信号とキャリー信号を元にプリチャージを行うかどうかの判定を行う。

【０５２１】

この場合、キャリー信号１５３３も１行前のデータと比較する必要があることから、比較判定器１５４１には、映像信号に加えてキャリー信号１ビット分のラインメモリが新たに必要となる点がこれまでの発明の実施の形態と異なる。

【０５２２】

キャリー信号１５３３用のラインメモリを設けることで図１６６や図１６７の判定が可能となり、本発明を実施することが可能である。

【０５２３】

以上のような発明を用いることで図１６０（ａ）のような階調表示パターンにおいても、プリチャージありなしの判定は図１６０（ｂ）のようになり、本発明の課題である同一階調表示でも列によってプリチャージのありなしが異なることによるフリッカを防止することができた。

【０５２４】
なお本発明では表示素子として、有機発光素子で説明を行ったが、発光ダイオード、ＳＥＤ（表面電界ディスプレイ）、ＦＥＤなど電流と輝度が比例関係となる表示素子ならどのような素子を用いても実施可能である。
【０５２５】
また、図２１から図２３に示すように、本発明を用いた表示素子を用いた表示装置をテレビや、ビデオカメラ、携帯電話に適用することによって、より階調表示性能が高い製品を実現することができる。
【０５２６】
有機発光素子を用いたカラーの表示装置においては、３原色の赤、緑、青の有機発光素子の電流に対する発光効率が、各発光色の材料や素子構成により異なる。現状では緑は青に比べて２～５倍程度効率がよく、そのため１階調あたりに必要な電流値が２～５倍程度異なる。
【０５２７】
一方でソース信号線に寄生する容量や、水平走査期間はすべての色で共通である。そのため、所定の電流値にまで変化するのに必要な時間は、表示色ごとに同一階調表示であっても２～５倍程度異なる。
【０５２８】
そのため、同一の電流プリチャージ期間を用いる場合、発光効率の低い表示色を用いた画素では電流量が多いため電圧プリチャージ後のソース信号線の電圧、電流変化が大きく所定輝度よりも高い輝度を表示し、発光効率の高い表示色を用いた画素では電流量が少ないため電圧プリチャージ後のソース信号線電圧、電流変化が少なくなり、暗い表示となる。つまり書き込み不足の現象が発生する。
【０５２９】
そこで本発明では６段階の電流プリチャージパルスの長さを表示色ごとに変化させられる構成にすることで、書き込み不足が発生する発光効率の高い表示色に対応した出力端子では、プリチャージパルスの長さを長くし、最大電流を流す期間を長くすることで書き込み不足を解消するようにすることを考えた。
【０５３０】
図１７２は本発明を実現するための第１の方法である。電流プリチャージのパルス幅設定を赤緑青の３色において独立に制御できるようにし、出力される電流プリチャージパルス群１６９１も各色個別に６つ出力できるようにした。これにより図１２３に示すプリチャージ電流出力期間は色ごとに独立制御できる。
【０５３１】
現在の有機発光素子の発光効率から考えると青表示画素の電流に対し、赤表示画素の電流は約８０％、緑表示画素の電流は約５０％程度となる。
【０５３２】
±２０％の電流差であれば、同一電流プリチャージの条件であっても、通常電流を流す期間において所定電流値に変化するため、色ごとに個別に電流プリチャージパルスのパルス幅を設定しなくてもよいが、この例のように５０％の電流差があると、青に対して最適な電流プリチャージパルスを印加すると、緑は十分に所定階調まで電流値が変化せず、輝度が暗くなる。そのため、白のボックスパターンを表示した場合には、一番初めに走査される白の行では、緑のみが輝度が低くなるため、白表示がマゼンダに変化してしまう。そのため、ボックスパターンのエッジが色づいて見え表示品位が低下する。
【０５３３】
そこで緑色に対応する電流プリチャージのパルス幅を各パルスとも２倍に設定したところ緑色に関しても所定階調の表示が実現できた。
【０５３４】
なお電圧プリチャージパルス４５１は色によらず共通である。これは駆動トランジスタ６２のゲート電圧とドレイン電流の関係から黒表示に対応する電圧を印加するため、表示

色によらず同一であること、所定電圧までの変化時間はソース信号線の容量とプリチャージ電圧発生部に用いられるオペアンプの駆動能力によって決まるため、表示色ごとに設定する必要はない。図１７２のように電流プリチャージパルス群１１７４のみ色ごとに個別に調整できるようにしている。

【０５３５】

電流プリチャージを行わなくても書き込みができる階調も、表示色によって異なる。１行前の表示が階調０である場合に青色の場合には３６階調以上は電流プリチャージをしなくても書き込み可能であるが、赤色の場合には４８階調までは電流プリチャージが必要で、４９階調以上で電流プリチャージがなくても書き込みが可能となり、緑色の場合には７５階調表示までは電流プリチャージが必要であり７６階調以上で電流プリチャージがなくても書き込みが可能となる。そのため、電流プリチャージパルスのもっとも長いパルス（図１２３で１１７４ｆに対応するパルス）の階調設定の最大階調を色ごとに必要な階調分に設定するようにする。図５７の電流プリチャージ期間選択手段５７８に入力されるコマンドＤからコマンドＩを色ごとに独立に設定できるようにすることで実現が可能である。本発明の電流プリチャージ挿入方法においては、１行前のデータの格納が４ビットで行われているため、１行前のデータが階調１５以上であるときには、その階調を判別することができないため、コマンドＡ設定値によるが例えばコマンドＡの値が１の場合、１行前のデータが階調１４以上である場合は、表示階調が１３階調以上では電流プリチャージを行えないが、緑色で７０階調がかけないのは１行前のデータが０のときであって、１行前のデータが１４階調以上あれば、緑色であっても１４階調以上のデータを書き込むことが可能であるため表示上の問題はない。

【０５３６】

図１６９は本発明の第２の方法である。図１７０は図１６９のパルス合成部１６９４の内部回路の例を示した図、図１７１は図１６９のパルス発生部１１２２を用いた際に出力される電流プリチャージパルスの波形の一例を示したものである。

【０５３７】

図１７２の構成の場合、パルス生成手段６９４の回路規模は各色共通の場合に比べて３倍の回路規模となる。

【０５３８】

そこで、本発明では６種類の電流プリチャージパルスの発生部は同一とし、電流量が少なく変化しにくい色の画素に対応した出力では、電流プリチャージパルスの前もしくは後に表示色によって一定期間パルスを出力する期間を設けるようにする。図１７１では電流プリチャージパルスの前に電流差補正用パルス１６９５として色ごとに異なるパルス幅（共通であっても構わないし、１６９５ｃに示すように、十分に電流変化できる場合にパルスがなくてもよい）を挿入する期間１７１２を設けている。

【０５３９】

これにより水平走査期間は初めに電圧プリチャージ期間１７１１、次に電流差補正用パルスが入力するための期間１７１２、赤緑青共通で６段階のパルスを入れる期間、最後に所定電流書き込む期間（階調電流書き込み期間）を設けている。

【０５４０】

回路構成を簡単化するには１７１１と１７１２の合計の長さを同じにすることで、電流プリチャージパルス１６９１の開始位置が固定できるため、回路構成が簡単化できる。電圧プリチャージパルスと、電流差補正用パルスの長さの合計が短い場合には、電圧プリチャージパルスと電流差補正用パルスの間に通常の階調電流書き込み期間を設けてタイミングを調整する。

【０５４１】

これにより、１７１３の期間に出力されるパルスは、これまでどおりにカウンタと１０９６、９３３の設定値に応じてパルス生成手段Ｂ１６９３で実現できる。従来に比べてパルスの立ち上がりタイミングが異なるだけであるため、この部分での回路規模の増加はない。

【０５４２】
一方電流差補正用パルス１６９５は、カウンタ６９３と補正値設定信号１６９７により出力される。パルスは３種類であるためパルス生成手段Ｂ１６９３に比べて半分の回路規模で構成できる。
【０５４３】
実際に行う電流プリチャージ期間は電流差補正用パルス１６９５とプリチャージ用パルス１６９６（１から６のうちの１つを選択）の合計であることから、表示ごとに電流差補正用パルス１６９５とプリチャージ用パルス１６９６の論理和をとるためのパルス合成部１６９４をもうけ、表示色ごとに異なる長さの電流プリチャージパルス１６９１を実現した。図１７１では例として、電流プリチャージパルス１の波形を示す。もっとも電流が変化しにくい緑色に対して電流プリチャージ期間が長くなるように設定できている。なお図１７０では論理和の回路で構成しているが、回路規模を小さくするために、プリチャージ用パルス１６９６と電流差補正用パルス１６９５の出力をあらかじめ反転出力とし、ＮＡＮＤ回路で構成してもよい。
【０５４４】
これにより、パルス合成部１６９４とパルス生成手段Ａ１６９２の回路規模の合計がパルス生成手段Ｂ１６９３の回路規模の３倍より小さければ、本発明により発光色ごとに異なる電流プリチャージ期間を設定できる回路を従来に比べて小さな回路構成で実現することができた。
【０５４５】
なお、極力電流プリチャージ期間の後の階調電流書き込み期間を長くしたい場合には、１７１３の開始期間を固定値にするのではなく、電圧プリチャージ印加期間１７１１の長さに応じて電流プリチャージの開始位置を変更できるようにする。電圧プリチャージが印加された後すぐに１７１２の期間となる。１７１２の期間は表示色ごとに異なる。しかしながら電流プリチャージ期間１７１３は表示色によらず一定である。色ごとに１７１３の開始位置を変更するには、色ごとに電流プリチャージパルスの発生タイミングを変更する必要があり、その場合には結局色ごとにプリチャージ用パルスを発生する必要がある。あくまでプリチャージ用パルスは色によらず共通に生成されることで回路規模を小さくなるメリットが生まれるため、１７１２の期間は一定値である必要がある。その場合には、コマンドで設定できる最大幅を１７１２の期間とするか、現在入力されているコマンドを検出し、最大のパルス幅を出力する電流差補正用パルス１６９５の長さに１７１２の長さを一致させるという方法を用いてもよい。
【０５４６】
表示パネルが大型化もしくは垂直方向の画素数の増加により画素選択期間が短くなった場合には、電流値が大きい中間調より大きな階調でも、１行前からの映像信号の変化が大きい場合には、十分に所定階調まで電流値を変化させることが難しくなる。
【０５４７】
電流プリチャージパルス群１１７４のパルス幅を最大にしたとしても、最大階調の場合には、プリチャージ期間の電流と階調に対応した電流が同一値であり、プリチャージの効果が現れない。
【０５４８】
そこで、本発明では電流プリチャージ期間に流れる電流を最大階調よりも大きく流せる機能を設けるようにすることで、最大階調表示時でもプリチャージにより所定電流値までの電流変化をすばやく実施できるような構成とすることとした。
【０５４９】
この構成を実施するための電流出力段の回路構成を図１７３に、プリチャージ判定線９８４の値が１４のときで階調２５５を表示したときの出力電流の制御の方法を図１７５（ａ）、ソース信号線の電流値変化の様子を図１７５（ｂ）に示す。
【０５５０】
最大電流よりも大きな電流を流せるように、階調表示用の電流源２４１のほかに電流源

１７３１を設け、新たに追加されたプリチャージ判定線１ビット（９８４ｂ）の値により、電流プリチャージ制御線１１８１のハイレベルの期間に電流源１７３１が出力されるようにしている。

【０５５１】

電流プリチャージの期間をプリチャージ判定線の３ビットを用いて選択し、プリチャージの電流値の選択を１ビットを用いて選択するようにする。この場合、下位３ビットで期間を、上位１ビットで電流量を決めているが、どのビットで行ってもよい。

【０５５２】

ビットにより機能を切り分けることでプリチャージ判定線９８４をデコードするための回路が削減できる。プリチャージ期間を６段階に選択できた回路構成に比べて、今回は電流値の大小により１２段階に増加させたが、増加した回路は、電流源１７３１と電流源１７３１をオンオフするスイッチとそのスイッチの制御回路（２入力論理積回路）の追加のみで実現できるため、電流源１７３１を除いたロジック回路の増加を極力抑えながら、高階調表示でも効果のある電流プリチャージを実現できる。

【０５５３】

プリチャージ判定線の値とプリチャージの動作の関係を図１７４に示す。下位３ビットで電流プリチャージの期間を選択し、上位１ビットで電流値を選択する。

【０５５４】

これにより、低階調では電流値の少ない白階調電流を用いて６段階で電流プリチャージを行い、中間調～高階調では、電流値を増加し、電流源１７３１の電流も加算して６段階の期間を調節し電流プリチャージを行うことで、中間調～高階調でも、電流の変化速度が速くなりすべての階調領域において、所定階調を書き込むことが可能となった。

【０５５５】

パネルサイズや垂直方向の画素数によって、電流源１７３１の電流値の大小を決めることで、１水平走査期間の長さが長い場合には、ソースドライバのチップサイズを小さくする観点から、電流源１７３１は電流源２４１の電流値の総和に対し２０～５０％程度とし、水平走査期間が短い場合には書き込み不足が顕著となることから、プリチャージを行う際の電流値も大きくする必要があり、電流源２４１の５０％～１００％の電流源とすることが好ましい。

【０５５６】

なお、この例では、１ビットで電流源の大小を、３ビットでプリチャージ期間の長短を選択することを説明したが、任意のビット数でも同様に実現できる。

【０５５７】

例えば電流源の大小を選択するビット数を３ビットにする場合には電流源１１７４を３つ用意（ビットの重みに対応して異なる電流値を出力する）し、それぞれの電流源１１７４を出力するかどうかの制御線と電流プリチャージ制御線１１８１の論理積をとるようにすればよい。これを図１７７に示す。

【０５５８】

一方プリチャージ期間の種類を多くするには、パルス選択部１１７５の内部構成と、電流プリチャージパルス群１１７４のパルス数を多くする必要がある。パルス選択部１１７５に関しては図１１９の真理値表のとる通り数を多くするような回路構成とすればよい。例えば４ビットの場合には最大で１４通りの電流プリチャージパルスを入れる方法が取れる。

【０５５９】

図１７６はプリチャージ電圧を温度によって変化させるように温度補償素子１３１１をソースドライバ外部に設けた回路である。電子ボリューム１３４１で与えられた抵抗値と、温度補償素子１３１１の抵抗値の和により、プリチャージ電圧発生部１３１３から出力される電圧が決定される。

【０５６０】

そのため、パネルごとのプリチャージ電圧のばらつきは、電子ボリューム１３４１によ

り調整を行い、同一パネルでも温度によって電圧値がずれることに対して、温度補償素子１３１１の抵抗値が変化することにより電圧値が変化することで対応する。

【０５６１】

これによりソースドライバ３６に外付け調整ボリュームが不要となり、コスト削減をはかることが実現できる。

【０５６２】

なお２個以上のソースドライバを用いて表示させる場合には、ある１つの電子ボリューム１３４１のみ電圧が出力できるようにして、ほかのチップの電子ボリューム１３４１の出力はオペアンプと切り離す。温度補償素子１３１１の電源６４と異なる端子をすべてのソースドライバ３６の外部入力１７６１に接続するようにすることで、ソースドライバの数によらずプリチャージ電圧を同一電圧で出力できるようになる。

【０５６３】

さて、電流出力型のソースドライバを用いて表示を行う有機発光素子を用いた表示装置において、垂直ブランキング期間が存在する場合には、垂直ブランキング期間ではどの画素も選択されないため、ソースドライバの出力はフローティング状態となる。

【０５６４】

ソースドライバの出力段は例えば図１０に示すように構成されている。ここで階調データ５４が０以外のデータである場合には、少なくとも１つの階調表示用電流源１０３がソース信号線から電流を引き込むように動作する。

【０５６５】

ここで、ソースドライバの出力が不ローディングになると、階調表示用電流源１０３は電流を引き込もうとするため、ドレイン電位を下げるように動作する。その結果図１８１（ａ）に示すように、階調５表示を全画面で表示するパターンであっても、ソース信号線の電位は、階調５表示時の電圧から垂直ブランキング期間中に１８１１で示すように低下していく。４水平走査期間での例で示しているが、ブランキング期間終了後には１８１２まで電位が低下している。

【０５６６】

この状態で、階調５の電流を書き込もうとすると、電圧変化に必要な量が大きくなる上に、電流値が小さいことから、変化に要する時間が長くかかる。それゆえ図１８１（ａ）に示すように、階調５表示電圧まで変化せず、１８１３の電位で１行目の水平走査期間が終了する。図６や図４４に示すようなアクティブマトリクス型のパネルにおいては、水平走査期間の終わり（画素選択期間が終了した時点）での状態が、画素内部に記憶され、表示される。このため１行目は所定階調（５階調）に比べて高い輝度で表示されるようになる。

【０５６７】

２行目は１行目の状態の続きから変化するため、変化量が１行目に比べ少なく、所定の電位まで変化でき、きちんと階調表示される。

【０５６８】

このように１行目では他の行に比べて、ソース信号線の変化量が大きくなり、ラスター表示をした際に、特に低階調で１行目が明るいという問題が発生する。

【０５６９】

なお、１階調あたりの電流が少ない場合や、パネルが大型化して水平走査期間が短くなったり、ソース信号線の容量が大きくなった場合には、ソース信号線の電位変化がしにくくなるため、２行目以降でも、所定の輝度が表示できない場合もある。これも課題としては同様で、１行目が表示できるようになれば、必然的に２行目以降もきちんと表示できるようになる。

【０５７０】

そこで本発明では、垂直ブランキング期間中にソースドライバが持つ電圧プリチャージ機能を利用して、黒表示に対応する電圧を印加することでソース信号線電位の急激な低下を防ぐような方法を考案した。

【０５７１】
第１の方法としては、垂直ブランキング期間ではコントローラにて階調０をソースドライバに転送するようにする。その際プリチャージ判定信号発生部１６２１に入力される映像信号にも階調０が挿入されるようになっていれば、プリチャージ判定信号発生部１６２１でプリチャージフラグが生成される。この際に、電圧プリチャージの設定として、図６１に示すうちの「必ず電圧プリチャージする」が設定されていれば、垂直ブランキング期間の１水平走査期間に１回黒表示に対応する電圧が印加されるようになり、図１８１（ｂ）に示すような垂直ブランキング期間内でのソース信号電圧の変化となる。これにより電圧プリチャージが印加される期間（１８１８）では１８１４に示す階調０表示電圧となり、階調０出力期間１８１９では１８１５のように変化する。階調０であることからソースドライバ内部のスイッチ１０８により階調表示用電流源１０３とソース信号線が切り離されることから、ソース信号線の電位はほとんど変化しないと考える。ただしスイッチ１０８のリークにより電位が変化することも考えられるため図１８１（ｂ）では１８１５のような電位変化が起こるとしている。リーク電流は非常に小さく（１ｎＡ以下）のため変化量は小さい。そのため１行目の書き込み開始時の電位１８１６は大きく低下することはなく、低階調表示であっても電位変化量が小さいことから、十分に所定階調を表示できるようになる。１行目がきちんと表示できるため、２行目以降も必ず表示することが可能となった。

【０５７２】
なおリーク電流が小さく階調０出力時のソース信号線の電位変化が小さい場合には、図６１での設定によらず、１行目の書き込みも十分可能となる。またこの場合、映像信号に階調０を挿入する方法以外にも、ソースドライバ３６の出力イネーブル５１の機能を用いて、ソース信号線の階調表示用電流源１０３とソース信号線を切り離すようにしてもよい。出力イネーブル５１は、ソースドライバ３６の全出力につながっており、図１８６のようにイネーブル機能が動作すると、電流出力部１１７１が出力１０４と切り離されるようになっている。これによりソース信号線はソースドライバと切り離され、電位低下を防ぐことが可能となる。

【０５７３】
さらに、図１７８に示すように、入力映像信号のブランキング期間を検出するデータイネーブル信号１７８１を、黒データ挿入部１７８２及びプリチャージ判定信号発生部１６２１に入力し、図１７９及び図１８０のような判定を行えば、階調０表示時の電圧プリチャージの設定によらず、垂直ブランキング期間で電圧プリチャージ期間１８１８を水平走査期間ごとに挿入することができ、図１８１（ｂ）のようなソース信号線の電位変化を実現することができる。図１８０では垂直ブランキング期間でプリチャージ判定信号発生部の出力を７としているが、これはソースドライバ側が図１１９のようにプリチャージの判定をしているため７としているが、設定値が異なる場合にはソースドライバ側で電流プリチャージ制御線が常に“Ｌ”レベル、電圧プリチャージ制御線が４５１と同一となる値にすることになる。

【０５７４】
垂直ブランキング期間が終了した後の１行目に電流を書き込む前にソース信号線電位が低下していなければ、１行目は所定の階調が書き込めると考えられる。従って、電圧プリチャージを行い階調０出力するのは、１行目を書き込む直前の水平走査期間で少なくとも実施されていればよい。

【０５７５】
１行目を書き込む前の水平走査期間で電圧プリチャージする場合のソース信号線電位の変化の様子を図１８２に示す。１行前を書き込む２水平走査期間前までは、階調出力は任意で、プリチャージはあってもなくてもよく、電位が最低電位まで低下したとしても、電圧プリチャージ期間１８２６で電位が１８２１レベルまで変化し、その後階調０出力期間１８２５により電位変化を最低限にとどめ（１８２２）これにより１行目を書き込む前のソース信号線電位を１８２３とすることが可能で、低階調での変化量が少なく書き込みが

可能である。

【０５７６】

従って、電圧プリチャージの実行と、階調０出力にしなければならないのは、垂直ブランキング期間が終了する最後の１水平期間で行っていればよい。それ以前の期間では、必ずしも実施する必要はない。データ処理のしやすい方法を選択すればよい。データイネーブル信号１７８１を利用する場合には、垂直ブランキング期間の最後を判断することは難しいため、垂直ブランキング期間すべてで同一動作をさせるほうが、実施しやすい。

【０５７７】

本発明のソースドライバを用いると、図６２に示すように１行目のデータでは１行目検出手段により、１行目で独自にプリチャージを実施することが可能である。図５５においてコマンドＣにより電流プリチャージを実施するを選択し、コマンドＢにより電圧プリチャージを実施するを選択すると、階調０では必ず電圧プリチャージが実施され、黒レベル電圧が十分に書き込まれる。

【０５７８】

一方階調０以外では、電流プリチャージ期間選択手段５７８において、図５７に示すコマンドＤからコマンドＩにおいて、階調に応じて電流プリチャージの期間の調整や、十分書き込みが可能の場合には電流プリチャージなしといった選択を行う。これにより低階調であっても、図１８３に示すようにまず電圧プリチャージ期間で瞬時に強制的に階調０表示電圧に変化し、その後電流プリチャージ期間で急速に所定の電圧値までソース信号線電圧を変化させ、最後に画素トランジスタの特性に合わせて所定の電圧値に通常の電流値で書き込みを行う。

【０５７９】

書き込みが十分可能な階調ではもともと高階調部が多いためソース信号線電位が低い。そのためブランキング期間に電圧が低下しても変化量が少ない上に、変化させるための電流が高階調であれば多いため十分所定階調に変化できる。一方で低階調の場合には電流プリチャージの操作によりまず黒レベルに電圧を強制的に変化させるため、垂直ブランキング期間の電位がどうであっても、問題なく電圧プリチャージで変化させられる。その後の動作は１行目以外となんら変わらないため十分に書き込みができる。

【０５８０】

そこで図１８４のように、１行目に電流プリチャージを実施するようにすることで、垂直ブランキング期間の制御はとくにしなくても、１行目の輝度は所定輝度で光らせることが可能となる。

【０５８１】

以上のような動作により、１行目の輝度は所定輝度で発光させることが可能となり、表示品位の高い表示装置を実現した。

【０５８２】

更に、垂直ブランキング期間中は常に電圧プリチャージによる電圧出力をソースドライバから行うようにすれば、白方向にソース信号線電位が変化することはなくなる。

【０５８３】

そのためには、図１８７（ａ）に示すように垂直ブランキング期間中と通常表示期間で電圧プリチャージパルスを変化させる必要がある。通常表示では電圧プリチャージパルスは１～３μ秒あればよい。一方で垂直ブランキング期間中では常に電圧プリチャージパルスがハイレベルにある必要がある。（ハイレベルのとき電圧プリチャージ実行の場合）なお電圧プリチャージがなくても各階調の表示が正しくできる場合には表示期間に電圧プリチャージを印加しなくてもよいため、プリチャージフラグを０にするか、図１８７（ｂ）のように常にローレベルにするようにしてもよい。本発明によれば、垂直ブランキング期間の電圧プリチャージパルスと、表示期間の電圧プリチャージパルスが異なる状態になっていることが特徴である。

【０５８４】

更に垂直ブランキング期間でソース信号線に階調０表示時の電圧を印加するためにプリ

チャージフラグを規定する必要がある。従って図１８８に示すように、本発明のソースドライバを用いる場合には、プリチャージフラグを７にするように制御し、プリチャージパルスと合わせて常にプリチャージ電圧が出力されるようにしている。

【０５８５】

さてこのように垂直ブランキング期間か表示期間かを判別してプリチャージパルスの幅を変えるためには、水平走査期間ごとにプリチャージパルスの長さを設定できるようにする必要がある。

【０５８６】

本発明では図２８、図２９、図３０のようにデータとコマンドが入力されるソースドライバを用いており、１水平走査期間に１回コマンドを変更することができるようになっている。さらにコマンドはコマンド転送期間３０２の後のタイミングパルス８４９が入力されたときにソースドライバ内部のレジスタに転送され、値が保持される。タイミングパルスは１水平走査期間に１回入力されることから、この機能を利用して、垂直ブランキング期間と表示期間でパルス幅を変えるように、図２９のコマンド入力期間のコマンド入力時に電圧プリチャージパルス幅設定のコマンドを入力させるようにすればよい。

【０５８７】

図１９０にコマンドレジスタ１９０２を含むソースドライバの回路ブロック図を示す。映像信号線８５６のデータは、コマンドデータ識別信号によりコマンド／データ分離部９３１により表示用のデータと各種設定用データ、ゲートドライバの制御信号に分けられる。表示用データ及びゲートドライバ制御信号はシリアル転送されたデータをパラレル転送に変化させて順次ドライバ内部に転送される。一方で各種コマンド（基準電流を調整するための電子ボリューム設定、プリチャージ電圧を調整するための電子ボリューム設定、電流プリチャージパルス１から６、及び電圧プリチャージパルスのパルス幅設定、プリチャージパルス発生用クロック設定、なお、赤緑青の発光効率が異なり設定電流が大きく変わる場合には、ソースドライバとして、基準電流調整、電流プリチャージパルス１から６のパルス幅は赤緑青それぞれ独立に制御できることが好ましい）は、特にプリチャージのパルス幅設定が、図６９のようにカウンタ６９３を用い、設定値とカウンタ値が一致するまでパルスを出力するような構成となっており、カウンタ動作中に設定が変更になるとロジックが不安定となるため、かならずカウンタ動作が終了した後に設定が変更となるように、タイミングパルス８４８入力後に変更になるようにしている。

【０５８８】

更に本発明のソースドライバではゲートドライバ制御用の信号を２系統出力できる機能を備えている。これは、図６のカレントコピア型の画素構成や、図４４のカレントミラー型の画素構成において、ゲート信号線が１画素に２本必要であり、それぞれを順に走査するためにゲートドライバが１つの表示装置につき２ついるため、１つのソースドライバで２個のゲートドライバに制御信号線を送る必要があるためである。

【０５８９】

ゲートドライバ出力イネーブル信号１９０１はソースドライバからゲートドライバ制御信号の出力が必要ない場合に不要な出力をカットし外部に信号を出さないようにするためのものである。

【０５９０】

ソースドライバ２個使いの場合には、それぞれのチップでゲートドライバから遠い側の制御線を１つづつイネーブル機能を有効にして、余分な信号を出力しないようにすることで、低電力化とアレーへのノイズ発生を抑える利点がある。

【０５９１】

図１９３は電流プリチャージパルス１１７４ｄを用いて階調５及び諧調８を表示するときのソース信号線の電流値の変化の様子を示した図である。図１１９からプリチャージ判定線９８４は「４」であり、まず電圧プリチャージを行ってから電流プリチャージパルス１１７４ｄの期間電流プリチャージを行っている。電流プリチャージパルス１１７４ｄの期間が終了したときの電流値は１９３２となる。ここまでは階調によらず同じ出力をソー

スドライバから行っているため変化は同一となる。その後階調に応じた電流を出力するため、１９３２の状態からそれぞれの階調電流となるように徐々に変化する。

【０５９２】

図１１９の場合には電流プリチャージの期間は６段階の設定のみであるため、最終の電流値が異なるいくつかの階調にたいし共通の電流プリチャージ期間で対応する必要がある。

【０５９３】

例えば図１９９の関係となるように設定する。なお、図６２や図１５４により１行前のデータによっては、図１９９の関係によらずプリチャージを行わない場合もあるが、この場合はプリチャージを行うことを前提とし、電流リチャージ期間選択手段５７８での映像信号入力とプリチャージの関係を示したものとして説明を行う。

【０５９４】

階調５から階調８までは同一の１１７４ｄの電流プリチャージパルスを用いてプリチャージを行っていることから、電流プリチャージパルスのパルス長の設定としては階調５から階調８の中間（階調６．５付近）にまで電流が変化するまでの期間をプリチャージ期間として設定することが、この４つの階調のすべての書き込みがしやすいと想定されるため、図１９３の１９３２の点までプリチャージを行うように設定している。

【０５９５】

１階調あたりの電流値が大きい場合には、プリチャージ期間終了時から画素選択期間終了までの間の所定電流出力中に、所定の電流値になるようにソース信号線電流は変化可能であるが、有機ＥＬ素子の効率が上昇したり、パネルが大型化することによりソース信号線の浮遊容量が大きくなったときには、所定階調まで変化する前に画素選択期間が終了するおそれがある。

【０５９６】

この場合は階調５では、所定値より明るくなり、階調８では所定値より暗く表示されることになる。低階調での階調と所定電流からのずれの関係を図１９６に示す。同一プリチャージパルスを用いた低階調側では所定値よりも大きな電流が流れ、高階調側では所定値よりも小さな電流が流れる傾向にある。これは図１９３で１９３２の点から所定値まで変化しなかった場合を考えると図１９６のような誤差となることがわかる。

【０５９７】

また、階調が高くなるほど誤差は小さくなる傾向にある。これは、階調表示用の電流が階調が高くなるにつれ大きくなるため、ソース信号線電流が変化しやすくなり、所定電流に変化しやすくなったため、誤差が小さくなる。従って１６階調以上では許容範囲内に入り問題ない。

【０５９８】

また階調１及び階調２ではそれぞれの階調に応じた電流プリチャージを行うため、許容範囲に設定することが可能である。階調３から階調１５の範囲においてプリチャージパルスが異なる境界の階調において許容範囲からずれやすくなる。

【０５９９】

そこで本発明ではプリチャージ電流の値を階調に応じて変化させるようにすることで、同一期間の電流プリチャージであっても、ソース信号線電流の変化量が異なり、より最適なプリチャージを実施できるようにする。

【０６００】

このための電流出力部１１７１の回路構成として図１９１を示す。

【０６０１】

図１９１では、電流プリチャージ制御線１１８１は最上位ビットに対応する電流源２４１ｈのみに接続されていることが特徴である。

【０６０２】

このようにすることで、電流プリチャージパルスが入力された期間では、最上位ビットに対応する電流出力と、最上位ビットを除いた映像信号階調に応じた電流の和が、電流プ

リチャージ期間に出力されるようになる。

【０６０３】

そのため図１９２に示すように、電流プリチャージパルス１１７４ｄによるプリチャージ電流出力期間１９４３でソースドライバから出力される電流値が階調５と階調８で異なる。階調５の場合階調１３３相当の電流、階調８の場合階調１３６相当の電流。

【０６０４】

プリチャージ期間での電流値が異なることから、図１９４に示すように１９４３の期間が終了した後のソース信号線電流値は階調８の場合１９４１、階調５の場合１９４２になり、階調が低いほど変化量が小さくなっている。

【０６０５】

階調によって期間１９４３終了時の電流が変わることにより、続く階調に応じた電流出力期間における電流変化量が少なくて済み、１階調あたりの電流量が少なくても所定電流まで変化できるようになる。

【０６０６】

これにより、図１９７に示すように、階調３から階調１５の範囲においても所定電流からのずれが許容範囲内に収めることが可能となった。

【０６０７】

なお、電流プリチャージ制御線１１８１は最上位ビットに対応する電流源のみであっても、図１９５のように、許容値を外れる階調１５までの範囲で、プリチャージ電流を可変させて補正できるように下位４ビットにはつなげず、上位４ビットのみで電流プリチャージを行うというようにしてもかまわない。

【０６０８】

電流プリチャージを行ったときに階調に対する所定電流からのずれに応じて、電流プリチャージ時に強制的に電流出力を行うビット数を変えることが好ましい。一般的にはＮビット（Ｎは自然数）の電流出力に対し、上位Ｍビット（Ｎ＞Ｍ：Ｍは自然数）に電流プリチャージ制御線１１８１を接続することで同様な効果を得られる。電流プリチャージ制御線１１８１がつながらないビットの数は０以上５以下で効果がある。これは少なくとも３２階調以上では従来の電流プリチャージの方法によっても十分所定電流からの誤差が許容範囲内に収まることから３２階調より大きな階調では電流プリチャージ時に電流差を与えなくてもよいため、階調によって差がでる部分を５ビット以下とすることとした。

【０６０９】

なおこの場合に電流プリチャージ制御線１１８１につながる電流源が少なくなることによるソース信号線電流の変化速度が遅くなることについては図１９８に示すように、映像信号によらず電流出力ができる電流源１９８１を新たに設け、電流プリチャージ制御線１１８１によって出力するかどうか決めるようにすることで、電流プリチャージ時のプリチャージ電流の低下を補うことが可能となる。

【０６１０】

図２００は本発明における電流出力部１１７１及びプリチャージ制御回路のうちの１出力を示した図である。

【０６１１】

図２００によれば、電流プリチャージパルス群１１７４のうちの１つが選択され、電流プリチャージ制御線１１８１にパルスが入力された期間には、電流出力部１１７１からの所定階調に対応した電流に加えて、電流源２００１によりある一定の電流が出力に加算される。

【０６１２】

これまでの方法に比べると、電流源２００１を追加しなければならない分回路規模は増大するが、階調に応じて電流プリチャージを行う期間で電流値が変化する利点がある。

【０６１３】

そのため同一電流プリチャージ期間を用いて電流プリチャージを行ったとしても、電流値が異なることから電流変化量も異なってくる。例えば階調３と階調４では１階調分電流

が異なる。従って従来の方式に比べて、階調３では電流変化量が少なくなり、階調４では電流変化量が大きくなることが期待できる。

【０６１４】

これにより従来の図１９６に示すような階調３と階調４では階調３がやや大きな電流が流れ、階調４ではやや小さな電流が流れる傾向が緩和され、より誤差が小さくなるようになる。これは階調５～８で同一の電流プリチャージ期間を用いていることによる誤差が発生していることに関しても同様に誤差の程度が少なくなる。

【０６１５】

このように、より所定階調に近い電流まで瞬時に変化できることから書き込み不足を改善する効果が高く、かつより高い階調性を実現できた。

【０６１６】

その分回路規模が増加するためソースドライバＩＣ３６の値段が高くなる可能性がある。従って、図１９６において所定値からの誤差が許容できる場合や、１階調あたりの電流が多く、誤差が生じにくい場合、パネルの容量が小さく変化しやすい場合には、プリチャージ用の電流源は階調表示用電流源と共用にして、ソースドライバ面積を小さくするほうがよい。一方でパネルが大型になったり、１階調あたりの電流が小さくなった場合には、図２００のような構成にして、誤差を小さくするようにすることが好ましい。

【０６１７】

なお、本発明において、制御ＩＣ２８もしくはコントローラとソースドライバ３６はそれぞれ別のＩＣを用いて実現した例を図示し、説明を行ったが、同一チップで一体化して作成した場合でも同様に本発明が実施可能であり同様の効果が得られる。

【０６１８】

以上の説明においてはモノクロ出力のドライバとして説明を行ったが、マルチカラー出力のドライバにも適用可能である。表示色数倍同一回路を用意すればよい。例えば、赤、緑、青の３色出力の場合、３つの同一回路を同一ＩＣ内にいれ、それぞれを赤用、緑用、青用として使用すればよい。

【０６１９】

マルチカラーディスプレイに対応するためには、３つの同一回路を同一ＩＣ内に形成する方法があるが、この場合には必要な出力端子数が３倍となる。そのため回路規模が大きくなること、ならびに出力のためのパッド数が増加することから、ＩＣチップの大きさを小さくすることができずコストが高くなる問題がある。

【０６２０】

そこで、２ないしは３色分のソース信号線に対する出力を１本の出力から時分割にて出力することで、端子数の削減を行えるようにする。

【０６２１】

電流出力型のドライバＩＣを必要とする有機発光素子を用いた表示装置においては、特に各色の発光層を順に塗り分けていくＲＧＢ並置法を用いてマルチカラーを実現した場合に、表示色ごとの入力電流に対する輝度が異なる（材料により発光効率が異なる）ことから同一階調を表示する場合であっても、必要な電流値が最大３倍程度異なることがある。

【０６２２】

同一階調であっても表示色ごとに電流値を変化できるようにするには電流出力部１１７１において、基準電流を表示色に対応して変化できる構成とする必要がある。図２０１は、１つの電流出力部１１７１に対し基準電流線２０１４及びセレクタ２０１１を介して３つの基準電流生成部８９１が接続された場合の回路構成を示したものである。３つの基準電流生成部８９１は３つの表示色に対応しており、表示データ２０１３の表示色に合わせ、表示色切り替え信号２０１５が変化し、セレクタ２０１１によって表示データ２０１３の表示色に合わせて最適な基準電流を電流出力部１１７１に入力することで、表示色に対応した階調電流を出力することが可能となる。

【０６２３】

この出力を表示色に対応したソース信号線に分配するためにセレクタ２０１２が存在し

、表示色に分配する。このセレクタはドライバＩＣの出力数削減の目的から考えるとソースドライバと画素回路の間のアレー基板上に形成されることが多い。

【０６２４】

基準電流生成部８９１は表示色数分設けている。少なくとも１つ存在し、電子ボリュームなどによって、基準電流を変化させる方法でも実現可能である。この場合、表示色ごとに最適な電流値を実現するとなると２～４倍程度の電流値が変化できるような電子ボリュームが必要となる。さらにドライバとしての汎用性を高めるためにはどの材料でマルチカラーを実現しても、白表示の色度が所望の範囲に入るようにする必要がある。刻み幅を荒くすると微調整ができなくなり、必ずしも色度が所望の値になるとも限らなくなる。２％以内の微調整ができることが好ましい。２％の微調整が可能で４倍電流値を変化させるとなると２５６段階程度の電子ボリュームが必要となり、３つの基準電流生成部で構成される場合の６４段階以下に比べてもドライバＩＣの回路規模に対するメリットは少ない。更に、電子ボリュームの回路規模が大きくなると、電圧切り替え用のトランジスタ８７の容量が大きくなり、短時間で所望の基準電流値まで変化しにくくなる問題が発生する。そのため、基準電流生成部は、画素に形成された表示色の数だけ用意することが好ましい。

【０６２５】

ただし基準電流生成部の抵抗８１を外付けにした場合において、外付け回路を少なくする場合や、大きな抵抗値でドライバＩＣに内蔵する場合においては電子ボリュームとのレイアウト面積の差によっては１つにするほうが好ましい場合もある。抵抗を内蔵する場合には、２００ｋΩよりも大きい場合には抵抗のほうが、電子ボリューム回路に比べて大きくなることから、これよりも大きい抵抗値では、基準電流生成部は１にすることが好ましい。

【０６２６】

複数の画素に対応した電流出力を１つの端子で行うためには、水平走査期間を、３つの期間に分割し、その１つ１つに対応してセレクタ２０１１により表示データ２０１３に対応する色に相当する基準電流を電流出力部１１７１に供給する。ここで表示データはあらかじめ時分割でシリアル転送できるようなタイミングで送信されている。

【０６２７】

例えば基準電流生成部８９１ａが赤色、基準電流生成部８９１ｂが緑色、基準電流８９１ｃが青色の１階調あたりの電流を決めるものであるとすると、表示色切り替え信号２０１５は表示データ２０１３の信号の表示色に合わせてセレクタ２０１１を制御し、表示色に応じた基準電流が基準電流線２０１４を通じて電流出力部１１７１に入力される。

【０６２８】

電流出力部１１７１は基準電流により決められた１階調あたりの電流に対し、表示データの値に応じて電流を出力するようにする。

【０６２９】

例えば図２０２に示すように、基準電流生成部８９１により赤緑青の基準電流値がきまり、それにより２０２１から２０２３の点線で示すような２５５階調表示時の電流が流れるとし、表示データがすべて２５５階調であったすると、ある電流出力部１１７１の出力は２０２４の線で示したように一水平走査期間に３回変化して出力することとなる。この電流をドライバＩＣの出力を介して表示装置の回路形成部に出力した後、再びセレクタ２０１２により個々のソース信号線に分配される。分配時にも、基準電流の切り替えに用いた表示色切り替え信号２０１５を用いれば分配可能である。

【０６３０】

１つの端子を３つの出力兼用で使う構成で説明したが、２つの出力兼用として使うことも可能である。これは、水平走査期間が短く分割された期間で電流が画素に書き込めない場合に水平走査期間の２分の１で書き込める場合には端子数の削減と書き込みを両立させる方法として有効である。

【０６３１】

この場合、基準電流生成部と電流出力部の接続方法が異なる。１つの出力は異なる色の

隣り合う信号を水平走査期間の半分ずつで出力することから、図２０３に示すように、出力１では例えば赤と緑、出力２では青と赤、出力３では緑と青を出力することになる。必要とする数だけ繰り返しで出力端子が形成される。なおこの例は分かりやすく３原色で説明を行ったが、任意の３色の組み合わせであっても良い。またドライバＩＣが表示装置のどちらの端に形成されるかまたは画素の並びによっては、赤と青が入れ替わる場合もあるが、その場合も同様の動作となる。

【０６３２】

出力される色に応じて各電流出力部に基準電流が入力される。そのためセレクタは先の出力色の関係の例においては図２０４に示すように基準電流生成部８９１と基準電流線１～３（２０３２）の関係が決まる。ここで基準電流生成部８９１ａが赤、８９１ｂが緑、８９１ｃが青の基準電流を出力するとしている。

【０６３３】

このように１つの電流出力部を時間ごとに変化させ、２つのソース信号線に対し、共通の出力部を利用することでソースドライバの出力数が半分となり、さらに電流出力部１１７１が半分になる利点がある。とくに微小電流出力が要求される有機発光素子を用いた表示装置向けのソースドライバにおいては、隣接端子間の電流出力ばらつきを抑えるため、電流出力部１１７１に用いる階調表示用電流源となるトランジスタサイズを大きくしなければならず、そのためチップの総面積に閉める電流出力部１１７１の割合は５０％から８０％を占める。この面積が半分になることはチップサイズの大幅削減が可能となり（少なくとも３０％程度）低コストドライバを実現することが可能となる。

【０６３４】

また同一出力数が実現できれば、ドライバＩＣを複数用いて表示を行ってきた表示装置においてもソースドライバの数が削減されることから低コスト化を実現できる。

【０６３５】

ＱＶＧＡの画素数を持つ表示装置などではこれまでドライバＩＣを２つ用いて表示することが一般的であるが、本発明を用いることで１つのドライバＩＣで表示をおこなうことが可能となった。そのため、異なるチップ間の隣接端子の電流出力のずれ（チップ間ばらつきに起因するずれ）が発生しやすい問題を回避でき、ドライバＩＣをカスケードに接続させるための回路及びチップ間隣接端子出力の電流ずれを防止するための回路を付加することなく表示が可能となるため、チップサイズの削減が期待できる。

【０６３６】

セレクタ２０１１及び２０３１ではアナログスイッチなどを用いて基準電流生成部８９１と基準電流線２０１４もしくは２０３２を接続し、切り替え信号にて導通させるアナログスイッチを変更することで切り替えを行うが、その際に数μＡから数百μＡの基準電流をすばやく供給させるために、基準電流生成部８９１から電流出力部１１７１までの配線経路において浮遊容量がなるべく小さくなることが好ましい。

【０６３７】

例えば図２０１における回路構成の例を図２０５に示す。基準電流源８９１は演算増幅器と抵抗で構成された定電流源回路からなり、電流出力部は例えば図１０でのトランジスタを利用した構成の場合を示している。

【０６３８】

基準電流は８９から、セレクタ２０１１内部の２０５１のトランジスタを介して１０２のトランジスタに流れる。１０２のトランジスタと階調表示用電流源１０３とのカレントミラー比に応じて１階調あたりの電流がきまり、階調データの入力に応じて１０３が出力される個数が変化することで階調に応じた電流が流れる。８９から１０２に流れる電流は最大でも数百μＡであるため、途中で２０５１により１０ｋΩ程度のオン抵抗があっても電圧降下は多くても１Ｖ程度であり、基準電流生成部８９１の電源が３Ｖ以上あれば１１７１の電流出力段ならびに基準電流生成部８９１は問題なく動作する。

【０６３９】

そのため２０５１に用いるスイッチはオン抵抗が多少高くても低容量のスイッチで構成

されることが好ましい。

【０６４０】

なおこの図では電流出力段の例として図１０の回路で説明を行っているが、電流プリチャージや電圧プリチャージが動作する図１０３、１１８、１２２、１７３、１７７、１８６、１９１、１９５、１９８、２００や、図２５などに示すような異なるサイズを用いて階調に応じた電流を出力する方法など、基準電流を元に階調表示電流を出力する回路構成であればどのような方法であっても同様に駆動可能である。

【０６４１】

電流駆動による有機発光素子を用いたアクティブマトリクス型表示装置における欠点として、電流値が小さいと、ソース信号線の浮遊容量の電荷を充放電するのに時間がかかることである。

【０６４２】

この問題は同一階調表示で同一電流出力であっても駆動トランジスタ６２の特性ばらつきによっても発生する。

【０６４３】

カレントコピアの画素構成を用いた場合で説明を行う。

【０６４４】

画素への所定電流書込む場合には図２１７（ａ）に示すようなトランジスタ６６及び６２が動作し、ソースドライバからの電流は７１に示す経路によってソース信号線６０を介して流れる。ソース信号線６０の電位は駆動トランジスタ６２の電流－電圧特性に従ったゲート電位７２の電位とほぼ同一となる。（厳密にはトランジスタ６６ｂのオン抵抗による電圧降下分異なる）同一ソース信号線６０上の、次に書込みを行う画素において、駆動トランジスタ６２の電流電圧特性が異なる場合（例えば同一電流を流すのに必要なゲート電位７２が０．５Ｖ低い）１行前のソース信号線電位に対しソース信号線電位を０．５Ｖ変化させなければならない。これに対し、表示に必要な電流が１０ｎＡ、浮遊容量が５ｐＦであるとすると、変化に必要な時間は２５０μ秒かかることになる。変化は１水平走査期間内にしなければならない。フレーム周波数６０ＨｚでＱＶＧＡのパネルでは６５μ秒であり、変化に必要な時間に比べて短い。そのため同一階調表示であっても、所定輝度を表示できない場合が発生する。

【０６４５】

駆動トランジスタ６２のばらつきはパネルによって状況が異なる上に、どのようにばらつくかの想定ができない。そのため変化が大きな画素のみ電流プリチャージを行うといったことができない。

【０６４６】

ソース信号線に流れる電流を４倍にすれば、変化に必要な時間も１／４となり水平走査期間内に書込みが可能となる。例えば図２１４に示すように、入力データに対し、出力の階調を４倍にして出力すれば、４倍の電流にて書込みが可能となる。これは、ドライバ３６の出力段が図１０、２４、２５に示すような構成となっており、図２１２に示すように階調数の増加に伴い電流が比例して増加するようになっているためにできる方法である。

【０６４７】

電流を４倍にすると輝度が４倍になるが、これはＥＬ素子６３に電流が流れる期間を１／４にすることで解決できる。カレントコピアの画素構成の場合図２０８に示すように、電流書込み期間２０８２では図２１７（ａ）に示すように画素に電流を書込み、それ以外の期間を利用して図２１７（ｂ）に示すようにＥＬ素子６３に電流を流し発光させている。この期間を発光期間２０８３とする。電流書込み期間２０８２と発光期間２０８３は連続していないがトランジスタ６６ａ～６６ｃが同時に導通状態となることを防ぐため、動作マージンをとるために全て非導通状態となる期間を設けている。

【０６４８】

ゲート信号線２（６１ｂ）のパルス幅を変化させることによりＥＬ素子６３が発光する時間が変化する。図２０９（ａ）に対し、図２０９（ｂ）とすれば発光期間は４／５とな

り、更に図２０９（ｃ）とすれば１／５となる。なお１フレームに対し発光期間が短くなり、発光期間が１箇所に固まるとフリッカが見えやすくなる。そこで図２０９（ｃ）では２回に分けて発光させるようにしている。電流を４倍にした場合には図２０９での例と同様に発光期間２０８３を１／４にすればよい。フリッカ低減のためには発光期間を何回かに分けて挿入し合計が１／４になるようにする。ゲートドライバは一般的にシフトレジスタにて構成されている。図２０９（ｃ）のように１フレーム２０８１に２回以上信号を変化させるには図２１３に示すようにクロック（２１３１）に対し、１フレーム内でスタートパルス２１３２を複数回変化させれば実施できる。ハイレベル及びローレベルの期間を調整すると、発光期間の長さが変更でき、変化回数の増減により１フレームに発光する回数を変化させることができる。図２１３の例では、１４分の４の期間発光し、発光期間が２回に分けられている例を示している。

【０６４９】

これにより低階調であっても所定電流にまで１水平走査期間内で変化させることが可能となる。しかしながら全ての階調で４倍となるため電流の最大値も４倍となる。これに伴い画素６７の回路でも４倍の電流が流せるような設計をする必要がある。例えば１倍のとき２μＡであれば４倍では８μＡ必要。

【０６５０】

そのためには電源電圧（６４もしくは６９）もしくは駆動トランジスタ６２のチャネルサイズの少なくとも１つを変更する必要がある。

【０６５１】

これは、ソースドライバからの電流が４倍となると、図２１７（ａ）に示す電流７１が４倍となる。節点７２の電位が低下し、図２１７（ａ）の状態におけるトランジスタ６２の電流電圧特性が図２１５であるとすると従来Ｉ１電流であればＶ１の電位となるが、２倍の電流であるとＶ２まで電位が降下する。ソース信号線は図１３に示すようにドライバ内部でスイッチ１０８を介して電流源トランジスタ１０３に接続されている。電流源トランジスタ１０３が低電流源となるには、飽和領域で動作させる必要があり０．５Ｖ程度の電圧が必要となる。Ｖｄｄ（６４）の電源電圧は少なくとも（０．５Ｖ＋トランジスタ６２のゲートソース間電位差）の電位が必要となる。図２１５によると１倍の時には、Ｖ０－Ｖ１＋０．５Ｖ、４倍の時にはＶ０－Ｖ２＋０．５Ｖ必要である。（Ｖ２－Ｖ１）の分だけＶｄｄ（６４）の電源電圧を高くする必要がある。

【０６５２】

Ｖｄｄの電源電圧を同一にするためには、トランジスタ６２のチャネルサイズを変更し図２１５の電流電圧特性を変更し、Ｉ２の電流値のときにゲート電圧がＶ１となるようにチャネル幅を４倍程度大きく変更する必要がある。

【０６５３】

電源Ｖｓｓ（６９）に関しても変更となる可能性がある。画素に電流が書き込まれた後ＥＬ素子が点灯する際には図２１７（ｂ）に示すような回路動作となる。このとき２つの電源（６４、６９）間の電位差は少なくとも、トランジスタ６２が飽和領域で動作するための電圧ＶＴＲＤ２１７３、トランジスタ６６ｃのオン抵抗による電圧降下ＶＴＲＣ２１７４、ＥＬ素子６３にかかる電圧ＶＥＬ２１７５の総和よりも大きくする必要がある。ＶＴＲＤ２１７３は倍率によらずほぼ一定の約３Ｖ程度、ＶＴＲＣ２１７４は１倍時０．５Ｖ、４倍時は２Ｖ必要となる。（オン抵抗によるものであるため流れる電流に比例して大きくなる）ＶＥＬ２１７５に関してはＥＬ素子６３が図２１６の特性であるため４倍のほうが大きくなる。材料によるが１倍の場合５Ｖ、４倍の場合で８Ｖ必要。ＶｄｄとＶｓｓの電位差は１倍時８．５Ｖ以上、４倍時１３Ｖ以上となる。

【０６５４】

電流に関して４倍時は４倍の電流が流れるものの流れる期間が１／４となるため１フレームで消費される電流は変化がないが、電圧が１倍と４倍で異なるためこの例では消費電力が１．５倍になる問題がある。

【０６５５】

そこで本発明では、電流が小さな低階調領域ほど電流の倍率を大きくして電流を流すようにする一方で、最大電流が流れる最大階調時には電流が大きくならないように１倍の電流を流すようにすることで、電源Ｖｄｄ、Ｖｓｓの電圧を変化させずに低階調の書込み改善ができるようになると考えられる。図２０７に示すように２５６段階の入力階調に対しデータの倍率を定義し、入力映像信号に対してドライバ階調を算出すれば実現できる。算出の結果はドライバ階調の最高値を超えないように定義されている。

【０６５６】

この場合、階調に応じて各画素回路で発光期間２０８３を変化させなければ所定輝度が変化してしまうことになる。しかしながら画素ごとにゲート信号線波形を個別に調整することは難しい。表示画素分の制御信号を供給することは回路規模が大きくなりすぎる。発光期間が全ての画素において同じ長さである場合には入力階調が大きいほど輝度が所定輝度と比較して低くなる。

【０６５７】

例えば発光期間２０８３を４分の１にした場合、図２０７の変換により階調０に近いほど所定輝度となるが、階調が増加するに従って、データの倍率が低下するため、輝度が低下する。階調２５５では輝度は４分の１となる。

【０６５８】

画面の大部分において輝度低下が発生すると画面が暗くなることがはっきりと確認でき、画質低下が目立つようになる。一方で輝度が高い部分の割合が少ない場合には、輝度低下を起こす領域が小さくなり画質の低下が目立ちにくくなる。

【０６５９】

低階調表示時の電流が少ないことによるアレー特性ばらつきが主要因のむらは、低階調表示領域が多いほど目立ってくる。領域が小さくなるほど映像信号の変化とムラの区別がつかなくなる。そのため低点灯率ほどひどく、高点灯率ほど目立ちにくくなる。

【０６６０】

表示ムラ低減の観点では、点灯率が低い画面ほどデータの倍率を高くする。最大電流の制限による輝度低下の観点では点灯率が低い画面ほど輝度低下による画質への影響を受けにくい。

【０６６１】

これにより点灯率に応じてデータ倍率と発光期間２０８３を変える方法が好ましいと考えられる。

【０６６２】

点灯率が低い画面では、発光期間を短くし、データの倍率を図２０７のように最大の場合で４倍としても、低階調表示の画素が多いことから、大部分の画素では電流が４倍程度流れるようになり、アレーばらつき起因の書込み不足起因のムラが減少する。さらに倍率が小さく輝度が低下する画素が少ないため輝度低下の影響はほとんど見えない。

【０６６３】

点灯率が高い画面では、発光期間は長く取り、データの倍率は１倍とする。大部分の画素では１倍の電流でも十分書込みが可能でありムラは見えない。輝度低下については発光期間が変わらないため発生しないことから影響は見えない。

【０６６４】

点灯率によって徐々に電流の最大倍率と発光期間を変化させることで全点灯率領域において良好な表示が実現できる。

【０６６５】

特性ばらつきによるムラは点灯率１２．５％以下で目立つようになってくる。（赤の最大電流が２μＡ、緑が２．５μＡ、青が２μＡの場合）そこで図２０６に示すように点灯率１２．５％以下の領域から徐々に最大倍率を増加させ、点灯率が１％未満となったときに４倍まで増加させる。発光期間の割合もそれに応じて短くしていく

最大倍率の値によらず、最高階調時の電流を増加させることはできないため同一点灯率でも階調が高いほど倍率を低くする必要がある。図２０６のように動作させたときの、点

灯率１％未満、８％、１２．５％以上での入力データとドライバへの出力階調の関係を図２１０に示す。

【０６６６】

最大倍率が４倍である点灯率１％未満の場合は図２１０（ａ）に示すように低階調では４倍の階調を出力している。（２１０１の点線が入力に対し出力が４倍となる線）最大電流はこれまでと同一である必要があるので、出力階調は最大で２５５のままである。階調増加に従って輝度を増加させる必要があることから、徐々に倍率を低下させていき入力データが２５５の場合には出力も２５５となるようにしている。入力データが２１０３の範囲であれば、電流を４倍にして書込みを行っており、書き込みやすく輝度も所定値どおりに出力される。実際点灯率が１％以下の画像では２１０３の領域が９６％以上の画素を占めるため、大部分の画素で書き込み不足の改善効果があらわれる。輝度低下については入力データが２１０４の領域となる４％未満の画素でのみ発生し、さらに最も低下する輝度が４分の１となる画素は１％未満であり、表示上輝度低下が目立たず問題ないことを確認している。

【０６６７】

点灯率が高くなる画面ほど、１画面での使用階調分布は高いほうに変化していく。また階調が高くなるにつれて、必要なデータ倍率は小さくてすむ。例えば階調１で４倍電流を用いて書き込みできるのであれば、階調２は２倍電流で書込みが可能。データ倍率が小さいほど、より高い階調まで最大データ倍率を用いて表示が可能であるため、発光期間が短くなっているにも関わらずデータの倍率が十分とれないことに起因する輝度低下の影響を受ける階調数が少なくなる。

【０６６８】

そこで点灯率が高くなるにつれて（より高めの階調が多く含まれる画像になるに従って）最大倍率を小さくしていく（図２０６）。

【０６６９】

点灯率が８％程度になると図２１０（ｂ）に示すように最大倍率は２倍としている。その分発光期間も長くなり２分の１となる。図２１０（ａ）と同様に２倍しても２５５階調を超えない２１０７の領域の入力データでは入力に対し２倍のデータを出力している。（２１０５の点線が入力に対し出力が２倍となる線）発光期間が長くなった分２１０５の点線からはずれた２１０８の入力データの範囲であっても、輝度低下が発生する割合は１０％以下と大きくなるが、低下率が最大２分の１に低減したため、目立ちにくくなっている。

【０６７０】

さらに点灯率が上昇すると、１画面での表示階調の分布がさらに高い階調のほうにシフトするため書込み不足が発生する画素の割合が減少する。従ってムラも見えにくくなる。そのため電流の倍率を上げる必要が無くなり、１２．５％以上の点灯率において図２１０（ｃ）に示すように入力データと同じ出力階調となる。輝度低下がない表示が可能となる。

【０６７１】

以上のように電流が少ないことによるムラが発生しやすい低階調表示が多い場合には、ドライバの出力階調を大きくし、発光期間を短くすることで輝度を保ちつつ電流を多くしてムラを低減する。高階調部の輝度低下については、表示領域が小さいため目立ちにくく問題ない。

【０６７２】

一方で高階調表示が多い場合には、階調の倍率は変化させず、輝度低下を防止する。低階調表示は少ないため、階調倍率を上げなくてもムラは目立ちにくい。

【０６７３】

低階調が多いか少ないかを判定するには、１画面分の階調データを積算し、点灯率という形にて判定することがよい。入力データに対して、点灯率によりドライバ出力階調値を変化させ、図２１０に示すような関係にするためには図２１１に示すようにガンマ補正回

路１５３６によりガンマ補正を行ったガンマ補正後映像信号１５３９に対し、点灯率計算部２１１７により算出された点灯率データ２１１３に従ってソースドライバへの出力階調を変更する階調レベル変換部２１１１にて、変換を行うようにする。階調レベル変換部において、図２１０に示すような入力データと出力階調の変換を行う。

【０６７４】

同時にデータ倍率に従って、発光期間を変更する必要がある。そこで発光期間を制御するゲートドライバ制御線２１１６を点灯率に応じて変更できるように、ゲートドライバ制御部２１１２へも点灯率データ２１１３を入力し、点灯率に応じてスタートパルス２１３２を変更することで実現している。

【０６７５】

点灯率の計算は１フレームのデータを全て加算し、全ての画素が最大階調を表示したときの計算値に対する、現フレームの加算結果値の割合で決定される。

【０６７６】

使用する表示パネルのアプリケーション（例えば図２１のようなテレビ、図２２に示すビデオカメラ、図２３に示す携帯情報端末）によって、最高輝度が異なることにより１階調あたりの電流が異なるし、表示画素数が異なることにより水平走査期間の長さが異なる。これにより、電流が１水平走査期間内で変化可能な最低階調が変化し、必要なデータ倍率が変化することが考えられる。

【０６７７】

そこで本発明では外部コマンドによりデータ倍率を変化できるようにしたり、図２０６の最大階調信号倍率を変化させていく最高点灯率（図２０６では１２．５％）を変化できるように、図２１１において、コマンド入力２１１８を設け階調レベル変換部２１１１、ゲートドライバ制御部２１１２に入力することで変更できるようになっている。

【０６７８】

図２１１にて黒データ挿入部１７８２は垂直ブランキング期間においてどの画素も選択されていないにもかかわらず、ソースドライバ３６が電流を引き込むことによりソース信号線電位が低下することで１行目低階調表示時に電位変化量が多くなり書込みがしにくくなることを防ぐためのものである。

【０６７９】

垂直ブランキング期間で電流を引き込まないように、ドライバへの出力を階調０にすることでソース信号線電位低下を防止している。データがブランキング期間であるかどうかを判定するために１７８１の信号を用いて、ブランキング期間のみ０を出力し、それ以外の期間では入力映像信号１５３１をそのまま出力するようになっている。

【０６８０】

電流プリチャージを実施する出力信号線においては、まず、電圧プリチャージを実施し、図２１８のプリチャージ電源２４から供給される電圧がソース信号線６０に印加される。このときスイッチ１３１は導通状態、スイッチ１３２は非導通状態となる。プリチャージ電圧値をＶ１とすると、図２１９に信施羽陽に、節点２１８４はＶ１となる。節点２１８３は階調表示用電流源１０３が電流を引き込もうとするが、スイッチ１３２が非導通状態であるため電位低下を引き起こす。これにより電位はＶ４まで低下する。この状態で、電圧プリチャージをやめ、電流プリチャージを実施すると、スイッチ１３１及び１３２の動作から、節点２１８３の電位は急激に上昇し、Ｖ４からＶ１まで変化する。節点２１８３の電位の急激な変化によりトランジスタの接合容量２１８２のため共通ゲート線１０７が変動する。その後、本来の表示階調となるように、節点２１８３及び２１８４の電位はＶ２まで徐々に変化する。共通ゲート線１０７の電位は、節点２１８３が急激に変化することがなくなったため変化せず、所定のＶ３電位に戻る。

【０６８１】

図２２０にプリチャージ期間と共通ゲート線１０７電位、ソースドライバ電流出力、ソース信号線電位変化の様子を示す。

【０６８２】

電流プリチャージ期間２２０２の初めに共通ゲート線１０７電位が上昇する。これにより２２０２の期間でソースドライバの電流出力は所定のＩ１（最大階調に相当する電流）に対して増加し、Ｉ３の電流が流れる。電位がＶ３に近づくにつれてＩ１に戻る方向となるが、この間でソース線容量２１８１から引き抜かれる電荷量が多くなり、ソース信号線電位は目標値であるＶ２よりもさらに低下する場合がある。共通ゲート線１０７の揺れを押さえるためには、図１０の構成において、基準電流線８９の電流値を大きくし、分配用ミラートランジスタ１０２をたくさん設けて、共通ゲート線１０７の電位を支えるなどにより、なるべく揺れを小さくする方法がとられる。

【０６８３】

しかしながら、ドライバの出力数が多く、ソース線容量２１８１が大きい場合には負荷が重いことから共通ゲート線１０７の揺れを完全に押さえることが難しい。電流プリチャージ期間２２０２は１μ秒から１０μ秒である。電位変動の期間は電流プリチャージが実施される出力数によるが、最小では０．１μ秒であるが、最大では８μ秒程度存在する。

【０６８４】

表示パターンによっては、ソースドライバ電流出力の差が小さく、ソース信号線電位はプリチャージ期間後の階調表示電流によりＶ２まで変化可能な程度の誤差で済むが、最大の場合においては、電流プリチャージ期間においてＶ２電位から大きく外れることで、その後の階調表示電流では電位変化が遅く、結果としてＶ２以下の電位となって所定輝度より高くなる問題が発生する。

【０６８５】

低階調ほど輝度が高くなる現象が目立つようになる。これは低階調ほど、階調表示電流が小さいことによる階調表示電流出力期間２２０３でのソース信号線電位変化がしにくく、電流プリチャージ期間２２０２終了後の電位のずれの影響を受けやすい。高階調側になるほど、階調表示電流が多くなるため、ソース信号線電位を変化させやすく電流プリチャージ期間２２０２終了後の電位のずれに対しても対応が可能になるため目立ちにくくなる。

【０６８６】

電流プリチャージ期間２２０２は、高階調ほど長くなる。電圧プリチャージ期間２２０１にて黒表示状態から階調表示状態まで電流を引き抜くことから階調が高いほど引き抜くのに時間がかかる。そのため高階調ほど電流プリチャージ期間２２０２を長くする必要がある。共通ゲート線１０７の電位の変動は電流プリチャージ期間２２０２の後半ほど低減する。そのため、電流プリチャージ期間２２０２が長いほどソース線容量２１８１から引き抜かれる総電荷量の誤差は小さくなり、電流プリチャージ期間２２０２終了後のソース信号線電位の誤差も小さくなる。その結果階調表示電流出力期間２２０３において、所定の値までソース信号線電位を変化させるにも変化量が少ないために、変化しやすくなる。

【０６８７】

そこで電流プリチャージ期間２２０２を長くすることを考えた。電流プリチャージ期間での変動量を保つために、プリチャージ電流値を小さくする。例えばプリチャージ電流値を半分にして、電流プリチャージ期間を２倍にする。図２２３は図２２０に対し電流プリチャージ方式を変更したものである。図２２０の場合に比べて電流プリチャージ期間２２０２での共通ゲート線電位の揺れが減少している。プリチャージ電流が半分になったためソース信号線６０に接続される階調表示用電流源１０３の数が半減し、共通ゲート線１０７の変動が小さくなる。

【０６８８】

更に電流プリチャージ期間２２０２が２倍になったため、共通ゲート線１０７の揺れによるソース線容量２１８１の放電量誤差の割合が小さくなる。電流プリチャージ期間２２０２開始から時間がたつにつれ、電流値が所定値に近づくため、設定どおりのプリチャージ電流値が印加される期間が多くなりその結果ソース信号線電位の目標値からのずれが小さくなる。これにより、共通ゲート線１０７の電圧揺れを抑える回路を追加しなくても、共通ゲート線１０７の電位変動による輝度ずれの影響を小さくすることが可能となる。

【０６８９】
電流プリチャージ期間２２０２での電流値を半分にするためには例えば図２２４に示すような出力段を設ける。８ビット出力において、およそ半分の電流源のみ電流プリチャージパルス群１１７４から１つ選択されたパルスが電流出力部１１７１に入力され、出力線１０４に出力されれば実現できる。電流プリチャージ制御線ａ（２２４２ａ）もしくは電流プリチャージ制御線ｂ（２２４２ｂ）の一方のみにパルスが入力されれば実現できる。２２４２ａで実現する場合には１２８階調未満でのプリチャージにおいては階調によらずプリチャージ電流を一定にしてプリチャージさせることが可能である。（１２８階調以上が書き込みできない場合には、プリチャージ電流も１２８階調以上なければ、プリチャージしても書き込めないことを意味する。したがって、プリチャージ電流が約半分とする場合には、１２８階調以上は書き込み可能であることが前提である。）また、電流プリチャージ期間２２０２から階調表示電流出力期間２２０３への変化時に電流源がソースドライバから切り離されるのみで動作するため、この間での階調表示用電流源１０３のドレイン電圧変動が防止できる。スイッチ１３２が導通状態から非導通状態に変化する場合においては階調表示用電流源１０３のドレイン電位は、電流引き込み経路がなくなったことによって徐々に変化する動作となるので、変化の速度は小さく、トランジスタ容量２１８２を介したカップリングによる共通ゲート線１０７への電位変動の影響は小さくなる。共通ゲート線１０７の電位変動を抑える観点においては、２２４２ａをプリチャージ電流として用いることが好ましい。

【０６９０】
プリチャージ制御線ｂ（２２４２ｂ）は電流プリチャージが必要な階調すべてにおいて中間調の電流でプリチャージを実施すれば書込みが可能な場合には、必ずしも必要ではない。回路規模削減のためなくすことが好ましい。

【０６９１】
プリチャージが必要な階調のなかで高階調側では、中間調のプリチャージではなく白に相当するプリチャージ電流が必要な場合がある。プリチャージが中間調付近まで必要な場合に、このようなケースが発生する。例えば１００階調が書き込みできない場合、階調１２７で電流プリチャージをしても、変化速度は１．２７倍である。１．２７倍で書込みが達成できればよいが、できない場合には電流を増加させ、更に変化速度を早くする必要がある。その場合には２２４２ｂを用い、白電流でプリチャージをすればよい。これを実現するためにはプリチャージ判定線９８４のデータによりパルス選択部２２４１の出力を制御し、電流プリチャージパルス群１１７４のうちのどれを選択するかの他に、電流プリチャージ制御線２２４２のうちのａのみもしくはａ、ｂの両方に選択されたパルスを出力するを選択できるようにする。例えば図２２９に示すようなパルス選択部２２４１の動作にすることで実現可能である。階調と電流値はコントローラ部にて、プリチャージ判定信号生成部６７１にて制御すればよい。

【０６９２】
おおまかには階調が大きい場合のプリチャージのみ２５５階調、小さい場合には１２７階調のプリチャージでよいことから、例えば電流プリチャージが６段階で設定可能な場合（電流プリチャージパルス群１１７４が６つのパルスである場合）プリチャージパルス１～４までは、電流プリチャージ制御線ａ（２２４２ａ）を利用し、電流プリチャージ制御線ｂ（２２４２ｂ）は常に”Ｌ”レベルとする。プリチャージパルス５と６は電流制御信号２２４３により、１～４と同様に電流プリチャージ制御線ａ（２２４２ａ）のみ利用するか、ａとｂの両方を利用するか選択できるようにする。選択できるようにしているのは、発光色によってＥＬ発光効率が異なる場合、効率の悪い青色では電流が多いため、１２７階調の電流でプリチャージが可能であるが、効率の良い赤色では電流が少なく、２５５階調の電流でプリチャージが必要となることがある。電流制御信号２３０１を赤と青で異なる値を入力することで表示色により異なる電流プリチャージ量を実現できる。

【０６９３】
図２３０の方法は、図２２４に比べて、プリチャージ判定線のビット数が少なく、ラッ

チ部２２のビット数を２ビット削減できるため、回路規模が少なく実現できる点で有利である。電流制御信号は少なくとも同一表示色の出力ではすべて同じ信号を入力でよいためである。コマンド入力された電流制御信号２３０１を各出力に分配すればよい。２ビットのラッチ部を挿入するに比べ、バス配線をするのみであるため回路規模が小さくなる。

【０６９４】

プリチャージパルス５と６が２５５階調により電流プリチャージされる場合には、階調が高めのときであり、階調表示電流が大きく、また電流プリチャージ期間２２０２も長くなるため、ゲート線電位１０７が変動しても所定階調に戻すことが可能である。

【０６９５】

この動作を実施するため図２３０におけるパルス選択部２３０２では、プリチャージ判定線９８４において、電流プリチャージパルス１から４を選択するときは、２２４２ａにのみプリチャージパルス１１７４を出力する。電流プリチャージパルス５、６を選択する時は更に電流制御信号２３０１を参照し、電流プリチャージ制御線ａ２２４２ａのほか、電流プリチャージ制御線ｂ２２４２ｂにも１１７４を出力するかどうか判定する。

【０６９６】

電流プリチャージ期間２２０２開始時に共通ゲート線１０７電位を変動させないためには、他に直前の電圧プリチャージ期間２２０１の間でも階調表示用電流源１０３をソース信号線に常に接続しておき、あらかじめソース信号線６０とドレイン電位を同一にしておく方法がある。図２２２に出力段の回路構成例、図２２１には、各期間でのスイッチの動作及び電位変化を示す。

【０６９７】

図２２２において、電圧プリチャージ期間２２０１で電圧プリチャージが電圧プリチャージ制御線１１８２によって入力されても、電流出力部１１７１の出力がソース信号線６０と切り離されないように、電圧印加選択部２２２３の回路構成を変更している。電流出力部１１７１が出力から切り離されるのは出力イネーブル信号５１が入力されたときのみとしている。

【０６９８】

これにより図２２１に示すように、少なくとも１つの階調表示用電流源１０３から構成された電流源２４１のドレイン電位は電圧プリチャージ期間２２０１の開始時点で１水平走査期間前の状態によってはＶ１まで急激に変化する。少なくとも１つの階調表示用電流源１０３が変化すればよいが、好ましくは、電流プリチャージ期間で使用する全ての電流源２４１が電流出力部１１７１からソース信号線６０に接続されることが好ましい。それには、電圧プリチャージ制御線１１８２によりスイッチ２２２１が導通状態となっているときにも電流プリチャージ制御線１１８１にパルスが入力され、電流プリチャージを実施することで実現できる。

【０６９９】

このとき共通ゲート線１０７の電位変動が発生するが、ソース信号線電位６０は、プリチャージ電源出力によりＶ１に固定されている。電流出力部１１７１の出力には全く無関係となるため、電位の変動がおきても表示に影響はない。電圧プリチャージ期間２２０１から電流プリチャージ期間２２０２への変化ではドレイン電位が変化するが、この変化は急激ではなく、電流源２４１の能力により徐々に変化していくため、トランジスタ容量２１８２を介したカップリングによる共通ゲート線１０７の電位変動は発生せず、電流値の変化がない電流プリチャージが実現できる。なお、プリチャージ電源２４は、各ソース線容量２１８１の充電、蓄積容量６５の充電のほか、電流出力部１１７１に引き込まれる電流を含めて、所定電圧（この場合Ｖ１）を２μ秒以内に安定して供給できるような駆動能力で設計する必要がある。従来の方法に比べて電流出力部１１７１の引き込み分だけ大きくする必要がある。

【０７００】

他に、共通ゲート線１０７の揺れを小さくする方法としては、図２２５の出力段の構成及び図２２６の動作に示すように、電位安定用電流源２２５１を伝習出力部１１７１と電

圧印加選択部１１７３の間にスイッチ２２５５を介して設け、電圧プリチャージ期間２２０１において、電位安定用電流源２２５１がソース信号線６０と切り離された電流源２４１と接続され、電位安定用電流源２２５１の駆動能力に応じた電位が、ドレイン電位に印加されるようにする。そのために、図２２８に示すように電圧プリチャージパルス入力時に、電流プリチャージパルスも同時に入力し、電圧プリチャージ実施時に電流プリチャージの機能を利用して、電流源２４１のドレイン電位を変更する。このときの電位をＶ５とし、電位安定用電流源２２５１の設計によりＶ５＞Ｖ４となるように設計する。電流プリチャージ期間２２０２の開始時での変化は（Ｖ１－Ｖ５）で従来の（Ｖ１－Ｖ４）にくらべて変動幅が小さくなり、その結果として共通ゲート線１０７の電位変動は小さくなり、プリチャージ電流の誤差が小さくなって、輝度ずれが小さくなる。Ｖ４電位の発生は、電流源トランジスタ２４１のドレイン電極がフローティング状態となり、電流を引き込みたいにもかかわらず電流経路がなくなることにより、トランジスタ２４１のドレイン電位が低下していくことにより発生している。本発明のように常にドレイン電極が接続されていればドレイン電位の低下は外部回路により抑えられる。これを利用している。

【０７０１】

なおＶ５の電位は電位安定用電流源２２５１のゲート電圧とドレイン電流特性から決定される。Ｖ５を高くするには、チャネル幅を大きくするか、チャネル長を短くすればよい。画素回路は低温ポリシリコンもしくはアモルファスシリコンで形成される。電流出力部１１７１が画素回路と同一にチャネル領域を作成するのであれば、駆動トランジスタ６２に対し、チャネル幅が大きいもしくはチャネル長が小さいトランジスタを作る必要がある。電流源２４１のドレイン電位をＶ１に近づける必要があるが、Ｖ１電位は駆動トランジスタ６２が黒状態の電位とほぼ同一の電位である。一方電流プリチャージは白状態の電流が流れていることから、６２と２２５１が同一サイズであれば、結果的に駆動トランジスタ６２が白状態となる電位が２４１のドレイン電極に印加されていることとなる。電流プリチャージ期間２２０２の開始時に白電位から黒電位まで電流源２４１のドレイン電位が変動するため、共通ゲート線１０７の電位も変動する。それゆえ、白状態の電流が流れても電位安定用電流源２２５１のゲート電位がＶ１近傍になるように電位安定用電流源２２５１の電流能力を高める必要があり、その結果として駆動トランジスタ６２と電位安定用電流源２２５１が同一プロセスで形成されるならば、電位安定用電流源２２５１のチャネル幅を大きくするか、チャネル長を小さくする必要がある。

【０７０２】

一方で少なくとも電位安定用電流源２２５１を含む電流出力部１１７１が結晶シリコンやガリウム砒素化合物などで形成される場合には、電位安定用電流源２２５１のほうが駆動トランジスタ６２に比べ駆動能力が高くなり、電位安定用電流源２２５１は、小さく設計してもよい。図２２６の電圧プリチャージ期間２２０１でのドレイン電位Ｖ５がＶ１に近くなるようにすればよい。

【０７０３】

また、電位安定用電流源２２５１の特性ばらつきによる電流源トランジスタのドレイン電圧ばらつきを補正するために図２２７に示すように無負荷時電圧調整線２２７１に接続されたトランジスタ２２７２を並列に接続する。無負荷時電圧調整線２２７１の電位を変化させると、トランジスタ２２７２の内部抵抗値が変化し、その結果無負荷時電圧調整線２２７１の電位が低いほど電流源２４１のドレイン電位が高くなり、無負荷時電圧調整線２２７１の電位が高いほど電流源２４１のドレイン電位が低くなる。

【０７０４】

電位安定用電流源２２５１のドレイン電流ゲート電圧特性と、トランジスタ２２７２のオン特性、無負荷時電圧調整線２２７１の電位により、Ｖ５の電位が決定される。無負荷時電圧調整線２２７１を出力ごとに調整できるのであれば、電位安定用電流源２２５１、トランジスタ２２７２の特性ばらつきを補償し、どの出力でも同一のＶ５電位を出力させることができる。

【０７０５】

またばらつき補正以外でもＶ５電位の調整に用いることが可能である。無負荷時電圧調整線２２７１の電位を変化させればＶ５電位が変わることを利用する。トランジスタ２２５１を最小サイズで作成し、これが、結晶シリコンもしくはガリウム砒素化合物などで作成された場合に、駆動トランジスタ６２との能力差が大きく、白表示でもＶ５電位がＶ１電位よりも高くなってしまう場合に、Ｖ５電位をＶ１電位まで下げるのに利用する方法である。

【０７０６】

共通ゲート線１０７の電位変化を抑える方法として図２２４に示すプリチャージ電流値を小さくする方法、図２２２に示す、電圧プリチャージ時にも電流源トランジスタをソース線に接続する方法、図２２５もしくは図２２７に示すように、電圧プリチャージ期間に電流源２４１をフローティング状態にせずにドレイン電位をＶ１近傍になるように制御する方法を挙げた。

【０７０７】

この３つの方法のうちの少なくとも１つを実施することで、電流プリチャージ実施時の輝度ずれが改善された。図２２４に示す方法は、図２２２もしくは図２２５もしくは図２２７と組み合わせて実施することも可能である。電流プリチャージ期間２２０２に流れる電流が半分になるだけで共通ゲート線１０７の電位変動をより抑えることが可能である。電流プリチャージ期間２２０２で電位変動する電流源２４１の数が減るためである。

【０７０８】

以上の発明においてトランジスタはＭＯＳトランジスタとして説明を行ったがＭＩＳトランジスタやバイポーラトランジスタでも同様に適用可能である。

【０７０９】

またトランジスタは結晶シリコン、低温ポリシリコン、高温ポリシリコン、アモルファスシリコン、ガリウム砒素化合物などどの材質でも本発明を適用可能である。

【産業上の利用可能性】

【０７１０】

本発明にかかる電流出力型半導体回路、及び表示装置によれば、電流ドライバの出力ビット数を増加させても、回路規模の増大をより低く抑えることができ、例えば表示用駆動装置、表示装置として有用である。

【図面の簡単な説明】

【０７１１】

【図１】本発明における電流出力型半導体回路の入力信号波形を示した図

【図２】１ドット分の映像信号ごとにプリチャージを行うかどうか外部から選択できるようにしたときのドライバＩＣのブロック図

【図３】複数のソースドライバＩＣを用いた表示パネルを示した図

【図４】有機発光素子の構造を示した図

【図５】（ａ）有機発光素子の電流－電圧－輝度特性を示した図（ｂ）有機発光素子の電流－電圧－輝度特性を示した図

【図６】カレントコピア構成の画素回路を用いたアクティブマトリクス型表示装置の回路を示した図

【図７】（ａ）カレントコピア回路の動作を示した図（ｂ）カレントコピア回路の動作を示した図

【図８】定電流源回路の例を示した図

【図９】プリチャージパルス、プリチャージ判定信号と印加判定部出力の関係を示した図

【図１０】従来の電流出力型ドライバの各出力へ電流を出力するための回路を示した図

【図１１】図１０の階調表示用電流源１０３のトランジスタサイズと出力電流ばらつきの関係を示した図

【図１２】（ａ）カレントコピア構成の画素回路において、画素にソース信号線電流が流れるときの等価回路を示した図（ｂ）カレントコピア構成の画素回路において、画素にソース信号線電流が流れるときの等価回路を示した図

【図１３】１出力端子における電流出力とプリチャージ電圧印加部及び切り替えスイッチの関係を示した図
【図１４】（ａ）各トランジスタ群を構成するトランジスタのチャネルサイズとばらつきの関係を示した図（ｂ）各トランジスタ群を構成するトランジスタのチャネルサイズとばらつきの関係を示した図
【図１５】１水平走査期間内でのプリチャージ電圧を行う期間と階調データに基づく電流を出力する期間の関係を示した図
【図１６】差動入力が可能となるソースドライバの入力部の回路構成を示した図
【図１７】（ａ）階調データとプリチャージ判定信号の関係を示した図（ｂ）階調データとプリチャージ判定信号の関係を示した図（ｃ）階調データとプリチャージ判定信号の関係を示した図
【図１８】入力シリアル電流を各信号に分配する回路を示した図
【図１９】図２５及び図１４（ａ）に示す出力段を用いたソースドライバにおける出力電流の隣接端子間のばらつきと階調の関係を示した図
【図２０】ｎ型トランジスタを用いた場合のカレントコピアを用いた画素回路を示した図
【図２１】本発明の実施の形態を用いた表示装置として、テレビに適用した場合を示した図
【図２２】本発明の実施の形態を用いた表示装置として、デジタルカメラに適用した場合を示した図
【図２３】本発明の実施の形態を用いた表示装置として、携帯情報端末に適用した場合を示した図
【図２４】本発明の実施の形態を用いた半導体回路の電流出力部の概念を示した図
【図２５】図２４の構成において、電流源をトランジスタで構成した場合を示した図
【図２６】図２４もしくは図２５に示した電流出力部による入力信号の階調対出力電流の関係を示した図
【図２７】８ビットデータのうち下位１ビットをあるサイズのトランジスタ構成で出力し、残りの上位７ビット分を下位１ビットのトランジスタに比べてドレイン電流量の多くなるトランジスタを用意し、トランジスタの個数により階調表示を行う電流出力段を示した図
【図２８】色ごとにシリアルで高速にデータを入力することでソースドライバの入力信号線数を減らした場合のデータ転送時のタイムチャートを示した図
【図２９】色ごとにシリアルで高速にデータを入力することでソースドライバの入力信号線数を減らした場合のコマンド転送時のタイムチャートを示した図
【図３０】１水平走査期間における図２８及び図２９の転送順序を示した図
【図３１】図６もしくは図４４におけるＥＬ電源線の配線を示した図
【図３２】８ビット映像入力に対し、下位２ビットと上位６ビット間の電流の大小関係をトランジスタチャネル幅により調整し、各ビット内ではトランジスタの個数により電流を変化させた出力段の構成において、最上位ビットに対応する電流源にさらに電流源を追加できる構成を示した図
【図３３】階調１２７と階調１２８の電流差を示した図
【図３４】図２５の２５６階調表示のドライバにおけるトランジスタ２４１出力電流値の理論値からのずれの許容限と表示階調の関係を示した図
【図３５】図３９の出力段を持つソースドライバにおいて、階調反転を検出し補正を行う際の回路構成を示した図
【図３６】階調３と階調４の階調差を示した図
【図３７】階調１３１と階調１３２の階調差を示した図
【図３８】階調に応じた電流、階調に応じた電圧を１水平期間内でいずれか１つを選択し出力するか、時間的に順に出力するようにできるようにした場合の出力段の構成を示した図
【図３９】嵩上げ信号線を用いたときの最上位ビット電流源電流嵩上げ機能付きの電流出

力段を示した図
【図４０】プリチャージ電源２４の電圧が複数あり、複数の電圧のどれを選択し出力し電流出力を行うか、電流出力のみを行うことが可能なソースドライバにおけるプリチャージパルス、プリチャージ判定信号とソース信号線の関係を示した図
【図４１】本発明におけるプリチャージ電圧を出力するかどうかを判定するフローチャートを示した図
【図４２】本発明のプリチャージ印加方式を実現するためのプリチャージ判定信号生成部を示した図
【図４３】階調反転が起こった場合に嵩上げ信号のレベルを変更することで階調反転をなくす機能を有するソースドライバの構成の一例を示した図
【図４４】カレントミラー形式の画素構成を用いた表示装置を示した図
【図４５】領域４５２で所定輝度が得られない表示パターンの例を示した図
【図４６】領域４６２の上側１～５行程度の輝度が高くなる表示パターンの例を示した図
【図４７】階調０から階調４、階調０から階調２５５へのソース信号線電流と電圧の変化を示した図
【図４８】階調２５５から階調４、階調２５５から階調０へのソース信号線電流と電圧の変化を示した図
【図４９】階調０から階調４への変化の際に最大電流を流す期間を設けた場合のソース信号線電流と電圧の関係を示した図
【図５０】電圧及び電流プリチャージをするかどうかの判定を行う流れを示した図
【図５１】映像信号の階調と、メモリ５２２に書き込むデータの関係を示した図
【図５２】１行前データとの比較を行う回路ブロックを示した図
【図５３】１行前データとの比較により、電流プリチャージの処理方法を変える回路ブロックを示した図
【図５４】コマンドＡの値と、電流プリチャージしない条件の関係を示した図
【図５５】１行目データの場合における電流プリチャージ及び電圧プリチャージをするかどうかの判定を行うための回路ブロックを示した図
【図５６】１行前のデータによって電流プリチャージを行うかどうかの判定を行うブロックを示した図
【図５７】映像信号の階調に応じてどの期間電流プリチャージを行うのかもしくは電流プリチャージを行わないのか判定を行うブロックを示した図
【図５８】尾引き対策により電流プリチャージを行うかどうか、電流プリチャージを行う期間を設定するブロックを示した図
【図５９】電流プリチャージ期間選択手段により決められた電流プリチャージ期間に対し、コマンド入力により、プリチャージを行わないように変更できるようにした回路におけるコマンドと電流プリチャージの判定基準の関係を示した図
【図６０】電圧プリチャージの判定を行うブロックを示した図
【図６１】図６０におけるコマンドＬの値と電圧プリチャージをするかどうかの判定基準の関係を示した図
【図６２】入力映像信号に対する電流プリチャージ及び電圧プリチャージを行うかどうか、電流プリチャージの期間を決めるプリチャージ判定信号生成部を示した図
【図６３】プリチャージ動作と、プリチャージ判定信号の関係を示した図
【図６４】本発明を用いたソースドライバ及び制御ＩＣを組み込んだ表示装置の回路構成を示した図
【図６５】電流プリチャージ機能及びゲートドライバ制御信号を出力する機能を備えたソースドライバのブロック図
【図６６】ゲート線６５１とゲートドライバ制御線６５２の関係を示した図
【図６７】映像信号からプリチャージ判定信号を生成し、データをシリアル出力するブロックを示した図
【図６８】メモリ５２２、データ変換部５２１のタイミングチャートを示した図

【図６９】電流プリチャージパルス及び電圧プリチャージパルスを生成するための回路ブロックを示した図
【図７０】カレントコピア回路を出力段に用いる場合におけるドライバＩＣのブロック図を示した図
【図７１】デジタル－アナログ変換部を実現する回路例を示した図
【図７２】複数のドライバＩＣを接続したときの階調基準電流信号の配線を示した図
【図７３】電流保持手段の回路を示した図
【図７４】節点７４２及び駆動トランジスタ７３１のドレイン電流がゲート信号線７４１により変化することを示した図
【図７５】駆動トランジスタのドレイン電流－ゲート電圧特性を示した図
【図７６】移動度が異なるトランジスタが各出力の駆動トランジスタに用いられる場合において「突き抜け」によるドレイン電流の違いを示した図
【図７７】カレントコピア回路において「突き抜け」を減らすためにトランジスタを１つ挿入した場合の電流保持手段を示した図
【図７８】階調基準電流生成部の回路を示した図
【図７９】図７７において２つのゲート信号線の波形を示した図
【図８０】階調基準電流生成部の回路を示した図
【図８１】基準電流生成部を示した図
【図８２】イネーブル信号を含んだデジタルアナログ変換部の回路を示した図
【図８３】１水平走査期間におけるタイミングパルス、チップイネーブル信号、セレクト信号と階調電流信号の関係を示した図
【図８４】Ｗ／Ｌの異なるトランジスタの電流－電圧特性を示した図
【図８５】映像信号とプリチャージフラグを低振幅高速転送し、電子ボリューム設定及びプリチャージ期間設定用の１ビットコマンド線付きとなるソースドライバを用いた場合の表示パネルの構成例を示した図
【図８６】プリチャージフラグと映像信号線を同一信号線により高速伝送を行う場合の伝送パターン例を示した図
【図８７】コマンド線のタイミングチャートを示した図
【図８８】階調に応じたプリチャージ電圧を生成するプリチャージ電圧変換部の回路構成を示した図
【図８９】図８５に用いられるソースドライバの内部ブロック図
【図９０】階調データに対応した電流電圧出力の関係及び、階調データに同期して送られるプリチャージ判定信号の転送例を示した図
【図９１】映像信号線と同一信号線に基準電流設定及びプリチャージ印加期間設定信号を入力する場合におけるそれぞれの転送パターン例を示した図
【図９２】１水平走査期間内でデータを転送する期間とブランキング期間の関係を示した図
【図９３】映像信号線と基準電流及びプリチャージ期間設定信号線を共用した場合におけるソースドライバの内部構成を示した図
【図９４】ゲートドライバ制御線出力を持ったソースドライバを用いたときのドライバＩＣ間の配線を示した図
【図９５】本発明の実施の形態におけるデータ転送方法を示した図
【図９６】１水平走査期間内におけるデータの転送例を示した図
【図９７】ソースドライバ内部で映像信号線から、階調データ、プリチャージ反転信号、ゲートドライバ制御線を分離したのちの各信号線波形を示した図
【図９８】ゲートドライバ制御線出力機能を有したソースドライバの内部構成を示した図
【図９９】図９８のプリチャージ電圧発生部を示した図
【図１００】図９８のプリチャージ電圧選択及び印加判定部を示した図
【図１０１】図１００におけるデコード部１００１の入出力関係を示した図
【図１０２】図６の画素回路を用いたときのソース信号線電流とソース信号線電圧の関係

を示した図
【図１０３】階調に応じた電流源の他に電流プリチャージ線により電流を供給するための電流源を電流出力段に設けた図
【図１０４】ソース信号線電流が１０ｎＡから０ｎＡに変化するときの変化の様子を示した図
【図１０５】ソース信号線電流が０ｎＡから１０ｎＡに変化するときの変化の様子を示した図
【図１０６】図１０４及び図１０５での変化をソース信号線の電流電圧特性上で示した図
【図１０７】電流プリチャージを行ったときのソース信号線電流の変化の様子を示した図
【図１０８】水平走査期間のはじめに所定電流の１０倍の電流を出力するときのソースドライバ出力の時間変化を示した図
【図１０９】図１０８のような電流出力を実現するためのソースドライバの構成を示した図
【図１１０】マルチカラー出力に対応したソースドライバの基準電流生成部と電流出力段の構成を示した図
【図１１１】マルチカラー出力に対応したソースドライバのプリチャージ電流出力構成（プリチャージ基準電流発生部、プリチャージ電流出力段）を示した図
【図１１２】プリチャージ電流及びプリチャージ電圧をソース信号線に出力可能としたソースドライバの構成を示した図
【図１１３】図１１２のプリチャージ電流電圧出力段の内部構成を示した図
【図１１４】図１１３の判定信号デコード部１１３１の入力とスイッチ１１３２から１１３５の状態の関係を示した図
【図１１５】ソースドライバに入力されるプリチャージフラグ８６２を出力するフローチャートを示した図
【図１１６】プリチャージフラグ生成部及びソースドライバへの送信部を示した図
【図１１７】電圧プリチャージと複数の異なる期間のうちの１つの期間を選択して電流プリチャージを行うことができるソースドライバの構成を示した図
【図１１８】電流プリチャージを行う機能を有する電流出力部１１７１の回路を示した図
【図１１９】パルス選択部１１７５の入出力信号の関係を示した図
【図１２０】図１１９に基づいてパルス選択部を動作させたときの、プリチャージパルス１１７４、４５１とプリチャージ判定線９８４と出力の時間変化を示した図
【図１２１】図１１７の構成をしたドライバＩＣの入力信号形式を示した図
【図１２２】電流プリチャージを行う機能を有する電流出力部１１７１の回路を示した図
【図１２３】表示階調と必要なプリチャージ電流出力期間の関係を示した図
【図１２４】電流プリチャージを用いたときの電流変化を示した図
【図１２５】各水平走査期間において、プリチャージ電圧及びプリチャージ電流が出力される場合におけるソース信号線電流の変化の様子を示した図
【図１２６】複数の水平走査期間にわたってソース信号線電流が変化しない場合には、プリチャージ電圧印加期間１２５１及びプリチャージ電流出力期間１２５２を設けないようにしたときのソース信号線電流の変化の様子を示した図
【図１２７】ソース信号線が連続して同じ電流を出力する場合と、変化することが場合がある表示パターンの例を示した図
【図１２８】図１２７における本発明を用いた場合のソース信号線電流の変化を示した図
【図１２９】ソース信号線の電流に変化がある場合にのみプリチャージ電圧もしくはプリチャージ電流が出力される期間が発生するようにするための、判定方法を示した図
【図１３０】温度により駆動トランジスタ６２のドレイン電流とゲート電圧の関係が変化することを示した図
【図１３１】ソースドライバ外部で抵抗素子と温度補償素子を用いて、温度により異なる電圧をプリチャージ電圧発生部に入力する構成を示した図
【図１３２】温度によりプリチャージ電圧を変化させるときのプリチャージ電圧の変化例

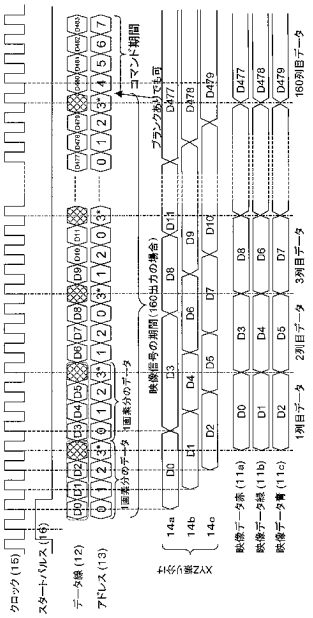
を示した図
【図１３３】図１３２のようにプリチャージ電圧を出力したときの温度に対するトランジスタ６２のドレイン電流の変化を示した図
【図１３４】温度補償素子を外部に設けた場合での、プリチャージ電圧を画素回路に印加する回路ブロックを示した図
【図１３５】温度検知手段のデータを利用し、コントローラからのコマンド制御によりプリチャージ電圧発生用電子ボリュームの値を温度によって変更する回路ブロックを示した図
【図１３６】図１３５の回路構成における温度に対する電子ボリューム出力電圧の関係を示した図
【図１３７】図１３６の温度対電子ボリュームの関係でプリチャージ電圧を制御した場合でのトランジスタ６２の温度による変化を示した図
【図１３８】画素回路を形成したアレーと同一アレー内に、プリチャージ電圧発生用トランジスタを形成した場合の回路構成を示した図
【図１３９】トランジスタ１３８１及び６２のゲート電圧とドレイン電流の関係を示した図
【図１４０】本発明のプリチャージ電圧発生用トランジスタの配置案を示した図
【図１４１】アレー内に形成されたプリチャージ電圧発生用回路のうちの１つをソースドライバ入力端子に選択して入れられるようにした回路を示した図
【図１４２】アレー内に形成されるプリチャージ電圧発生部を複数個に分配して配置した場合の回路構成を示した図
【図１４３】トランジスタ６２及び１３８１の高温時におけるゲート電圧とドレイン電流特性を示した図
【図１４４】駆動トランジスタ６２のアーリー効果によるＥＬ素子に流れる電流が増加することを示した図
【図１４５】有機発光素子を用いた表示装置においてＥＬ素子を流れる電流の合計を測定し、その電流値をパネルによらず一定とするための調整回路を示した図
【図１４６】図１４５による調整回路において、調整方法を示した図
【図１４７】プリチャージ電圧の調整を、トリマを用いて行った場合の例を示した図
【図１４８】温度検知手段の結果をコントローラに入力し、その結果に基づいてソースドライバ及びゲートドライバの信号制御を変化させる場合の回路構成を示した図
【図１４９】図１４８の構成におけるゲートドライバ６１ｂの１フレーム間の波形を示した図
【図１５０】ゲート信号線２の非点灯期間を出力イネーブル信号により制御したときの波形を示した図
【図１５１】階調と輝度の関係を示した図
【図１５２】ガンマ補正をかけたときの映像信号階調と、ソースドライバ出力階調の関係を示した図
【図１５３】入力映像信号にガンマ補正をかけたのち、プリチャージを行うかどうかの判定を行うための回路構成を示した図
【図１５４】本発明の実施の形態におけるプリチャージ判定信号発生部を示した図
【図１５５】階調１を全画面に表示する場合における、あるフレームでの各画素の表示階調を示した図
【図１５６】ガンマ補正を行った信号をソースドライバの出力階調数に合わせて階調変換を行うブロックを示した図
【図１５７】ソースドライバの表示階調を基準として、第１の行を階調０．２５、第２から第４の行を階調３表示した場合のあるフレームでの各画素表示階調を示した図
【図１５８】図１５７の表示パターンにおけるプリチャージの有り無しの判定を画素ごとに示した図
【図１５９】ソースドライバの表示階調を基準として、第１の行を階調０．２５、第２か

ら第４の行を階調３表示した場合のあるフレームでの各画素表示階調を示した図
【図１６０】ソースドライバの表示階調を基準として、第１の行を階調０．２５、第２から第４の行を階調３表示した場合のあるフレームでの各画素表示階調とキャリー信号の値、ならびにプリチャージの判定結果を示した図
【図１６１】映像信号に対し、ガンマ補正、プリチャージ処理を加える回路ブロックの例を示した図
【図１６２】映像信号に対し、ガンマ補正、プリチャージ処理を加える回路ブロックの例を示した図
【図１６３】図１６２においてプリチャージ判定信号発生部に入力されるデータの各画素に対応したデータを示した図
【図１６４】ソースドライバの表示階調を基準として、第１の行を階調０、第２から第４の行を階調２．７５表示した場合のあるフレームでの各画素表示階調を示した図
【図１６５】図１６２においてプリチャージ判定信号発生部に入力されるデータの各画素に対応したデータを示した図
【図１６６】１行前のデータとＮ階調差以上の差があるときにプリチャージを行う場合において、１行前データとＮ－１階調の差があるときにおける、１行前と当該行のキャリー信号の値によるプリチャージの判定結果を示した図
【図１６７】１行前のデータとＮ階調差以上の差があるときにプリチャージを行う場合において、１行前データとＮ階調の差があるときにおける、１行前と当該行のキャリー信号の値によるプリチャージの判定結果を示した図
【図１６８】映像信号に対し、ガンマ補正、プリチャージ処理を加える回路ブロックの例を示した図
【図１６９】発光色ごとに電流プリチャージ期間を異ならせることができるようにするためのパルス発生部の回路構成を示した図
【図１７０】パルス合成部の内部回路の例を示した図
【図１７１】ある水平走査期間での電圧プリチャージパルス、電流差補正用パルス、電流プリチャージパルスの変化の様子を示した図
【図１７２】発光色ごとに電流プリチャージ期間を異ならせることができるようにするためのパルス発生部の回路構成を示した図
【図１７３】電流プリチャージ期間とプリチャージ電流値の双方を変化させることができるソースドライバの出力段を示した図
【図１７４】プリチャージ判定線とプリチャージの動作の関係を示した図
【図１７５】本発明における出力電流値の時間変化を示した図
【図１７６】プリチャージ電圧を電子ボリュームにより調整し、かつ画素のトランジスタの温度特性による電圧変化を補償することが可能なプリチャージ電圧発生部の回路構成を示した図
【図１７７】電流プリチャージ期間とプリチャージ電流値の双方を変化させることができるソースドライバの出力段を示した図
【図１７８】データイネーブル信号を用いて、垂直ブランキング期間では映像信号に階調０を挿入しプリチャージ判定信号発生部では特定の信号を出力するようにするための回路構成を示した図
【図１７９】図１７８における黒データ挿入部の動作を示した図
【図１８０】図１７８におけるプリチャージ判定信号変更部の動作を示した図
【図１８１】垂直ブランキング期間でのソースドライバ出力の違いによるソース信号線電位の変化の様子を示した図
【図１８２】垂直ブランキング期間の最後の水平走査期間に電圧プリチャージおよび階調０出力制御を行ったときのソース信号線電位の変化の様子を示した図
【図１８３】１行目に電流プリチャージを行った場合のソース信号線変化の様子を示した図
【図１８４】１行目に電流プリチャージを行った場合のソース信号線変化の様子を示した

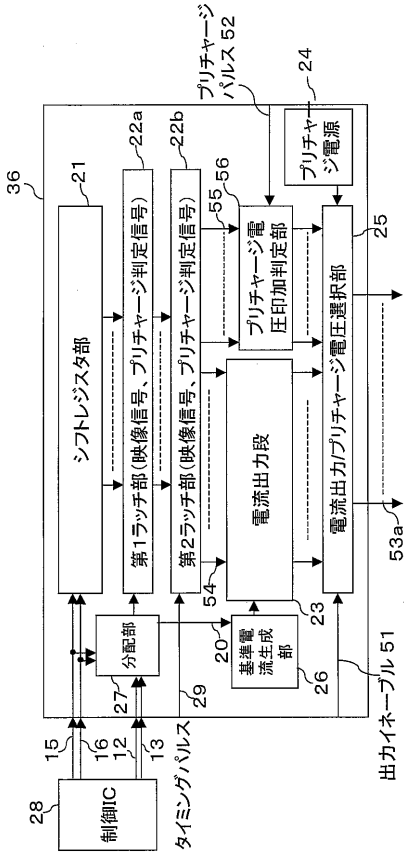
図
【図１８５】本発明における出力イネーブル信号の動作を示した図
【図１８６】出力イネーブル機能、電圧プリチャージ機能、電流プリチャージ機能を有する出力段の回路例を示した図
【図１８７】画素選択期間と垂直ブランキング期間で電圧プリチャージパルスが異なることを示した図
【図１８８】垂直ブランキング期間での電圧プリチャージパルス、プリチャージフラグとソース信号線電圧のようすを示した図
【図１８９】コマンド転送期間とタイミングパルス、コマンドレジスタ更新タイミングの関係を示した図
【図１９０】本発明のソースドライバの内部構成を示した図
【図１９１】本発明における電流出力段の回路ブロックを示した図
【図１９２】図１９１の電流出力段を用いたときのソースドライバ出力電流波形の例を示した図
【図１９３】図１８６の回路構成を用い、電流プリチャージパルス１１７４ｄが選択されたときのソース信号線電流値の変化の様子を示した図
【図１９４】図１９１の回路構成を用い、電流プリチャージパルス１１７４ｄを選択した場合におけるソース信号線電流値の変化の様子を示した図
【図１９５】本発明の実施の形態における電流出力段の回路構成を示した図
【図１９６】電流プリチャージを用いたときの所定値からの輝度ずれを階調ごとに示した図
【図１９７】図１９１もしくは図１９５の電流出力段を用いたときの所定値からの輝度ずれを階調ごとに示した図
【図１９８】電流プリチャージ制御線により、電流プリチャージの期間、いくつかの電流源の電流を階調によらず出力できるような電流出力段の回路構成を示した図
【図１９９】電流プリチャージパルスと階調との関係を示した図
【図２００】電流プリチャージ期間に階調電流と、階調電流とは別に用意された電流源の和が出力される電流出力段の回路構成を示した図
【図２０１】１つの電流出力部から時分割により３つの出力向けの電流出力が可能となるドライバＩＣの電流出力に関する回路構成を示した図
【図２０２】図２０１のドライバＩＣにおける表示色切り替え信号のタイミングと出力電流、水平走査期間の関係を示した図
【図２０３】１つの電流出力部から時分割により２つの出力向けの電流出力が可能となるドライバＩＣの電流出力に関する回路構成を示した図
【図２０４】セレクタ２０３１の動作を示した図
【図２０５】基準電流生成部、セレクタ、電流出力段のつながりをトランジスタで構成した場合の回路例を示した図
【図２０６】点灯率によって階調信号倍率と発光期間の割合を変化させるときの変化を示した図
【図２０７】図２０６の関係において点灯率が１％未満の場合における入力階調とデータ倍率の関係を示した図
【図２０８】図６の画素構成を有する表示パネルにおいてある画素の１フレームにおけるゲート信号線動作を示した図
【図２０９】ゲート信号線２によりＥＬ素子が発光する期間を変化させる場合の動作を示した図
【図２１０】点灯率の違いによる入力データとドライバ出力階調の関係を示した図
【図２１１】入力データに対し、ドライバ出力階調を点灯率により変更し、変更に応じて発光期間を制御するための回路ブロックを示した図
【図２１２】図２５に示すような電流出力段を有するドライバにおける入力階調と出力電流の関係を示した図

【図２１３】図２０９（ｃ）に示すようなゲート信号線２の波形を実現するためのゲートドライバ制御線の入力を示した図
【図２１４】２倍の電流を流すための入力データに対するドライバ階調出力の関係を示した図
【図２１５】図２１７（ａ）の状態におけるトランジスタ６２のゲート電圧とドレイン電流の関係を示した図
【図２１６】ＥＬ素子６３の電流－電圧特性を示した図
【図２１７】カレントコピアの画素構成を有する表示装置において、画素への電流書込みと、ＥＬ点灯時の動作を示した図
【図２１８】カレントコピアの画素にソースドライバからプリチャージにより書込みを行う場合におけるソースドライバ出力段の動作を示した図
【図２１９】電圧及び電流プリチャージ実施における信号線電位変化の様子を示した図
【図２２０】図２１９のように信号線が変化した場合におけるソースドライバからの電流出力変化及びソース信号線電位の変化の様子を示した図
【図２２１】電圧プリチャージ実施時に電流プリチャージを同時に出力する場合におけるスイッチ、各点の電位変化の様子を示した図
【図２２２】図２２１のスイッチ動作を行うためのソースドライバ出力段の構成を示した図
【図２２３】プリチャージ電流を半分にしたときのゲート線電位、ドライバ電流出力、ソース線電位の変化の様子を示した図
【図２２４】パルス選択部によりプリチャージ電流を半分にすることが可能とする出力段の回路構成を示した図
【図２２５】電圧プリチャージ時実施時に電流源トランジスタのドレイン電位を低下させない機能を有する出力段の構成を示した図
【図２２６】図２２５の回路構成における電流源トランジスタのドレイン電位及び共通ゲート線の電位変化を示した図
【図２２７】電圧プリチャージ実施時かつ電流プリチャージパルス入力時の電流源トランジスタドレイン電位制御機能付の出力段の回路構成を示した図
【図２２８】図２２５及び図２２７の回路構成において、電圧及び電流プリチャージパルスの入力波形例を示した図
【図２２９】図２２４におけるパルス選択部２２４１の動作を示した図
【図２３０】電流プリチャージ期間での電流値を可変できる機能を有する出力段の構成を示した図
【符号の説明】
【０７１２】
１１　映像データ
１２　データ線
１３　アドレス
１４　振り分け後データ
１５　クロック
１６　スタートパルス
２４１　トランジスタ

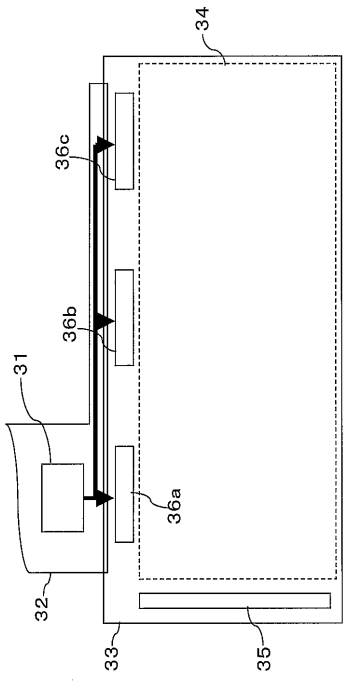
【図１】


クロック (15)
スタートパルス (16)
データ線 (12)
アドレス (13)
コマンド期間
ブランク挿入でも可
映像信号の期間（160出力の場合）
1画素分のデータ
1列目データ
2列目データ
3列目データ
160列目データ
映像データ赤 (11a)
映像データ緑 (11b)
映像データ青 (11c)
XYZ画素分
14a
14b
14c

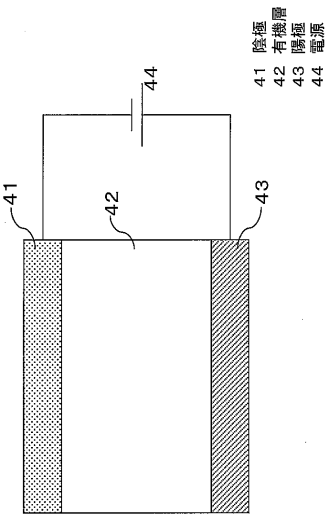
【図２】


シフトレジスタ部
第1ラッチ部（映像信号、プリチャージ判定信号）
第2ラッチ部（映像信号、プリチャージ判定信号）
分配部
基準電流生成部
電流出力段
プリチャージ電圧印加判定部
電流出力/プリチャージ電圧選択部
プリチャージ電源
プリチャージパルス 52
タイミングパルス
出力イネーブル 51
制御IC
21
22a
22b
23
24
25
26
27
28
29
36
53a
54
55
56

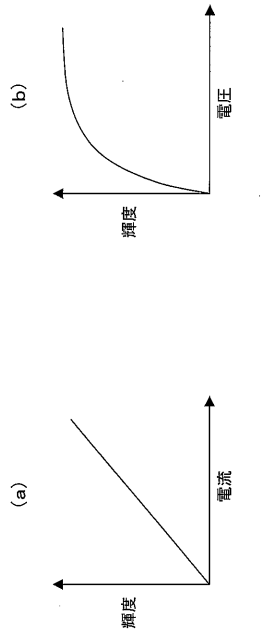
【図３】


31:コントロールIC
32:フレキシブル基板
33:表示パネル
34:表示領域
35:ゲートドライバ
36:電流出力型ソースドライバIC

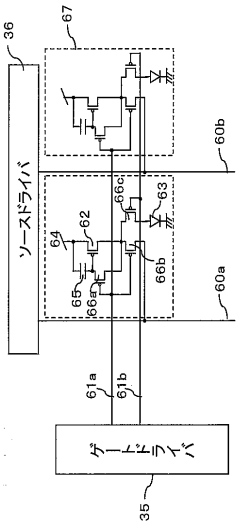
【図４】


41 陰極
42 有機層
43 陽極
44 電源

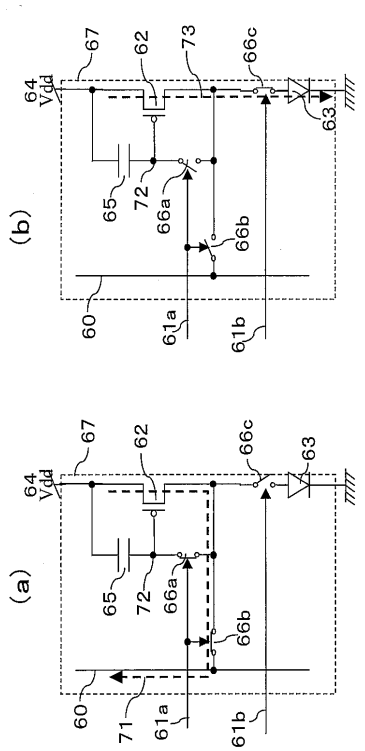
【図５】


(b)
電圧
輝度
(a)
電流
輝度

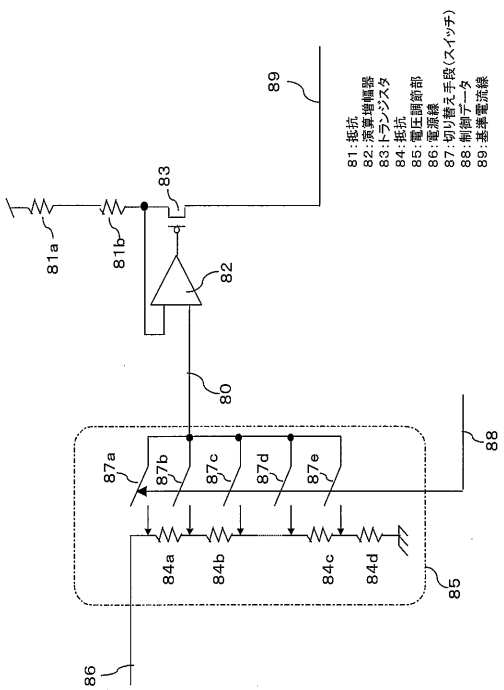
【図６】


36
67
ソースドライバ
60b
60a
66c
63
62
64
65
66a
66b
61a
61b
ゲートドライバ
35

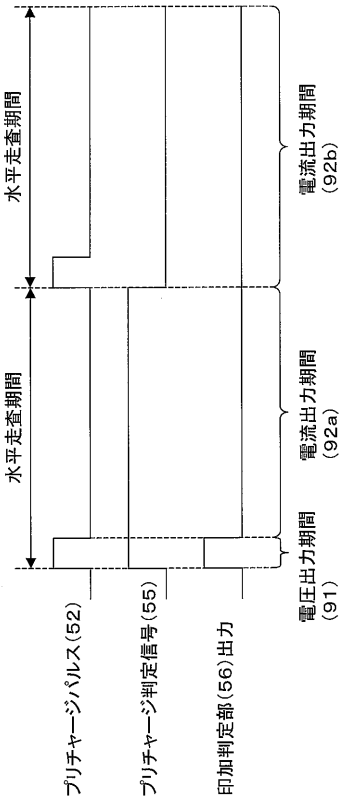
【図７】


(b)
(a)
64
Vdd
67
62
73
66c
63
65
72
66a
66b
60
71
61a
61b

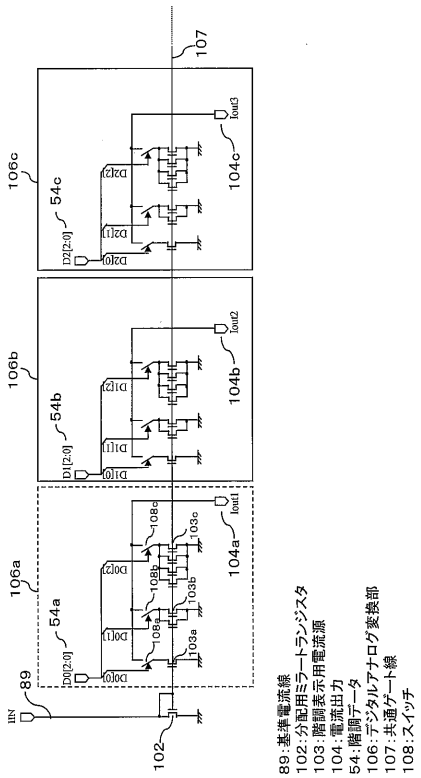
【図８】


89
81a
81b
83
82
80
87a
87b
87c
87d
87e
88
84a
84b
84c
84d
85
86
81:抵抗
82:演算増幅器
83:トランジスタ
84:抵抗
85:電圧調節部
86:電源線
87:切り替え手段(スイッチ)
88:制御データ
89:基準電流線

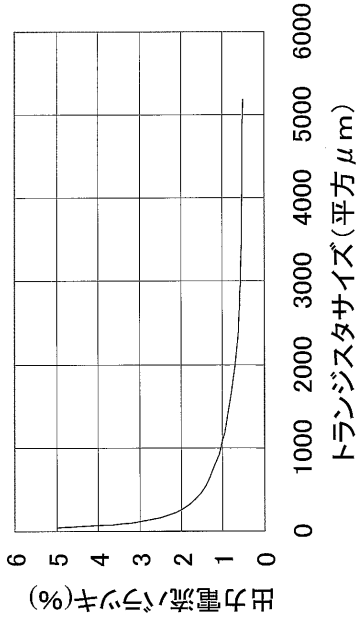
【図９】



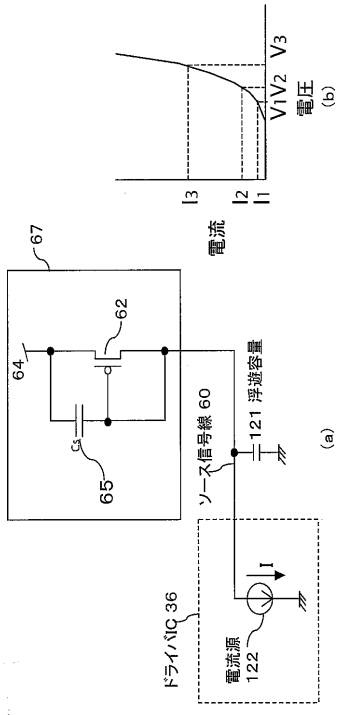
【図１０】



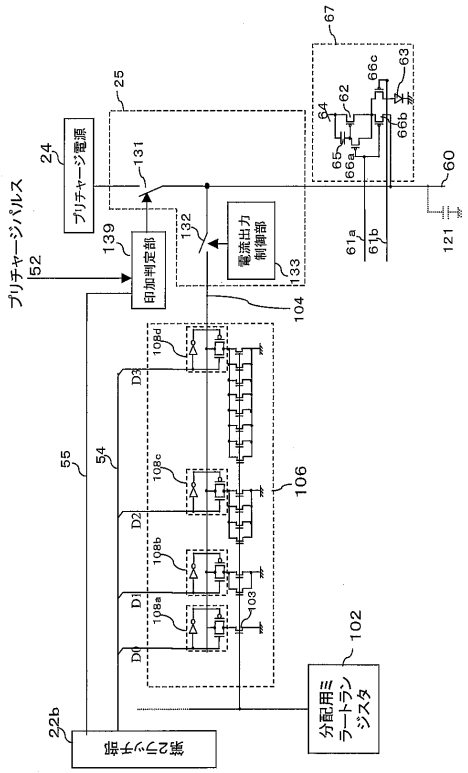
【図１１】



【図１２】



【図１３】



【図１４】

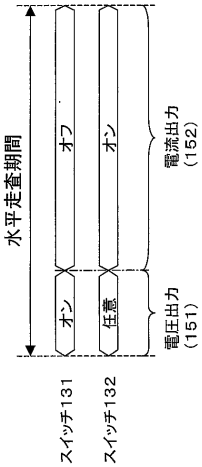
(a)

階調	トランジスタ群	トランジスタ群の特性 チャネル幅[μm]	チャネル長[μm]	出力電流ばらつき[%]
1	241a	3.0	54	2.5
2	241b			1.8
4	242a	6.0	27	2.5
8	242b			1.8
16	242c			1.3
32	242d			0.9
64	242e			0.6
128	242f			0.5

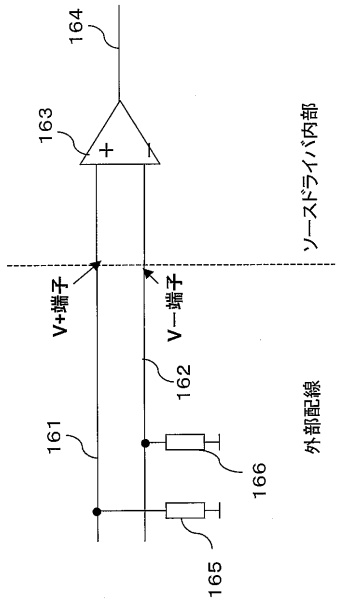
(b)

階調	トランジスタ群	トランジスタ群の特性 チャネル幅[μm]	チャネル長[μm]	出力電流ばらつき[%]
1	241a	1.5	27	5.0
2	241b			3.5
4	242a	6.0	27	2.5
8	242b			1.8
16	242c			1.3
32	242d			0.9
64	242e			0.6
128	242f			0.5

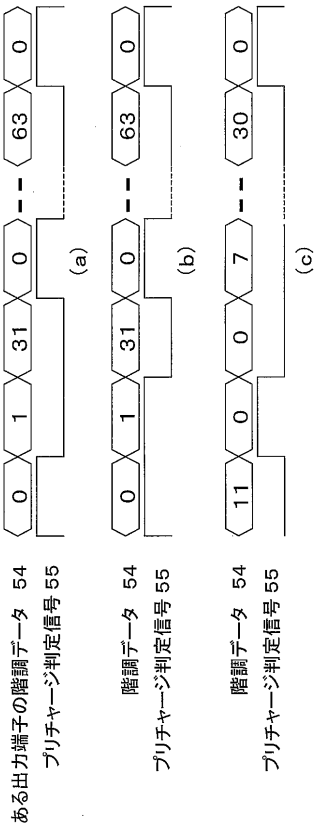
【図１５】



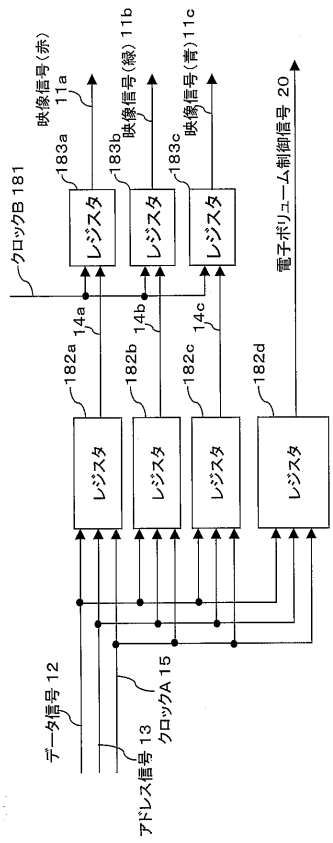
【図１６】



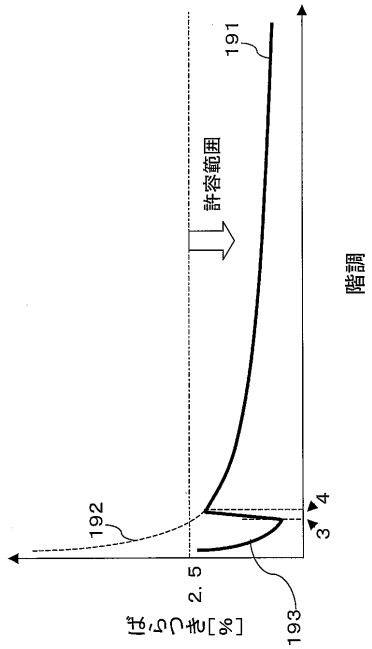
【図１７】



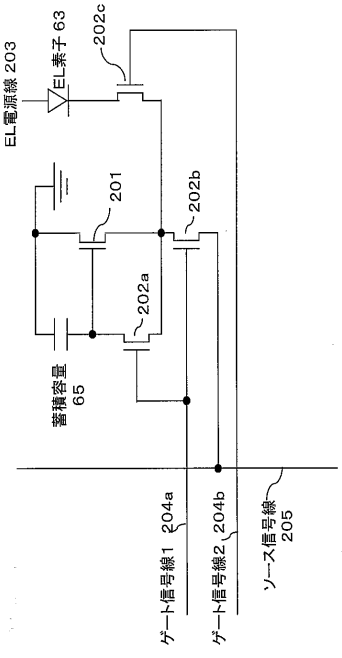
【図１８】



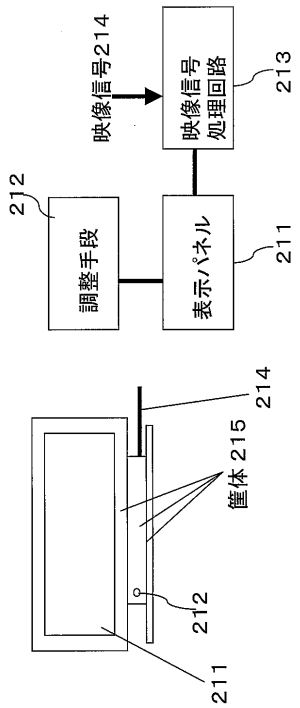
【図１９】



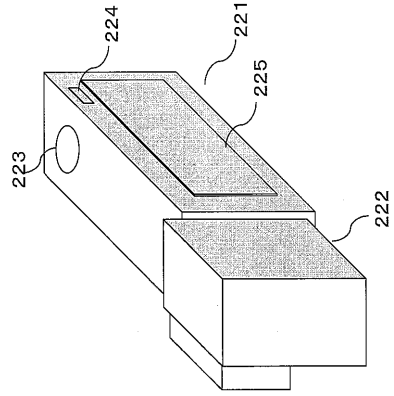
【図２０】



【図２１】



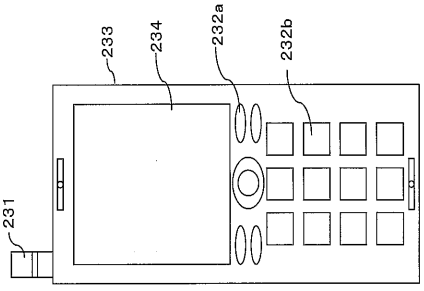
【図２２】



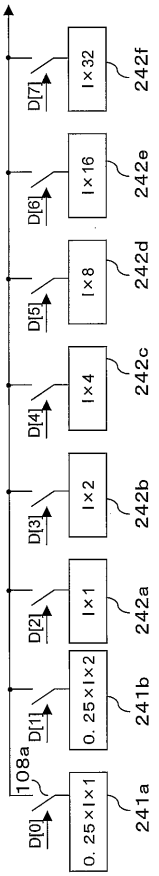
221 本体
222 撮影部
223 シャッタスイッチ
224 ファインダー
225 表示パネル

【図２３】

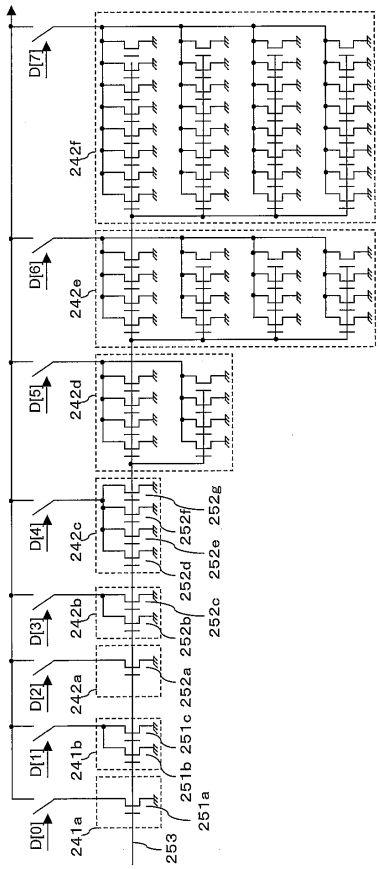
231 アンテナ
232 キー
233 筐体
234 表示パネル



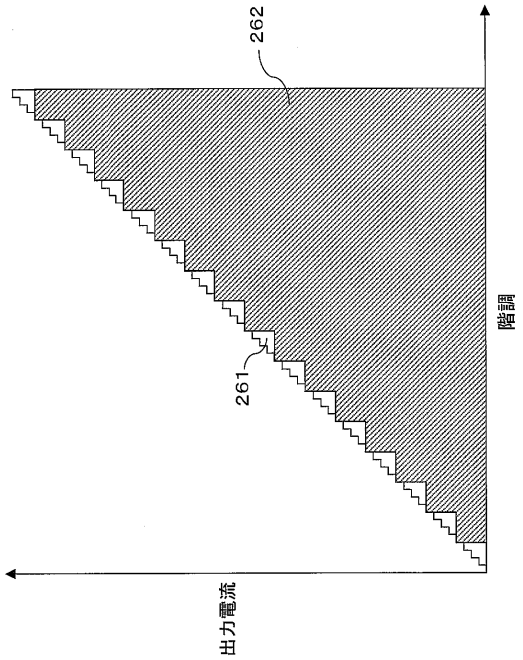
【図２４】



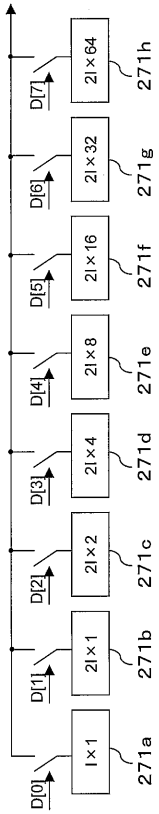
【図２５】



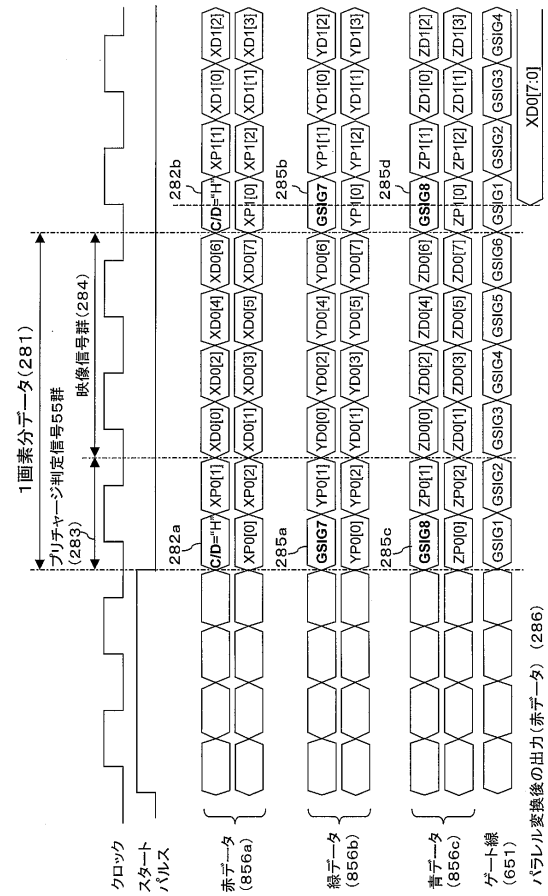
【図２６】



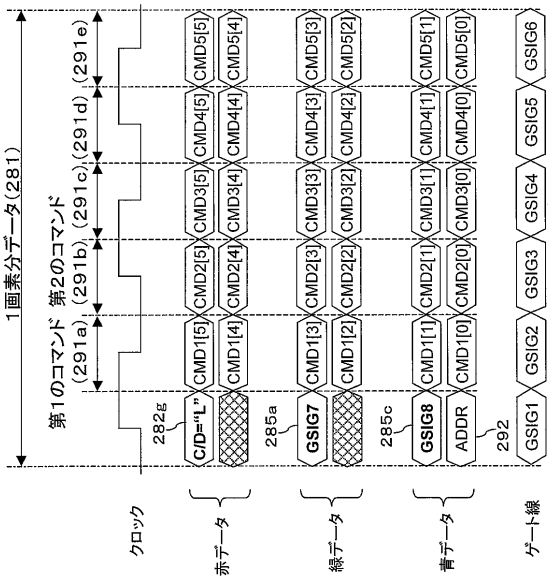
【図２７】



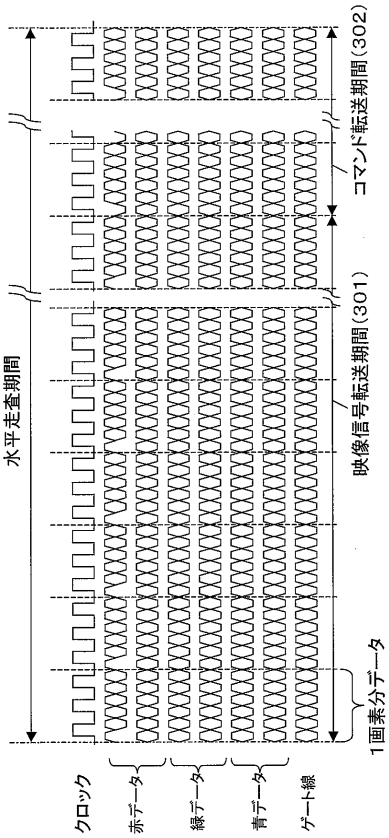
【図２８】



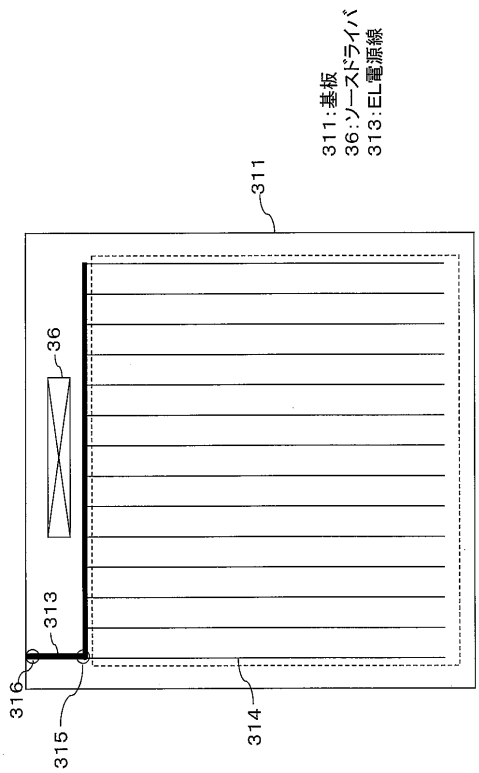
【図２９】



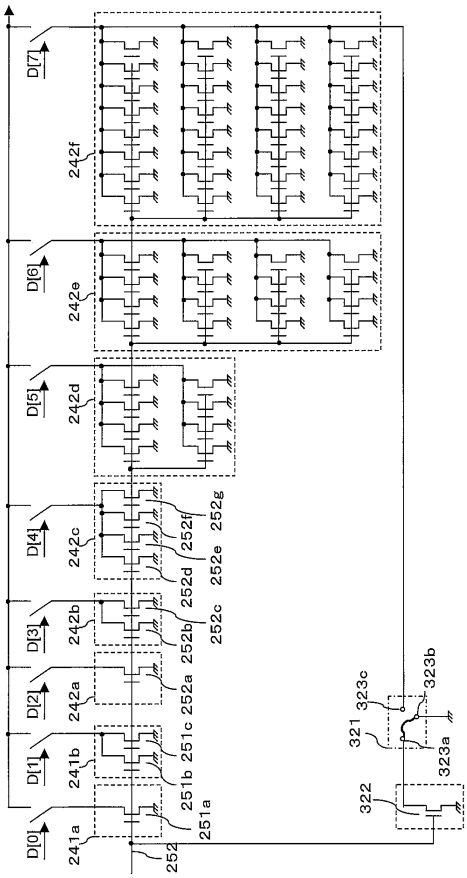
【図３０】



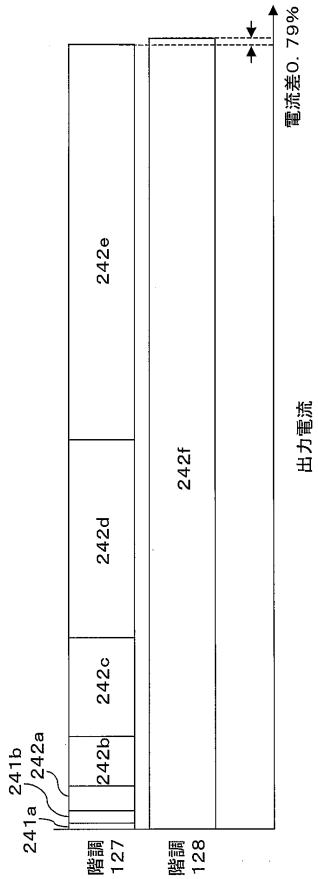
【図３１】



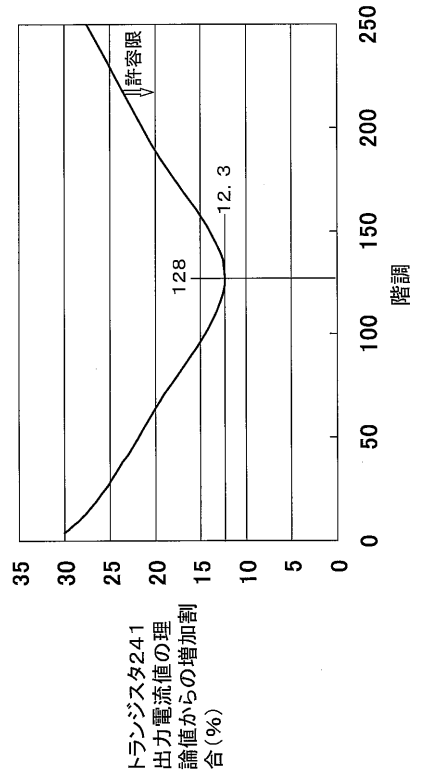
【図３２】



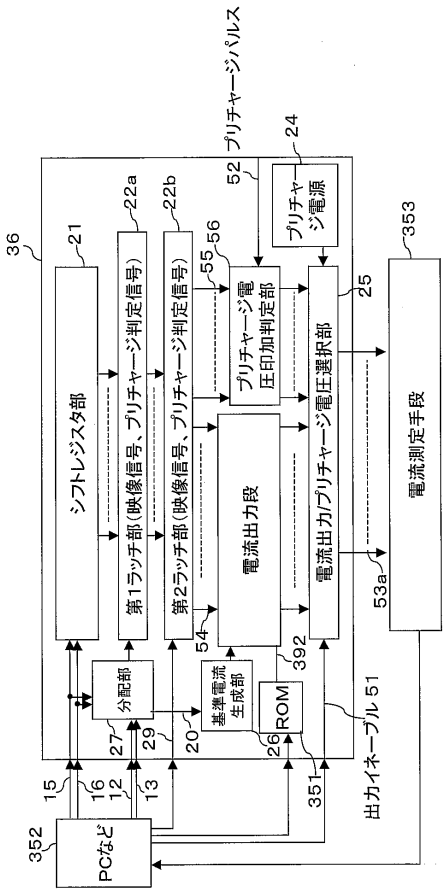
【図３３】



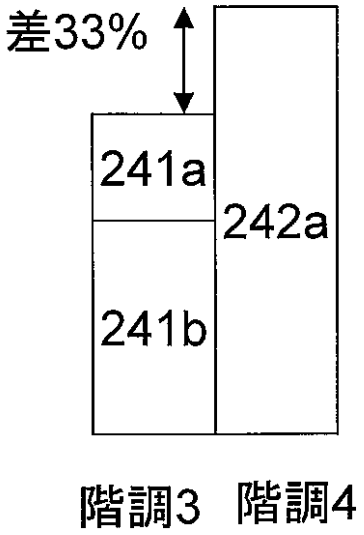
【図３４】



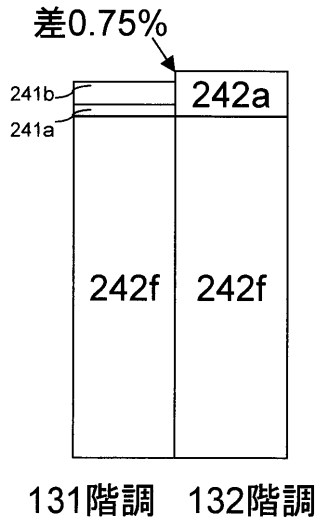
【図３５】



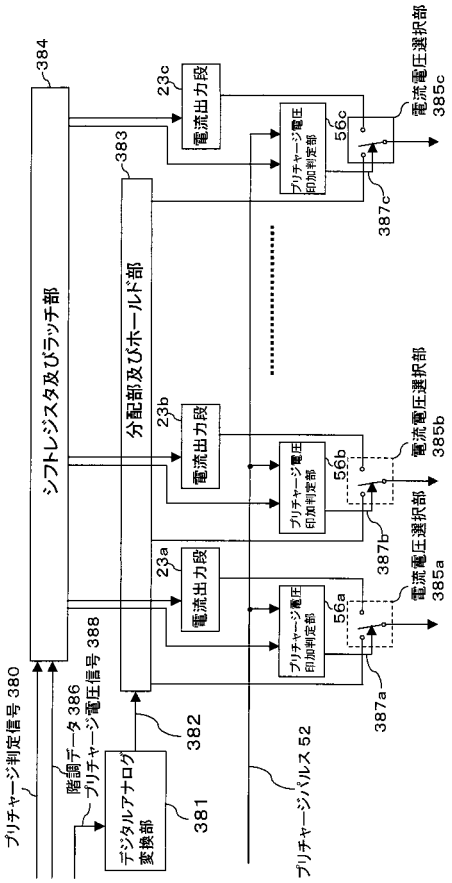
【図３６】



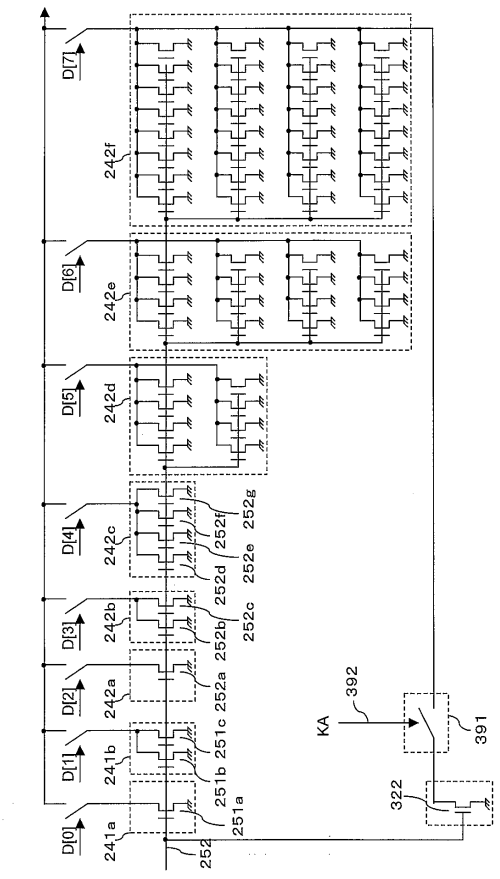
【図３７】



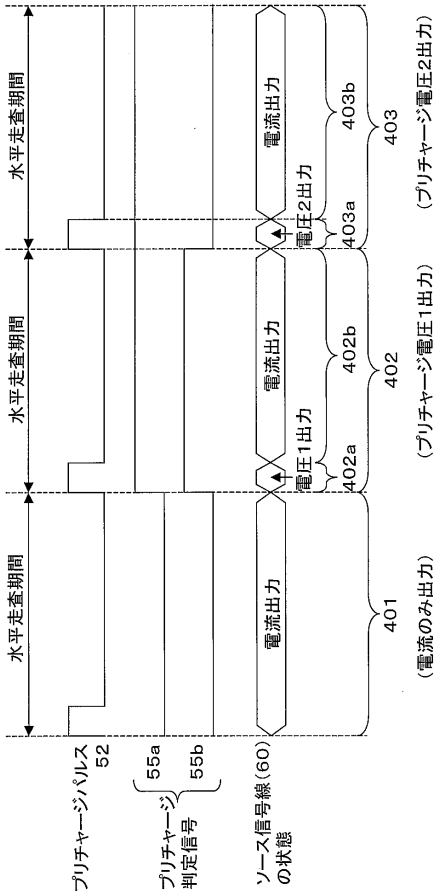
【図３８】



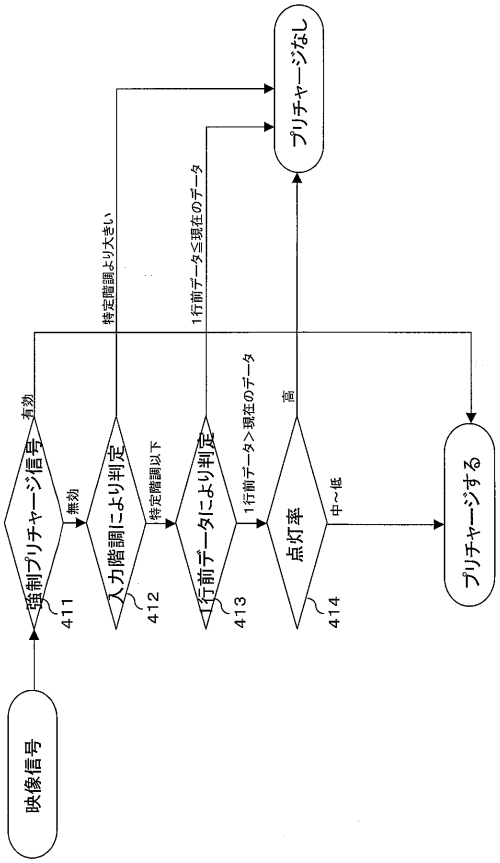
【図３９】



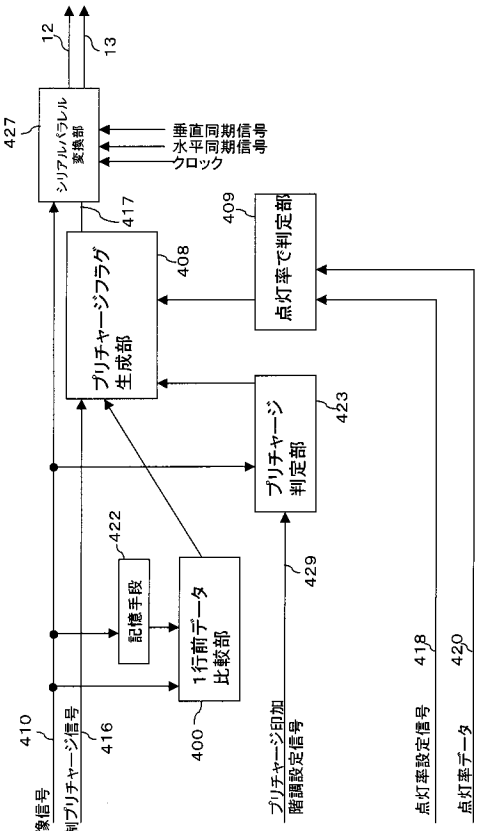
【図４０】



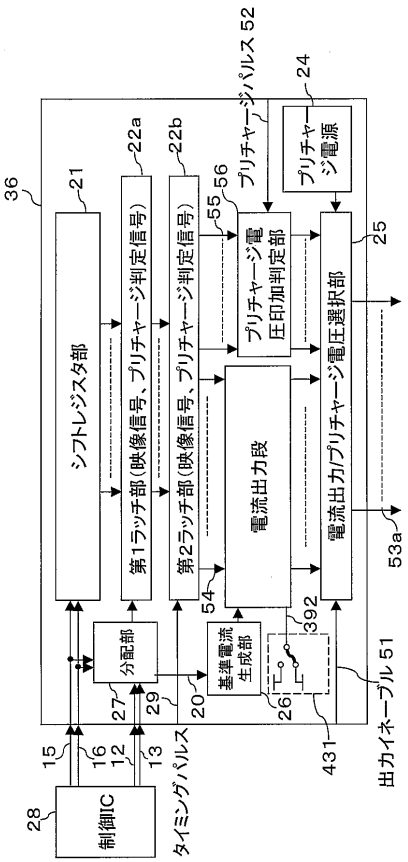
【図４１】



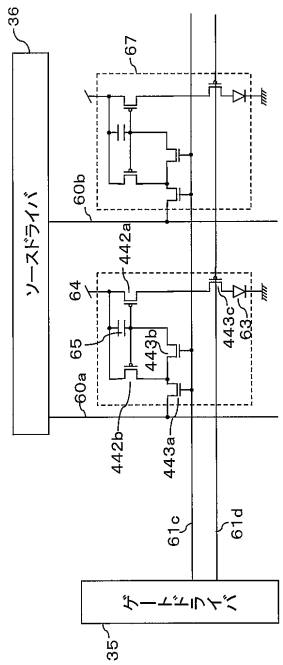
【図４２】



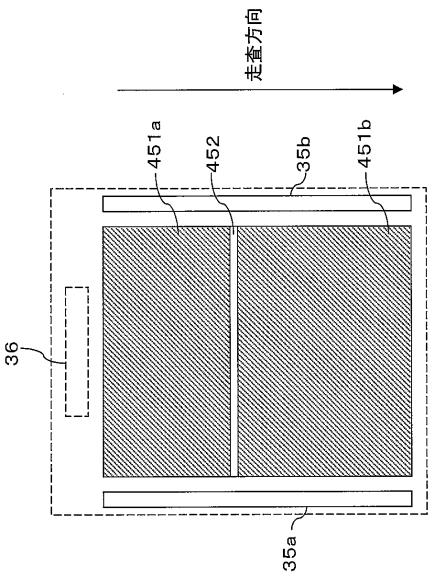
【図４３】



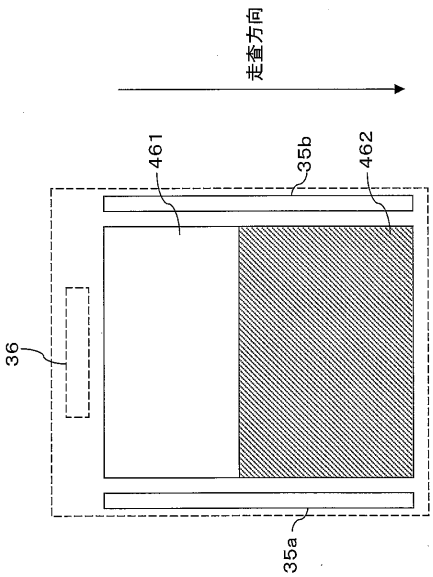
【図４４】



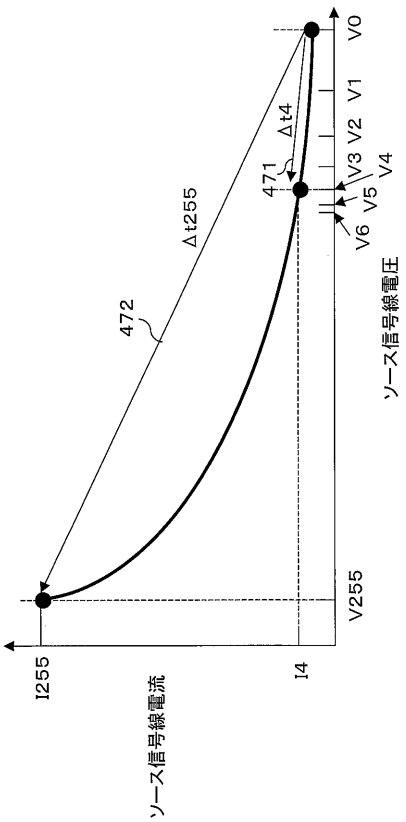
【図４５】



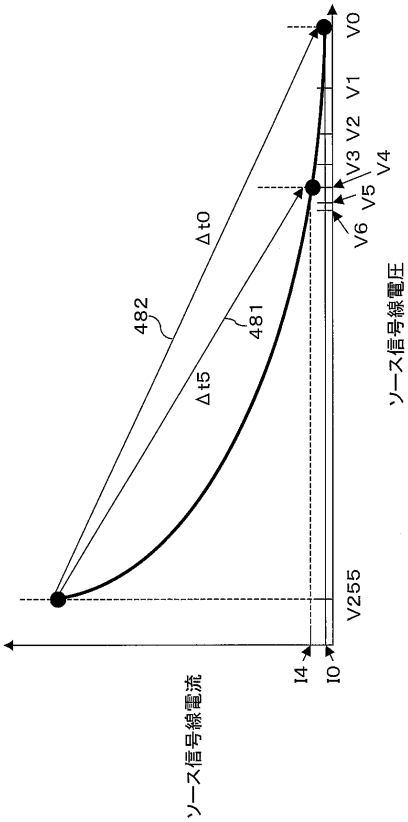
【図４６】



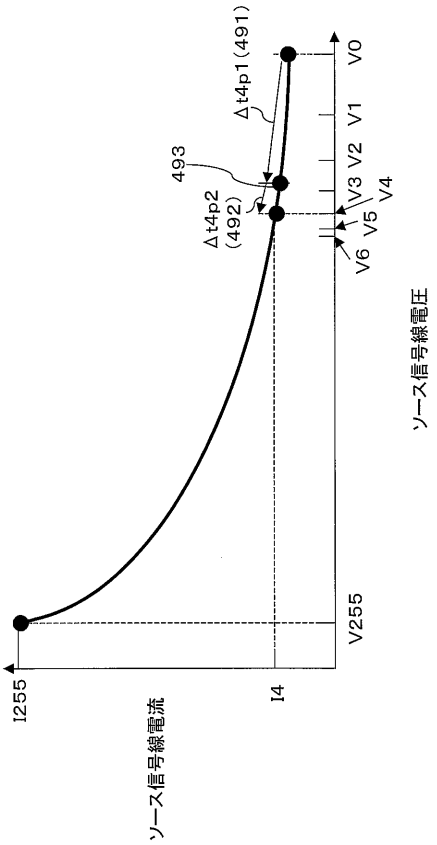
【図４７】



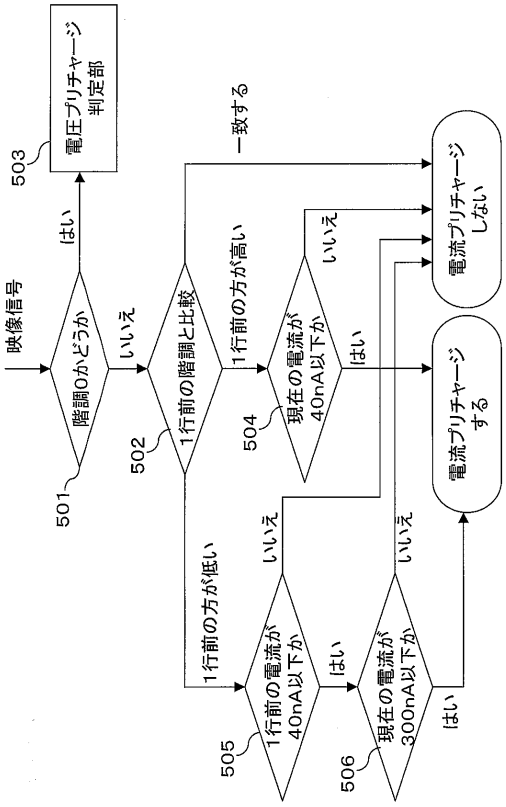
【図４８】



【図４９】



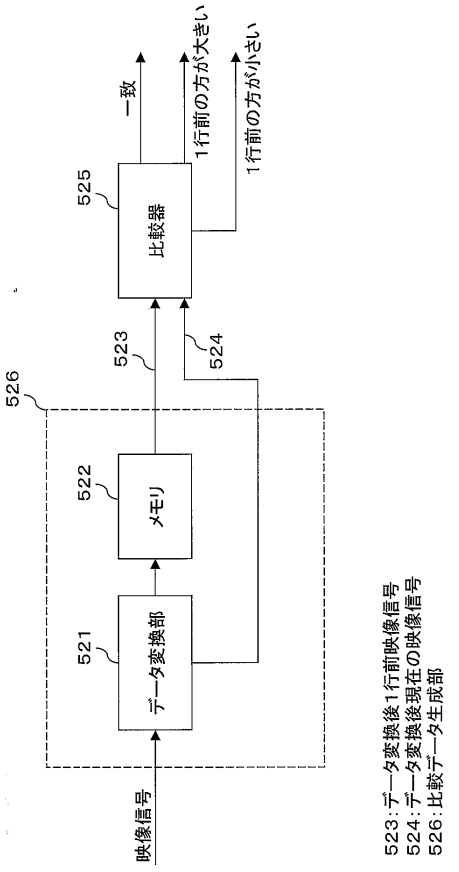
【図５０】



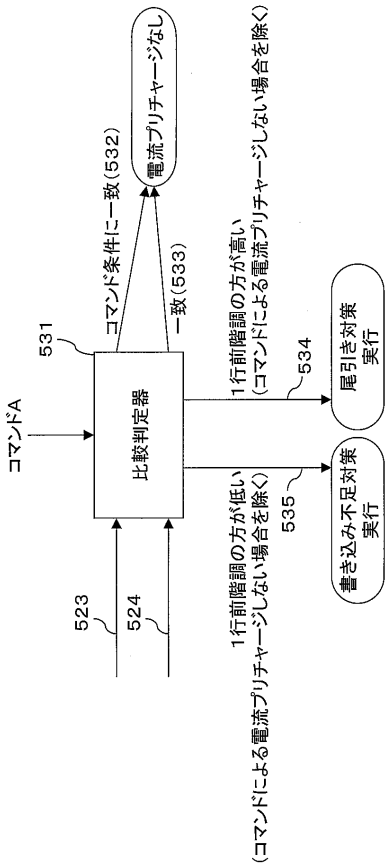
【図５１】

映像信号の階調	メモリに書き込むデータ
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	10
11	11
12	12
13	13
14	14
15	15
16以上	15

【図５２】



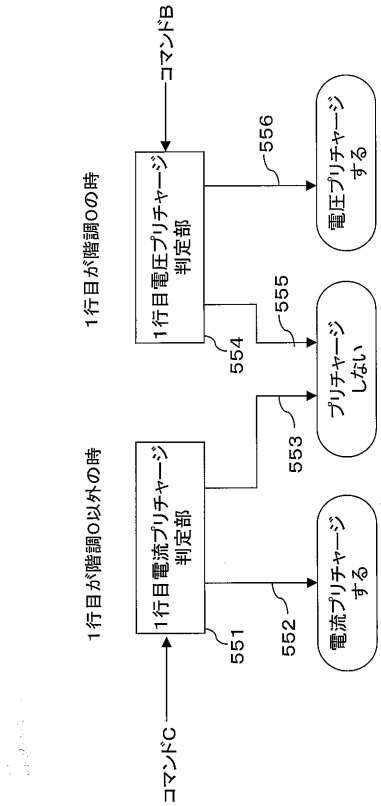
【図５３】



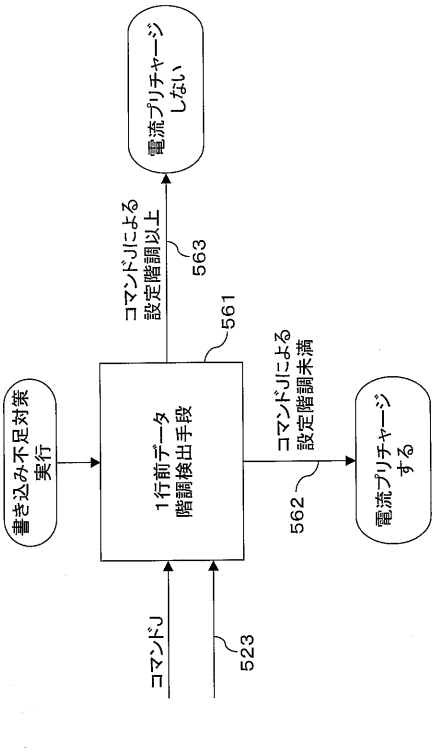
【図５４】

コマンドAの値	動作
0	電流プリチャージなし(全ての組み合わせにおいて)
1	1行前データと1階調差である場合には電流プリチャージなし
2	1行前データと1階調差である場合には電流プリチャージなしだが、階調0から1への変化の際には電流プリチャージする
3	1行前データと2階調差以下である場合には電流プリチャージなし
4	1行前データと2階調差以下である場合には電流プリチャージなしだが、階調0から1、階調0から2への変化の際には電流プリチャージする

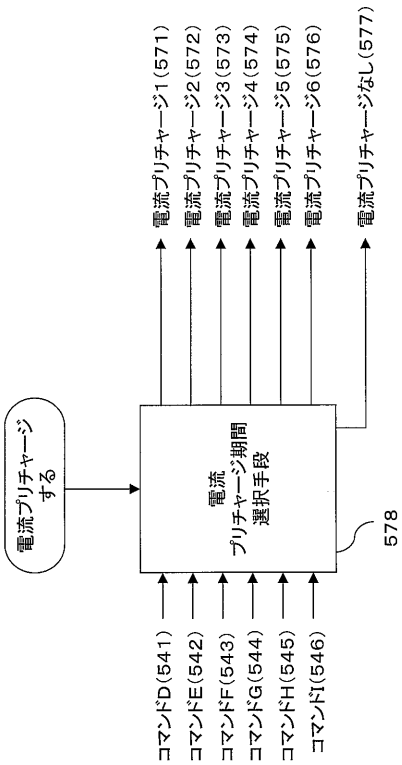
【図５５】



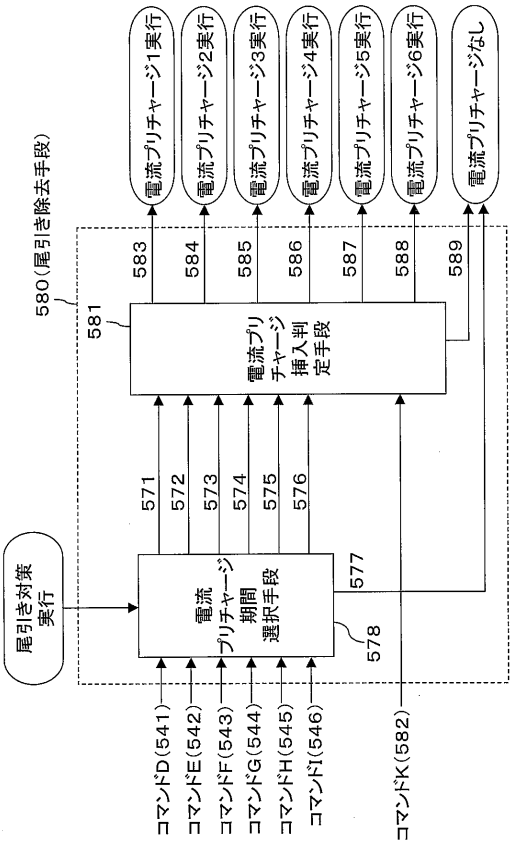
【図５６】



【図５７】



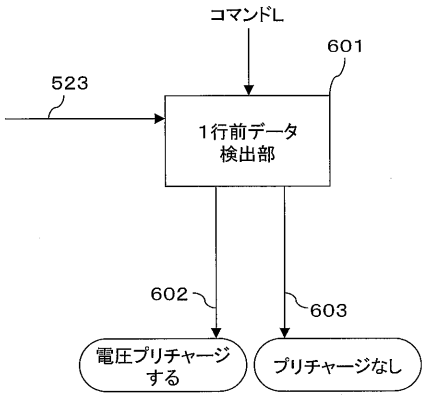
【図５８】



【図５９】

コマンドKの値		プリチャージのパターン
0		入力された電流プリチャージのパターンと同じ
	1	
2		電流プリチャージ6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
3		電流プリチャージ5もしくは6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
4		電流プリチャージ4から6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
5		電流プリチャージ3から6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
6		電流プリチャージ2から6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
7		電流プリチャージしない

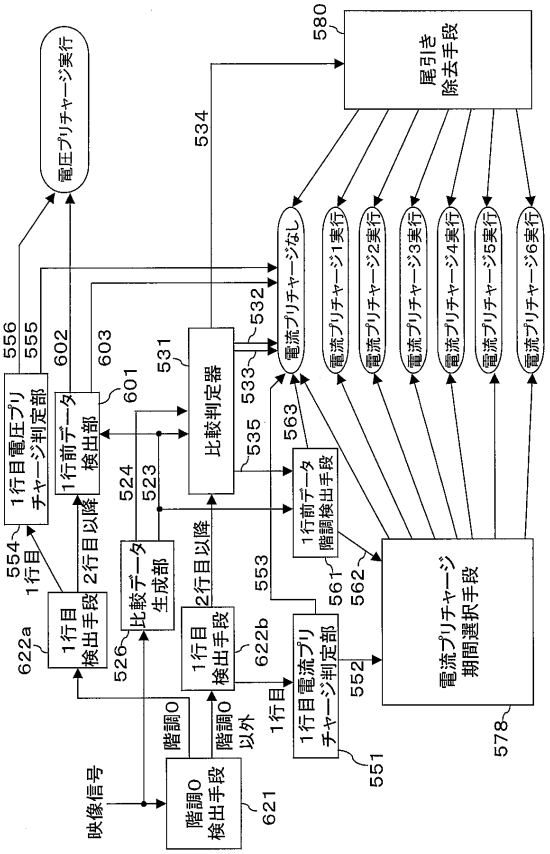
【図６０】



【図６１】

コマンドLの値	プリチャージのパターン
0	電圧プリチャージしない
1	1行前のデータが0のときに電圧プリチャージする
2	必ず電圧プリチャージする

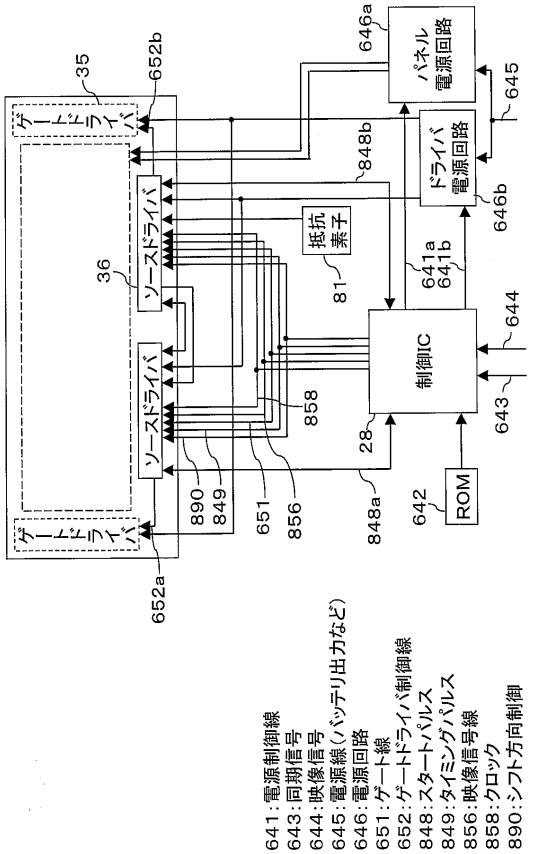
【図６２】



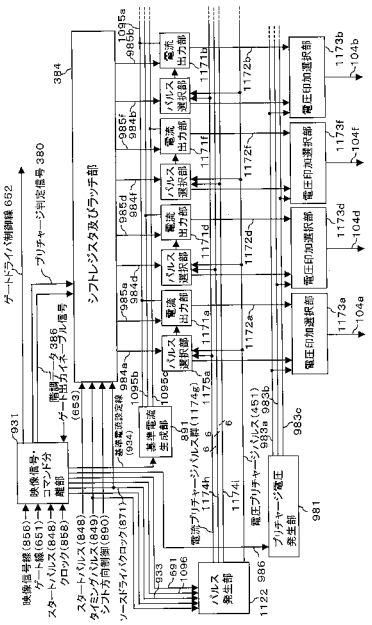
【図６３】

プリチャージ動作の判定	プリチャージ判定信号(55)の値
プリチャージなし	0
電流プリチャージ1実行	1
電流プリチャージ2実行	2
電流プリチャージ3実行	3
電流プリチャージ4実行	4
電流プリチャージ5実行	5
電流プリチャージ6実行	6
電圧プリチャージ実行	7

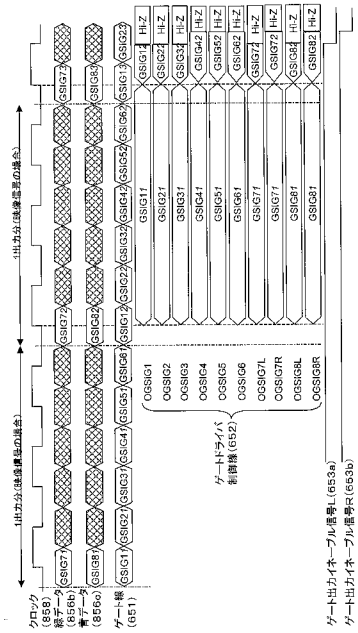
【図６４】



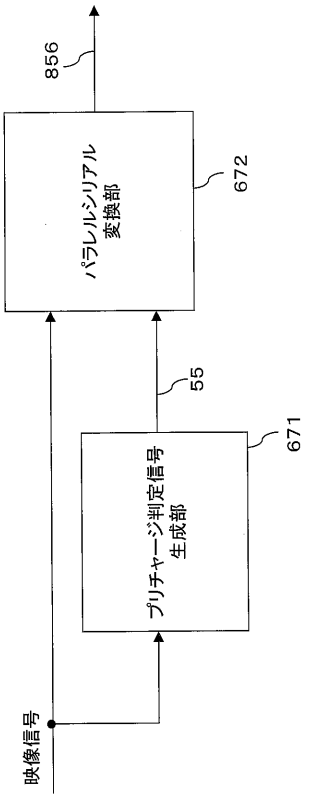
【図６５】



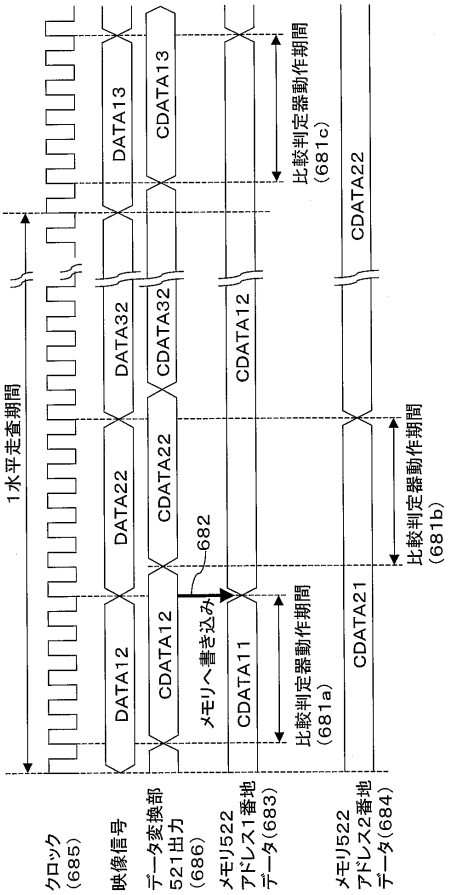
【図６６】



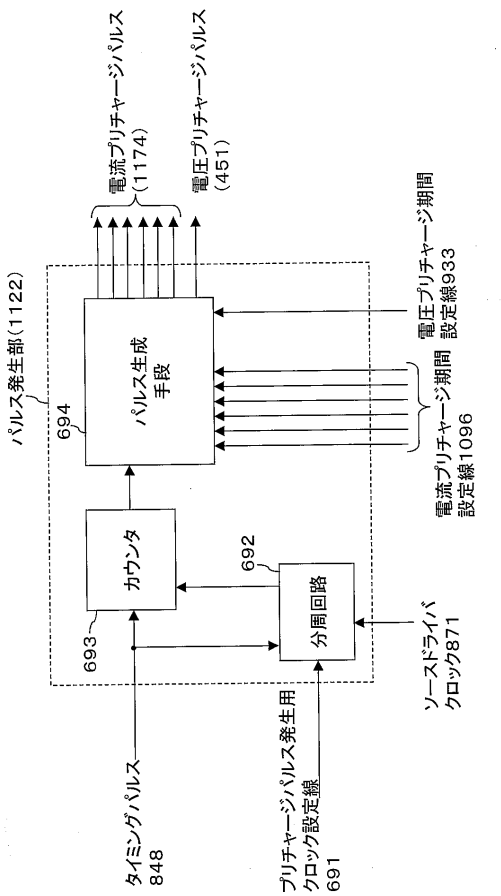
【図６７】



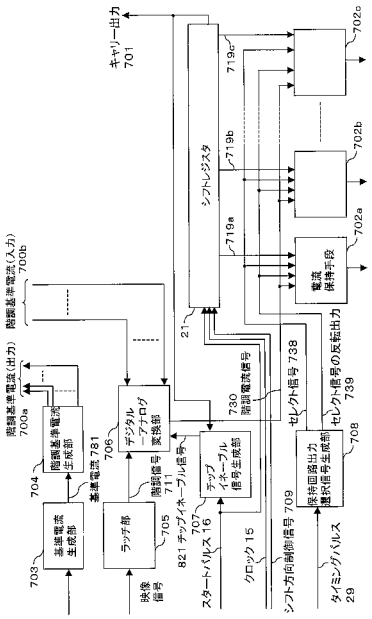
【図６８】



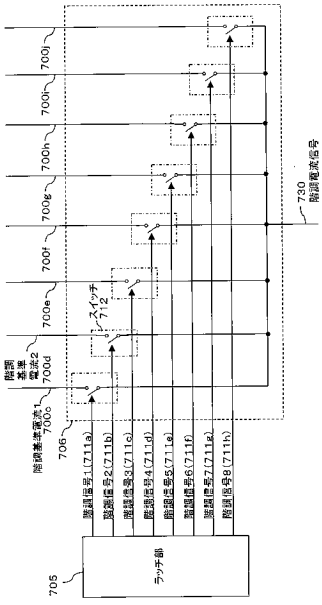
【図６９】



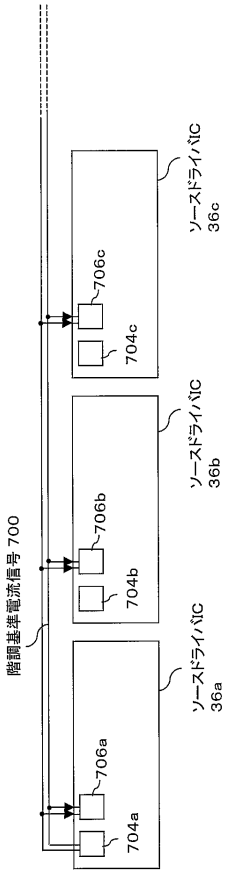
【図７０】



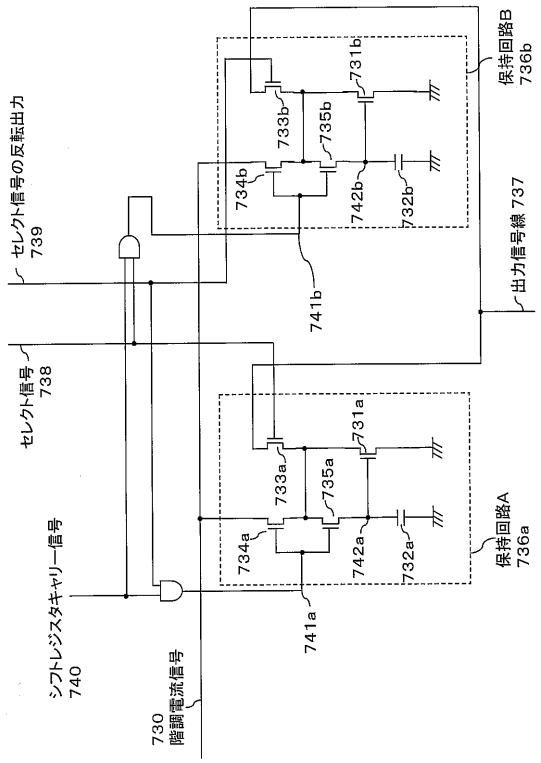
【図７１】



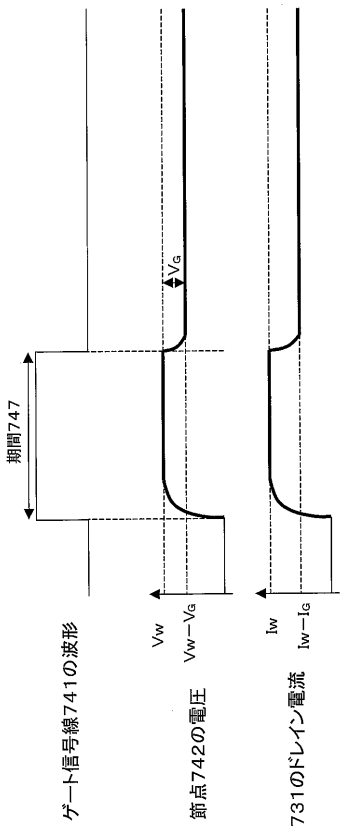
【図７２】



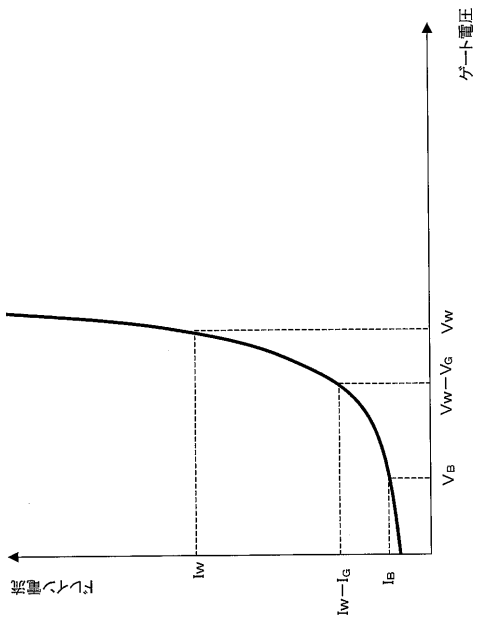
【図７３】



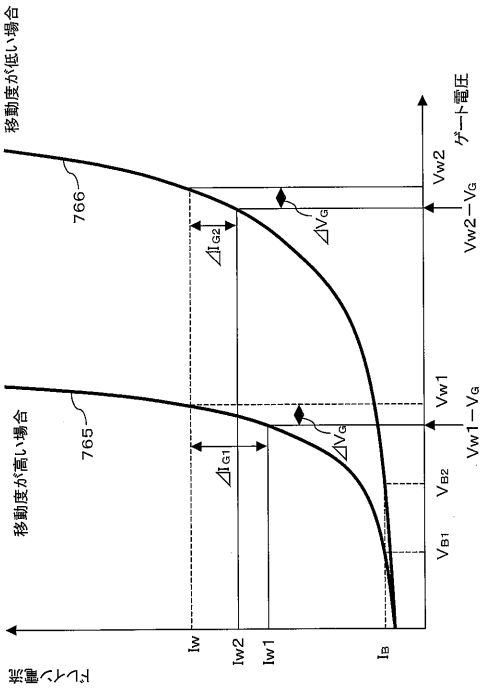
【図７４】



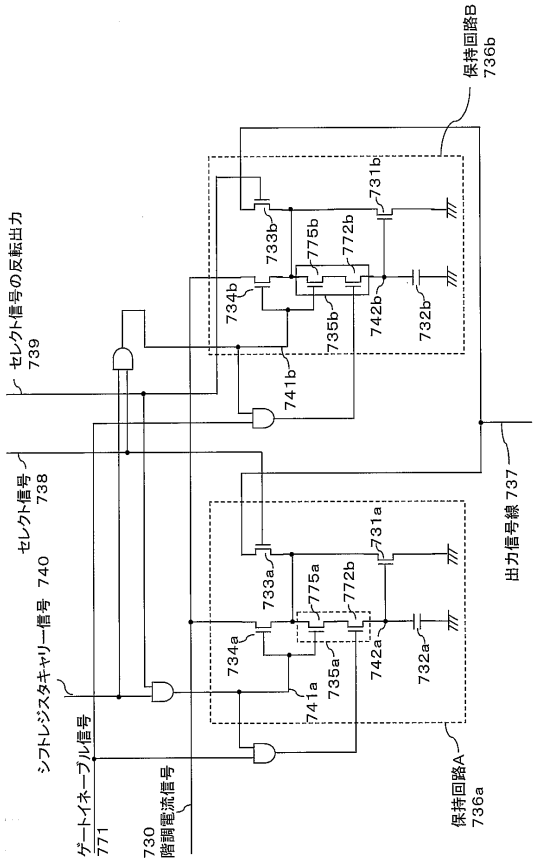
【図７５】



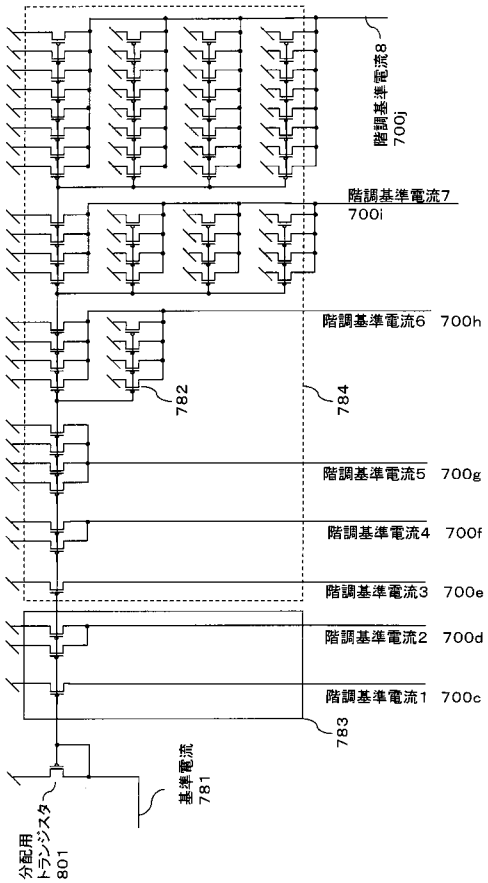
【図７６】



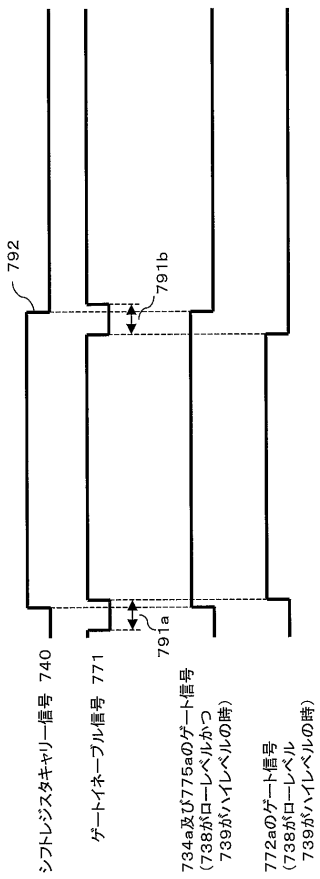
【図７７】



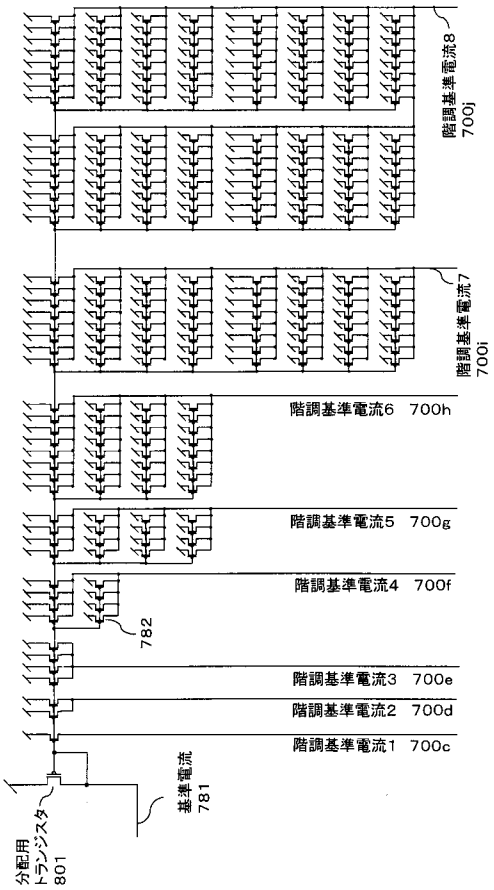
【図７８】



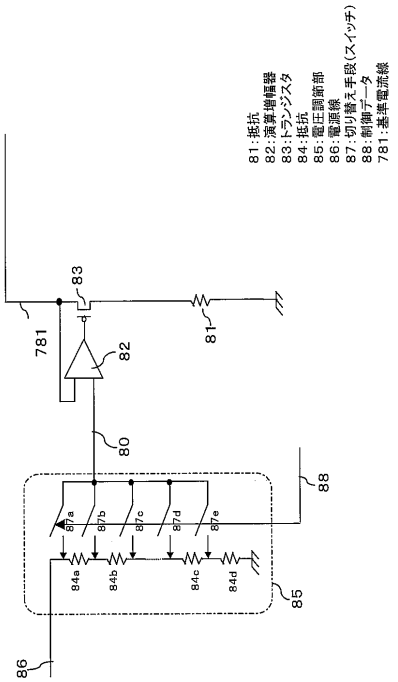
【図７９】



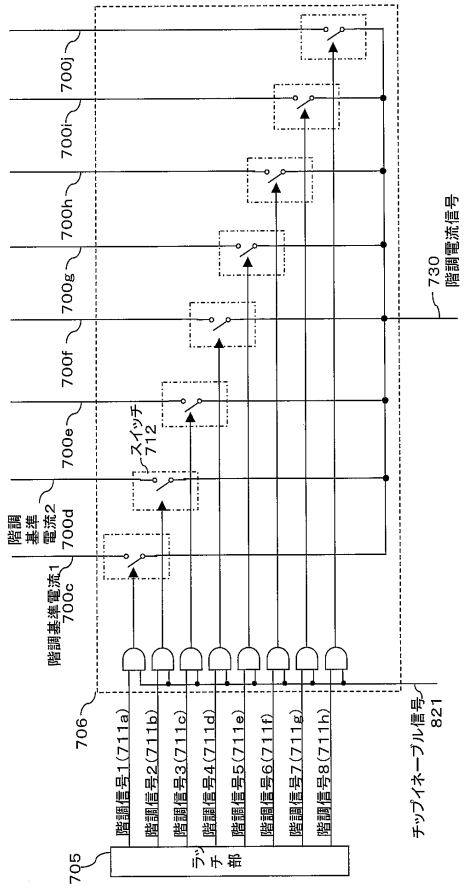
【図８０】



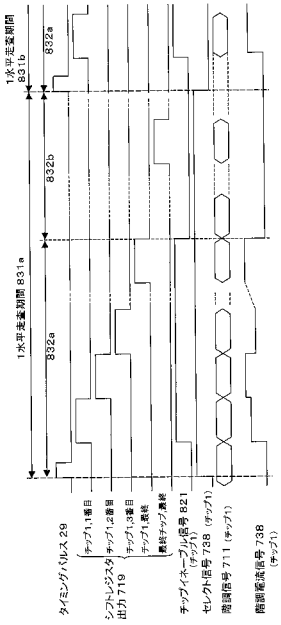
【図８１】



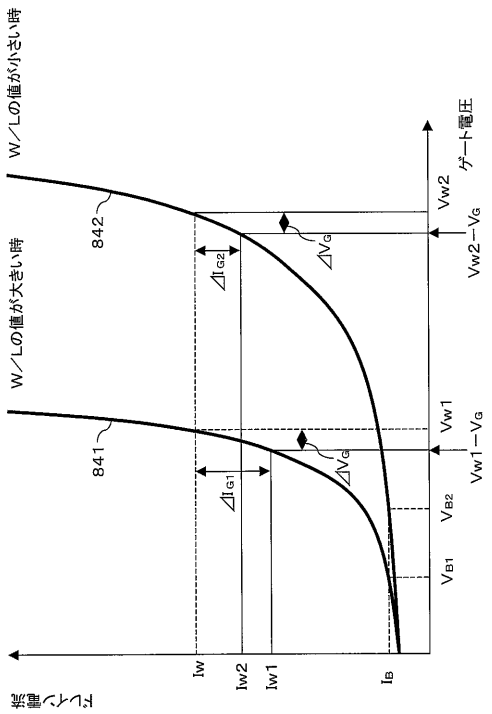
【図８２】



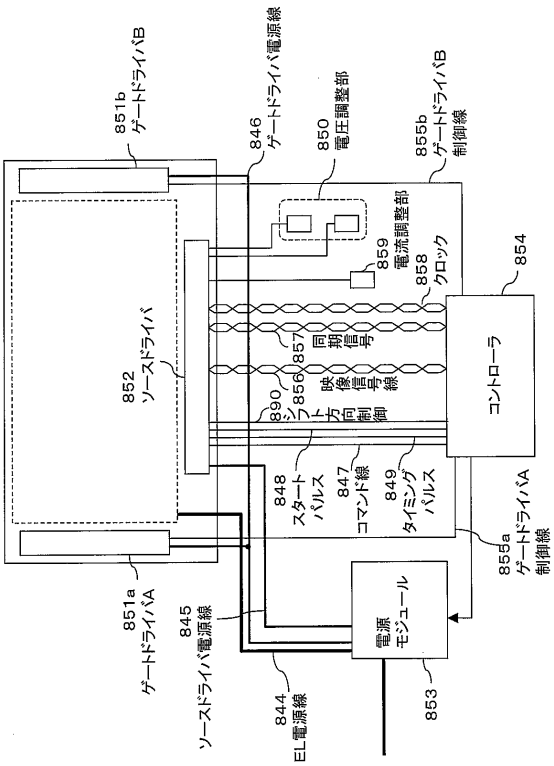
【図８３】



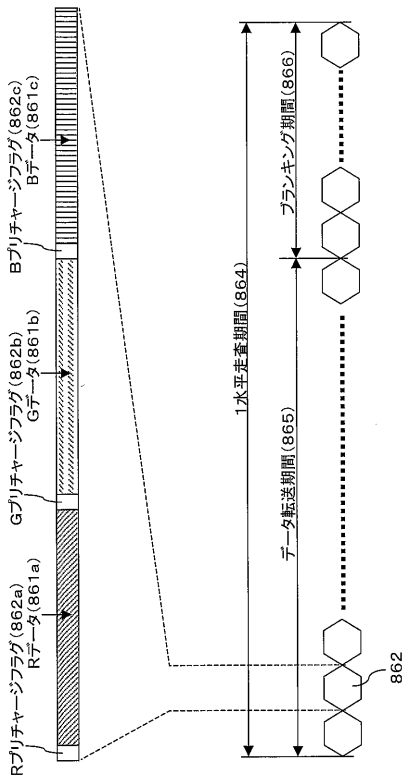
【図８４】



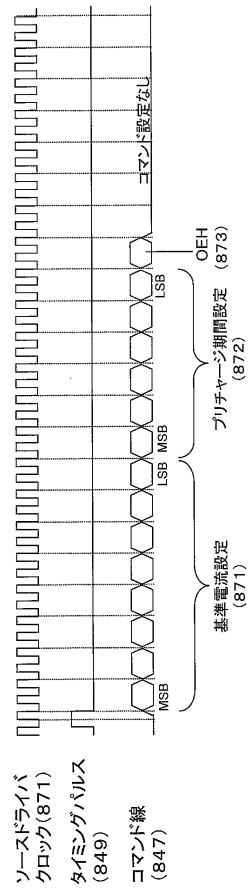
【図８５】



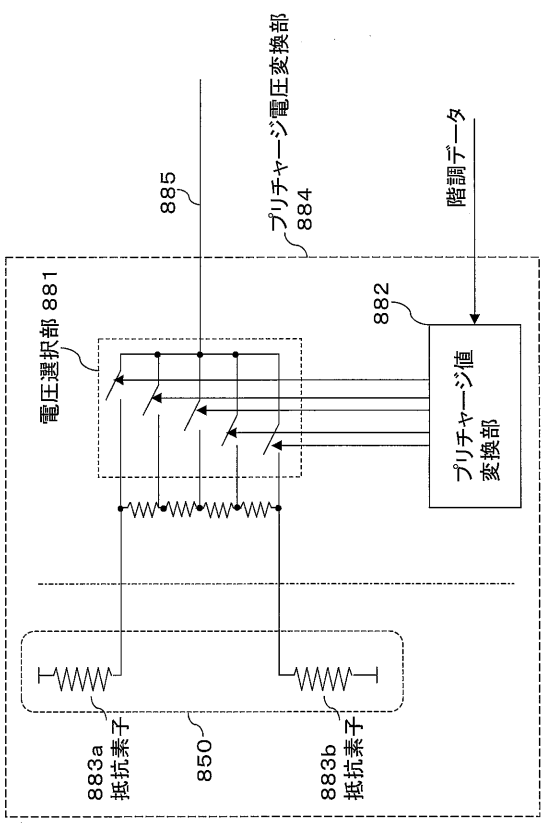
【図８６】



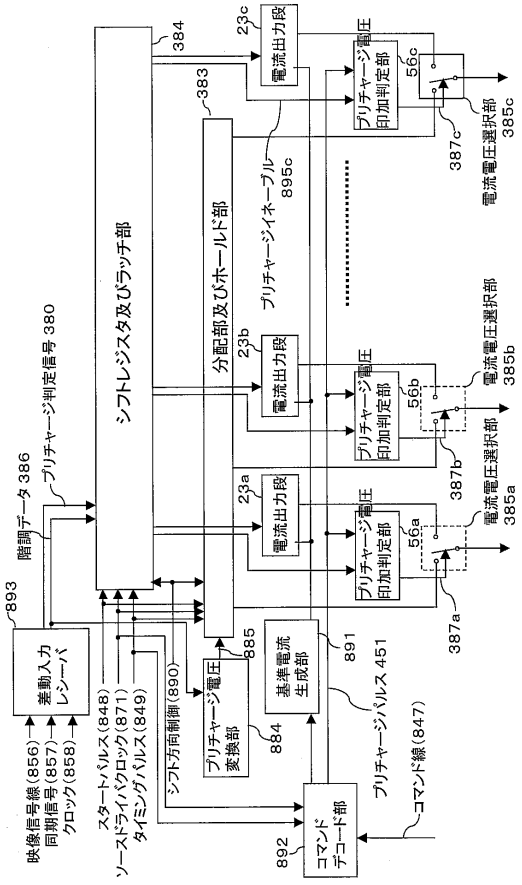
【図８７】



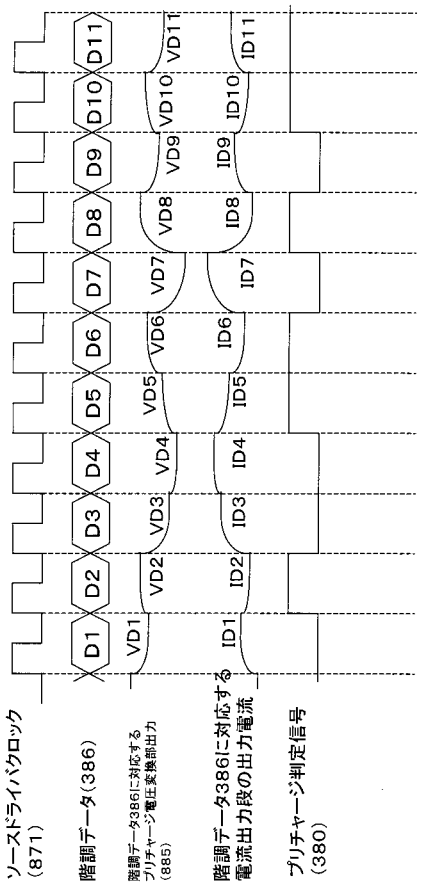
【図８８】



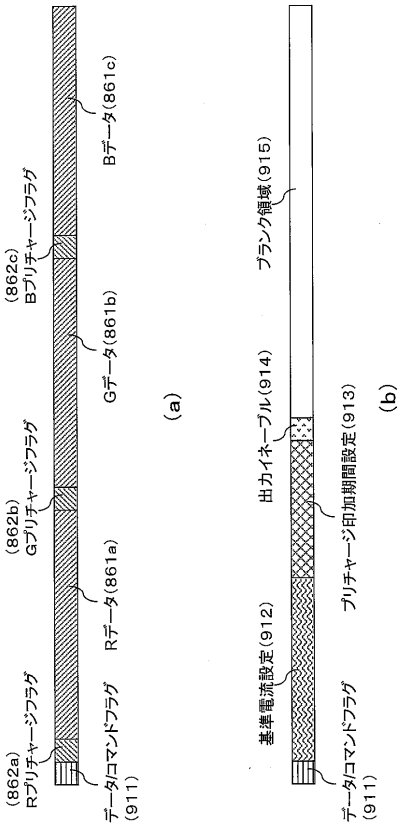
【図８９】



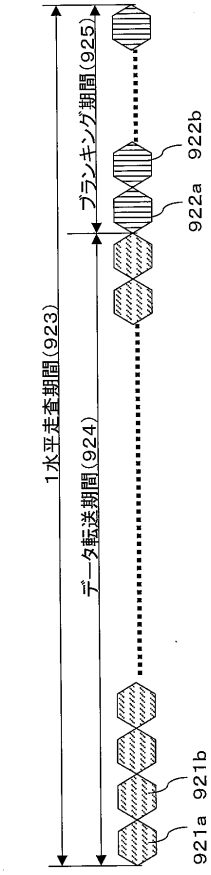
【図９０】



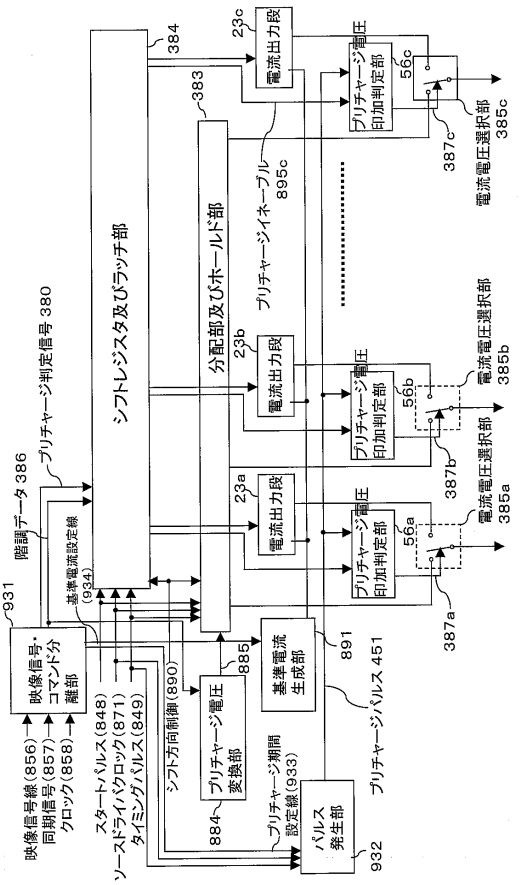
【図９１】



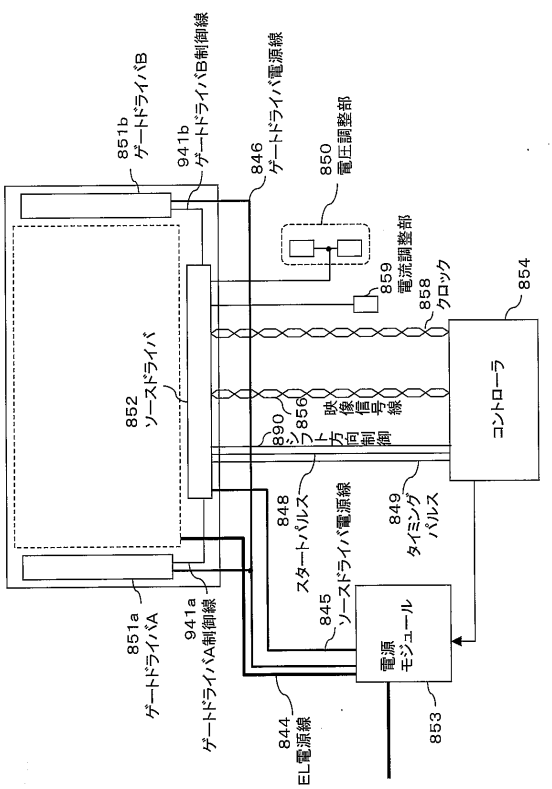
【図９２】



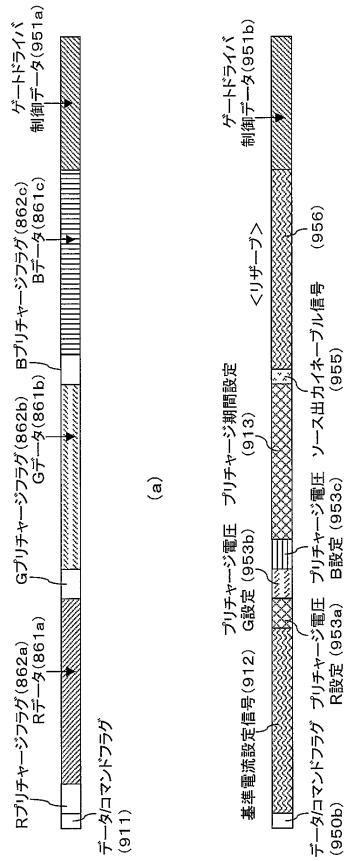
【図９３】



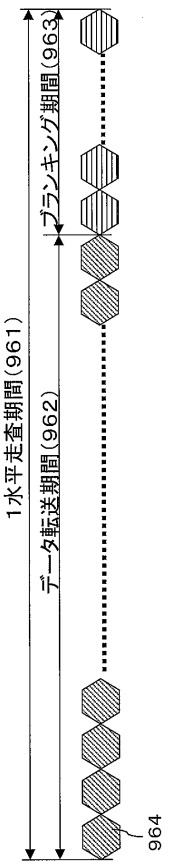
【図９４】



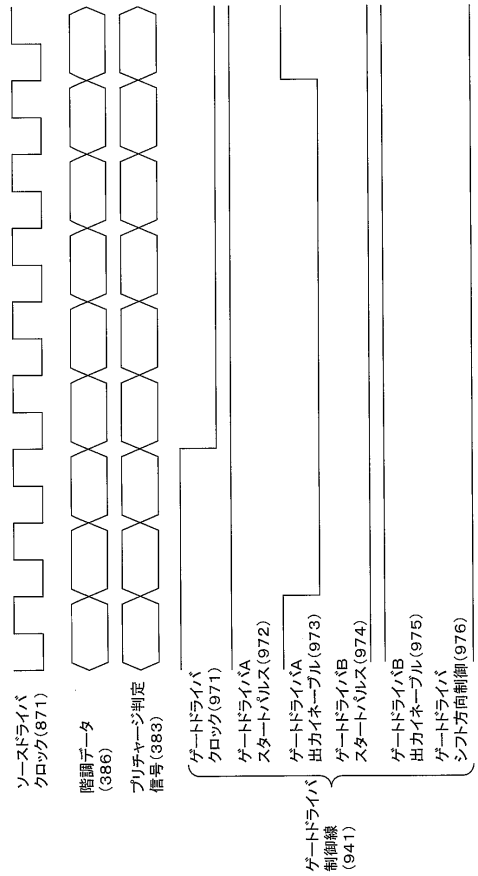
【図９５】



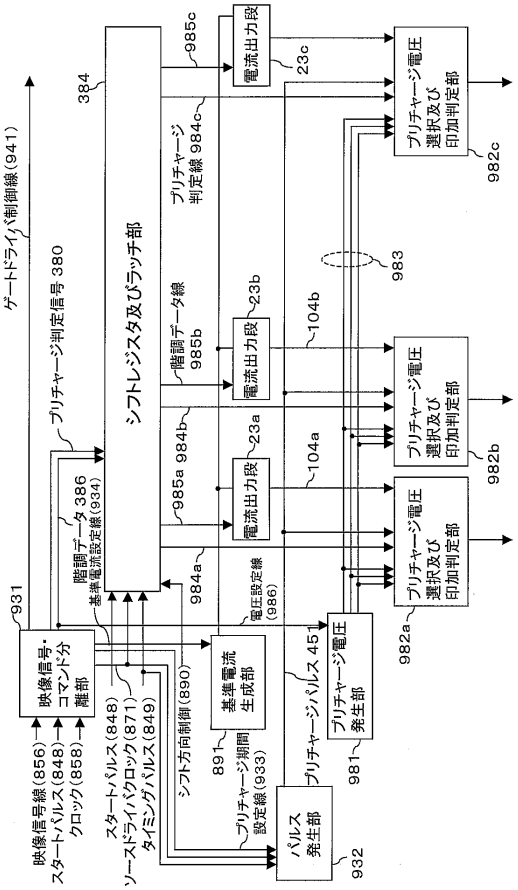
【図９６】



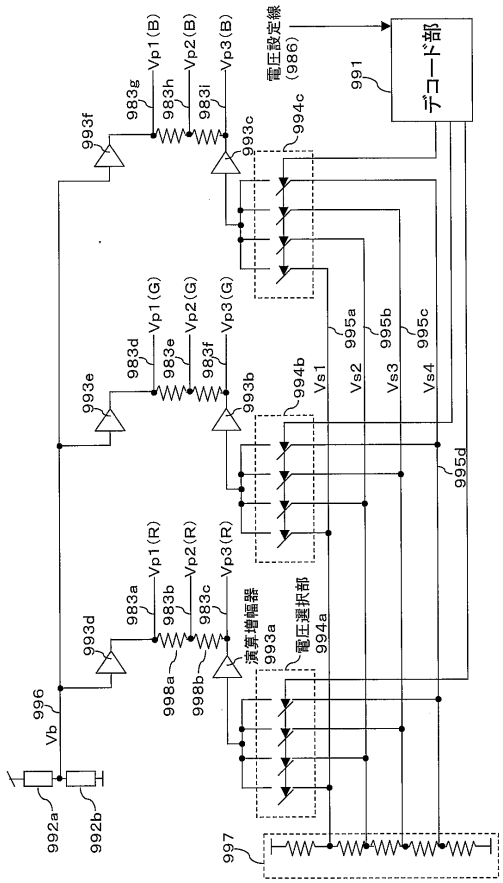
【図９７】



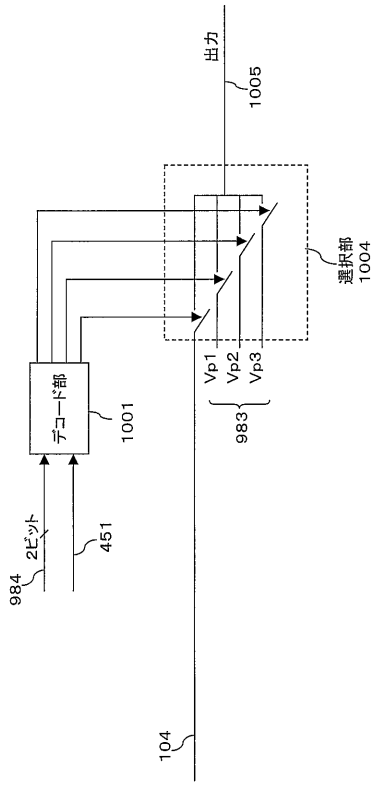
【図９８】



【図９９】



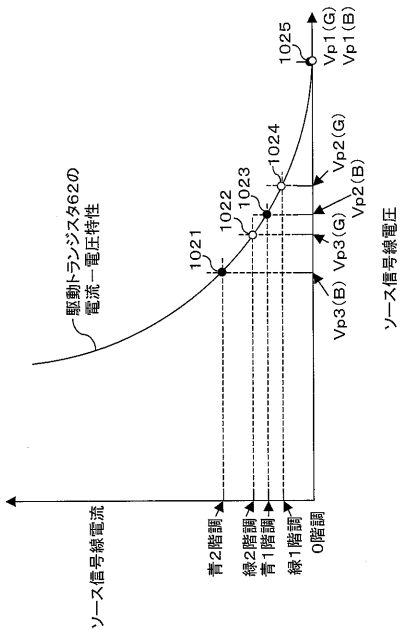
【図１００】



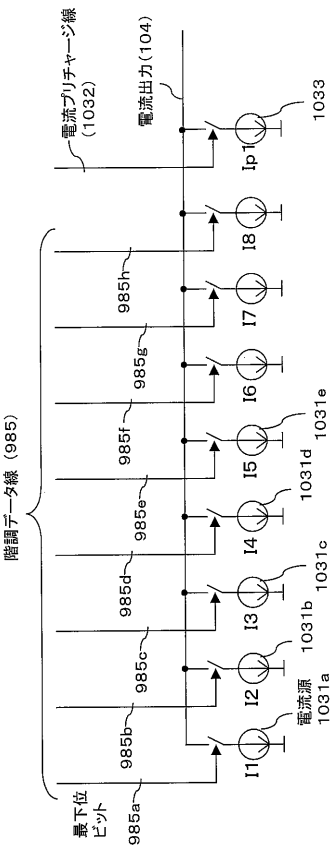
【図１０１】

プリチャージパルス (451)	プリチャージ判定線 (984)	出力 (1005)
0	0	階調電流(104)
1	0	階調電流(104)
0	1	階調電流(104)
1	1	Vp1
0	2	階調電流(104)
1	2	Vp2
0	3	階調電流(104)
1	3	Vp3

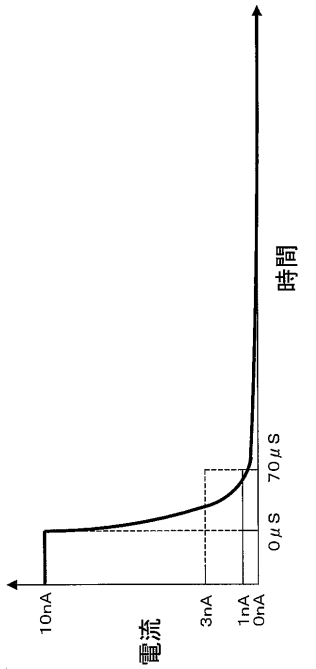
【図１０２】



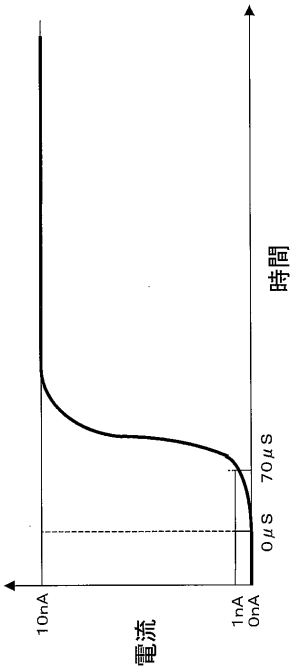
【図１０３】



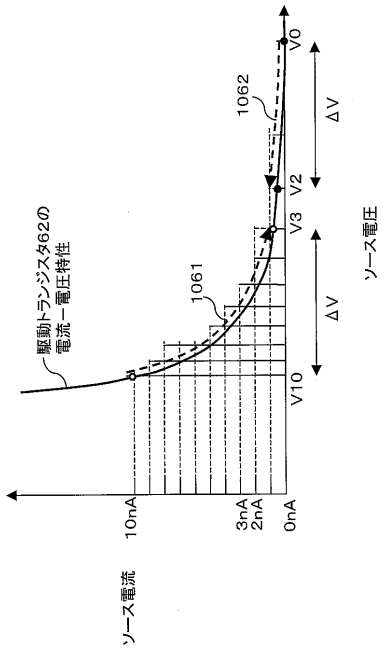
【図１０４】



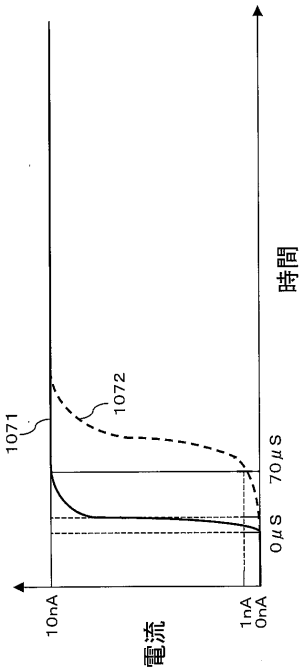
【図１０５】



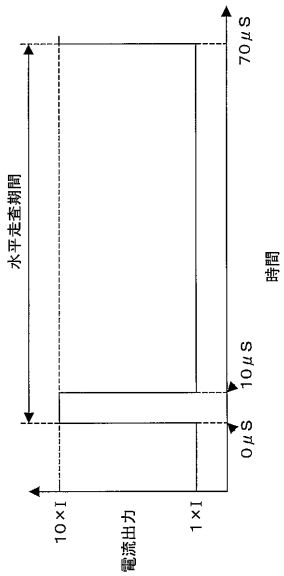
【図１０６】



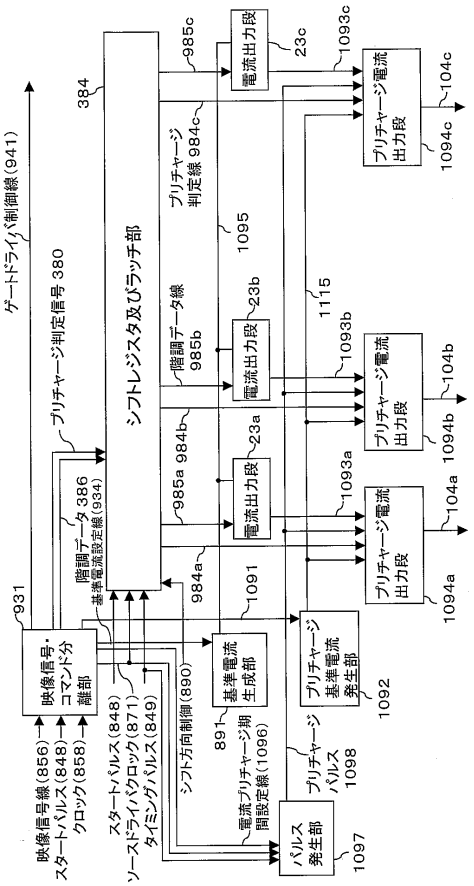
【図１０７】



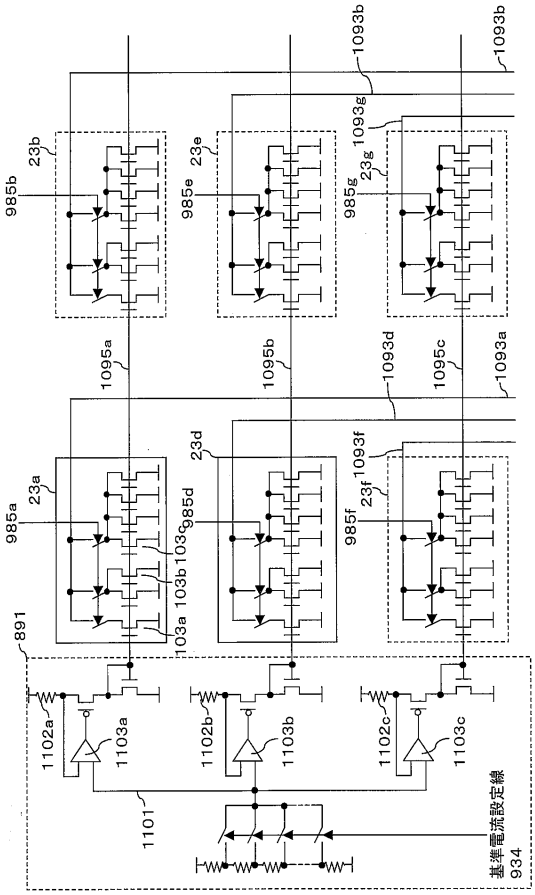
【図１０８】



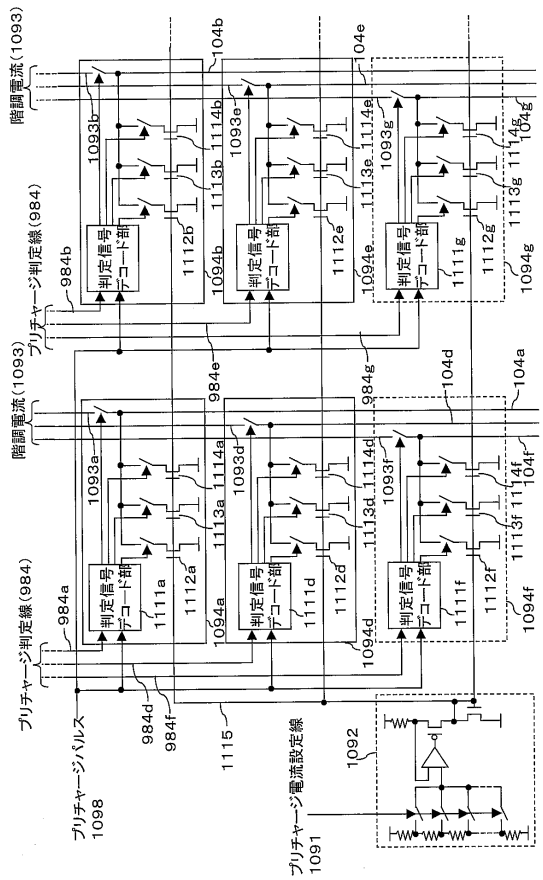
【図１０９】



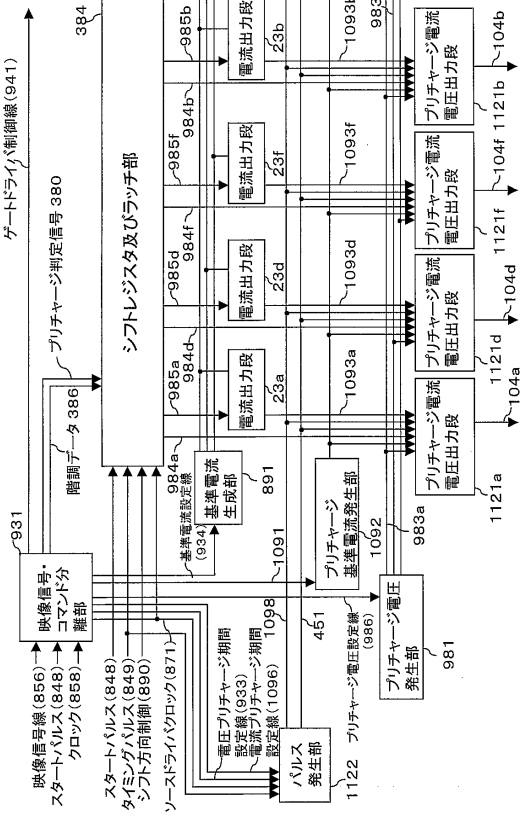
【図１１０】



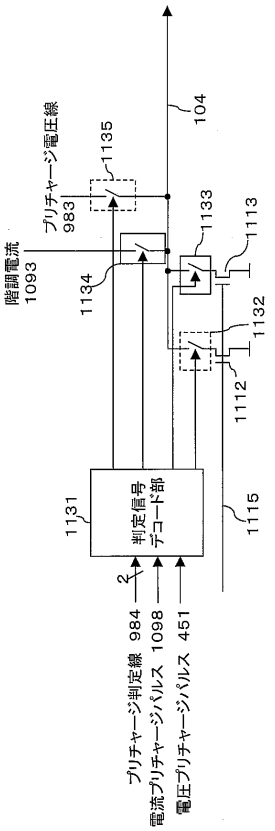
【図１１１】



【図１１２】



【図１１３】

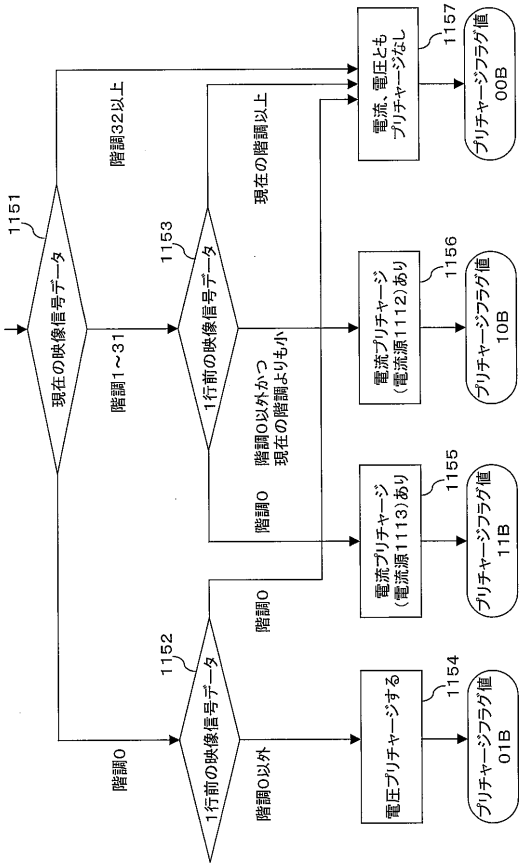


【図１１４】

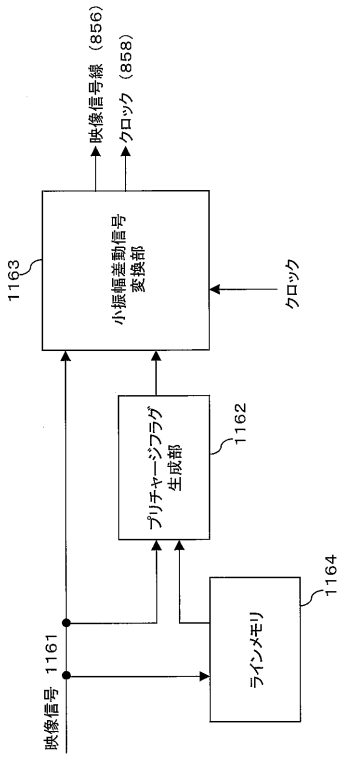
984		451	1098	1132	1133	1134	1135	状態
上位ビット	下位ビット							
0	0	X	X	OFF	OFF	ON	OFF	電流、電圧ともプリチャージなし
		0	X	OFF	OFF	ON	OFF	
0	1	1	X	OFF	OFF	OFF	ON	電圧プリチャージ
1	0	X	0	OFF	OFF	ON	OFF	電流プリチャージ（電流源1112）
		X	1	ON	OFF	OFF	OFF	
1	1	X	0	OFF	OFF	ON	OFF	電流プリチャージ（電流源1113）
		X	1	OFF	ON	OFF	OFF	

XはDon't careのことを示す

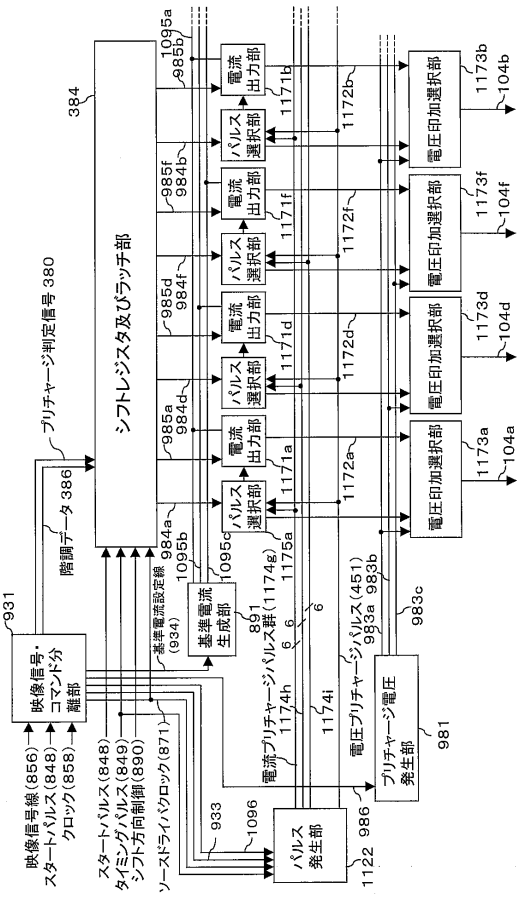
【図１１５】



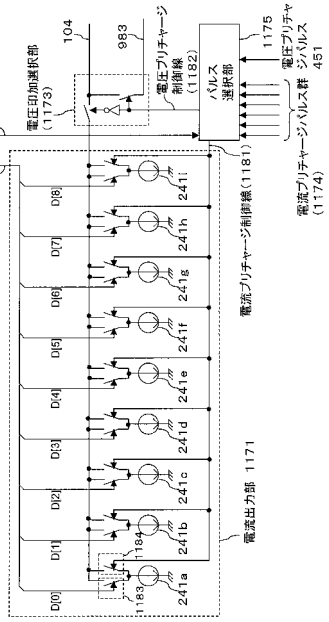
【図１１６】



【図１１７】



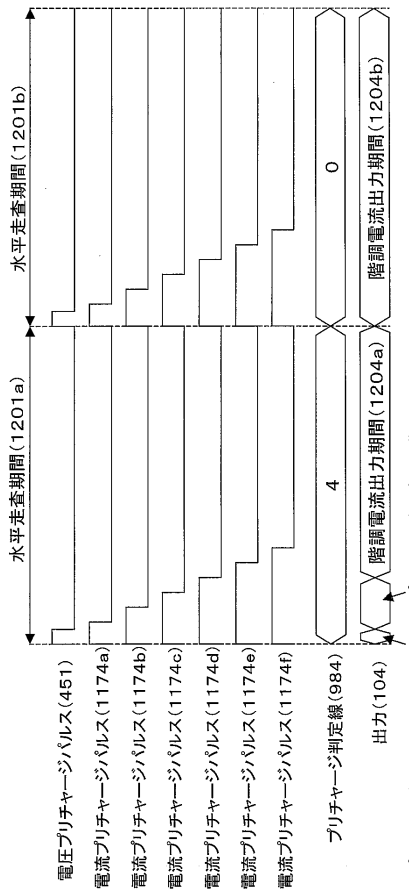
【図１１８】



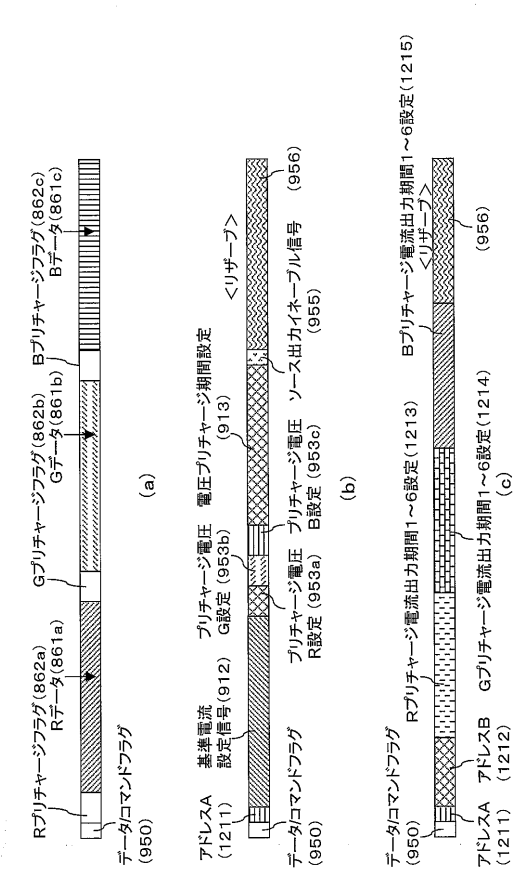
【図１１９】

プリチャージ判定線(984)		電流プリチャージ制御線(1181)	電圧プリチャージ制御線(1182)
最上位ビット	真ん中のビット	最下位ビット	
0	0	0	常に“L”レベル
0	0	1	451と同一
0	1	0	451と同一
0	1	1	451と同一
1	0	0	451と同一
1	0	1	451と同一
1	1	0	451と同一
1	1	1	451と同一

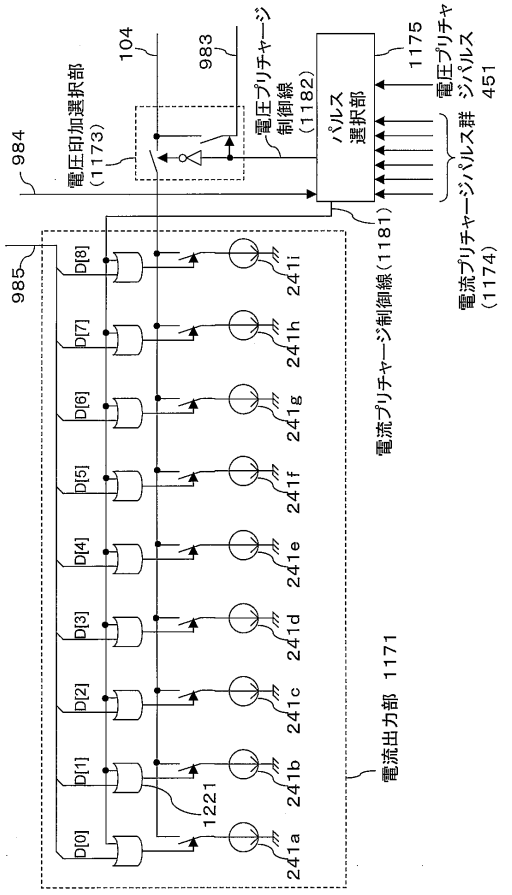
【図１２０】



【図１２１】



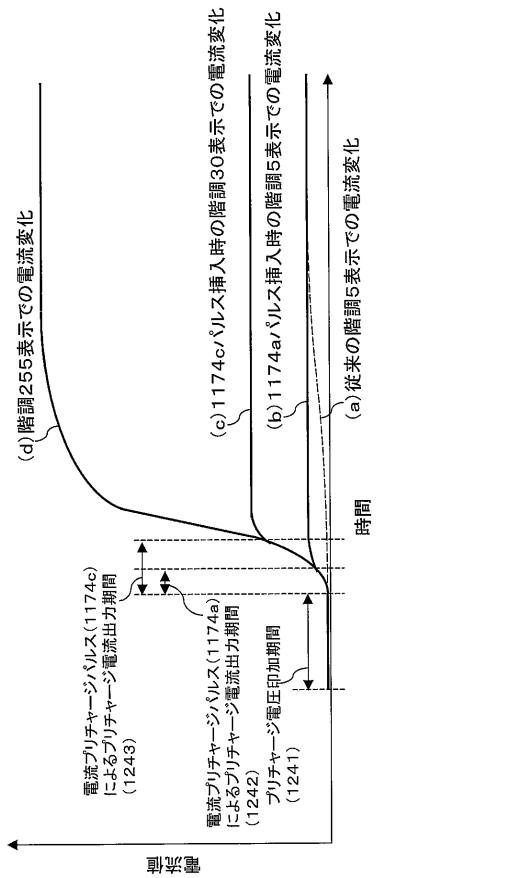
【図１２２】



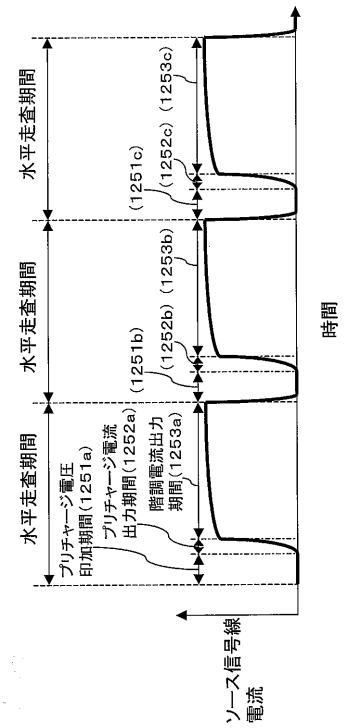
【図１２３】

階調	プリチャージ電流出力期間	電流プリチャージパルスの対応
0	なし	なし(電圧プリチャージのみ)
1	0.4μ秒	1174a
2	0.8μ秒	1174b
3	1.2μ秒	1174c
4	1.6μ秒	1174d
5	2.0μ秒	1174e
6～35	2.4μ秒	1174f
36～255	なし	なし

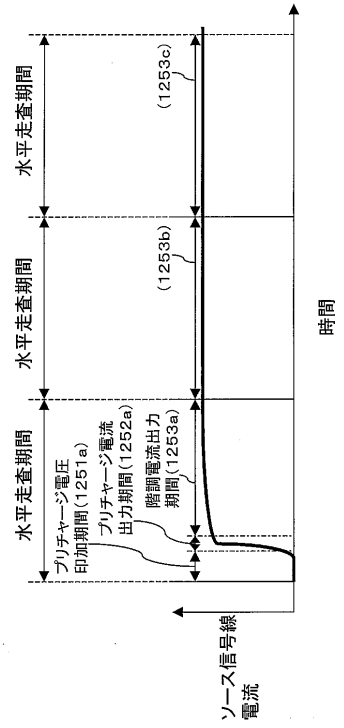
【図１２４】



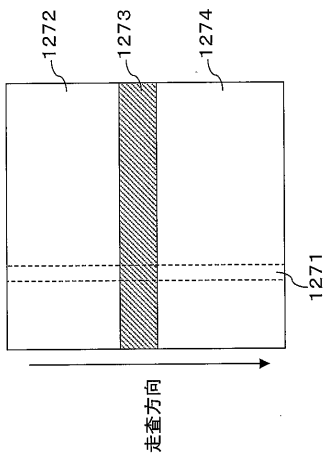
【図１２５】



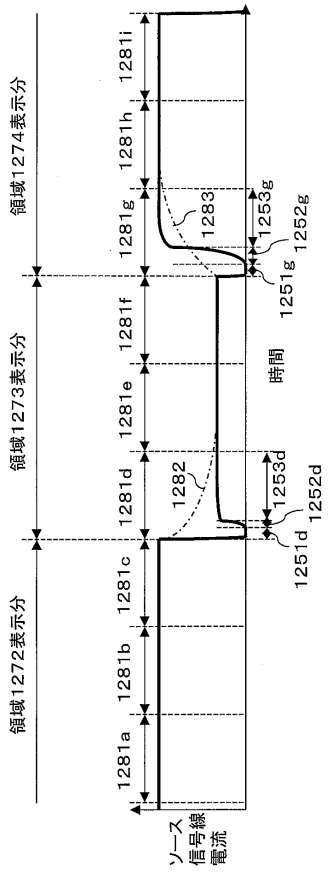
【図１２６】



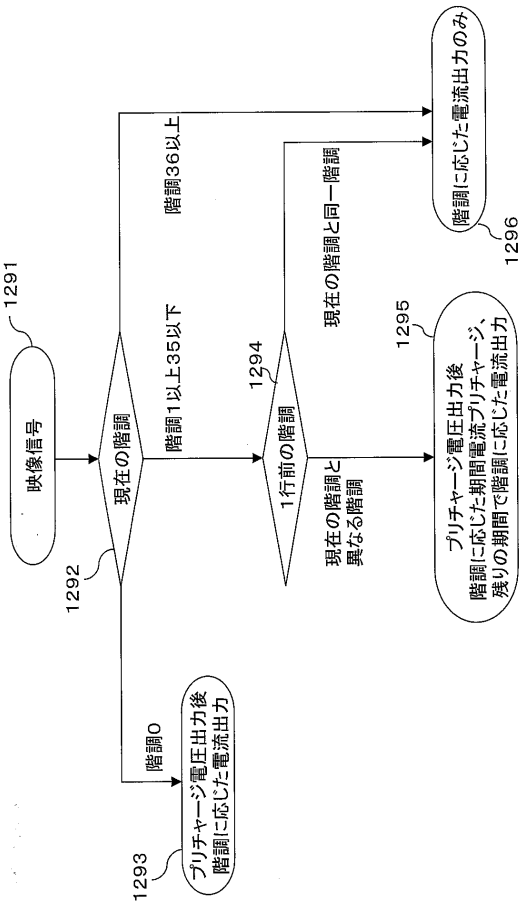
【図１２７】



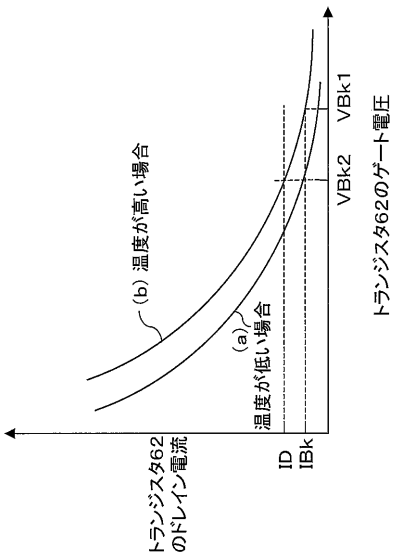
【図１２８】



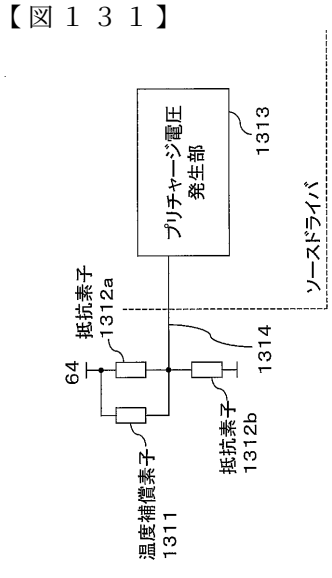
【図１２９】



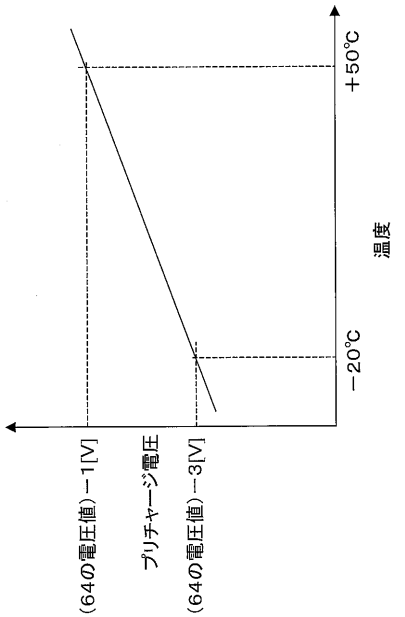
【図１３０】



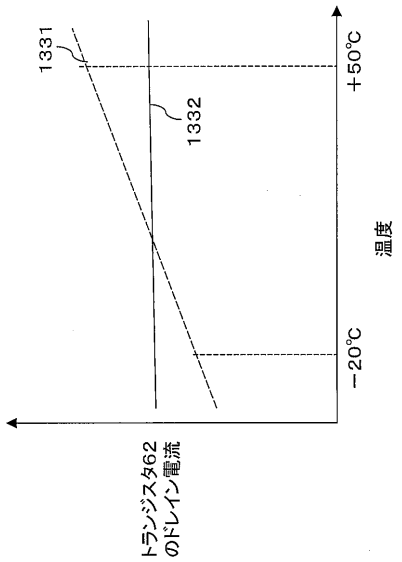
【図１３１】



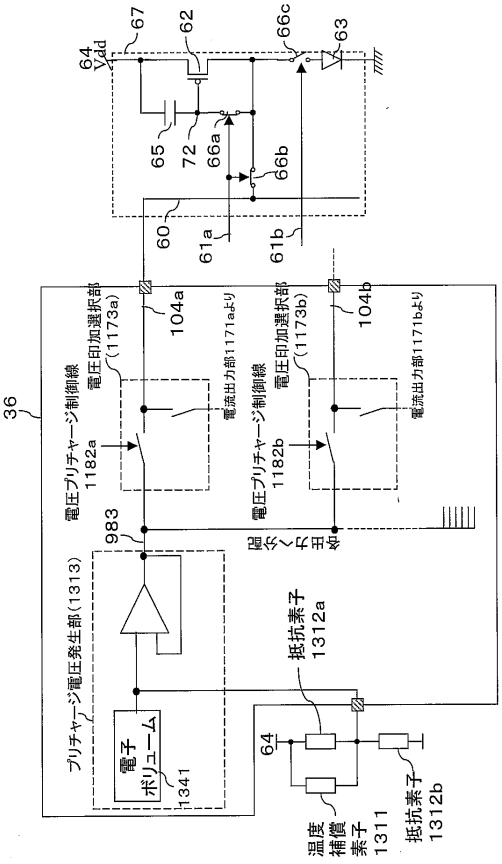
【図１３２】



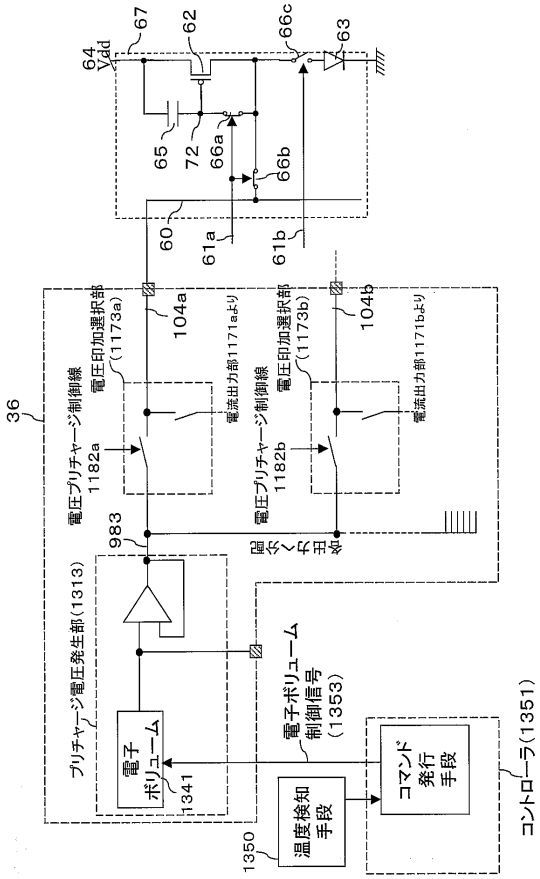
【図１３３】



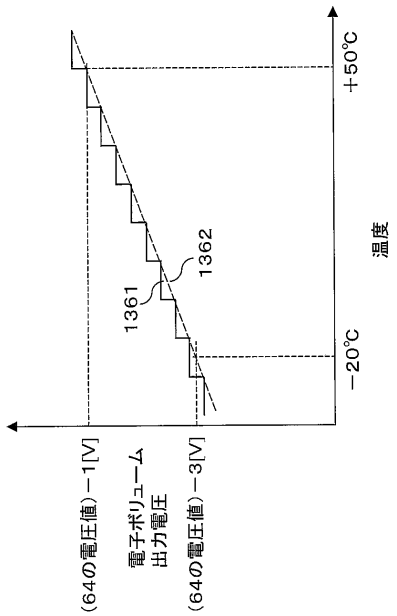
【図１３４】



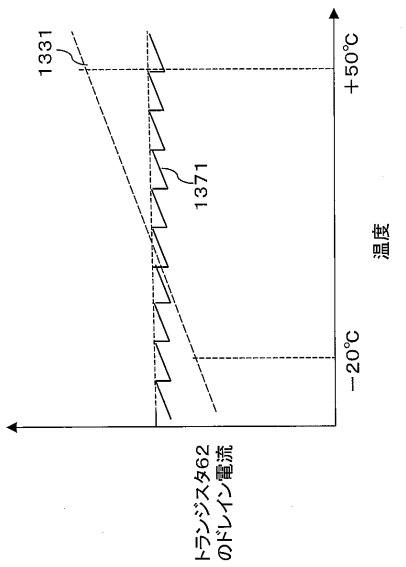
【図１３５】



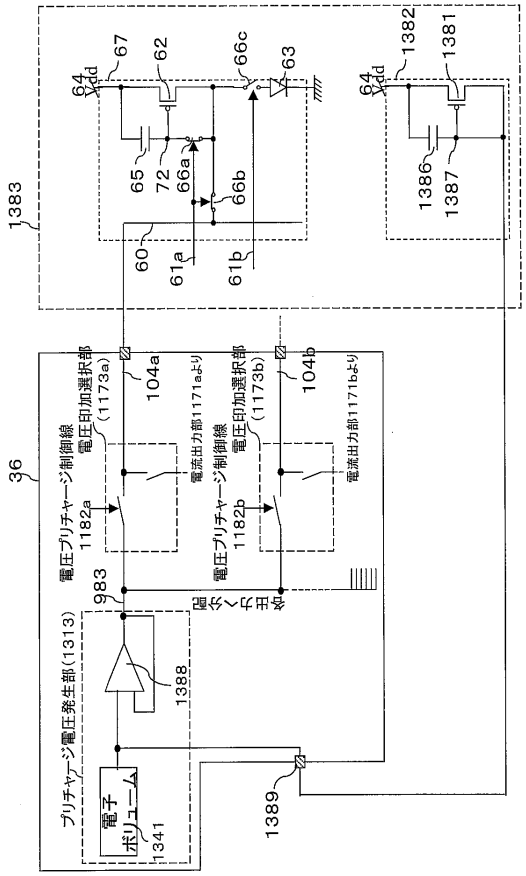
【図１３６】



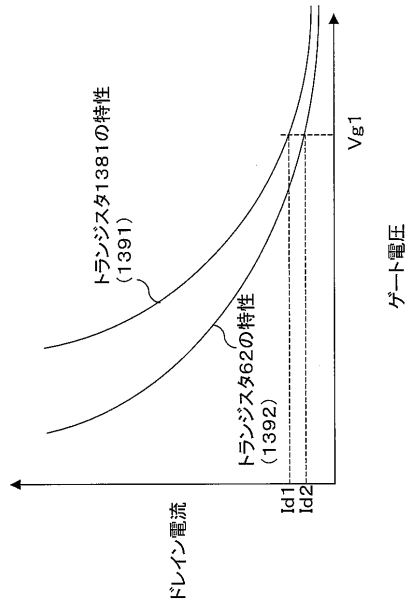
【図１３７】



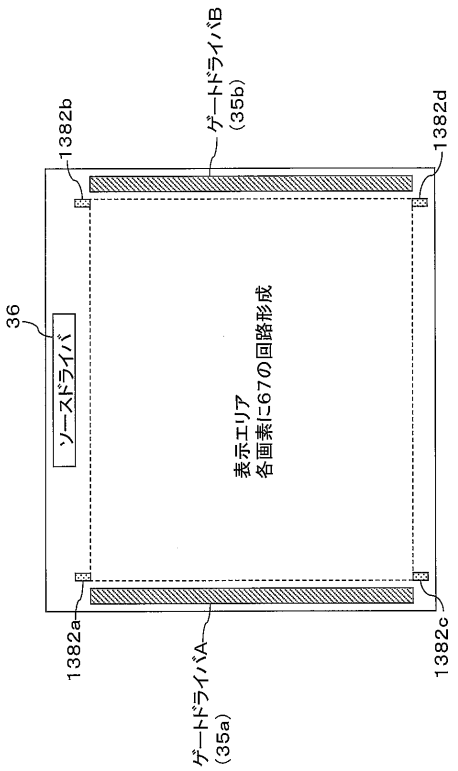
【図１３８】



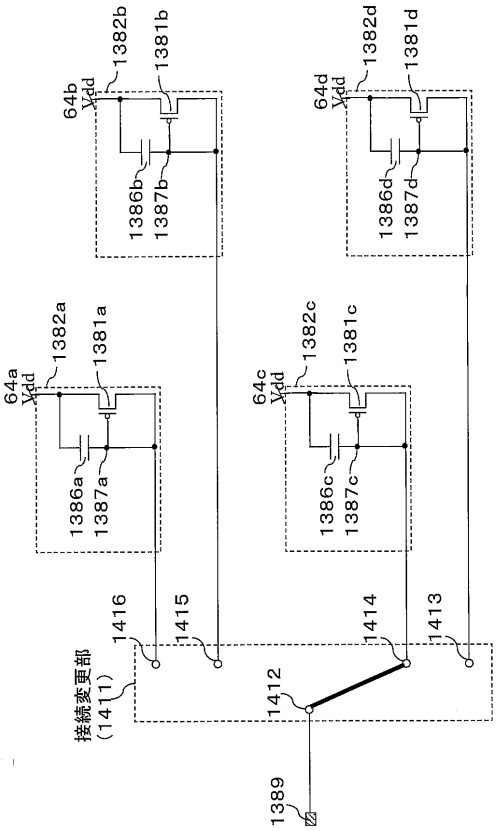
【図１３９】



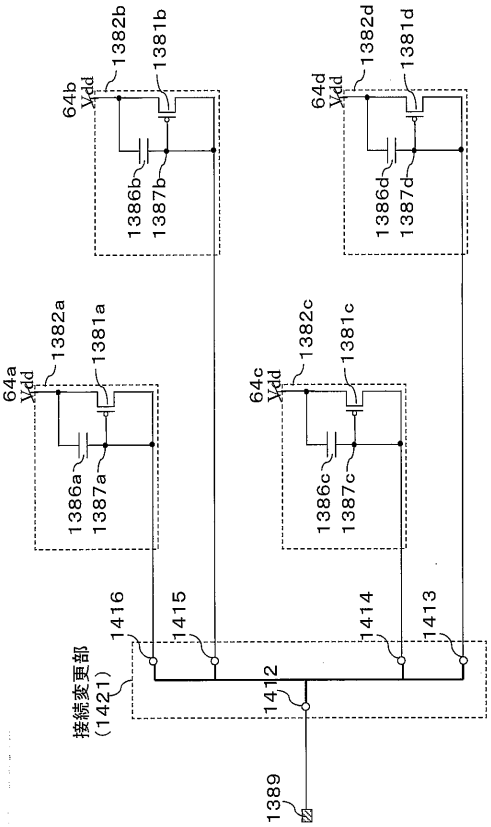
【図１４０】



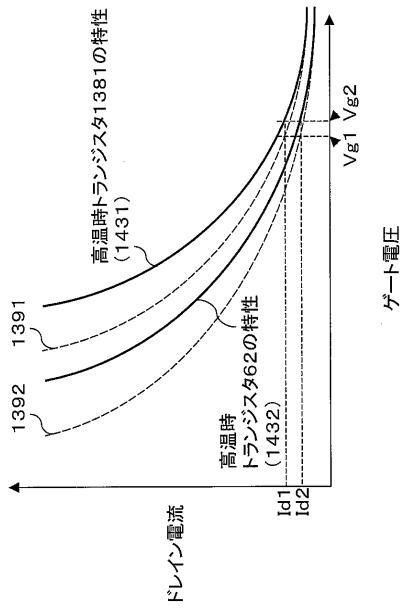
【図１４１】



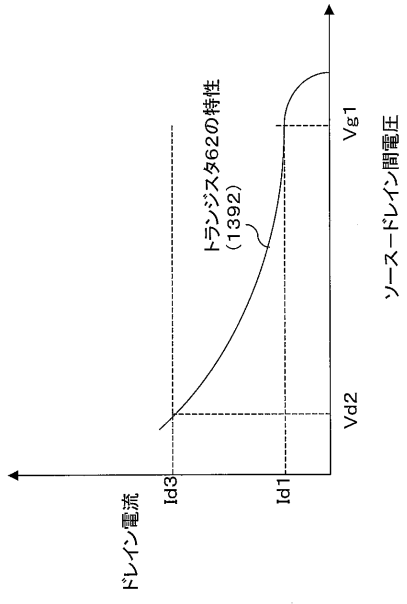
【図１４２】



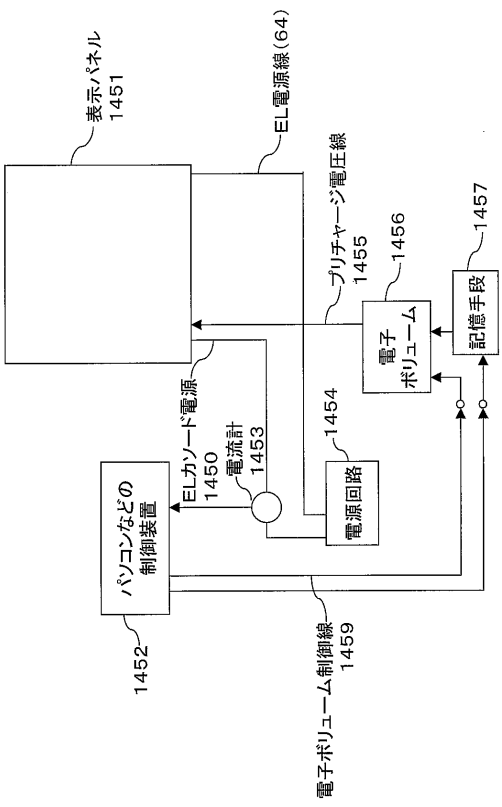
【図１４３】



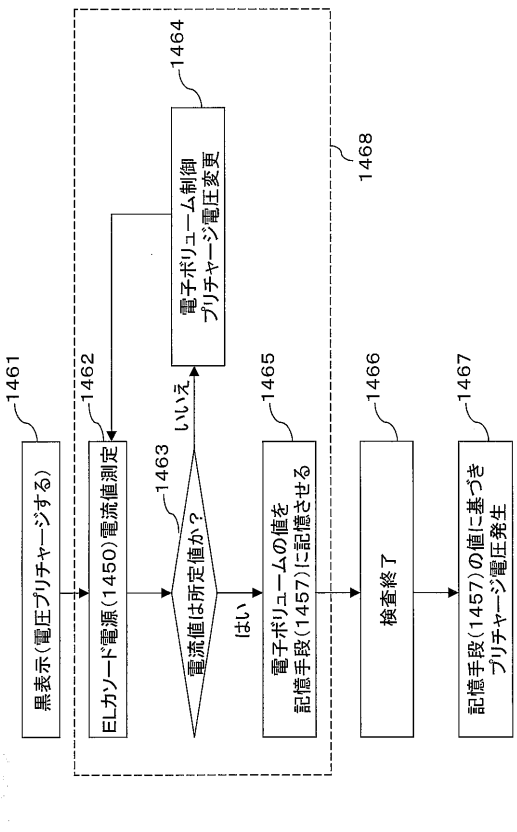
【図１４４】



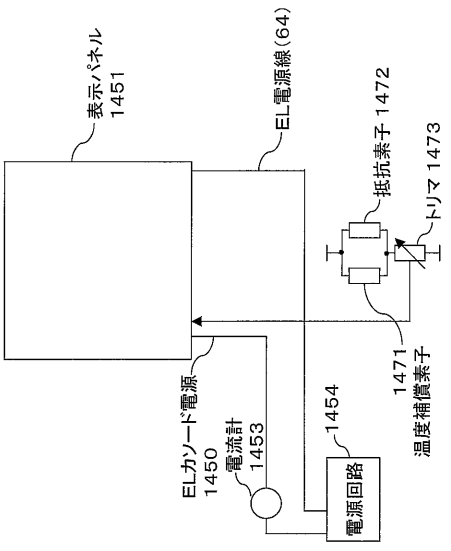
【図１４５】



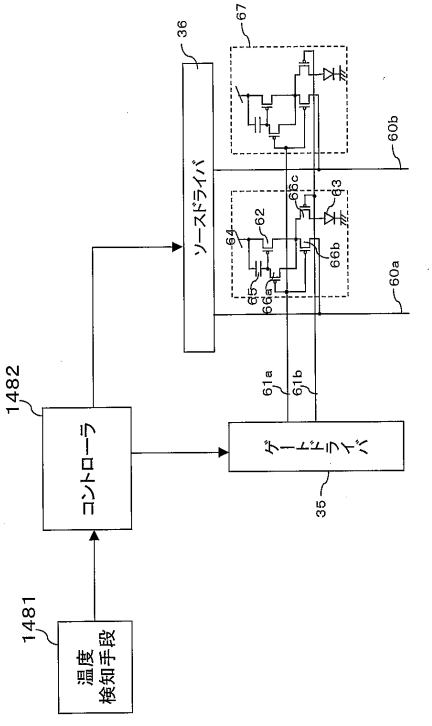
【図１４６】



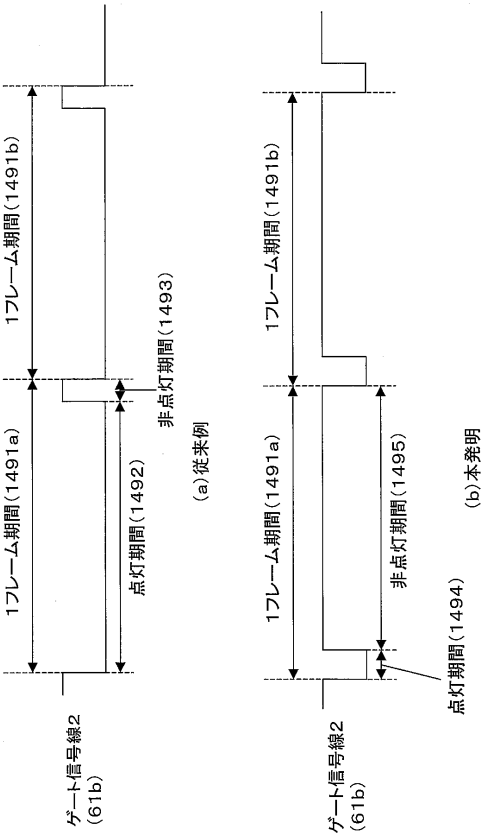
【図１４７】



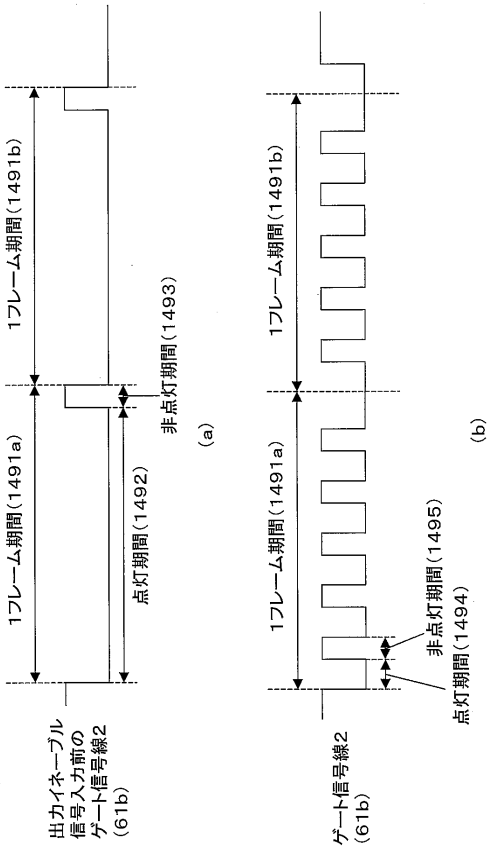
【図１４８】



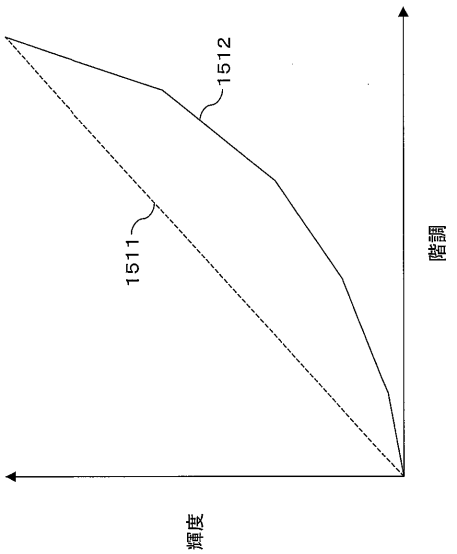
【図１４９】



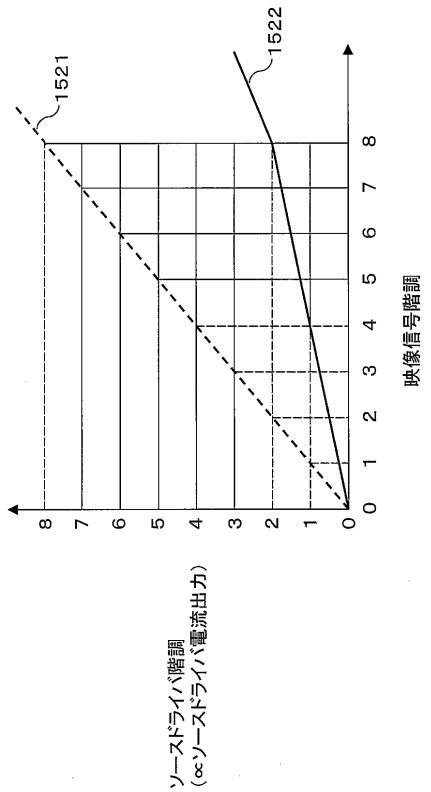
【図１５０】



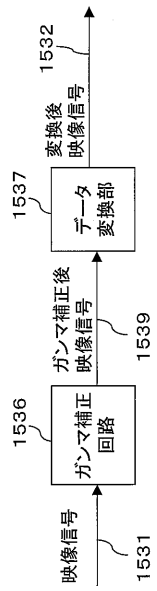
【図１５１】



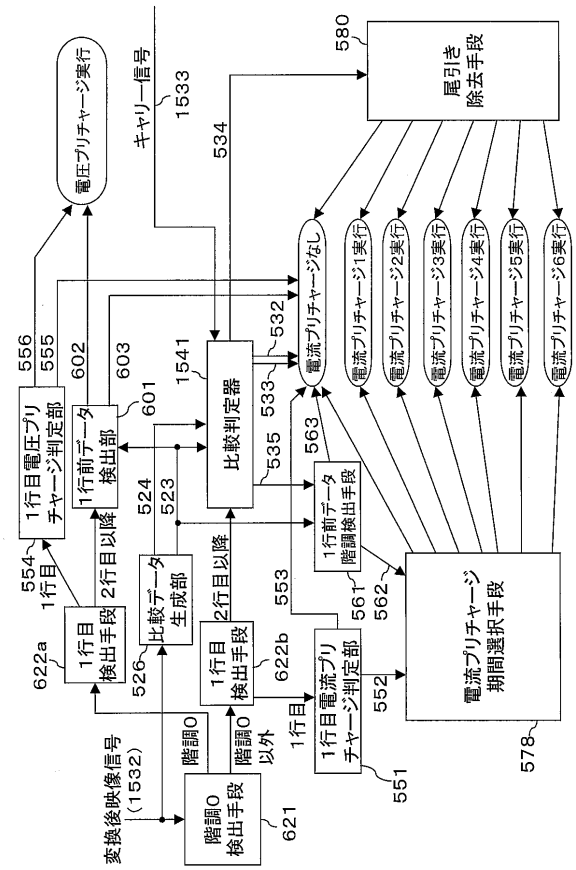
【図１５２】



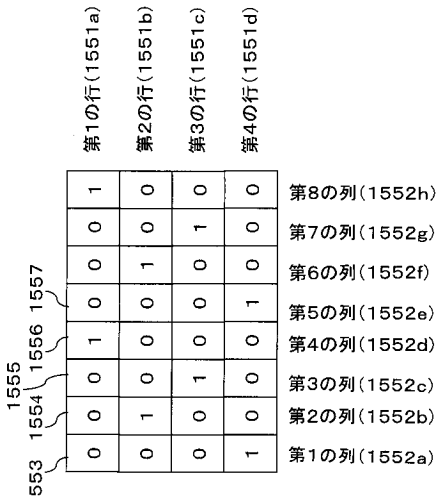
【図１５３】



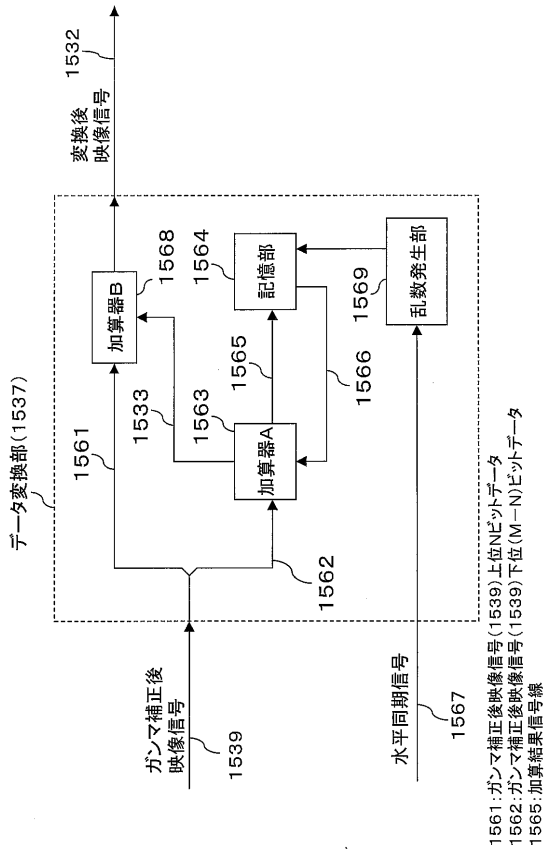
【図１５４】



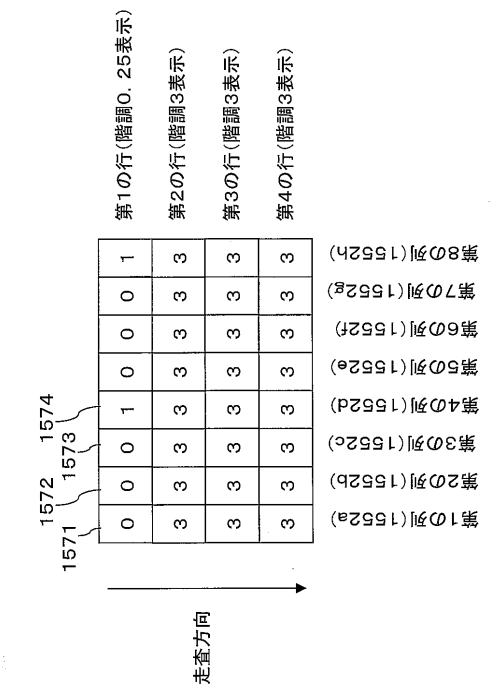
【図１５５】



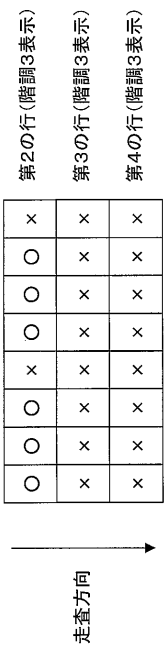
【図１５６】



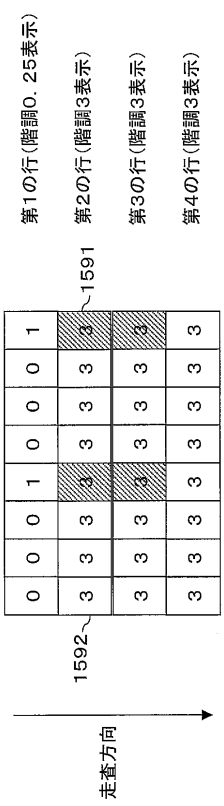
【図１５７】



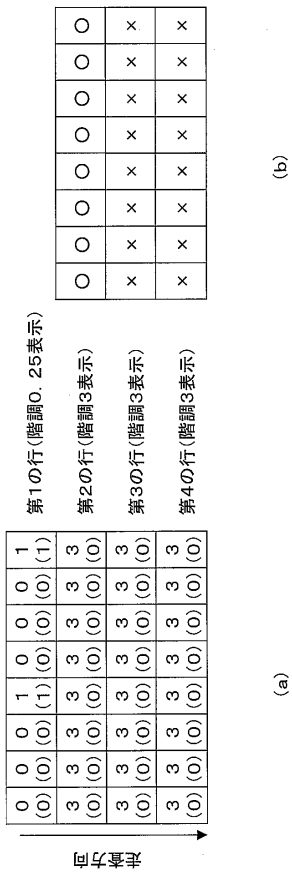
【図１５８】



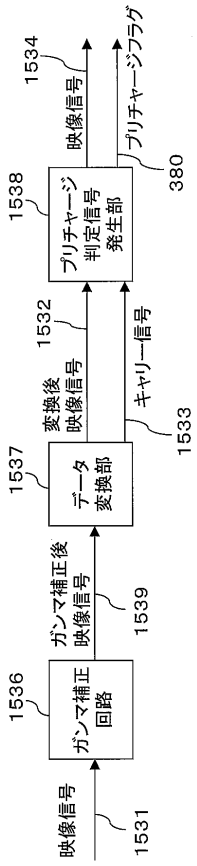
【図１５９】



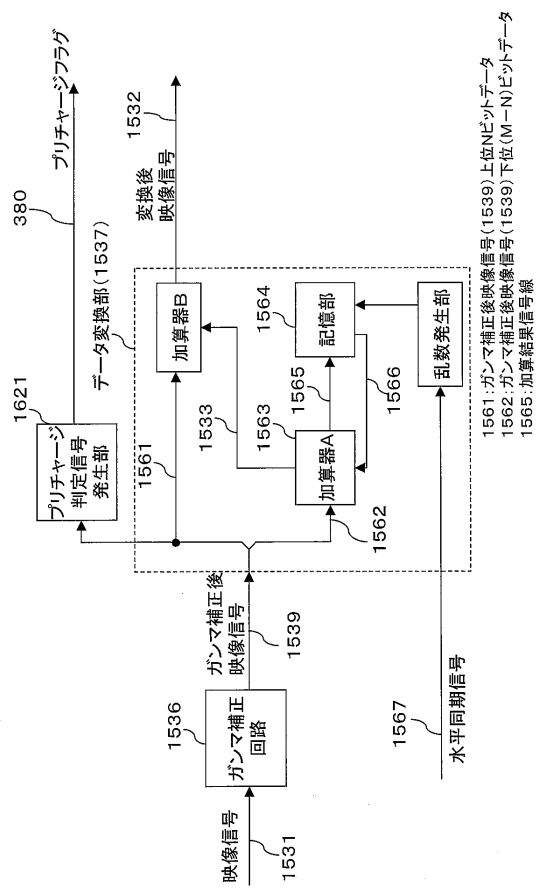
【図１６０】



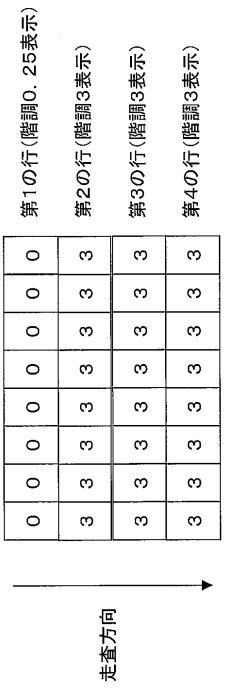
【図１６１】



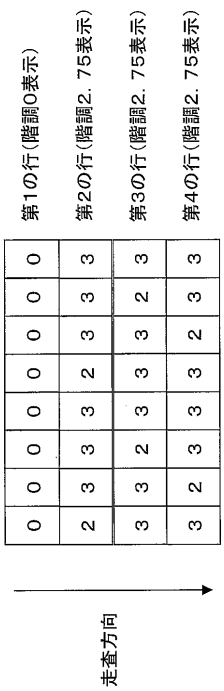
【図１６２】



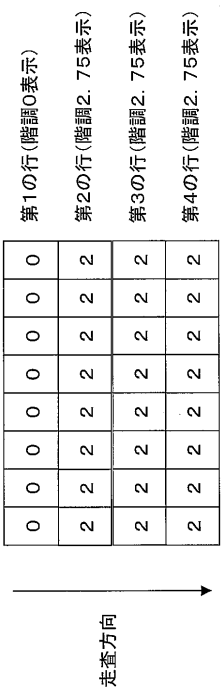
【図１６３】



【図１６４】



【図１６５】



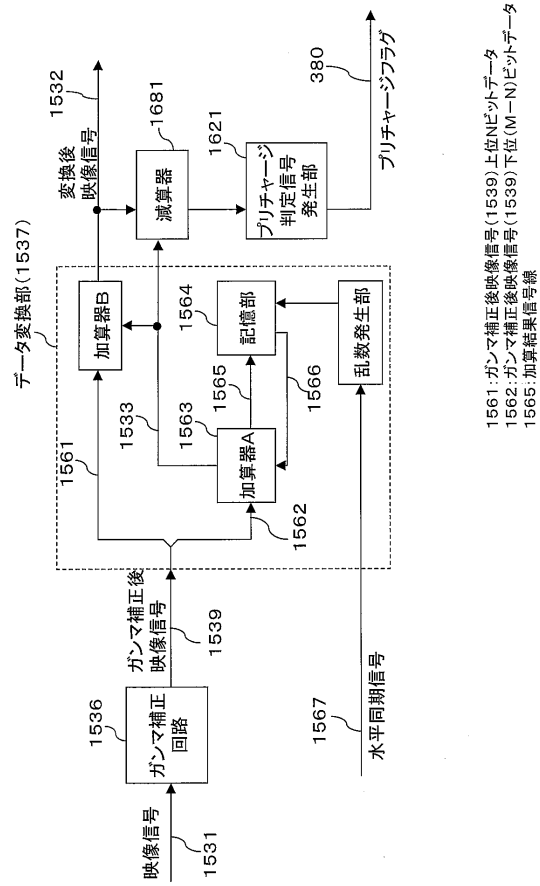
【図１６６】

1行前 キャリー信号(1533)	現在の キャリー信号(1533)	判定
0	0	プリチャージなし
0	1	プリチャージなし
1	0	プリチャージあり
1	1	プリチャージなし

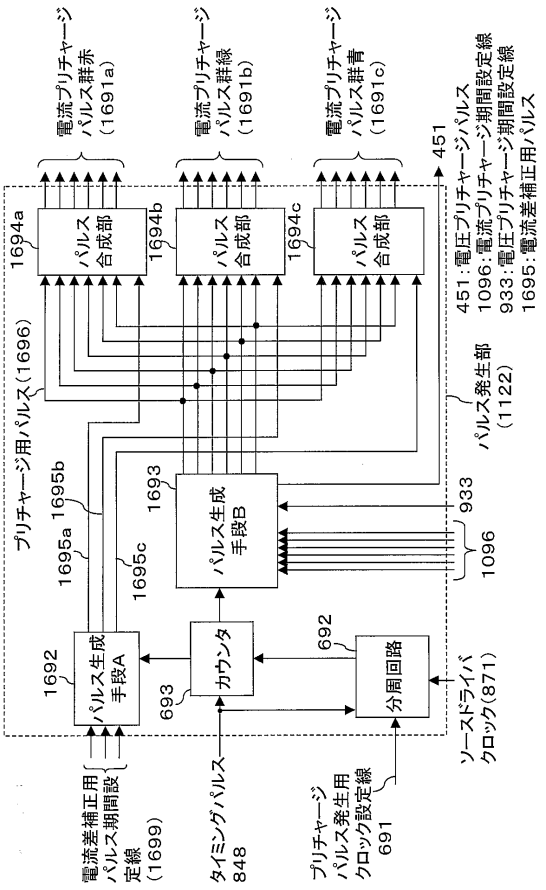
【図１６７】

1行前 キャリー信号(1533)	現在の キャリー信号(1533)	判定
0	0	プリチャージあり
0	1	プリチャージなし
1	0	プリチャージあり
1	1	プリチャージあり

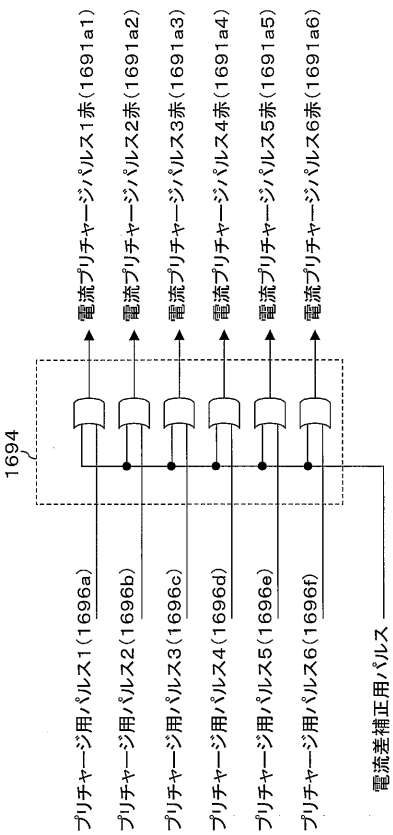
【図１６８】



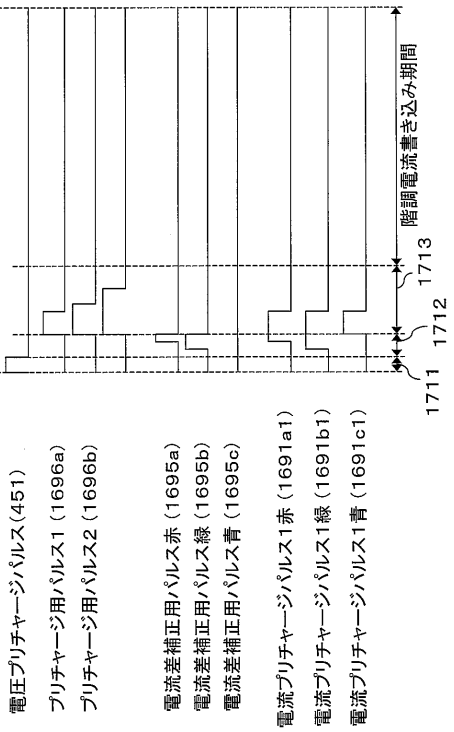
【図１６９】



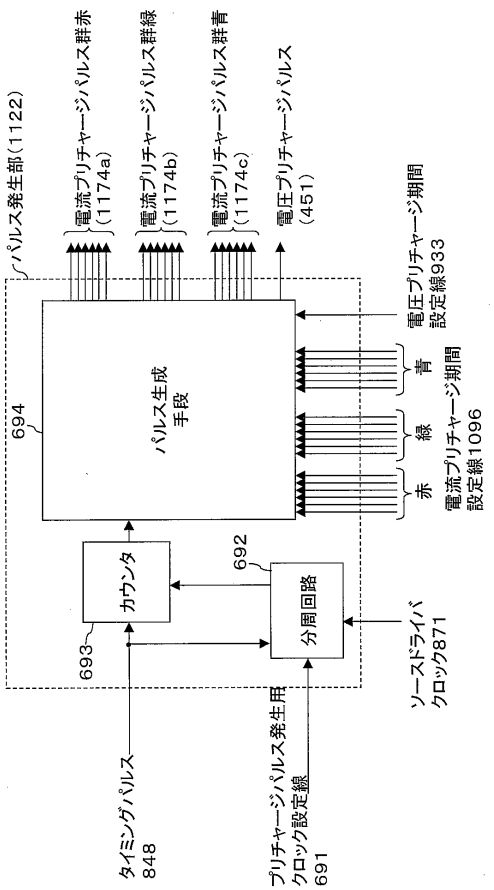
【図１７０】



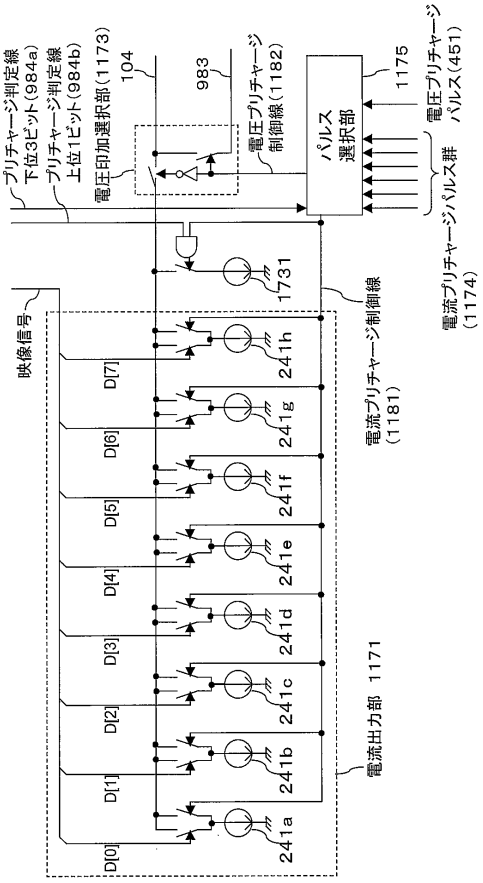
【図１７１】



【図１７２】



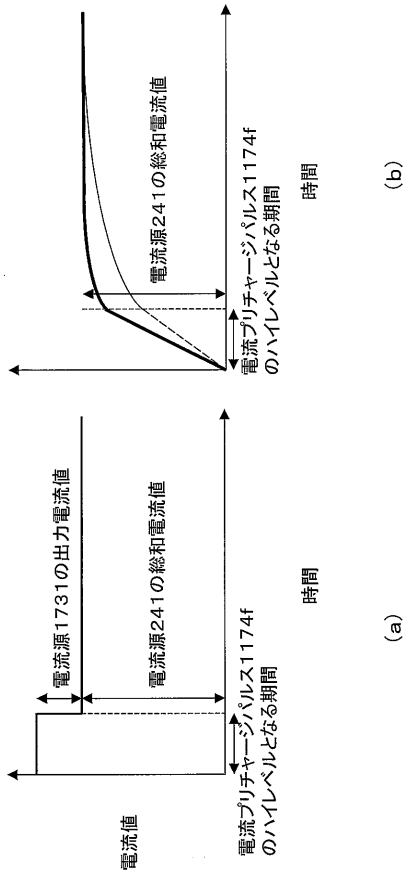
【図１７３】



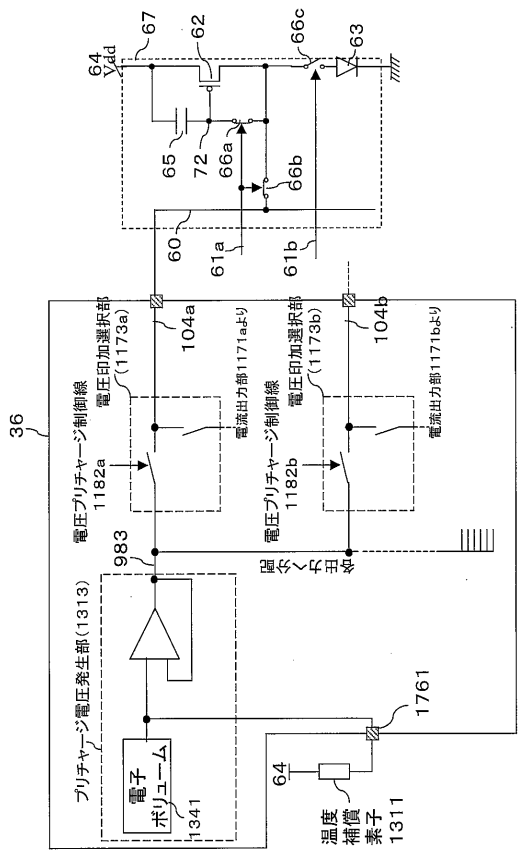
【図１７４】

プリチャージ判定線			動作	
984b	984a		電圧プリチャージ	電流プリチャージ(電流値、期間)
X	0	0	なし	なし
0	0	0	あり	電流源241a～241hにより1174aのパルス入力期間実施
1			あり	電流源241a～241h、1731により1174aのパルス入力期間実施
0	0	1	あり	電流源241a～241hにより1174bのパルス入力期間実施
1			あり	電流源241a～241h、1731により1174bのパルス入力期間実施
0	0	1	あり	電流源241a～241hにより1174cのパルス入力期間実施
1			あり	電流源241a～241h、1731により1174cのパルス入力期間実施
0	1	0	あり	電流源241a～241hにより1174dのパルス入力期間実施
1			あり	電流源241a～241h、1731により1174dのパルス入力期間実施
0	1	0	あり	電流源241a～241hにより1174eのパルス入力期間実施
1			あり	電流源241a～241h、1731により1174eのパルス入力期間実施
0	1	1	あり	電流源241a～241hにより1174fのパルス入力期間実施
1			あり	電流源241a～241h、1731により1174fのパルス入力期間実施
X	1	1	あり	なし

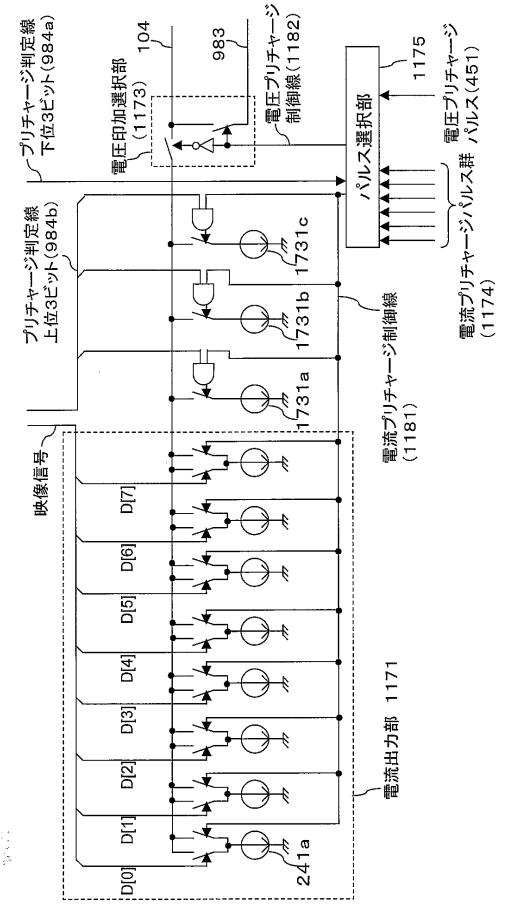
【図１７５】



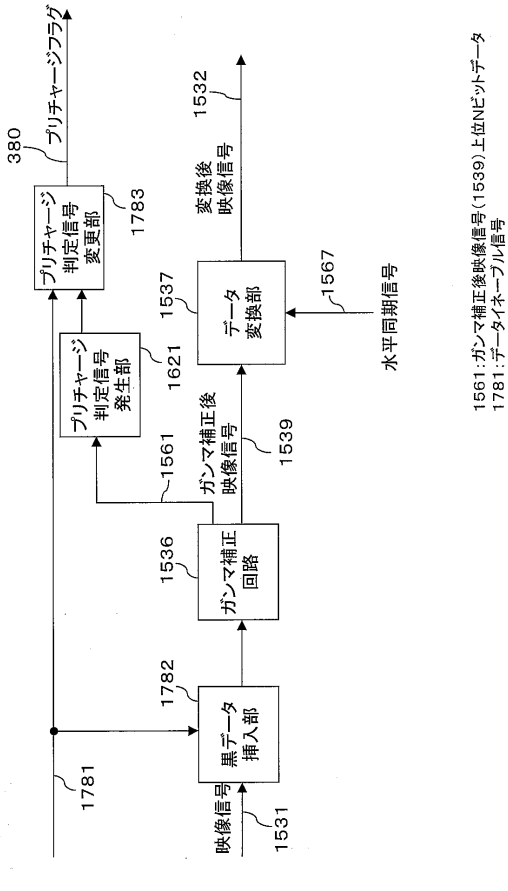
【図１７６】



【図１７７】



【図１７８】



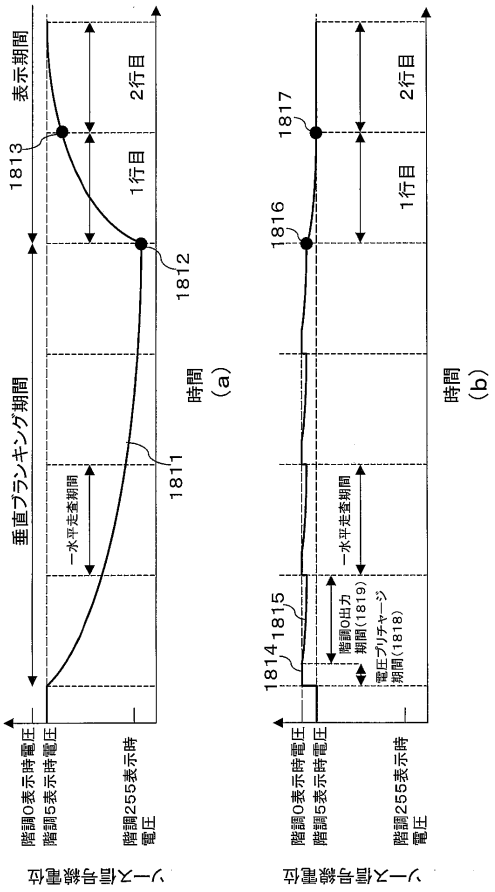
【図１７９】

データイネーブル信号の状態	黒データ挿入部(1782)出力
ブランキング期間	階調0を出力
表示用データ	入力映像信号と同一信号出力

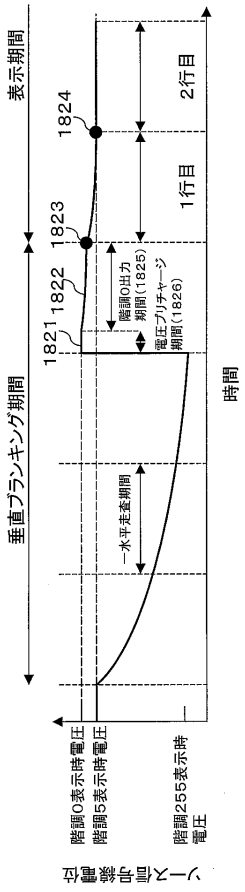
【図１８０】

データイネーブル信号の状態	プリチャージ判定信号変更部出力
ブランキング期間	入力映像信号による判定結果によらず「7」を出力(電圧プリチャージのみを行うための信号出力)
表示用データ	入力映像信号による判定結果を出力する

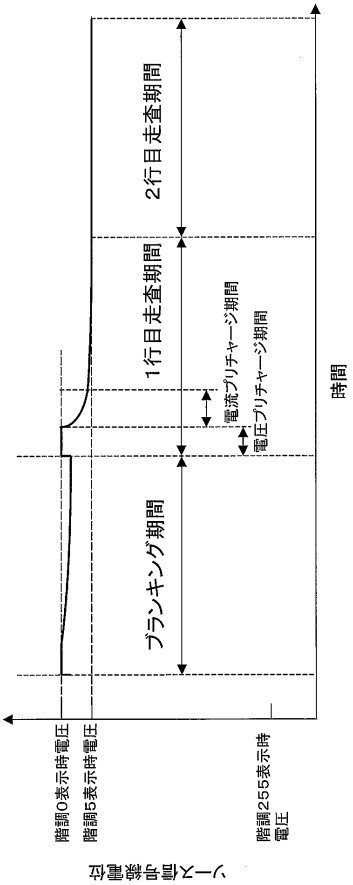
【図１８１】



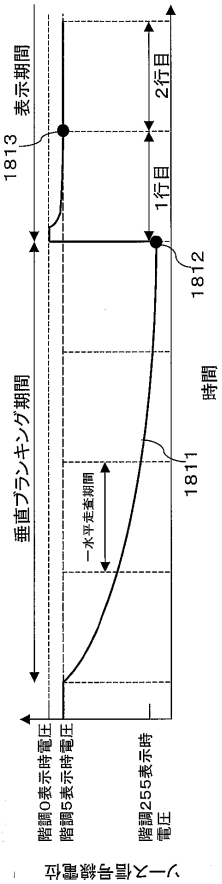
【図１８２】



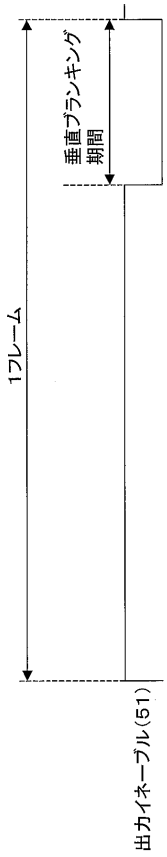
【図１８３】



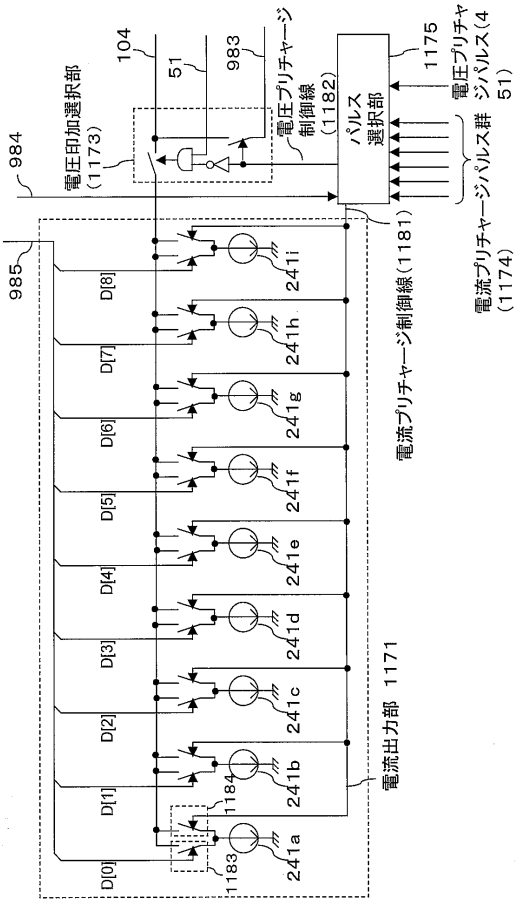
【図１８４】



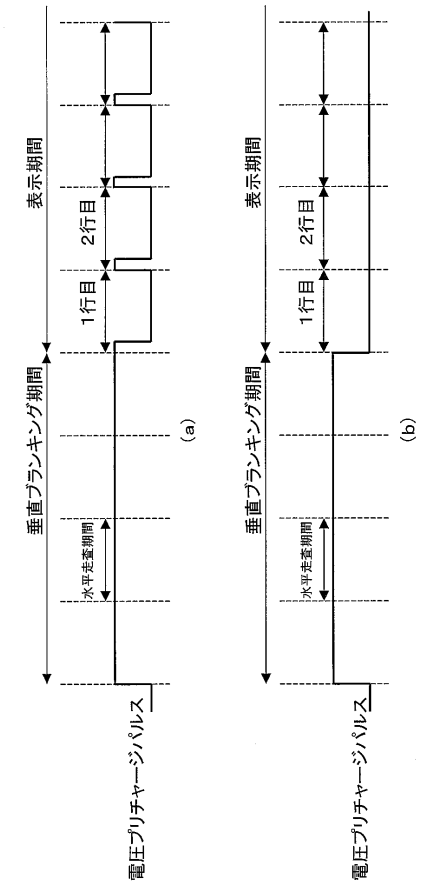
【図１８５】



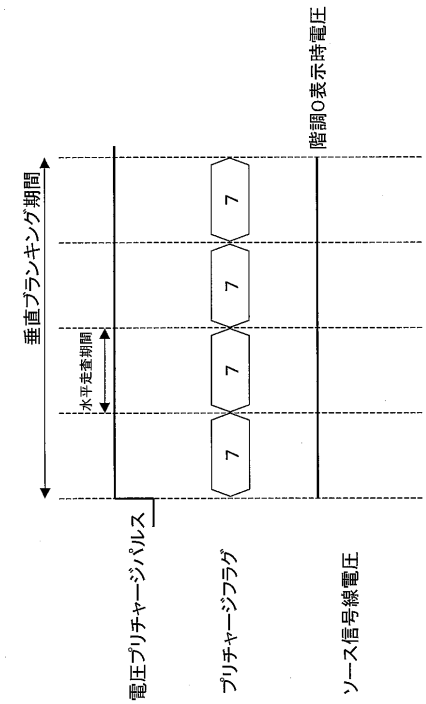
【図１８６】



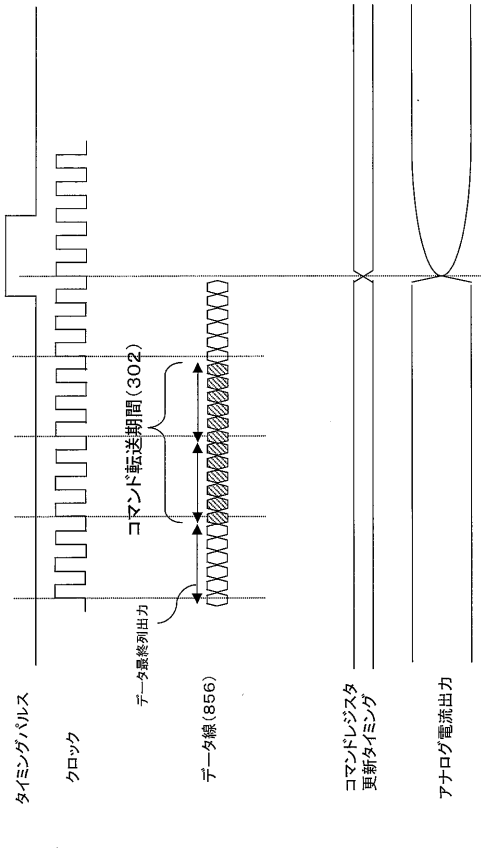
【図１８７】



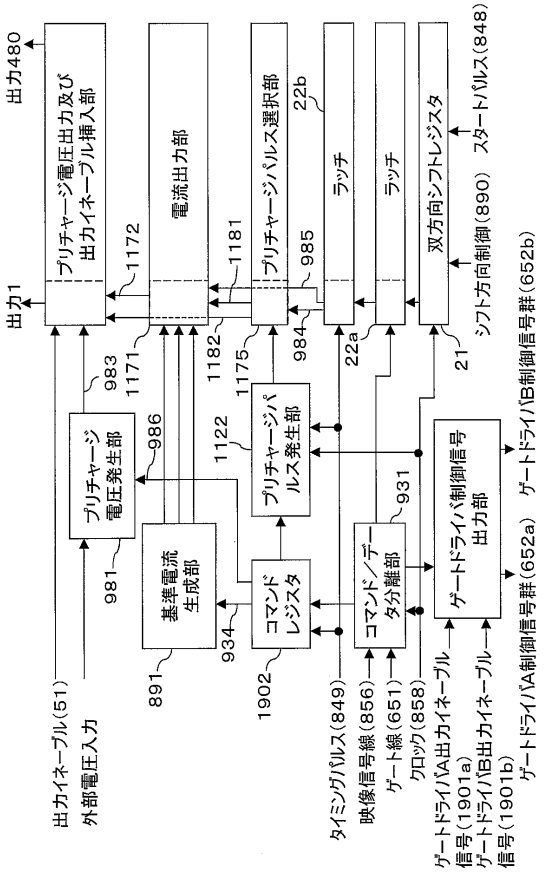
【図１８８】



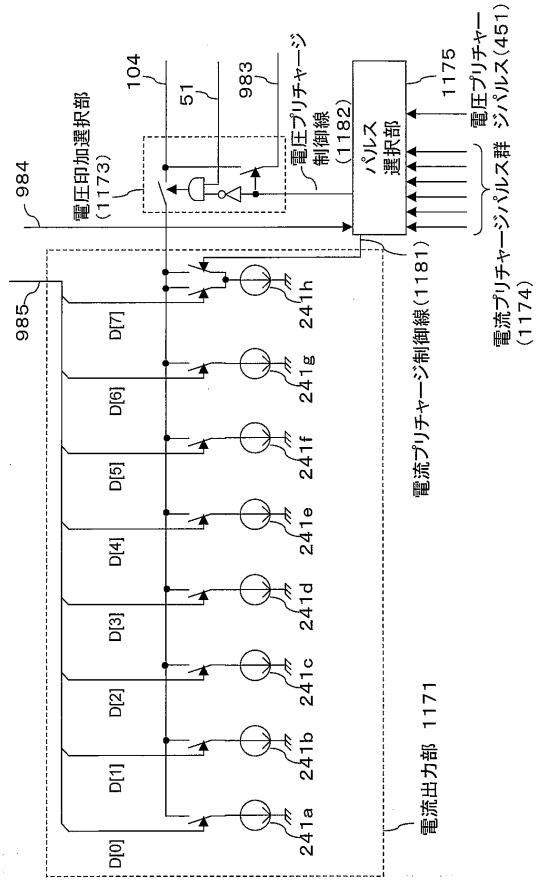
【図１８９】



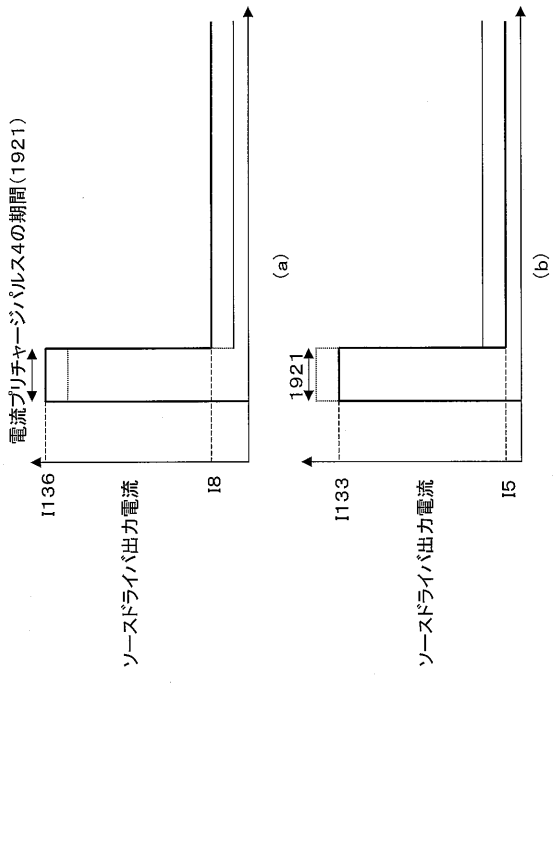
【図１９０】



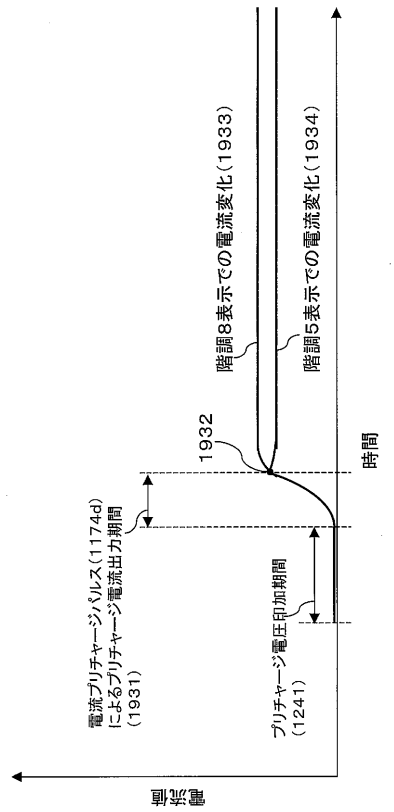
【図１９１】



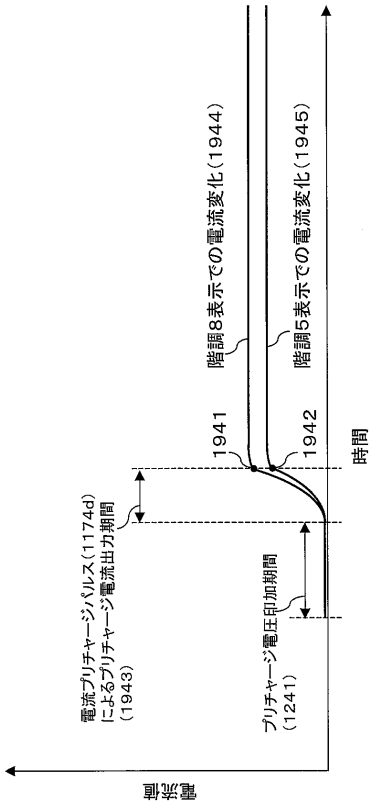
【図１９２】



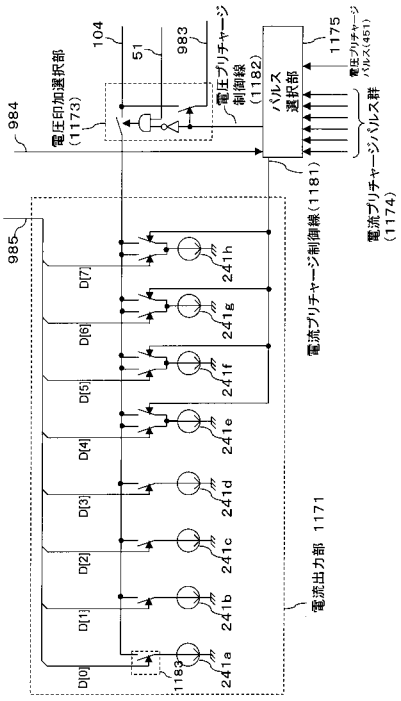
【図１９３】



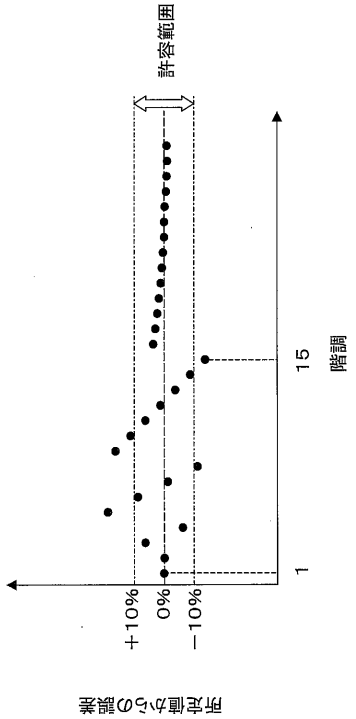
【図１９４】



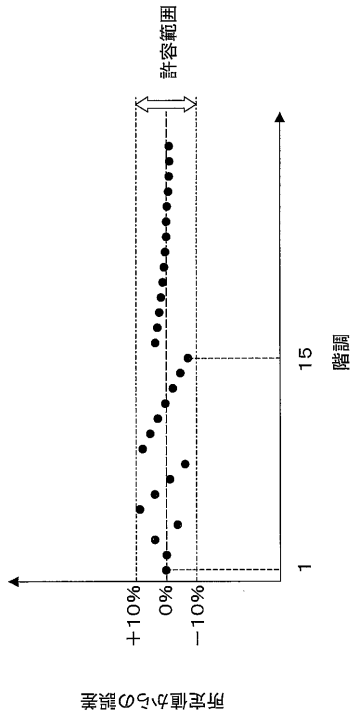
【図１９５】



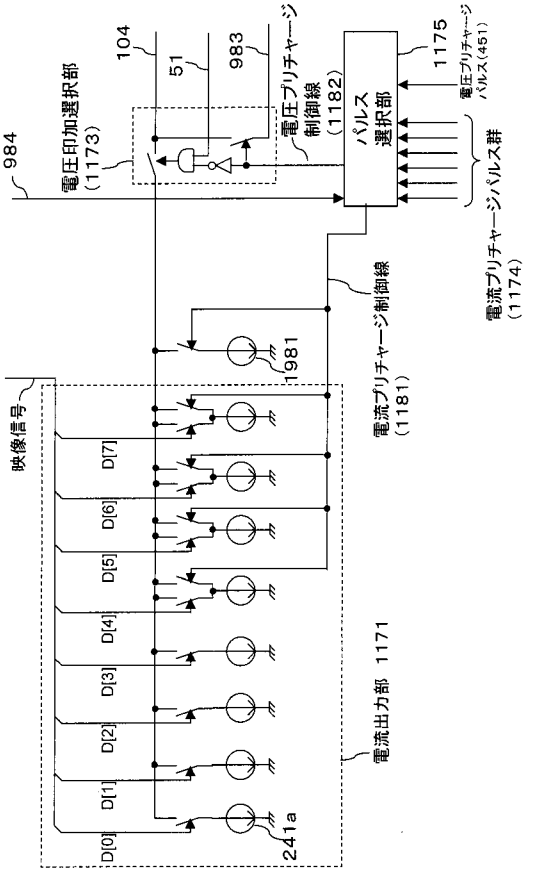
【図１９６】



【図１９７】



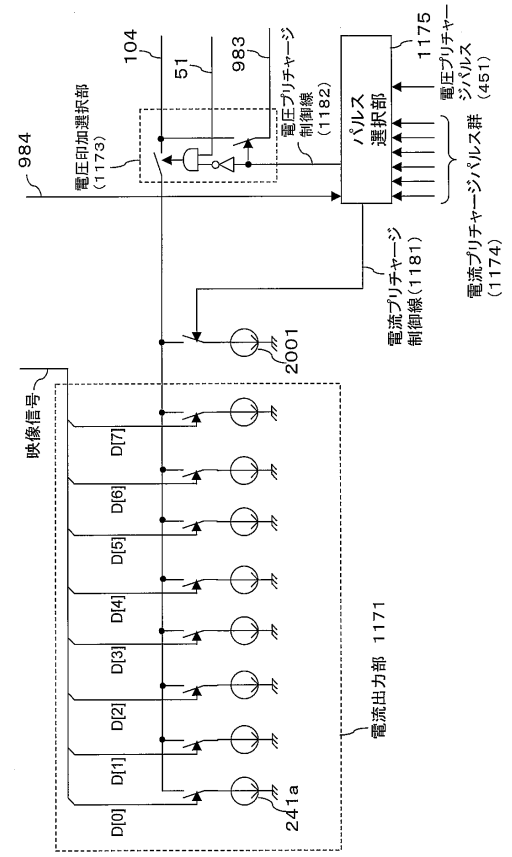
【図１９８】



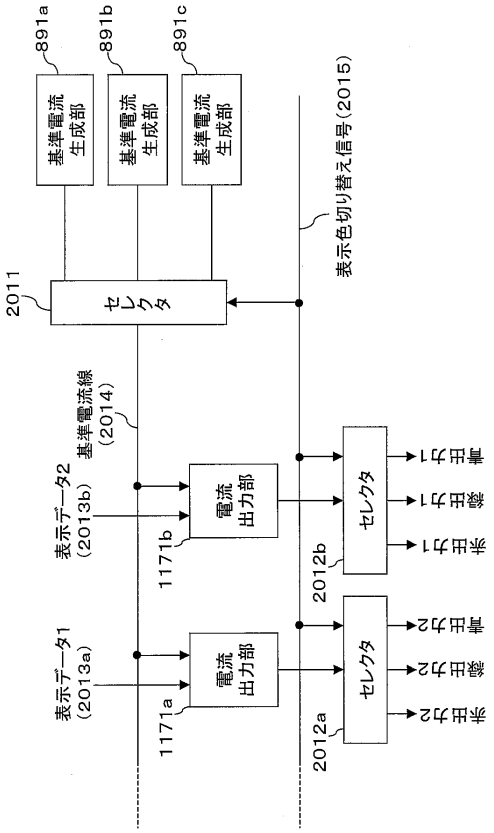
【図１９９】

階調	使用するプリチャージパルス
0	電圧プリチャージパルス451
1	電圧プリチャージパルス451と電流プリチャージパルス1174a
2	電圧プリチャージパルス451と電流プリチャージパルス1174b
3、4	電圧プリチャージパルス451と電流プリチャージパルス1174c
5～8	電圧プリチャージパルス451と電流プリチャージパルス1174d
9～15	電圧プリチャージパルス451と電流プリチャージパルス1174e
16～70	電圧プリチャージパルス451と電流プリチャージパルス1174f
71以上	なし

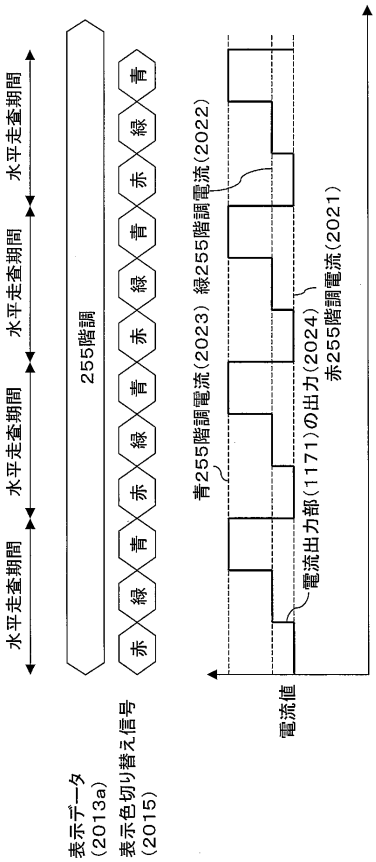
【図２００】



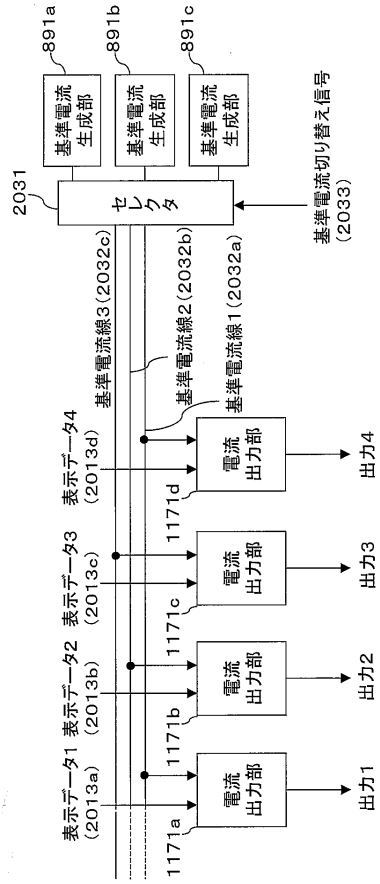
【図２０１】



【図２０２】



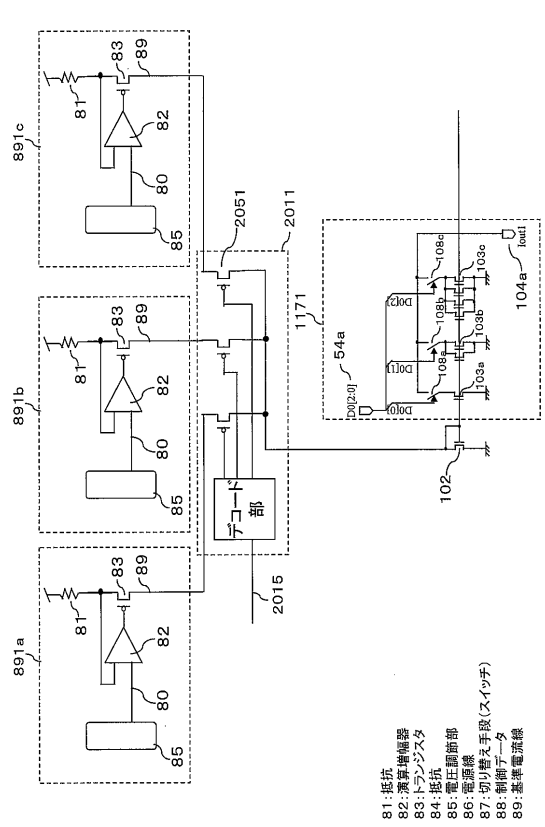
【図２０３】



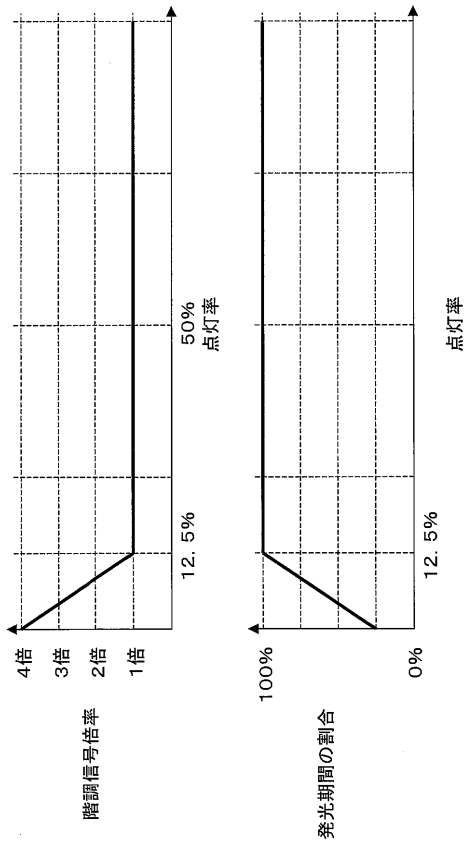
【図２０４】

基準電流切り替え信号	基準電流線1 (2032a)	基準電流線2 (2032b)	基準電流線3 (2032c)
0	891a出力	891c出力	891b出力
1	891b出力	891a出力	891c出力

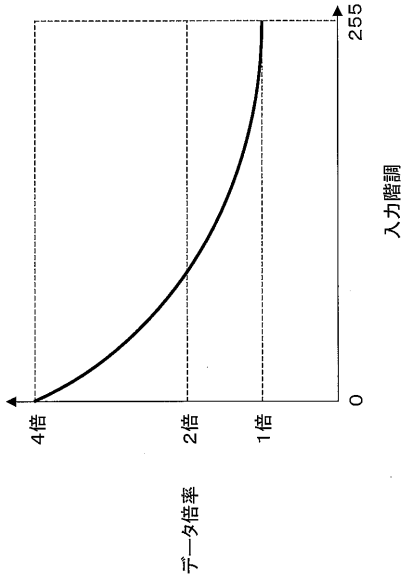
【図２０５】



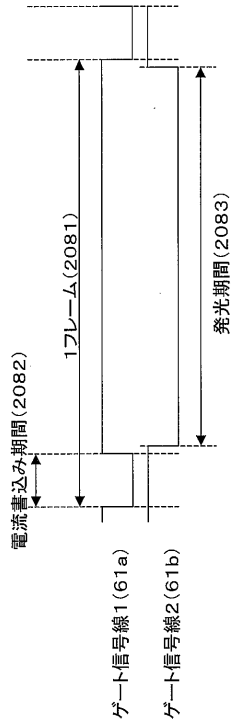
【図２０６】



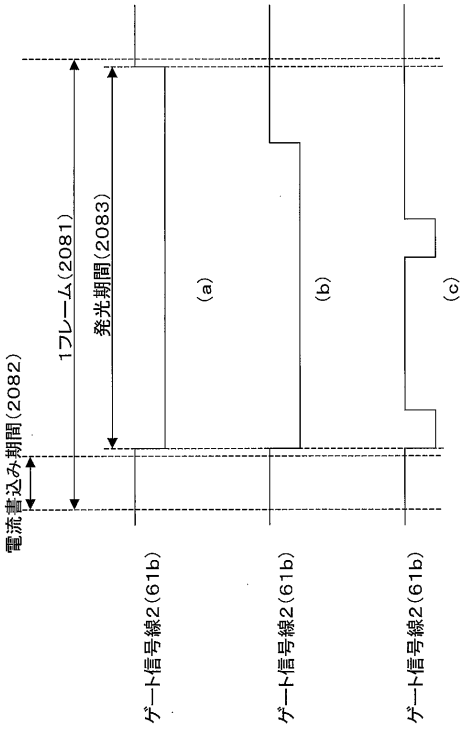
【図２０７】



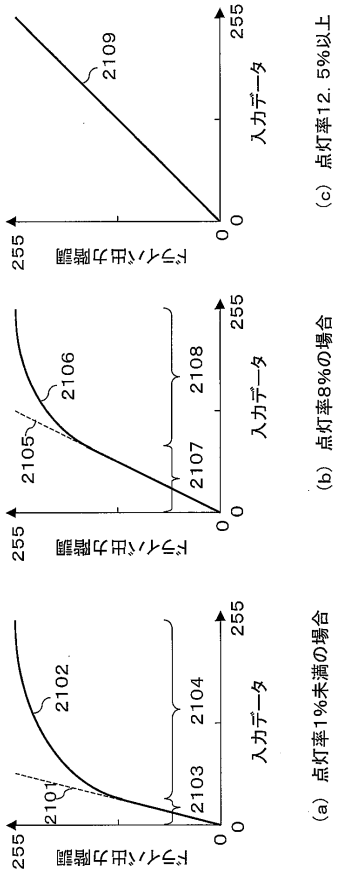
【図２０８】



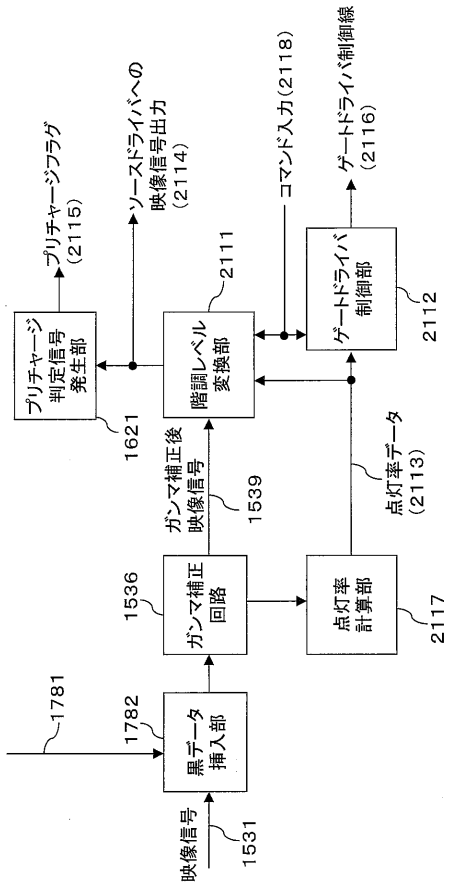
【図２０９】



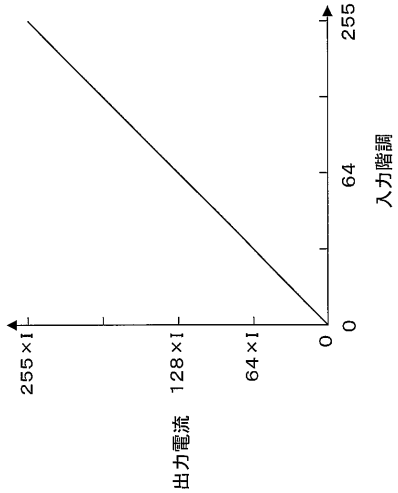
【図２１０】



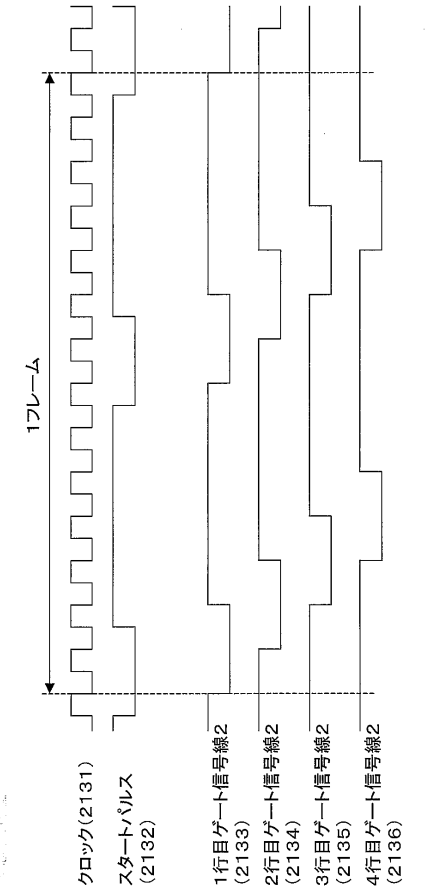
【図２１１】



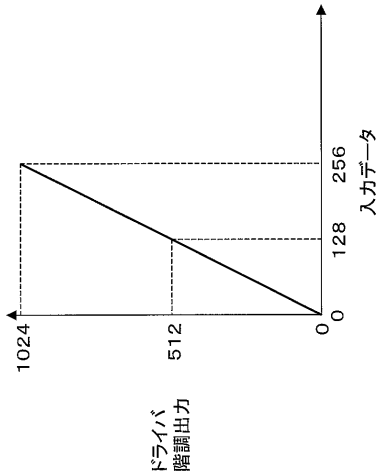
【図２１２】



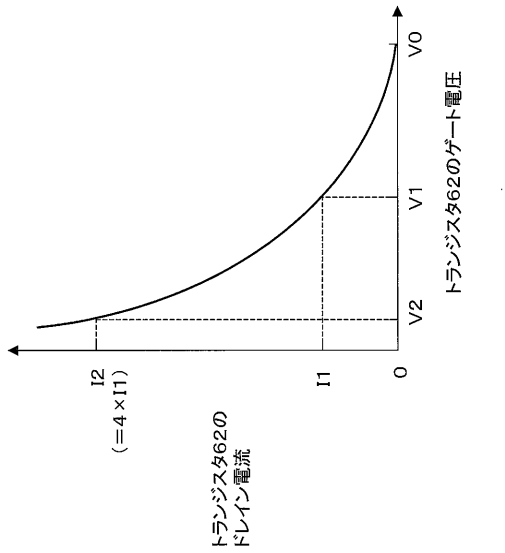
【図２１３】



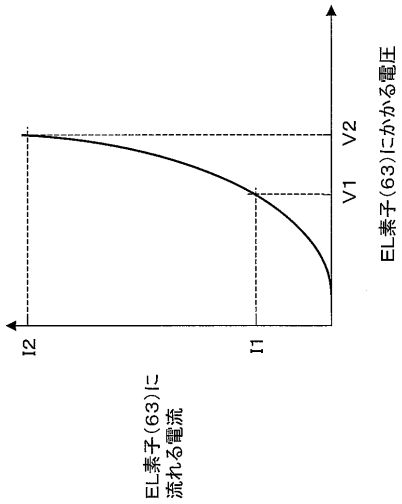
【図２１４】



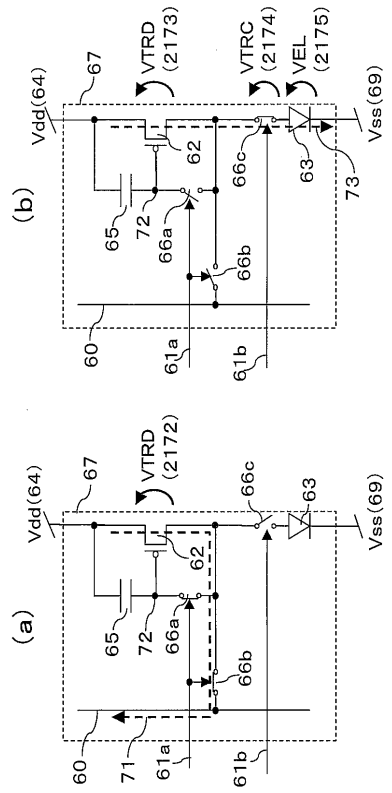
【図２１５】



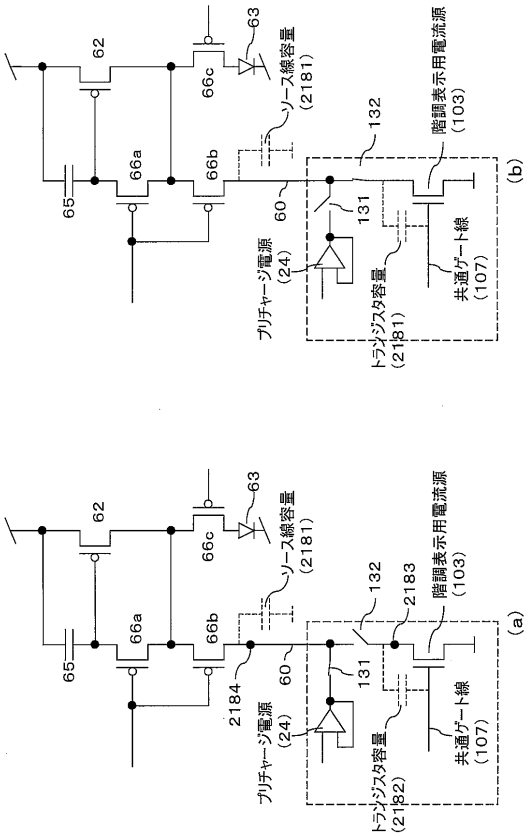
【図２１６】



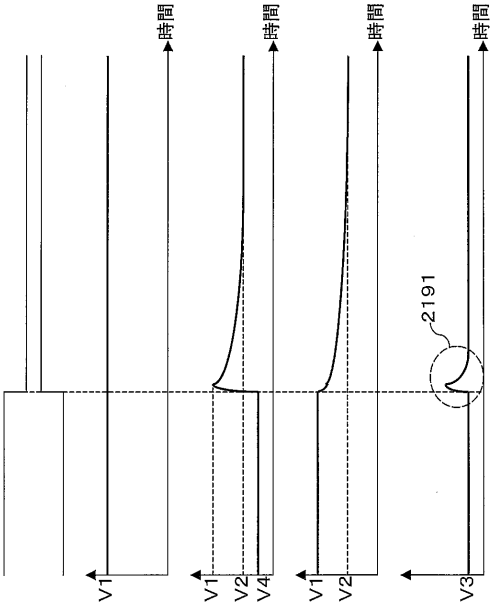
【図２１７】



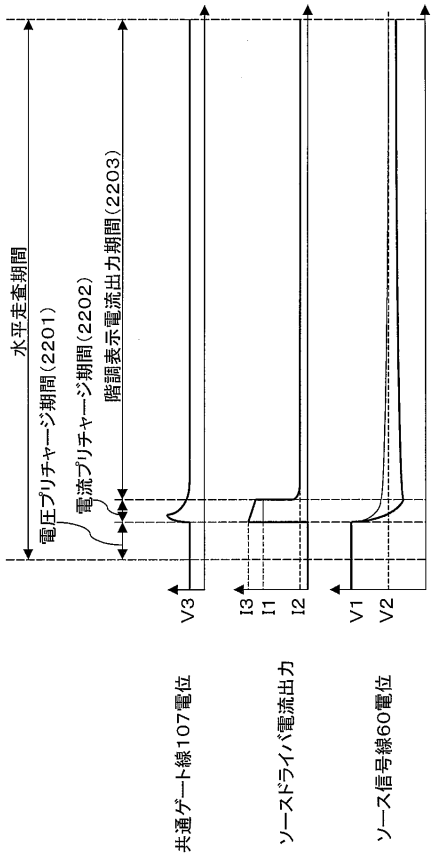
【図２１８】



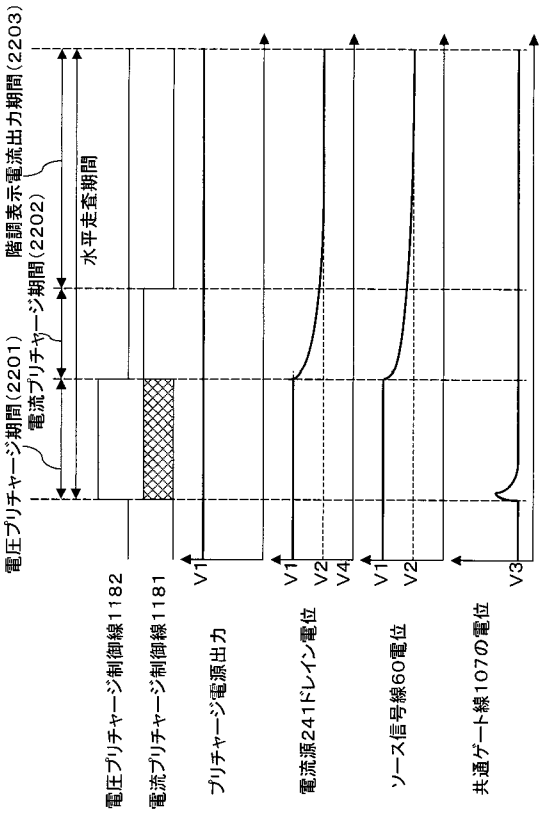
【図２１９】



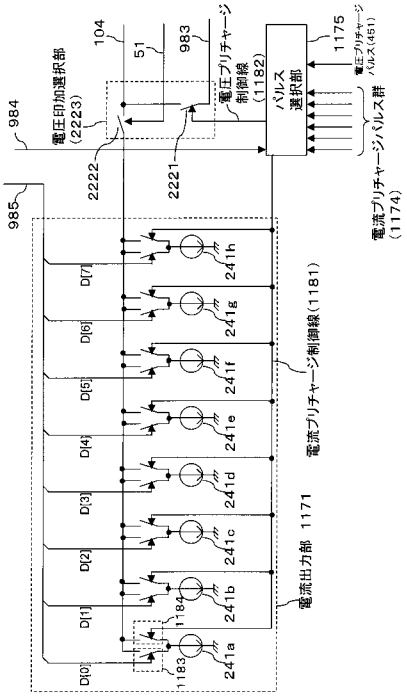
【図２２０】



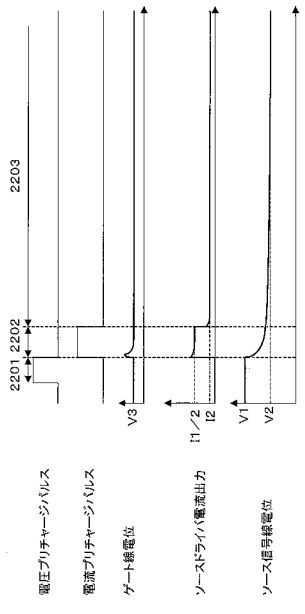
【図２２１】



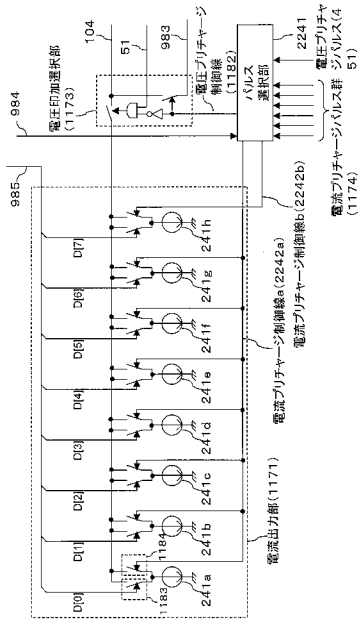
【図２２２】



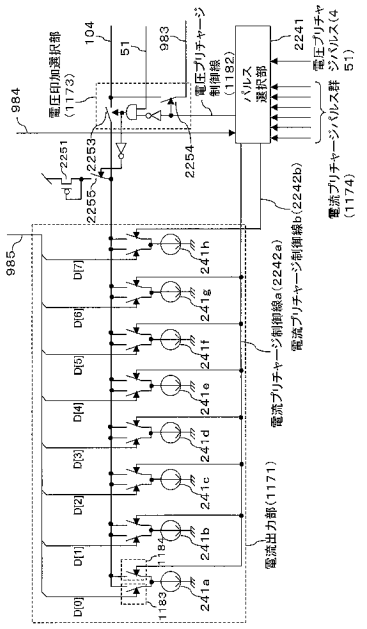
【図２２３】



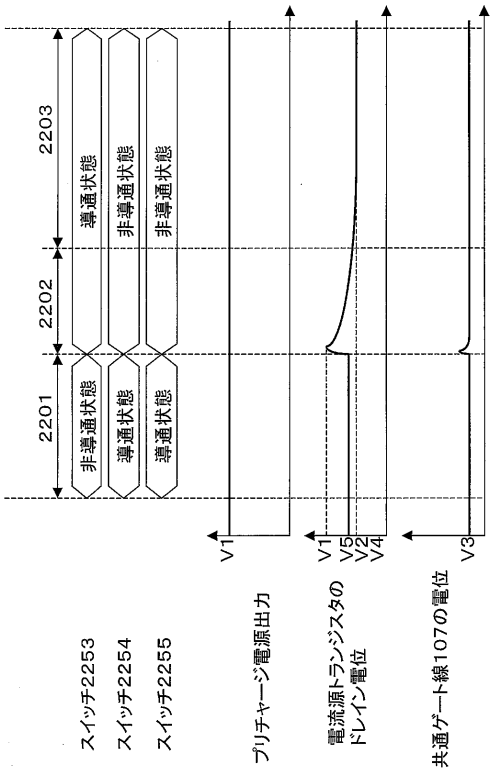
【図２２４】



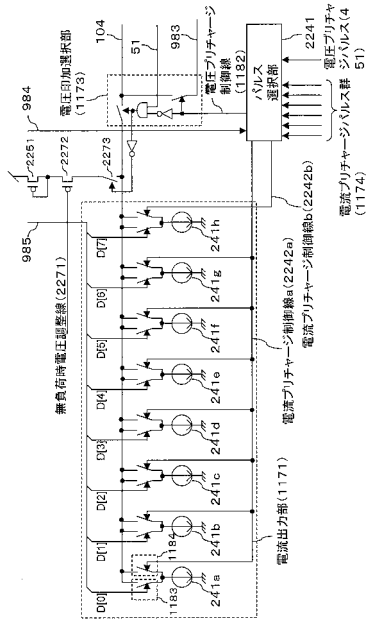
【図２２５】



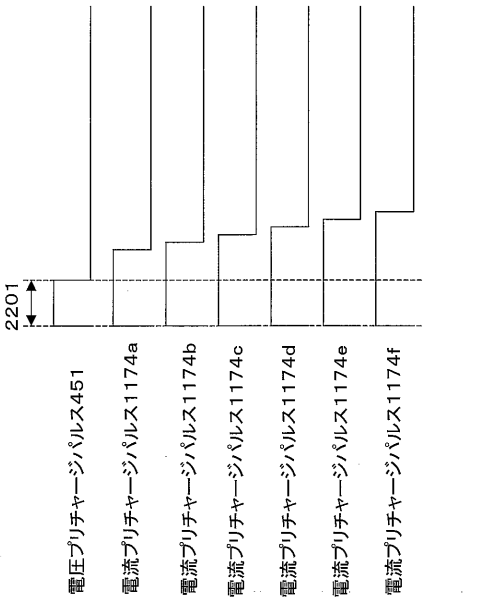
【図２２６】



【図２２７】



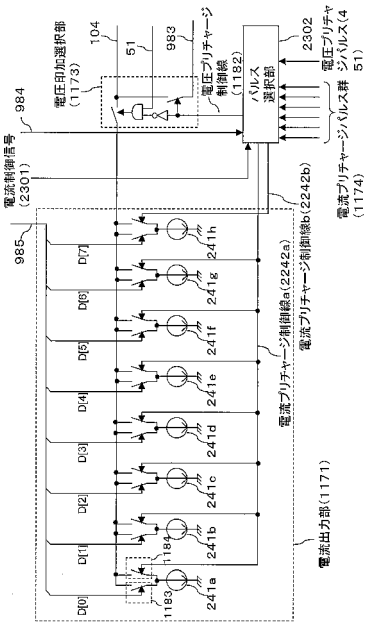
【図２２８】



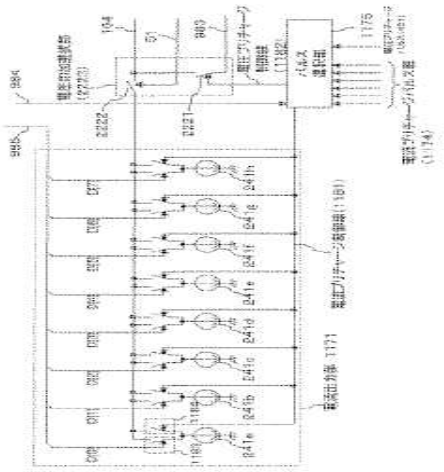
【図２２９】

プリチャージ判定線(984)	電流プリチャージ制御線a(2242a)	電流プリチャージ制御線b(2242b)	電圧プリチャージ制御線(1182)
0	常時"L"	常時"L"	常時"L"
1	1174aと同一	常時"L"	451と同一
2	1174bと同一	常時"L"	451と同一
3	1174cと同一	常時"L"	451と同一
4	1174dと同一	常時"L"	451と同一
5	1174eと同一	常時"L"	451と同一
6	1174fと同一	常時"L"	451と同一
7	常時"L"	常時"L"	451と同一
8	常時"L"	常時"L"	常時"L"
9	1174aと同一	1174aと同一	451と同一
10	1174bと同一	1174bと同一	451と同一
11	1174cと同一	1174cと同一	451と同一
12	1174dと同一	1174dと同一	451と同一
13	1174eと同一	1174eと同一	451と同一
14	1174fと同一	1174fと同一	451と同一
15	常時"L"	常時"L"	451と同一

【図２３０】



专利名称(译)	使用有机发光元件驱动显示装置的方法		
公开(公告)号	JP2007025397A	公开(公告)日	2007-02-01
申请号	JP2005209248	申请日	2005-07-19
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.623.B G09G3/20.612.R H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB37 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA02 5C380/BA05 5C380/BA09 5C380/BA10 5C380/BA11 5C380/BA12 5C380/BA15 5C380/BA23 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA45 5C380/BB02 5C380/BB09 5C380/BB12 5C380/BB21 5C380/BB23 5C380/BC02 5C380/BC06 5C380/BC07 5C380/BC12 5C380/BC13 5C380/BC14 5C380/BC18 5C380/BD11 5C380/CA04 5C380/CA13 5C380/CA22 5C380/CA26 5C380/CA29 5C380/CA30 5C380/CA35 5C380/CA36 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC13 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CD015 5C380/CE04 5C380/CE16 5C380/CE19 5C380/CE21 5C380/CE22 5C380/CF01 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF18 5C380/CF27 5C380/CF32 5C380/CF33 5C380/CF42 5C380/CF48 5C380/CF52 5C380/CF56 5C380/CF61 5C380/CF67 5C380/DA02 5C380/DA06 5C380/DA12 5C380/DA13 5C380/DA15 5C380/DA35 5C380/DA37 5C380/DA38 5C380/DA39 5C380/DA47 5C380/DA49 5C380/EA11 5C380/FA03 5C380/FA04 5C380/FA09 5C380/FA24 5C380/HA02 5C380/HA11 5C380/HA13		
代理人(译)	松田 正道		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决在从施加黑电压之后转变到电流预充电时段的情况下受到晶体管的漏极电压的波动影响的公共栅极线电位改变的问题，因此，预充电量增加并且当通过衬里晶体管来布置源极驱动器的电流输出并且通过使用用于驱动电流的有机发光元件在显示装置中连接到输出的晶体管的数量来控制电流时，发光被提高。 ŽSOLUTION：在从电压预充电时段变为电流预充电时段的情况下，电路结构被认为是在电压预充电时段中漏极电位被固定的电路结构，使得漏极电位不会急剧变化。通过即使在电压预充电时段中同时执行电流预充电并且使电流源晶体管241的漏极电压与预充电电压相同并且由于电势变化的损失，漏极电位在电压预充电终止之前和之后恒定地显示相同的值。共栅极电位被抑制。 Ž