

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-509232  
(P2006-509232A)

(43) 公表日 平成18年3月16日(2006.3.16)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K007
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 H	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/30 K	
	G09G 3/20 624B	
	G09G 3/20 641A	

審査請求 未請求 予備審査請求 未請求 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-556644 (P2004-556644)  
 (86) (22) 出願日 平成15年11月25日 (2003.11.25)  
 (85) 翻訳文提出日 平成17年6月3日 (2005.6.3)  
 (86) 国際出願番号 PCT/IB2003/005432  
 (87) 国際公開番号 W02004/051616  
 (87) 国際公開日 平成16年6月17日 (2004.6.17)  
 (31) 優先権主張番号 02102680.2  
 (32) 優先日 平成14年12月4日 (2002.12.4)  
 (33) 優先権主張国 欧州特許庁 (EP)

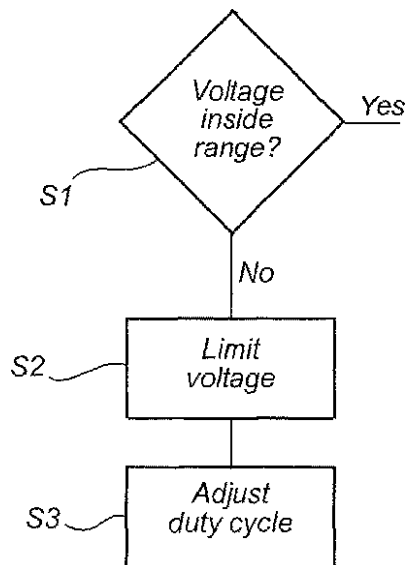
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 Koninklijke Philips Electronics N. V.  
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1  
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 有機LEDディスプレイ装置及びそのような装置を駆動するための方法

(57) 【要約】

有機LEDディスプレイ装置を駆動するための方法は、複数の発光素子を規定する有機層を挟む第1電極及び第2電極を有する。その方法は、電極間の短絡回路のリスクが低減された特定の電圧範囲内の電圧を発光素子に印加する段階と、所望の光強度が前記発光素子から発光されるように、前記発光素子のデューティサイクルを制御する段階とを有する。有機LEDディスプレイ装置の画素おける短絡回路の確率は、それ故、短絡回路の確率が高い電圧範囲において表示画素を動作させないようにすることにより、低減される。この印加電圧の限界は、発光素子のデューティサイクルを制御することにより補償される。



## 【特許請求の範囲】

## 【請求項 1】

複数の発光素子を規定する有機層を挟む第 1 電極及び第 2 電極を有する有機 LED ディスプレイ装置を駆動するための方法であって：

前記電極間の短絡回路のリスクが低減された特定の電圧範囲内の電圧を発光素子に印加する段階；並びに

所望の光強度が前記発光素子から発光されるように、前記発光素子のデューティサイクルを制御する段階；

を有することを特徴とする方法。

## 【請求項 2】

請求項 1 に記載の方法であって、前記発光素子の前記デューティサイクルは、特定の下限より小さい印加電圧を必要としないで、所望の光強度を発光するように減少される、ことを特徴とする方法。

## 【請求項 3】

請求項 1 に記載の方法であって、前記発光素子のデフォルトデューティサイクルは 100% より小さく、前記デューティサイクルは、特定の上限より大きい印加電圧を必要としないで、所望の光強度を発光するように増加される、ことを特徴とする方法。

## 【請求項 4】

請求項 2 又は 3 に記載の方法であって：

前記発光素子において一定の駆動電流を維持する必要がある時間に亘って想定される電圧変化を決定する段階；及び

それに応じて、前記発光素子のデューティサイクルを調節する段階；

を更に有する、ことを特徴とする方法。

## 【請求項 5】

請求項 2 又は 3 に記載の方法であって：

前記ディスプレイにおける平均画素電圧をモニタリングする段階；及び

この平均電圧に従って、各々の発光素子のデューティサイクルを調節する段階；

を更に有する、ことを特徴とする方法。

## 【請求項 6】

請求項 2 又は 3 に記載の方法であって：

発光素子の電圧をモニタリングする段階；及び

この平均電圧に従って、前記発光素子のデューティサイクルを調節する段階；

を更に有する、ことを特徴とする方法。

## 【請求項 7】

請求項 1 乃至 6 のいずれ一項に記載の方法であって、前記デューティサイクルは各々のフレームにおいて制御される、ことを特徴とする方法。

## 【請求項 8】

請求項 1 乃至 6 のいずれ一項に記載の方法であって、前記デューティサイクルは複数のフレームにおいて制御される、ことを特徴とする方法。

## 【請求項 9】

請求項 1 乃至 8 のいずれ一項に記載の方法であって、前記ディスプレイ装置はアクティブマトリクス型である、ことを特徴とする方法。

## 【請求項 10】

請求項 9 に記載の方法であって、前記デューティサイクルは各々の発光素子に対して個別に制御される、ことを特徴とする方法。

## 【請求項 11】

請求項 9 に記載の方法であって、前記デューティサイクルは複数の発光素子に対して一緒に制御される、ことを特徴とする方法。

## 【請求項 12】

請求項 8 に記載の方法であって、前記ディスプレイ装置はパッシブマトリクス型である

10

20

30

40

50

、ことを特徴とする方法。

【請求項 13】

請求項 1 乃至 12 にいずれ一項に従って駆動されるように備えられていることを特徴とする有機ディスプレイ装置。

【請求項 14】

複数の発光素子を規定する有機層を挟む第 1 電極及び第 2 電極を有する有機ディスプレイ装置であって：

発光素子に電圧を印加するための手段であって、前記電圧は、前記電極間における短絡回路のリスクが低減される特定の電圧範囲にある、手段；並びに

所望の光強度が前記発光素子から発光されるように、前記発光素子のデューティサイクルを制御するための手段；

を有することを特徴とする有機ディスプレイ装置。

【請求項 15】

請求項 14 に記載の有機ディスプレイ装置であって、前記制御手段は、特定の下限より小さい印加電圧を必要としないで、所望の光強度を発光するようにデューティサイクルを減少させるように備えられている、ことを特徴とする有機ディスプレイ装置。

【請求項 16】

請求項 14 に記載の有機ディスプレイ装置であって、前記制御手段は、100%より小さい、前記発光素子のデフォルトデューティサイクルを維持するように、及び、特定の上限より大きい印加電圧を必要としないで、所望の光強度を発光するように前記デューティ

20

【請求項 17】

請求項 14 乃至 16 のいずれ一項に記載の有機ディスプレイ装置であって、前記制御手段は、発光素子と電圧印加手段との間に接続されたトランジスタと、該トランジスタのゲートに接続されたデューティサイクル制御器とを有する、ことを特徴とする有機ディスプレイ装置。

【請求項 18】

請求項 14 乃至 16 のいずれ一項に記載の有機ディスプレイ装置であって、前記制御手段は、前記電圧印加手段に接続されたデューティサイクル制御器を有する、ことを特徴とする有機ディスプレイ装置。

30

【請求項 19】

請求項 14 乃至 16 のいずれ一項に記載の有機ディスプレイ装置であって、前記制御手段は、前記電圧印加手段に関連して前記発光素子の他の側に接続されたデューティサイクル制御器を有する、ことを特徴とする有機ディスプレイ装置。

【請求項 20】

請求項 14 乃至 19 のいずれ一項に記載の有機ディスプレイ装置であって、前記電圧印加手段は、電力ラインと、該電力ラインと前記発光素子との間に接続された駆動トランジスタとを有する、ことを特徴とする有機ディスプレイ装置。

【請求項 21】

請求項 14 乃至 20 のいずれ一項に記載の有機ディスプレイ装置であって、前記制御手段は、複数の発光素子に対するデューティサイクルを一緒に制御するように備えられている、ことを特徴とする有機ディスプレイ装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機層であって、例えば、高分子層又は薄い有機分子層を挟む第 1 電極及び第 2 電極を有する、有機 LED ディスプレイ装置を駆動するための方法に関する。

【背景技術】

50

## 【0002】

有機ディスプレイ装置における短絡回路は、それが、直接、画素の故障に繋がるために特に重大である。有機LED装置において、有機層は2つの電極間に電気絶縁体を備え、動作中、この層は高電界下に置かれる。同時に、有機層の局部乱れ（粒子、ピンホール等）が生じ、それらの乱れのための電極間で直接、接触する結果として、局部リーク電流が発生する。

## 【0003】

短絡回路の進行は、局部リーク電流により浪費される電気エネルギーにより進められる。エネルギー浪費は、一定の装置電流を維持するために必要は電圧増加のために、ディスプレイ寿命を通して増加する。そのような寿命に伴う電圧増加は、有機LEDディスプレイに特徴的であり、駆動するには、一定の装置電流が好適である。

10

## 【0004】

エネルギー浪費が分解温度より高い局部温度（材料の融解点及び沸点をも含む）に繋がると、局部損傷が起こる。典型的には、そのような損傷の結果には2つの要素がある。大きい局部リーク電流が生じ、その結果、新しい損傷が生じる。構成する層は“ヒューズ”としての役割を果たし、このような大きいリーク電流を長続きさせないようにする。他方、その損傷は、リーク電流の減少に繋がり、それ故、局部の温度を減少させる。印加電圧の増加が又、新しい損傷に繋がるまで、欠陥は影響力を無効にする。

## 【発明の開示】

## 【発明が解決しようとする課題】

20

## 【0005】

本発明の目的は、有機LEDディスプレイにおいて短絡回路に対するリスクを低減することである。

## 【0006】

上記の及び他の目的は、特定の電圧範囲内の電圧を発光素子に印加することにより達成することができ、その電圧範囲内で、電極間の短絡回路のリスクは低減され、所望の光強度が前記発光素子から発光されるように、前記発光素子のデューティサイクルを制御することができる。

## 【課題を解決するための手段】

## 【0007】

30

本発明に従って、有機LEDディスプレイ装置の画素における短絡回路の確率は、それ故、短絡回路の確率が大きい電圧範囲内でディスプレイ画素を動作させることを回避することにより、減少する。このような印加電圧の制限は、発光素子のデューティサイクルを制御することにより補償される。有機LEDのデューティサイクル制御については、本来、周知であるが、例えば、米国特許第6,023,259号明細書を参照されたい。

## 【0008】

本発明は、ディスプレイにおける画素の知覚される輝度は、各々の画素が発光する時間の比（その“デューティサイクル”）と発光中の輝度との関数であるという認識に基づいている。それ故、理論的には、デューティサイクルが連続的に変化するという条件で、いずれの所定の実際の輝度を伴う画素から、いずれの知覚される輝度の画素を生成することが可能である。このような認識は、それ故、デューティサイクルを制御することにより、いずれの所定の画素の実際の動作電圧を選択することを可能にする。

40

## 【0009】

研究により、短絡のリスクが低減された、上限及び下限を有する、特定の電圧範囲が存在することが認識された。ディスプレイにおける発光素子のデューティサイクルを制御することにより、発光強度の範囲を限定することなく、電圧はそのような範囲内に維持されることができる。

## 【0010】

一部の状態であって、例えば、暗い画像を表示する、状態においては、印加電圧は、ときどき、臨界値より小さく、それ故、短絡回路に対するリスクは著しく増加する。そのよ

50

うな場合、画素の動作電圧は、画素のデューティサイクルを減少させることにより臨界値以上の状態に留めるように制御されることができる。

【0011】

他のアプリケーションにおいては、100%より小さいデューティサイクルが、デフォルト動作方法として選択される。一例は、映像アプリケーション（テレビジョン、DVDプレーヤ等）に対するアクティブマトリクスPLED/OLEDであって、それらにおいて、デューティサイクルは、動きぼやけアーチファクト（所謂、“サンプルホールド”アーチファクト）を低減するために減少される。他の更に一般的な例は、アクティブマトリクスディスプレイにおいて輝度の均一性を増加させるためにデューティサイクルを小さくすること（均一性に関して、ポリシリコンTFTにおいてトランジスタ毎の変化の影響を低減させること）である。

10

【0012】

そのような状況においては、小さ過ぎるデューティサイクルの選択は、表示性能にとって有利であり、ディスプレイにおいて特定の画素が臨界値以上の電圧において動作するようにすることが可能であり、それ故、短絡回路のリスクは著しく増加する。この場合、画素のデューティサイクルを増加させることにより、画素の動作電圧を臨界値以下のまま保つように制御することができる（たとえ、これが表示性能を僅かに低減させるとしても）。

【0013】

又、100%より小さいデフォルトデューティサイクルを選択することにより、時間に対してデューティサイクルの漸次の増加を可能にする。これは、印加電圧がしばしば変化するときであって、特に、有機ディスプレイ装置の寿命の間に増加するとき、有利である。電圧増加レートが既知である場合、それに代えて、デューティサイクルを次第に増加させることができ、それにより、動作電圧を短絡形成に対していずれの臨界値以下のまま保つようにすることが可能である。

20

【0014】

一実施形態に従って、これは、ディスプレイにおける画素の平均電圧をモニタリングすることであって、例えば、ディスプレイの電力浪費をモニタリングすることにより、なされる。この場合、実際の（平均）電圧がモニタリングされ、デューティサイクルは、必要に応じて、調節される。

30

【0015】

他の実施形態に従って、ディスプレイにおける個々の又は代表的な画素の電圧がモニタリングされ、それ故、各々の画素のデューティサイクルは、臨界電圧に実際に到達したときにのみ、増加させる必要がある。このことは、短絡回路形成のリスクを増大させることなく、最も高い性能レベルにおいて、ディスプレイが常に動作することを確実にする。

【0016】

デューティサイクルを、各々のフレーム（単一のフレームのデューティサイクル）に対して、又は幾つかのフレームに対して制御することができる。後者は、代替として、パッシブ及びアクティブマトリクスディスプレイ装置において実行されることが可能である。

【0017】

アクティブマトリクスディスプレイにおいては、デューティサイクルを、各々の発光素子個々に対して又は幾つかの素子に対して一緒に、制御することが可能である。前者の実行においては、常に、最適な調節が可能である一方、後者においては、実行に対して複雑性が小さく、コストパフォーマンスが高い。

40

【0018】

本発明の以上の及び他の特徴については、以下、添付図面を参照して更に具体的に説明する好適な実施形態により、理解することができる。

【発明を実施するための最良の形態】

【0019】

上記のように、本発明は、ディスプレイにおける発光素子の電圧の制御に基づいており

50

、それ故、それら発光素子を、短絡に対するリスクを低減する特定の電圧範囲内に保つことができる。下記において、そのような範囲をどのように特定するかの詳細について更に説明する。図1を参照するに、上部電極1、下部電極2及び中間有機（高分子（PPV）又は小さい有機分子）層3を有する有機ディスプレイ装置における画素を示している。

【0020】

上部電極1と下部電極2との間の静電引力は、有機層3の初期損傷の後に、物理的接触を引き起こす。この静電引力は、印加電圧（典型的には、50乃至100MV/m）と有機層3の膜厚（典型的には、PLED装置に対して、60乃至120nm）とに、直接、関連している。この層の膜厚は、本質的に一定であるため、その電圧は、短絡回路の拡大において重大な役割を果たす。

10

【0021】

更に、構成する各層間の付着力が弱いとき、局部放電のために損傷がより拡大することが見られる。印加電圧によりもたらされる静電引力は、各層が共に圧せられるために、付着力の人為的な改善に繋がる。又、電圧（静電引力）と短絡の確率との相関性について、確認された。

【0022】

電圧以外には又、装置電流又は、特に、セグメント電流が重要な役割を果たす。典型的には、短絡回路は、画素よりかなり小さい局部現象である。短絡回路は、セグメント電流のオーダーの、安定な又は不安定な大きい持続性リーク電流に過ぎない。一定電流を短絡回路を有するセグメントに供給することにより、従って、光の損失を結果的にもたらし、交互に安定又は不安定（フリッカリング）になる。

20

【0023】

しかしながら、LED層がどれ位高くリーク電流を保つことができるかに関する限界が存在し、それ故、リークチャンネルにより流れる最大電流が限定される（この現象は、“ヒュージング”と呼ばれている）。その結果、可能な短絡回路に関しては、特定の光量を発光するために、DC電流に代えて、より短く、より大きい電流パルスを有することが好ましい。画素における最大リーク電流に対するパルス電流の比、即ち

【0024】

【数1】

$$R_{OLED}^{DRIVING} = \frac{I_{dev}^{pulse}}{I_{leakage}^{MAX}} \quad (1)$$

30

が大きいとき、短絡回路の影響は小さい。

【0025】

実験的な証拠は、短絡回路への初期的局部損傷の拡大は、用いられる電圧及び装置電流に依存することを更に示している。

【0026】

これは、次式で表され、

$$P_{short} = A_{dev} \quad (2)$$

40

ここで、 $P_{short}$  は、短絡確立と装置面積との間の比例定数である。

【0027】

図2においては、4つの異なる区間I乃至IVが、印加電圧（ダッシュ線11）と短絡確率との間の相互関係、パルス電流（ドット線12）と短絡確率との相互関係それぞれにおいて区別される。異なる区間の間の境界13（シェード範囲）は異なる高分子に対して変化し、又、正確な層構成に依存する。

【0028】

測定及び上記のモデルに基づいて、4つの区間について、次のように特徴付けることができる。

50

I) 小さい電圧値に対しては、リーク電流の不安定性が小さいことが実験的に分かった。静電引力は、尚も小さ過ぎて、直接接触は引き起こされない。これは、構成層の弾性特性に直接関係している。更に、浪費されるエネルギー ( $\sim V_{app1} / R_{cannel}$  であって、ここで、 $V_{app1}$  は印加電圧であり、 $R_{cannel}$  は局部リーク経路の抵抗である) は小さ過ぎて、損傷を引き起こすことはない。

II) この電圧区画において、“フュージング”は強い電流不安定性をもたらす。その電圧によりもたらされる静電引力は、陽極に対して陰極を圧する。しかしながら、その結果もたらされる損傷は、新しい接触であって、それ故、損傷等をもたらす、短絡回路が拡大する。又、短絡回路確率は、典型的には、損傷領域(リークチャンネル)の周囲の長さと共に増加し、この電圧区画において生じる損傷の増加はこの周囲の長さの増加をもたらすため、短絡確率も又、増加する。

III) 5乃至10Vの範囲内の電圧においては又、短絡回路確率の強い減少が観測された。特定の電圧 ( $V_{FUSE}$ ) 以上で、不安定性は消え、リーク電流は減少する。上記のような各層間の付着力の人為的な増加は、回復確率を支持する(損傷における  $R_{cannel}$  の増加)。この第3の区画は、LED駆動に対して好適な区画である。

IV) 特定の閾値以上の電圧(典型的には70nmの厚さの有機層地に対して $\sim 10V$ )に対して、装置全ては、リーク電流が非常に大きい状態にある傾向にあることが、実験的に観測された。その結果、短絡回路になる。明らかに、局部温度(浪費電力、 $\sim V_{app1} / R_{channel}$  に直接関係する)は、電極の一が分解する位高い値に達し、又は各層間の付着力がある他の様式(例えば、ガス発生)で破壊される位高い値に達する。実験的に又、この効果は、電圧の関数として非常に突然発生することが理解された。その閾値 ( $V_{th}$ ) は、高分子の種類及び装置の構成の関数として変化することが理解された。

【0029】

結果として、一般に、次式の条件を満足する印加電圧に対して始める必要があり、

$$V_{FUSE} < V_{app1} < V_{th} \quad (3)$$

それにより、式(1)において述べた装置電流比に関する結論、即ち、低短絡回路確率を達成するために必要な

【0030】

【数2】

$$R_{OLED}^{DRIVING} \gg 1$$

が、満足される必要がある。

【0031】

本発明に従った方法の実施形態について、図6に示している。先ず、段階S1において、発光素子に印加される電圧が特定の範囲内(式(3))の範囲内にあるかどうか判定される。これが否定される場合、電圧が段階S2において限定され、デューティサイクルは段階S3において次第に調節される。

【0032】

図3乃至5を参照するに、上記の条件が、アクティブマトリクス高分子LED装置の駆動スキームに適用される。上記の目的はアクティブマトリクスのアプリケーションにおいて達成することができ、それは、そのような装置における画素(発光素子)のデューティサイクルを自由に選択することができるためである。そのような理由により、実際に発光する画素を伴わずに、画素(アドレッシング)の輝度レベルを設定することが可能である。

【0033】

図3は、本発明に従った、有機発光素子であって、例えば、PLED又はOLEDを駆動するために適切はあくティブマトリクス回路を示している。その回路は、蓄積ポイント12にデータ電圧 ( $V_{in}$ ) を書き込むことを可能にするアドレッシングトランジスタ11を有する。この電圧は、電力ライン14に関して、駆動トランジスタ13のゲート電圧を

10

20

30

40

50

決定する。そのゲート電圧が駆動トランジスタ13の閾値より大きい場合、電流は、PLED/OLED15を通して、電力ライン14から陰極18に流れる。そのとき、PLED/OLED15は発光する。

#### 【0034】

図3における回路は、PLED/OLED15と駆動トランジスタ16との間に接続される付加トランジスタ16を更に有する。このトランジスタはOLED/PLEDのデューティサイクルを規定する。画素は、このトランジスタが導電状態にされるときにのみ、発光することができる。この実施形態においては、デューティサイクルは、付加トランジスタ16が導電状態である期間を規定することにより変更される。トランジスタ16のゲートは、デューティサイクル、即ち、トランジスタ16が開状態であるフレームの期間を制御するための回路17に接続されている。回路構成17は、例えば、パルス幅変調器である。

10

#### 【0035】

ディスプレイにおけるデューティサイクルトランジスタ16全てが単一の制御器17に接続されている場合、安全な画素電圧を確実にするために、全体のディスプレイにおける画素全てのデューティサイクルを一緒に変更することが可能である。好適な実施形態に従って、ディスプレイの一部は、個別にアドレッシングされるデューティサイクルトランジスタ16（例えば、各々のカラード画素の1つの集合）を備えることにより、個別に設定され且つ変更されるデューティサイクルを有することができる。

#### 【0036】

ここで、図4を参照するに、この図は、本発明を実現するために適切な画素回路の第2実施形態を示している。図3における要素と類似する要素には、所定の同等の参照番号が付けられている。この実施形態に従って、電力ライン14は、電力ラインが高電圧に設定されるフレームの期間の調節を可能にするように、図3における回路構成17に類似する回路構成21を備えている。この“電力ラインデューティサイクル”は、電源が高電圧に設定されるときにのみ、画素が発光することができるため、PLED/OLED画素のデューティサイクルを順に規定する。この実施形態に従って、それ故、電力ラインが高電圧になるフレームの期間を調節することによりデューティサイクルを変更することができる。

20

#### 【0037】

画素全てが単一の電力ライン14に接続される場合、安全な画素電圧を確実にするために、全体のディスプレイのデューティサイクルを変更することが可能である。好適な実施形態に従って、ディスプレイの一部は、複数の電力ライン（例えば、カラード画素の各々の設定に対する電力ライン）を備えることにより個別に設定され且つ変更されるデューティサイクルを有することができる。

30

#### 【0038】

本発明を実現するための画素回路の第3の実施形態について、図5に示しており、その図においては又、図3における要素に類似する要素には、同じ参照番号を付けた。図3における回路構成17に類似する回路構成22は、PLED/OLED15の陰極18に接続されている。この構成においては、PLED/OLED陰極18における電圧を調節することにより画素デューティサイクルを変更することができる。陰極電圧が高く設定される（一般に、電力ライン電圧より高い）に設定される場合、ダイオードは逆電圧に設定されるため、画素は発光することができない。この実施形態に従って、それ故、陰極が低電圧に設定されるフレームの期間を調節することによりデューティサイクルを変更することができる。

40

#### 【0039】

一般に、アクティブマトリクスPLED/OLEDディスプレイに対して、画素全ては単一の陰極接続に接続され、安全な画素電圧を維持するために全体のディスプレイのデューティサイクルを変更することが可能である。又、複数の陰極（例えば、カラード画素の各々の集合に対して1つの陰極）を備えることが可能であり、それにより、ディスプレイ

50

の異なる部分が、個別に設定され且つ変更されるデューティサイクルを有することを可能にする。

【0040】

図3乃至5において、最も簡単に電圧アドレッシングするアクティブマトリクスPLED/OLED画素回路について、例として示したが、当該技術分野において既知の、多くの電圧及び電流両方によりアドレスする画素回路に同様の対策を適用することが可能である。更に、有機LEDディスプレイにおいてデューティサイクルを生成するために、従来技術により周知であるような他の方法が又、有利に適用されることが可能であり、それ故、例えば、ディスプレイにおける画素は、各々のフレームにおいて一回以上アドレッシングされ、そのフレームにおいて、画素が第1サブフレーム期間において光を生成するようにアドレッシングされることができ、続くサブフレーム期間において光を生成しないようにアドレッシングされることができる。

10

【0041】

上記の実施形態においては、表現“デューティサイクル”は、一度に、1つのフレームのみに関して用いられた。しかしながら、本発明は、この解釈に限定されるものではなく、更なる好適な実施形態においては、統合された発光強度を減少させるために、幾つかのフレームに亘る“デューティサイクル”の実行、即ち、選択フレーム中、発光されない選択画素を制御することを含む。

【0042】

これは、例えば、エレクトロニクスがその作動を安定化させるために少なくとも特定の時間を必要とする場合に、例えば、実際に、フレームデューティサイクルを更に減少させることが適当でない状況において有利であり得る。そのような状況下で、所望の知覚される輝度レベルに到達するためには、輝度の小さい画素の一部は、上記の臨界値の1つより小さい電圧を必要とし得る。このことは、それらの画素における短絡回路のリスクを増大させる。

20

【0043】

そのような状況下では、そのような画素がフレーム毎に、もはやアドレッシングされない方式で、ディスプレイを駆動することができる。例えば、これらの画素を2つのフレーム毎にアドレッシングすることにより、同様に知覚される輝度を達成するように画素がアクティブにされるととき、フレームにおいては、2倍大きい輝度のパルスが必要とされる。このような方式においては、画素は、アクティブなフレームの間、臨界値より大きい電圧において動作し、短絡のリスクは又、減少する。他の非アクティブなフレームにおいては、画素は全く駆動されず、回路を短絡することもない。

30

【0044】

勿論、動作電圧における更なる増加が必要である場合、画素は、更に頻度低くアドレッシングされることが可能である。僅かな減少のみが必要である場合、画素は、例えば、3つのフレーム中2つにおいてアドレッシングされることが可能である。

【0045】

この方式でディスプレイを動作させるためには、そのような複数のフレームにおける駆動を必要とし、それに応じて駆動信号を調節する画素を特定する必要がある。

40

【0046】

このような本発明の実施形態は、アクティブマトリクスディスプレイに限定されるものではなく、非常に小さい電圧において動作する小さい輝度の画素を回避するために、パッシブマトリクスディスプレイにおいて又、用いることが可能である。この実施形態を、パッシブマトリクスが振幅変調駆動を用いて階調を生成するときに関連させることは更に可能性がある。具現化は、上記のアクティブマトリクスのアプリケーションの場合と同様にすることができる。

【図面の簡単な説明】

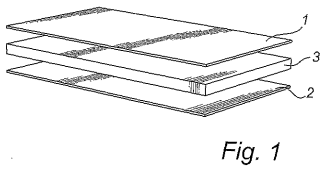
【0047】

【図1】有機LEDディスプレイにおける画素の模式的斜視図である。

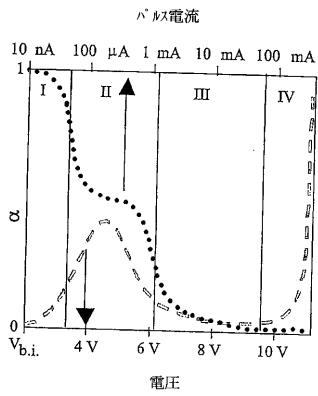
50

- 【図2】 図1におけるディスプレイの4つの電圧区間を示す図である。
- 【図3】 本発明の第1実施形態に従った画素駆動の模式的回路図である。
- 【図4】 本発明の第2実施形態に従った画素駆動の模式的回路図である。
- 【図5】 本発明の第3実施形態に従った画素駆動の模式的回路図である。

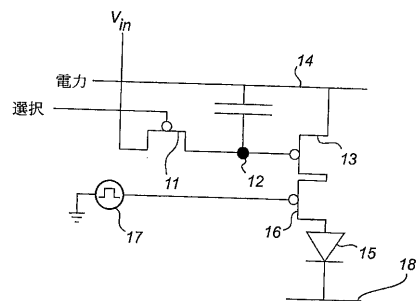
【図1】



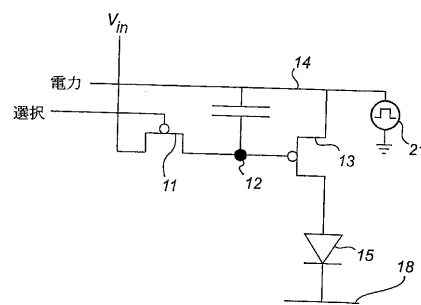
【図2】



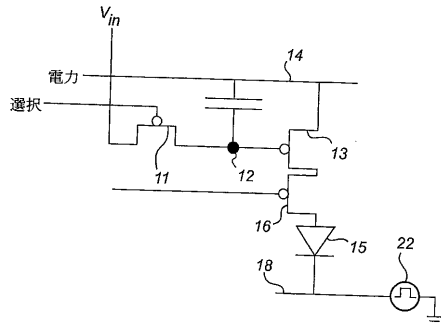
【図3】



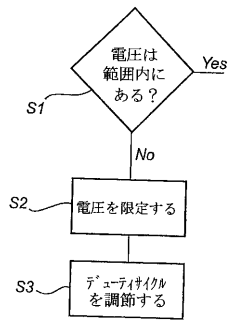
【図4】



【 図 5 】



【 図 6 】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/IB 03/05432

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 225 557 A (MATSUSHITA ELECTRIC IND CO LTD) 24 July 2002 (2002-07-24) paragraphs '0065!', '0066!', '0129!', '0130!', '0132!', '0133!', '0156!', '0174!', ~ '0185!', '0203!', '0204!'	1-21
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
'A' document defining the general state of the art which is not considered to be of particular relevance 'E' earlier document but published on or after the international filing date 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) 'O' document referring to an oral disclosure, use, exhibition or other means 'P' document published prior to the international filing date but later than the priority date claimed 'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention 'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone 'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. '&' document member of the same patent family		
Date of the actual completion of the international search 24 June 2004		Date of mailing of the international search report 01/07/2004
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer van Wesenbeeck, R

## INTERNATIONAL SEARCH REPORT

International Application No PCT/JP 03/05432
---

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>HONG Y ET AL: "NOVEL POLY-SI TFT PIXEL ELECTRODE CIRCUITS AND CURRENT PROGRAMMED ACTIVE-MATRIX DRIVING METHODS FOR AM-OLEDs"</p> <p>2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA : SID, US, vol. VOL. 33 / 1, 21 May 2002 (2002-05-21), pages 618-621, XP001134284 figure 2</p>	1-21
A	<p>US 6 291 942 B1 (FUJITA SUSUMU ET AL) 18 September 2001 (2001-09-18) abstract column 2, lines 33-48 column 3, lines 32-36 column 7, line 30 - column 8, line 37 column 9, lines 6-14</p>	4-13, 17-21

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/IB 03/05432

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1225557	A	24-07-2002	EP 1225557 A1	24-07-2002
			CN 1377495 T	30-10-2002
			WO 0126085 A1	12-04-2001
			JP 2001350442 A	21-12-2001
			TW 472277 B	11-01-2002
US 6291942	B1	18-09-2001	JP 2001013903 A	19-01-2001

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 P
	G 0 9 G 3/20	6 7 0 A
	H 0 5 B 33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 ジョンソン, マーク, トマス

ドイツ連邦共和国, 5 2 0 6 6 アーヘン, ヴァイスハオスシュトラッセ 2, フィリップス インテレクチュアル プロパティ アンド スタンダーズ ゲーエムベーハー内

(72) 発明者 ハイベルツ, ヨーハネス, ニコラース

ドイツ連邦共和国, 5 2 0 6 6 アーヘン, ヴァイスハオスシュトラッセ 2, フィリップス インテレクチュアル プロパティ アンド スタンダーズ ゲーエムベーハー内

(72) 発明者 ウェイイェール, ペーテル

ドイツ連邦共和国, 5 2 0 6 6 アーヘン, ヴァイスハオスシュトラッセ 2, フィリップス インテレクチュアル プロパティ アンド スタンダーズ ゲーエムベーハー内

F ターム(参考) 3K007 AB02 AB18 BA06 DB03 GA00 GA04

5C080 AA07 BB05 DD18 EE28 FF11 FF12 JJ03 JJ05 JJ06 JJ07

专利名称(译)	有机LED显示装置和用于驱动这种装置的方法		
公开(公告)号	<a href="#">JP2006509232A</a>	公开(公告)日	2006-03-16
申请号	JP2004556644	申请日	2003-11-25
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ジョンソンマークトマス ハイベルツヨハネスニコラース ウェイイェールペーテル		
发明人	ジョンソン,マーク,トマス ハイベルツ,ヨハネス,ニコラース ウェイイェール,ペーテル		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3216 G09G3/2014 G09G3/2077 G09G3/3233 G09G3/3291 G09G2300/0842 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.H G09G3/30.K G09G3/20.624.B G09G3/20.641.A G09G3/20.641.D G09G3/20.642.P G09G3/20.670.A H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA07 5C080/BB05 5C080/DD18 5C080/EE28 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/JJ07		
代理人(译)	伊藤忠彦		
优先权	2002102680 2002-12-04 EP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种用于驱动有机LED显示装置的方法，包括第一电极和夹着限定多个发光元件的有机层的第二电极。该方法包括：一个指定的电压范围内将电压施加在电极之间的短路的风险的步骤减少到一个发光元件，使所希望的光强度从发光元件发出的，所述发光元件并控制占空比。因此，通过不允许显示像素在短路概率高的电压范围内操作，降低了有机LED显示装置的像素中的短路概率。通过控制发光元件的占空比来补偿该施加电压的极限。

