

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2003 - 173154

(P2003 - 173154A)

(43)公開日 平成15年6月20日(2003.6.20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30	338 3 K 0 0 7
	365		365 Z 5 C 0 8 0
G 0 9 G 3/20	624	G 0 9 G 3/20	624 B 5 C 0 9 4
	642		642 A 5 F 1 1 0
3/30		3/30	J

審査請求 未請求 請求項の数 15 O L (全 15数) 最終頁に続く

(21)出願番号 特願2002 - 102591(P2002 - 102591)

(22)出願日 平成14年4月4日(2002.4.4)

(31)優先権主張番号 特願2001 - 303768(P2001 - 303768)

(32)優先日 平成13年9月28日(2001.9.28)

(33)優先権主張国 日本(JP)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 佐野 景一

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(74)代理人 100075258

弁理士 吉田 研二 (外 2 名)

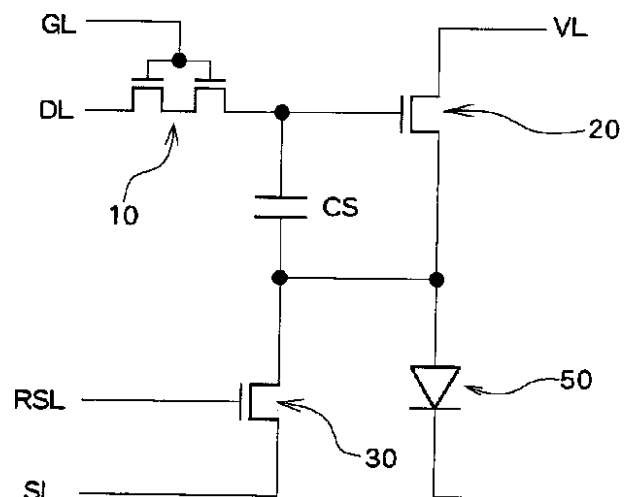
最終頁に続く

(54)【発明の名称】 半導体装置及び表示装置

(57)【要約】

【課題】 被駆動素子に安定して電力供給可能な構成の実現。

【解決手段】 マトリクス状に配置された各画素は、有機 E L 素子 5 0、第 1 T F T 1 0、第 2 T F T 2 0、保持容量 C s、リセット用の第 3 T F T 3 0を備え、第 1 T F T 1 0は、ゲート信号に応じてデータ信号を取り込み、第 2 T F T 2 0は駆動電源ライン V Lにドレイン、有機 E L 素子 5 0にソースが接続され、データ信号をゲートに受けて駆動電源 P v d dから有機 E L 素子 5 0への供給電流を制御する。保持容量 C sの第 1 電極 7は第 2 T F T 2 0のゲート、第 2 電極 8は第 2 T F T 2 0のソース及び有機 E L 素子に接続され、第 2 T F T 2 0の V g sを保持する。第 3 T F T 3 0は保持容量 C s充電時に第 2 電極電位を固定する。



【特許請求の範囲】

【請求項 1】 選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源にドレインが接続され、被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、

第 1 電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第 2 電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、前記保持容量の第 2 電極の電位を制御するためのスイッチ素子と、
を有することを特徴とする半導体装置。

【請求項 2】 マトリクス状に配置された複数の画素を備えるアクティブマトリクス型の表示装置であって、各画素は、少なくとも、
被駆動素子と、

選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、
駆動電源にドレインが接続され、前記被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、

第 1 電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第 2 電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、前記保持容量の第 2 電極の電位を制御するためのスイッチ素子と、
を有することを特徴とする表示装置。

【請求項 3】 請求項 1 又は請求項 2 のいずれかに記載の装置において、

前記素子駆動用薄膜トランジスタは、 n チャネル型薄膜トランジスタであることを特徴とする半導体装置又は表示装置。

【請求項 4】 請求項 3 に記載の装置において、前記 n チャネル型の素子駆動用薄膜トランジスタは、チャネル領域と高濃度不純物注入したソース領域およびドレイン領域との間に低濃度不純物注入した $L D$ 領域を有することを特徴とする半導体装置又は表示装置。

【請求項 5】 請求項 4 に記載の装置において、前記 n チャネル型の素子駆動用薄膜トランジスタの $L D$ 領域は、少なくとも周辺回路における n チャネル薄膜ト

ランジスタの $L D$ 領域よりも大きく設定されていることを特徴とする半導体装置又は表示装置。

【請求項 6】 請求項 1 ~ 請求項 5 のいずれか一つに記載の装置において、

前記被駆動素子は、エレクトロルミネッセンス素子であることを特徴とする半導体装置又は表示装置。

【請求項 7】 請求項 1 ~ 請求項 6 のいずれか一つに記載の装置において、

前記スイッチ素子は、前記スイッチング用薄膜トランジスタのオンオフに応じて前記保持容量の第 2 電極の電位を制御することを特徴とする半導体装置又は表示装置。

【請求項 8】 請求項 7 に記載の装置において、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作時に前記保持容量の第 2 電極が固定電位に制御されることを特徴とする半導体装置又は表示装置。

【請求項 9】 請求項 7 に記載の装置において、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作より前から前記保持容量の第 2 電極が固定電位に制御され、前記スイッチング用薄膜トランジスタがオフした後に、前記保持容量の第 2 電極に対する電位制御を停止することを特徴とする半導体装置又は表示装置。

【請求項 10】 請求項 7 に記載の装置において、前記スイッチ素子は、薄膜トランジスタであり、所定のリセット信号又は前記スイッチング用薄膜トランジスタに供給される選択信号に応じて、前記保持容量の第 2 電極の電位を制御することを特徴とする半導体装置又は表示装置。

【請求項 11】 請求項 1 ~ 請求項 10 のいずれか一つに記載の装置において、前記スイッチ素子は、前記素子駆動用薄膜トランジスタのソースに接続されており、所定タイミングで前記被駆動素子に蓄積された電荷を放電させるために用いられることを特徴とする半導体装置又は表示装置。

【請求項 12】 請求項 1 ~ 請求項 11 のいずれか一つに記載の装置において、前記スイッチ素子は、前記素子駆動用薄膜トランジスタのソースに接続されており、前記被駆動素子に接続された前記素子駆動用薄膜トランジスタのソース電位又は電流の測定に用いられることを特徴とする半導体装置又は表示装置。

【請求項 13】 エレクトロルミネッセンス素子を複数マトリクス状に配置した表示装置であって、エレクトロルミネッセンス素子へ供給する駆動電流を制御する駆動トランジスタが各エレクトロルミネッセンス素子に対応して設けられ、この駆動トランジスタは n チャネルトランジスタであり、かつチャネル領域と高濃度不純物注入したソースおよびドレイン領域との間に低濃度不純物注入した $L D$ 領

域が設けられている表示装置。

【請求項14】 エレクトロルミネッセンス素子を複数マトリクス状に配置した表示装置であって、エレクトロルミネッセンス素子へ供給する駆動電流を制御する駆動トランジスタが各エレクトロルミネッセンス素子に対応して設けられ、この駆動トランジスタはnチャネルトランジスタであり、かつチャネル領域と高濃度不純物注入したソースおよびドレイン領域との間に低濃度不純物注入したLD領域が設けられ、この駆動トランジスタのLD領域は少なくとも周辺回路におけるnチャネルトランジスタのLD領域より大きく設定されている表示装置。

【請求項15】 請求項13または14に記載の装置において、前記駆動トランジスタのゲートには、スイッチングトランジスタと、容量の一旦が接続され、前記エレクトロルミネッセンス素子と駆動トランジスタの接続点は、放電トランジスタにより低電圧電源に接続され、かつ前記エレクトロルミネッセンス素子と駆動トランジスタの接続点には、前記容量の他端が接続されている表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、エレクトロルミネッセンス表示素子などの被駆動素子を制御するための回路構成に関する。

【0002】

【従来の技術】自発光素子であるエレクトロルミネッセンス(Electroluminescence: 以下EL)素子を各画素に発光素子として用いたEL表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置(LCD)やCRTなどの表示装置に代わる表示装置として注目され、研究が進められている。

【0003】また、なかでも、EL素子を個別に制御する薄膜トランジスタ(TFT)などのスイッチ素子を各画素に設け、画素毎にEL素子を制御するアクティブマトリクス型EL表示装置は、高精細な表示装置として期待されている。

【0004】図13は、m行n列のアクティブマトリクス型EL表示装置における各画素の回路構成を示している。EL表示装置では、基板上に複数本のゲートラインGLが行方向に伸び、複数本のデータラインDL及び駆動電源ラインVLが列方向に伸びている。また各画素は有機EL素子50と、スイッチング用TFT(第1TFT)10、EL素子駆動用TFT(第2TFT)21及び保持容量Csを備えている。

【0005】第1TFT10は、ゲートラインGLとデータラインDLとに接続されており、ゲート電極にゲート信号(選択信号)を受けてオンする。このときデータ

ラインDLに供給されているデータ信号は第1TFT10と第2TFT21との間に接続された保持容量Csに保持される。第2TFT21のゲート電極には、上記第1TFT10を介して供給されたデータ信号に応じた電圧が供給され、この第2TFT21は、その電圧値に応じた電流を電源ラインVLから有機EL素子50に供給する。有機EL素子50は陽極から注入される正孔と陰極から注入される電子とが発光層内で再結合して発光分子が励起され、この発光分子が励起状態から基底状態に戻る際に発光する。有機EL素子50の発光輝度は有機EL素子50に供給される電流にほぼ比例しており、上述のように各画素ごとにデータ信号に応じて有機EL素子50に流す電流を制御することで、該データ信号に応じた輝度で有機EL素子を発光し、表示装置全体で所望のイメージ表示が行われる。

【0006】

【発明が解決しようとする課題】有機EL表示装置において、高い表示品質を実現するためには、有機EL素子50をデータ信号に応じた輝度で確実に発光させる必要がある。従って、アクティブマトリクス型では、駆動電源ラインVLと、有機EL素子50との間に配置される第2TFT21については、有機EL素子50に電流が流れて該EL素子50の陽極電位が変動してもそのドレイン電流が変動しないことが求められる。

【0007】このため、図13に示すように、第2TFT21としては、駆動電源ラインVLにソースが接続され、有機EL素子50の陽極側にドレインが接続され、データ信号に応じた電圧が印加されるゲートと、上記ソースとの電位差Vgsによってソースドレイン間電流を制御することが可能なpch-TFTが採用されていることが多い。

【0008】しかし、pch-TFTを第2TFT21に採用した場合には、上述のように駆動電源ラインVLにソースが接続され、このソースとゲートとの電位差によってドレイン電流、つまり有機EL素子50に供給される電流が制御されるため、駆動電源ラインVLの電圧が変動すると各素子50での発光輝度が変動するという問題がある。有機EL素子50は上述の通り電流駆動型の素子であり、例えばあるフレーム期間に表示されるイメージが高輝度である場合など(一例として全面白色など)、基板上の多く有機EL素子50に対し、単一の駆動電源Pvddから対応する各駆動電源ラインVLを介して一度に多くの電流が流れ、駆動電源ラインVLの電位が変動することがある。また、駆動電源Pvddからの距離が長く、駆動電源ラインVLの配線抵抗による電圧降下が顕著な領域、例えば電源から遠い位置にある画素では、駆動電源ラインVLの電圧が低いことで各有機EL素子50の発光輝度が電源に近い位置の素子より低くなってしまふ。

【0009】さらに、第2TFT21にpch-TFT

を用いた場合、この第 2 TFT 21 に供給するデータ信号は、その極性をビデオ信号の極性と逆にする必要があり、ドライバ回路に、極性反転手段を設ける必要もあった。

【0010】上記課題を解決するために、本発明では、駆動電源ラインから被駆動素子に供給される電力が駆動電源の電圧変動の影響を受け難くすることを目的とする。

【0011】また本発明の他の目的は、素子駆動用薄膜トランジスタに供給するデータ信号の極性をビデオ信号の極性と一致させ、駆動回路の簡素化を図ることである。

【0012】

【課題を解決するための手段】上記目的を達成するためにこの発明は、半導体装置であって、選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源にドレインが接続され、被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、第 1 電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第 2 電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、前記保持容量の第 2 電極の電位を制御するためのスイッチ素子と、を有する。

【0013】本発明の他の態様は、マトリクス状に配置された複数の画素を備えるアクティブマトリクス型の表示装置であって、各画素は、少なくとも、被駆動素子と、選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源にドレインが接続され、前記被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、第 1 電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第 2 電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、前記保持容量の第 2 電極の電位を制御するためのスイッチ素子と、を有する。

【0014】以上のように、保持容量によって、素子駆動用薄膜トランジスタのゲートと、被駆動素子に接続されたソースとの間の電圧を保持するため、被駆動素子が動作しこの素子に接続された素子駆動用薄膜トランジスタのソース電位が上昇した場合にもデータ信号に応じた

電流の被駆動素子への供給が可能となり、素子駆動用薄膜トランジスタとして、nチャネル型薄膜トランジスタの使用が可能である。そして、駆動電源ラインにおける電圧変動に対し被駆動素子への供給電力が影響を受けにくく、安定した電力供給が可能となる。

【0015】さらに、nチャネル型薄膜トランジスタは、チャネル領域と高濃度不純物注入したソース領域およびドレイン領域との間に低濃度不純物注入したLD領域を有することが好適である。

【0016】特に、この駆動トランジスタは少なくとも周辺回路におけるnチャネルトランジスタのLD領域より大きく設定されていることが好適であり、スイッチングトランジスタのLD領域よりも大きいことが好適である。

【0017】これによって、トランジスタを大きくしなくても、ゲートに受ける電圧変化に対する電流量調整の精度を向上することができる。また、トランジスタをレイアウトする専有面積を小さくすることができ、開口率増大による輝度アップと低消費電流化を実現することができる。

【0018】本発明の他の態様では、前記被駆動素子は、エレクトロルミネッセンス素子である。エレクトロルミネッセンス素子では、例えば供給電流に対応した輝度で発光するため、上述のような回路構成によって電流供給を行うことにより、データ信号に応じた輝度で各素子を発光させることができる。

【0019】本発明の他の態様では、前記スイッチ素子は、前記スイッチング用薄膜トランジスタのオンオフに応じて前記保持容量の第 2 電極の電位を制御する。

【0020】本発明の他の態様では、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作時に前記保持容量の第 2 電極が固定電位に制御される。

【0021】本発明の他の態様では、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作より前から前記保持容量の第 2 電極が固定電位に制御され、前記スイッチング用薄膜トランジスタがオフした後に、前記保持容量の第 2 電極に対する電位制御を停止する。

【0022】本発明の他の態様では、前記スイッチ素子は、薄膜トランジスタであり、所定のリセット信号又は前記スイッチング用薄膜トランジスタに供給される選択信号に応じて、前記保持容量の第 2 電極の電位を制御する。

【0023】以上のようなスイッチ素子の制御により、保持容量の第 2 電極電位を制御することで、確実かつ簡単に保持容量にデータ信号に応じた電荷を蓄積し、所定期間、素子駆動用薄膜トランジスタのゲートソース間電圧を維持することが可能となる。

【0024】本発明の他の態様では、前記スイッチ素子

は、前記素子駆動用薄膜トランジスタのソースに接続されており、所定タイミングで前記被駆動素子に蓄積された電荷を放電させるために用いられることを特徴とする。

【0025】本発明では、被駆動素子それぞれに対応して該素子と接続されたスイッチ素子が各画素に設けられているため、例えば所定タイミングでスイッチ素子をオンさせることで、スイッチ素子を介して被駆動素子を実質かつ他の専用の素子を設けることなく簡単に放電させることができる。

【0026】本発明の他の態様では、前記スイッチ素子は、前記素子駆動用薄膜トランジスタのソースに接続されており、前記被駆動素子に接続された前記素子駆動用薄膜トランジスタのソース電位又は電流の測定に用いられる。

【0027】例えば薄膜トランジスタから構成されるスイッチ素子は、素子駆動用薄膜トランジスタのソースに接続されているため、スイッチ素子をオン制御することで、このスイッチを介して素子駆動用薄膜トランジスタのソース電位又は電流を検出することが可能となる。従って、このような測定を被駆動素子に供給される予想電力量を予め検査することも可能となる。

【0028】また、本発明は、エレクトロルミネッセンス素子を複数マトリクス状に配置した有機ＥＬパネルであって、エレクトロルミネッセンス素子へ供給する駆動電流を制御する駆動トランジスタが各エレクトロルミネッセンス素子に対応して設けられ、この駆動トランジスタはｎチャネルトランジスタであり、かつチャネル領域と高濃度不純物注入したソースおよびドレイン領域との間に低濃度不純物注入したＬＤ領域が設けられていることを特徴とする。特に、駆動トランジスタのＬＤ領域は、少なくとも周辺トランジスタのＬＤトランジスタに比べ大きいことが好適である。

【0029】このような大きなＬＤ領域を採用することで、高い開口率を確保しつつ、エレクトロルミネッセンス素子に供給する電流を精度よく制御することができる。

【0030】また、前記駆動トランジスタのゲートには、スイッチングトランジスタと、容量の一旦が接続され、前記エレクトロルミネッセンス素子と駆動トランジスタの接続点は、放電トランジスタにより低電圧電源に接続され、かつ前記エレクトロルミネッセンス素子と駆動トランジスタの接続点には、前記容量の他端が接続されていることが好適である。

【0031】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0032】図１は本発明の実施形態に係る有機ＥＬ素子を駆動するための回路構成を示す。なお、ここでは、

具体的にはアクティブマトリクス型の有機ＥＬ表示装置における１画素の回路構成を例に挙げて説明している。

【0033】１画素は、図１に示すとおり、被駆動素子或いは表示素子としての有機ＥＬ素子５０、スイッチング用薄膜トランジスタ（第１ＴＦＴ）１０、素子駆動用薄膜トランジスタ（第２ＴＦＴ）２０及び保持容量Ｃｓを有し、更に、リセット用のスイッチ素子としてリセット用薄膜トランジスタ（第３ＴＦＴ）３０を備える。

【0034】第１ＴＦＴ１０は、ここでは、ｎｃｈ－ＴＦＴで構成され、ゲートラインＧＬにゲート電極が接続され、ドレインがデータラインＤＬに接続され、ソースは、後述するように第２ＴＦＴ２０及び保持容量Ｃｓに接続されている。

【0035】第２ＴＦＴ２０は、本実施形態ではｎｃｈ－ＴＦＴで構成され、駆動電源Ｐｖｄｄ（実際にはここでは駆動電源ラインＶＬ）にそのドレインが接続され、有機ＥＬ素子５０の陽極側にソースが接続されている。さらにゲートは、上記第１ＴＦＴ１０のソース、及び以下の保持容量Ｃｓの第１電極に接続されている。

【0036】保持容量Ｃｓは、第１及び第２電極を備え、第１電極は第１ＴＦＴ１０のソースと第２ＴＦＴ２０のゲートとに接続され、第２電極は、第２ＴＦＴ２０のソースと有機ＥＬ素子５０の陽極との間に接続されている。

【0037】第３ＴＦＴ（放電トランジスタ）３０は、ここではｎｃｈ－ＴＦＴで構成されており（但しｐｃｈ－ＴＦＴでも良い）、ゲートはリセット信号が印加されるリセットラインＲＳＬに接続され、ドレインは保持容量の第２電極に接続され、ソースは保持容量の第２電極電位を規定する電圧が供給されている容量ラインＳＬに接続されている。

【0038】以上のような回路構成において、ゲートラインＧＬに選択信号（ゲート信号）が出力されるとこれに応じて第１ＴＦＴ１０はオン状態となる。第３ＴＦＴ３０はこの第１ＴＦＴ１０とほぼ同時のタイミングによりオンオフ制御されており、第１ＴＦＴ１０がオンしたとき、第３ＴＦＴ３０もリセット信号によってオンしており、保持容量Ｃｓの第２電極は、この第３ＴＦＴ３０のソースに接続された容量ラインＳＬの固定電位Ｖｓ１（例えば０Ｖ）に等しくなっている。従って、第１ＴＦＴ１０がオンして第１ＴＦＴ１０のソース電圧がデータラインＤＬに供給されているデータ信号の電圧と等しくなると、保持容量Ｃｓは、第２電極の固定電位と、上記第１ＴＦＴ１０のソース電位との差、実質的にはデータ信号に対応した電圧に応じて充電される。

【0039】第２ＴＦＴ２０は、保持容量Ｃｓに保持された電荷に応じた電圧が第２ＴＦＴ２０のゲートに印加され、該第２ＴＦＴがオン状態となると、このゲート電圧に応じた電流が、駆動電源ラインＶＬから第２ＴＦＴ２０のドレイン・ソース間を介して有機ＥＬ素子５０に

供給される。よって、流れた電流量に応じて、第2 TFT 20のソース電位が上昇する。このとき、第3 TFT 30はオフ制御されていて、保持容量Csの第2電極は、容量ラインSLから切り離されている。このため、保持容量Csは第2 TFT 20のゲートソース間に接続された状態となり、ソース電位が上昇してもその分ゲート電位が上昇し、データ信号に応じた第2 TFT 20のゲートソース間電圧Vgsが、この保持容量Csによって維持される。

【0040】従って、本実施形態の回路構成によれば、有機EL素子50に電流が流れて第2 TFT 20のソース電位が上昇しても、保持容量Csの機能により有機EL素子50にはデータ信号に応じた電流が安定して供給される。また、第2 TFT 20にnch-TFTを採用するため、ビデオ信号と同一極性のデータ信号を利用できる。さらに、第2 TFTのドレインが接続される駆動電源Pvddは、例えば14Vと十分高い電圧であることから、nch-TFTの第2 TFT 20についてもその飽和領域での駆動が可能であり、ソースドレイン間電圧の変動を受けずに有機EL素子50に電流を供給することが可能である。なお、ここで、ゲートラインGLに印加されるゲート信号は、一例として0V～12Vの範囲、データ信号は1V～6V、容量ラインSLの固定電位は0V程度で各回路素子を駆動することができる。また、第2 TFT 20としてnch-TFTを採用しているので、データ信号としては、ビデオ信号と同一極性の信号を使用することができる。

【0041】なお、後述するように、上記nチャンネル型の第2 TFT 20には、チャンネルとソース・ドレイン間に低濃度不純物注入領域を有するいわゆるLDD構造（本明細書では、これをLD構造と呼んでいる）を採用することもできる。

【0042】図2は、上記のような各画素に対して対応するゲート信号（G1～Gm）及びリセット信号（RS1～RSm）を供給するための回路の概略を示しており、図3はこの回路の動作を示している。アクティブマトリクス型の有機EL表示装置において、マトリクス状に配列された画素の各第1 TFT 10は、図2に概略したような垂直ドライバ100から出力されるゲート信号によって行毎（ゲートラインGL毎）に順次選択され、このとき図示しない水平ドライバから各データラインDLに出力されるデータ信号を取り込む。

【0043】垂直ドライバ100のシフトレジスタ110は、垂直スタートパルスを1H（1水平走査期間）毎にシフトし、図3に示すように、出力部120に対し、順にシフトパルスS1、S2、S3・・・Smを出力する。

【0044】出力部120は一例として図2（b）に示すような構成を備えており、2つのアンドゲート122、124を各行に対応して備え、図3に示すようなゲ

ート信号G1、G2、G3・・・Gmと、リセット信号RS1、RS2、RS3・・・RSmを順次対応するラインに出力する。アンドゲート122は、前後するシフトパルスの論理積をとる。アンドゲート124の一方の入力端子には、1Hの切り替わり期間において、ゲートラインGLへのゲート信号を出力を禁止するイネーブル信号ENB（図3参照）が供給されており、アンドゲート124は、このENBと上記アンドゲート122との論理積をとる。アンドゲート122から出力される2つのシフトパルス（図2ではS1とS2）の論理積は、本実施形態においてリセット信号RS（ここではRS1）として用いられる。そして、アンドゲート124が、ENB信号によって出力が許可された期間のみ、上記アンドゲート122の論理積結果を各ゲートラインGLにゲート信号（ここではG1）として出力する。

【0045】アンドゲート122から出力されるリセット信号RSは、上述のようにリセットラインRSLを介して対応する画素の第3 TFT 30のゲートに印加され、また、ゲート信号Gは対応する画素の第1 TFT 10のゲートに印加される。ここで、図2の回路によって作成されたリセット信号RSと、ゲート信号Gとは、図3に示すように例えば1行目の画素に供給されるG1、RS1を比較すると分かるように、ゲート信号GのHレベル期間（nch-TFT 10のオン制御期間）は、リセット信号のHレベル期間（nch-TFT 30のオン制御期間）よりもENB信号によって制限された期間だけ短い。

【0046】従って、G1、RS1によって制御される1行目の画素を例に挙げると、まずリセット信号RS1によって第3 TFT 30がオン制御される。つまり、保持容量Csの第2電極が保持容量ラインの電位に固定された後、第1 TFT 10がゲート信号G1によってオンし、保持容量Csの第1電極にはデータラインDLにおけるデータ信号とほぼ同一の電圧が印加されることとなる。また、リセット信号RSは、ゲート信号GがLレベル（TFTオフレベル）となってからLレベルとなる。つまり、保持容量Csの第2電極は、第1 TFT 10がオフして第1電極側の電位が決まるまで固定電位Vs1に維持される。よって、第1 TFT 10のオン期間中に第3 TFT 30がオフすることで保持容量Csの第1電極電位が変動し、オンしている第1 TFT 10を介してデータラインDLに一旦保持したデータ信号が漏れてしまうということを確実に防止することが可能となっている。

【0047】図4及び図5は、本実施形態において採用可能な他の1画素当たりの回路構成を示している。なお、図1と共通する部分には同一の符号を付し説明を省略する。

【0048】図4の回路構成において、図1と相違する点は、図4では、駆動電源ラインVLと有機EL素子5

0との間に複数(ここでは2つ)のnch-TFTを並列して設けている点であり、他は図1と動作を含めて共通する。このように第2TFT20を複数個(k個)とすることで、各第2TFT20の流す電流が等しく

「i」の場合に、有機EL素子50には最大で合計「 $k \times i$ 」の電流が供給されることとなる。例えば $k=2$ の場合を例に挙げると、一方の第2TFT20が最悪で全く動作しない場合であっても、他の有機EL素子50で供給される「 $2 \times i$ 」電流に対し、有機EL素子50に「i」の電流を供給することは可能となる。第2TFT20を1つだけ採用した場合にはこのTFT20が不良になると電流値「0」、つまり、画素欠陥となってしまう。従って、このような場合と比較すると、図4のように複数の第2TFT20を設けることで、各有機EL素子50の画素毎の発光輝度ばらつきを緩和し、かつ画素に発生する欠陥の割合を格段に減少させることが可能であり、信頼性を高めた回路構成が実現されている。

【0049】図5の回路構成において、図1と相違する点は、第3TFT30のゲートが第1TFT10のゲートと共にゲートラインGLに接続され、これらが同一のゲート信号Gによって制御されていることである。図3のタイミングチャートのように第1TFT10のオン期間より第3TFT30のオン期間を長く設定することで、保持容量Csの保持する電位の変動はより確実に低減されるが、図5のような回路構成として第1TFT10と第3TFT30を同一タイミングでオンオフ制御する構成であっても、第3TFT30が第1TFT10より早くオフする可能性は低く、保持容量Csに正確にデータ信号に応じた電荷を蓄積させ、第2TFT20を駆動することができる。また図5に示すような回路構成では、後述する図8からもわかるとおり、1画素内における配線及び第3TFT30のための配置スペースを最小限に抑えることができ、図1や図4の構成と比較して、有機EL素子50の配置領域(発光領域)、つまり開口率をその分大きくすることができる。

【0050】図6は、図4に示す回路構成を備えた1画素当たりの平面構成の例を示す。また、図7(a)は、図6のA-A線に沿った第1TFT10の断面、図7(b)は、図6のB-B線に沿った第2TFT20の断面、図7(c)は、図6のC-C線に沿った第3TFT30の断面の一例をそれぞれ示している。

【0051】図6の構成では、もちろん、対応する図4のように各画素は、有機EL素子50、第1、第2及び第3TFT10、20、30、及び保持容量Csを画素領域内に備えている。図6の例では、ゲートライン(GL)40は、行方向に延び、2本のゲート電極2がこのゲートライン40から該TFT10の能動層6の形成領域の上に延び、ダブルゲート構造のTFTが採用されている。またゲートライン40と平行して行方向には第3TFT30を駆動するためのリセットライン(RSL) 50

46が形成され、第3TFT30の能動層36の上にこのリセットライン46からゲート電極32が延びている。

【0052】また、第1TFT10にデータ信号を供給するデータライン(DL)42と、第2TFT20に駆動電源Pvddからの電流を供給する駆動電源ライン(VL)44とが、それぞれ画素の列方向に配置されている。さらに、第3TFT30(ここではTFT30のドレイン)を介して保持容量Csの第2電極8に対して、固定電位Vslを供給するための容量ライン(SL)48が、上記データライン42及び駆動電源ライン44と並んで列方向に配置されている。

【0053】さらに、駆動電源ライン44と、有機EL素子50との間には、2つの第2TFT20が並列接続されており、この1つの第2TFT20は、図6に示すように、列方向(ここでは画素長手方向に一致し、またデータライン42及び駆動電源ライン44の延在方向と一致)に各チャンネル長方向が沿うように、2つが一直線状に並んで設けられ、保持容量Csの第1電極7とのコンタクト部分より2つのTFT20に共通のゲート電極24が引き出され、第2TFT20の能動層16を覆っている。もちろん第2TFT20はこのようなレイアウトに限られるものではないが、このように画素長手方向にチャンネル長方向が沿うように配置することで、信頼性向上のために第2TFT20のチャンネル長を長くすることが望まれる場合に、このような第2TFT20を、限られた1画素内に効率的に配置することが可能となる。さらに、後述するように能動層16として非晶質シリコンをレーザアニールして多結晶化して得た多結晶シリコンを用いる場合において、レーザアニールの走査方向を列方向に設定し、図6のように、第2TFT20の長いチャンネル長方向を列方向に向け、かつ、2つの第2TFT20を列方向に離間して配置する構成を採用することにより、各TFT20の能動層16に対し、複数回のパルスレーザが照射される可能性が高まり、TFT20の特性のばらつきが、画素間で平均化することができる(ばらつきを小さくすることができる)。

【0054】次に画素の各回路素子の断面構造について更に図7を参照して説明する。図7(a)~(c)に示すように、本実施形態では、第1、第2及び第3TFT10、20、30のいずれもゲート電極(2、24、32)が、間にゲート絶縁膜4を挟んで能動層(6、16、36)の上方に配置されたいわゆるトップゲート型のTFT構造が採用されている(もちろんボトムゲート型でもよい)。

【0055】第1、第2及び第3TFT10、20、30の各能動層6、16、36には、ガラスなどの透明絶縁基板1上に形成したa-Siを、同一のレーザアニール処理工程によって多結晶化し、得たp-Siをパターンニングして得られた層が用いられている。また、ここで

は、いずれの T F T の能動層も、そのソース領域、ドレイン領域に、同一のドーピング工程により n 型不純物がドーピングされており、いずれも n c h - T F T として構成されている。

【0056】第 1 T F T 10 では、ゲートライン 40 からゲート電極 2 が 2 カ所で突出形成されていて、回路的にダブルゲート構造の T F T が形成されている。能動層 6 はゲート電極 2 の直下の領域が不純物のドーピングされない真性のチャネル領域 6 c となり、チャネル領域 6 c の両側には、ここではリン (P) などの不純物がドーピングされたドレイン領域 6 d、ソース領域 6 s が形成され、n c h - T F T が構成されている。

【0057】第 1 T F T 10 のドレイン領域 6 d は、第 1 T F T 10 全体を覆って形成される層間絶縁膜 14 の上に形成され画素に対応した色のデータ信号を供給するデータライン 42 と、該層間絶縁膜 14 及びゲート絶縁膜 4 に開口されたコンタクトホールで接続されている。

【0058】第 1 T F T 10 のソース領域 6 s は、保持容量 C s の第 1 電極 7 を兼用している。第 1 電極 7 の上にはゲート絶縁膜 4 を挟んでゲートライン 40 等と同一材料からなる第 2 電極 8 が形成され、第 1 及び第 2 電極 7、8 が、ゲート絶縁膜 4 を挟んで重なった領域が保持容量 C s を構成している。第 1 電極 7 は第 2 T F T 20 の形成領域 (能動層 16) に延び、接続配線 26 を介して、第 2 T F T 20 のゲート電極 24 と接続されている。また、第 2 電極 8 は、この第 2 電極 8 及びゲート電極 2、ゲートライン 40 を覆って形成される層間絶縁膜 14 の上層に、後述するデータライン 42 などと同時に形成される共通接続配線 34 によって、第 3 T F T 30 のドレイン 36 d と、第 2 T F T 20 のソース 16 s と、有機 E L 素子 50 の後述する陽極 52 に接続されている。

【0059】2 つの第 2 T F T 20 の能動層 16 は、ゲート電極 24 の下方がチャネル領域 16 c で、チャネル領域 16 c の両側には、それぞれ、リン (P) などの不純物がドーピングされたドレイン領域 16 d、ソース領域 16 s が形成され、n c h - T F T が構成されている。2 つの第 2 T F T 20 の各ドレイン領域 16 d は、図 6 及び図 7 (b) の例では互いに共通であり、層間絶縁膜 14 及びゲート絶縁膜 4 に開口された 1 つの共通コンタクトホールを介してドレイン電極を兼用する駆動電源ライン 44 と接続されている。一方、2 つの第 2 T F T 20 のソース領域 16 s は、それぞれ、層間絶縁膜 14 及びゲート絶縁膜 4 に開口されたコンタクトホールを介して上記共通接続配線 34 に接続されている。

【0060】第 3 T F T 30 は、図 7 (c) に示すように、第 1 及び第 2 T F T 10、20 と基本的に同様の構成に、リセットライン (R S L) 46 と一体のゲート電極 32 の下方がチャネル領域 36 c となり、チャネル領域 36 c の両側にはリンなどの不純物がドーピングされてソ

ース領域 36 s 及びドレイン領域 36 d が形成され、n c h - T F T が構成されている。

【0061】第 3 T F T 30 のソース領域 36 s は、層間絶縁膜 14 及びゲート絶縁膜 4 に開口されたコンタクトホールを介してソース電極を兼用する容量ライン (S L) 48 と接続されている。また、第 3 T F T 30 のドレイン領域 36 d は、層間絶縁膜 14 及びゲート絶縁膜 4 に開口されたコンタクトホールを介してドレイン電極を兼用する上記共通接続配線 34 に接続されている。

【0062】第 1 T F T 10 のゲート電極 2 (ゲートライン 40)、第 2 T F T 20 のゲート電極 24 (接続部 26 からの配線部を含む)、第 3 T F T 30 のゲート電極 32 (リセットライン 48) 及び保持容量 C s の第 2 電極 8 は、それぞれ例えば C r を用いて同時にパターニング形成されている。また、データライン 42、駆動電源ライン 44、容量ライン 48 及び共通接続配線 34、接続配線 26 はそれぞれ例えば A l などを用いて同時にパターニング形成されている。なお、図 6 に示すように第 2 T F T 20 のソース領域 16 s に接続される共通接続配線 34 は、後述する有機 E L 素子 50 の陽極 52 と、第 2 T F T 20 のゲート電極形成領域との間を覆うように画素長手方向 (ここでは列方向) に沿って配置されており、第 2 T F T 20 のチャネル領域 16 c を有機 E L 素子 50 からガラス基板 1 側に射出される光から遮光する機能を発揮することができる。

【0063】第 3 T F T 30 のソース領域 36 s、保持容量 C s の第 2 電極 8 及び第 2 T F T 20 のソース領域 16 s とそれぞれ接続された上述の共通接続配線 34 は、この配線 34、データライン 42、駆動電源ライン 44、容量ライン 48 を含む基板全体を追って形成された第 1 平坦化絶縁層 18 に開口されたコンタクトホールを介して図 7 (b) に示すように、有機 E L 素子 50 の陽極 52 と接続されている。

【0064】以上のように本実施形態では、1 画素内にそれぞれ第 1、第 2 及び第 3 T F T 10、20、30 の 3 種類の T F T を形成しているが、第 2 T F T 20 として n c h T F T を用いることが可能な回路構成の採用により、3 種類のこれらの T F T 10、20、30 は同一工程を経て同時に形成することが可能である。従って、同時に形成すれば、T F T 数が増加することによる工程増加を防止できる。

【0065】有機 E L 素子 50 は、I T O (Indium Tin Oxide) 等からなる透明の陽極 52 と、例えば A l などの金属からなる陰極 57 との間に有機化合物が用いられた発光素子層 (有機層) 51 が形成されて構成されており、本実施形態では、図 3 (b) に示すように基板 1 側から陽極 52、発光素子層 51、陰極 57 がこの順に積層されている。なお、図 7 (b) に示すように、上記第 1 平坦化絶縁層 18 の上には、有機 E L 素子 50 の陽極 52 の形成中央領域のみ開口された第 2 平坦化絶縁層 6

1が形成されており、この第2平坦化絶縁層61は、陽極52のエッジを覆い、また配線領域及び第1及び第2及び第3TFT形成領域、保持容量形成領域を覆っており、陽極52と最上層の陰極57とのショートや発光素子層51の断線を防止している。

【0066】発光素子層51は、この例では、陽極側から、例えばホール輸送層54、有機発光層55、電子輸送層56が例えば真空蒸着によって順に積層されている。発光層55は各画素が異なる例えば、R(赤)、G(緑)、B(青)に割り当てられたカラー表示装置の場合、割り当てられた発光色毎に異なる材料が用いられる。他のホール輸送層54、電子輸送層56は、図7(b)に例示するように全画素に対して共通で形成することも可能であり、また、色毎に発光層55と同様別の材料が用いてもよい。各層に用いられる材料について一例を挙げると以下の通りである。

【0067】ホール輸送層54：NBP、
発光層55：レッド(R)・・・ホスト材料(Alq_3)に赤色のドーパント(DCJT B)をドーブ、
グリーン(G)・・・ホスト材料(Alq_3)に緑色のドーパント(Coumarin 6)をドーブ、
ブルー(B)・・・ホスト材料(Alq_3)に青色のドーパント(Perylene)をドーブ、
電子輸送層56： Alq_3 、
また、陰極57と電子輸送層56の間には例えばフッ化リチウム(LiF)等を用いた電子注入層を形成しても良い。またホール輸送層はそれぞれ異なる材料を用いた第1及び第2ホール輸送層から構成されていても良い。また、各発光素子層51は少なくとも発光材料を含有する発光層55を備えているが、用いる材料によっては上記ホール輸送層や、電子輸送層などは必ずしも必要でないこともある。なお、略称にて記載した材料の正式名称は、それぞれ、

「NBP」・・・N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)、

「 Alq_3 」・・・Tris(8-hydroxyquinolino)aluminum、

「DCJT B」・・・(2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene)propanedinitrile、

「Coumarin 6」・・・3-(2-Benzothiazolyl)-7-(diethylamino)coumarin、

「BA1q」・・・(1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N 1,08)Aluminum、である。但し、もちろん発光素子層51の構成は、これらの構成、これらの材料には限られない。

【0068】次に、図8を参照して、本発明の実施形態に係る画素の他の構成について説明する。図8は図5に示す回路構成を備えた1画素当たりの平面構成の例を示しており、図6及び図7と共通する部分には同一符号を

付している。上記図6の平面構成と相違する点は、主として、第1TFT10のゲート電極2を兼用しゲート信号Gを供給するゲートライン41が、第3TFT30のゲート電極32を兼用する点と、駆動電源ライン44と有機EL素子50の陽極52との間に、単一の第2TFT20が配置されている点である。各TFT10、20、及び30、容量Cs、有機EL素子50の基本的な断面構造は、図7(a)～(c)とほぼ共通している。もちろん、図8の構成においても、第2TFT20はnch-TFTで構成されており、ゲートソース間電圧は、保持容量Csによってデータ信号に応じた電圧に維持されている。

【0069】図8の構成例では、ゲートライン41が、第1TFT10のゲート電極2と第3TFT30のゲート電極32を兼用することにより、図6との比較からわかるように行方向に配置される配線は、各行毎には1本のゲートライン41でよく、各画素の形成領域をその分広くすることが可能となっている。第3TFT30の能動層36は、図8の例では、第1TFT10の能動層6と平行に、この能動層6よりゲートライン41から離れた位置に配置されている。第1TFT10にデータ信号を供給するデータライン42は、この第3TFT30の能動層36の上方を横切っている。そして、第3TFT30のドレイン側は該データライン42と平行して列方向に配列されている容量ライン48に接続されている。この第3TFT30のドレイン領域36dは、共通接続配線34によって、図8では駆動電源ライン44の長手方向に沿って配置されている保持容量Csの第2電極8、第2TFT20のソース領域16s、及び有機EL素子50の陽極52にそれぞれ接続されている。

【0070】図8と図6とを比較すると明らかなように、駆動電源ライン44の行方向における配置ピッチがほぼ同じである場合、図8では、1画素内において有機EL素子50の陽極52の形成面積が広く確保されており、より開口率の高い、つまりより高輝度の表示を実現することができる。

【0071】なお、以上の説明において第1～第3TFT10、20、30の能動層にはそれぞれ多結晶シリコンを用いた場合を例に説明しているが、もちろんアモルファスシリコンを能動層に採用してもよい。多結晶シリコンを能動層に用いたTFTを採用する場合、同一基板には各画素を駆動する上述の垂直ドライバや水平ドライバを同じ多結晶シリコンを能動層に用いたTFTを形成する。この場合、ドライバ部のTFTにはCMOS構造が採用されることが多く、nch-TFT及びpch-TFTの両方を形成する必要がある。一方、アモルファスシリコンを各画素のTFTに採用する場合、各画素を駆動するためのドライバは専用の外付けICが用いられる。このため、本発明のように各画素に3種類のTFTを形成する場合において、いずれのTFTもnch-T

FTにて構成できるため、第2 TFT 20にpch-FT FTを採用した場合と比較して、製造工程をより簡素なものにすることができる。

【0072】また、各TFTについては、適宜チャネル領域とドレイン領域との間又はチャネル領域とソース領域との間にLD(Lightly Doped)領域が形成されていてもよい。

【0073】次に、本実施形態において、各画素に設けたりセット用の第3 TFT 30の更に別の用途について説明する。第3 TFT 30は、上述のように、通常の表示期間中においては、もちろん、第2 TFT 20のゲートソース間電圧を保持容量Csに保持させるために、上述のように第1 TFT 10と同様なタイミングでオンオフ制御して用いるが、他の期間においては、別の用途にも用いることができる。

【0074】具体的には、有機EL素子50の陽極-陰極間に蓄積された電荷を所定タイミングで強制的に放電するために用いることができる。第2 TFT 20のゲートソース間電圧Vgsが保持容量Csによって所定レベルに維持されている期間中、有機EL素子50の陽極52と陰極57との間には、このVgsに応じた電流が流れ続け、その画素の表示期間が終了した時点において陽極-陰極間にはある程度の電荷が残っている。このような残存電荷のため、該当画素において、次の表示期間における表示内容がこの残存電荷の影響を受け、いわゆる残像のような現象が発生する可能性がある。そこで、所定期間毎、例えば1垂直走査期間に1回、例えばその帰線中において、全画素の第3 TFT 30を同時又は順にオンさせれば、有機EL素子50の陽極を容量ライン48に接続し、陽極電位を容量ライン48の電位、例えば0Vとすることができる。このような制御を行えば、1表示期間終了後、次の表示期間が始まる前に有機EL素子50中の残存電荷を第3 TFT 30を介して放電させることができ、残像などのない高品質の表示が可能となる。さらに、有機EL素子50は流した電流量が多いほど特性劣化が早まる傾向があり、不要な電荷を放電すれば有機EL素子50に不要な電流が流れ続けることを防止でき、有機EL素子50の寿命を延ばすことも可能となる。

【0075】他の用途は、第3 TFT 30を例えば工場からの出荷前などにおいて、各画素の検査に用いることである。すなわち、第1 TFT 10をオンさせて検査用のデータ信号を書き込んで第2 TFT 20をオンさせると、書き込んだ検査用データに応じた電流が駆動電源ライン44から第2 TFT 20のドレインソース間に流れる。従って、第2 TFT 20のソース電圧は、有機EL素子50に供給される電流量に応じた電圧となるはずであるため、このとき第3 TFT 30をオン制御して、この第2 TFT 20のソース電圧(又はソースに流れた電流)を容量ライン48の電圧測定などによって、有機E

L素子に対して適正な電流を供給することができるかどうかを確かかつ簡単に検査することができる。

【0076】次に、上述の第2 TFT 20の他の構造について説明する。図9は、この第2 TFT 20の構成例であり、図7の構成と相違する点は、第2 TFT 20が、ライトドープ(LD:Lightly Dope:通常LDDと呼ばれている)領域を有するいわゆるLDD型のTFTによって構成されていることである。また、この図においては、第2 TFT 20をシングルゲートの一般的な構成とし、これにLD領域16LDを設けている。すなわち、ガラス基板1上には、能動層16が形成されており、これを覆ってゲート絶縁膜4が形成されている。能動層16の中央部分のゲート絶縁膜4の上方にはゲート電極24が配置されている。

【0077】また、能動層16の両端部には、高濃度不純物がドープされたドレイン領域16d、ソース領域16sが設けられている。そして、能動層16のゲート電極24の下方部分がチャネル領域16cとなっており、この能動層16のチャネル領域16cと、ソース領域16s、ドレイン領域16dとの間が低濃度不純物注入によるLD領域16LDとなっている。

【0078】第2 TFTとして、このような周辺トランジスタに比べ大きなLD領域を有するTFTを採用することによって、耐圧を大きくできるとともに、ゲート電圧の変化に対する電流量の変化を大きくすることができる。

【0079】すなわち、TFT 20のゲート長(チャネル長方向)を長くすると、ゲート電圧に対し電流量が変化する範囲を大きくして、ゲート電圧の変化による電流量調整の精度を向上することができる。本実施形態では、大きなLD構造とすることで、ゲート長を長くすると同様の効果が得られる。

【0080】実際にゲート電極24の幅を広げてゲート長を長くした場合、幅広(ゲート長が長い)のゲート電極24を他との絶縁を確保しながら引き回す必要がある。しかし、LD構造により、実質的にゲート長を長くしたのと同じ効果が得られれば、遮光性のゲート電極24の幅を特別広くせずにすみ、1画素内における開口率を向上させることが可能となる。

【0081】なお、このようなLD構造は、第1 TFT 10や、ドライバ回路のTFTにおいても採用される場合がある。

【0082】本実施形態においては、第2 TFT 20におけるLDの領域を第1 TFT 10や、ドライバ回路のTFTに比べ大きくした。

【0083】例えば、第1 TFT 10やドライバ回路におけるTFTのLD領域の長さを図9の長さとした場合に、第2 TFT 20のLD領域を図10に示すように、大きくした。これによって、電流量の制御をさらに精度よく行え、かつ比較的トランジスタの大きさ自体は、ほ

とんど変更する必要がない。また、他のTFT10などのゲート電極と同等の幅のゲート電極を用いればよく設計が容易となる。

【0084】従って、このように、LDD構造とすることで、ゲート電極24をあまり幅広にしなくてもすむため、開口率を大きくすることができる。これにより、画素当たりの発光面積が増大するので、各有機EL素子に流す電流を変更することなく、輝度を大きくすることができる。また、反対に開口率が向上するので、同一輝度を実現するために有機EL素子に供給する電流を小さく抑えることができ、有機EL素子の劣化を抑制することができる。また、実質的には、ゲート長を長く、つまりチャネル長(LD領域を含む)を長くできるため、エキシマレーザアニールによる能動層の再結晶化(ポリシリコン化)についての特性のバラツキ発生を抑えることができる。

【0085】また、図11には、他の実施形態の構成を示す。この回路では、図1の回路に対し、電圧調整用のダイオード31を有している。すなわち、保持容量CSと、第3TFT(放電トランジスタ)30および有機EL素子50の間にダイオード31が設けられている。このダイオード31は、第2TFT20と同一の構成を持つTFTで形成され、そのTFTのゲートドレイン間をショートして形成されている。

【0086】このダイオード31を設けることによって、第2TFT20のゲート電圧を、有機EL50の閾値(V_{th})とダイオード31の閾値(V_{tn})とビデオ信号との和に設定することができ、有機EL50やTFTトランジスタの閾値がばらついたり劣化しても、常にビデオ信号に見合った電流を第2TFT20が流すことができる。

【0087】すなわち、ダイオード31を設けることによって、素子特性のバラツキや劣化にほぼ関係なく、駆動電流を制御することが可能となり、色むらの少ない表示装置を提供することができる。

【0088】なお、この回路においては、第3TFT30が設けられている。そして、この第3TFT30により、有機EL素子50のアノード側電位を接地電位である容量ラインSLの電圧に設定し、有機EL素子50を駆動する際の初期設定が行われる。このように、有機EL素子50のアノード側電位を強制的にある電位に設定する(電荷を引き抜く)ことによって、残像減少を抑制することができる。また、第3TFT30のソース側電位を有機ELのカソード側電位よりさらに低い電位に設定することによって、有機EL素子における少なくとも有機発光膜を含む有機膜に逆バイアスをかけることができる。これによって、有機膜の特性回復を促進し、膜特性の劣化速度を遅くすることができる。

【0089】また、各画素に第3TFT30があるため、ゲート線方向に接続された全画素のリセットライン*50

*RSLを活性化させて、発光させない時間を制御することもできる。これによって、輝度の調整を行うことができると同時に、低消費電力化を図ることができる。さらに、RGB毎にリセットラインRSLを結線し、RGB毎にオンさせる時間を変更することで、RGB毎の発光時間を制御することができる。これによって、ホワイトバランスの調整ができ、画質の劣化を防止することができる。

【0090】また、図12には、図11の第3TFT30のゲートをリセットラインRSLではなく、ゲートラインGLに接続した例が示されている。この構成においても、図11の場合と同様の作用効果が得られる。すなわち、ゲートラインGLが立ち上がると、第1TFT10がオンして、データラインDLの第2TFT20のゲート電圧がデータラインDLの電圧に設定される。また、第3TFT30がオンするため、電源ラインVLからの電流が第2TFT20、第3TFT30を介し低電圧(接地電位)の容量ラインSLに流れる。

【0091】次に、データラインDLが立ち下がることで、第1、第3TFT10、30がオフになり、第2TFT20からの電流は、有機EL素子50に流れ、発光する。

【0092】このとき、有機EL素子50の上側(第2TFT20に接続されている側)の電位は、有機EL50における電圧降下 V_{tf} 以上の電圧になる。一方、ダイオード31における電圧降下 V_{tn} が存在するため、第2TFT20のゲート電圧は、有機EL素子50に電流が流れているときに有機EL素子50の閾値(V_{th}) + ダイオード31の閾値(V_{tn}) + ビデオ信号の電圧(V_{video})となり、上述のように素子特性のバラツキや劣化にほぼ関係なく、駆動電流を制御することが可能になり、色むらの少ない表示装置を得ることができる。

【0093】

【発明の効果】以上説明したように、この発明においては、エレクトロルミネッセンス素子などの被駆動素子に安定して電力を供給することが可能となる。

【0094】また、被駆動素子を動作させるためのデータ信号を、例えば表示装置においてビデオ信号の極性を反転させて形成することなく利用できる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る有機EL素子を駆動する1画素当たりの回路構成を示す図である。

【図2】 本発明の各画素に供給するゲート信号及びリセット信号を作成する回路の構成例を示す図である。

【図3】 図2の回路の動作を示すタイミングチャートである。

【図4】 本発明の実施形態に係る有機EL素子を駆動する1画素当たりの他の回路構成を示す図である。

【図5】 本発明の実施形態に係る有機EL素子を駆動

する1画素当たりの他の回路構成を示す図である。

【図6】 図4に示す回路構成を備えた1画素当たりの平面構成を示す図である。

【図7】 図6のA - A線、B - B線及びC - C線に沿った断面構成を示す図である。

【図8】 図5に示す回路構成を備えた1画素当たりの平面構成を示す図である。

【図9】 LD構造のTFTの構成例を示す図である。

【図10】 LD領域を大きくしたTFTの構成例を示す図である。

【図11】 本発明の各画素に供給するゲート信号及びリセット信号を作成する回路の他の構成例を示す図である。

【図12】 本発明の各画素に供給するゲート信号及びリセット信号を作成する回路のさらに他の構成例を示す図である。

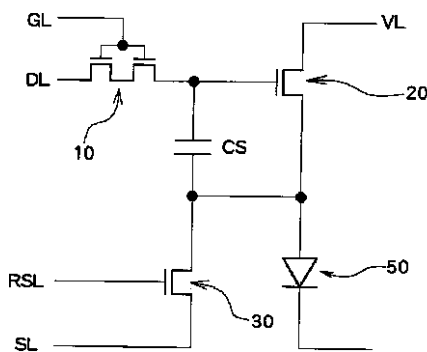
【図13】 従来のアクティブマトリクス型の有機EL*

*表示装置の回路構成を示す図である。

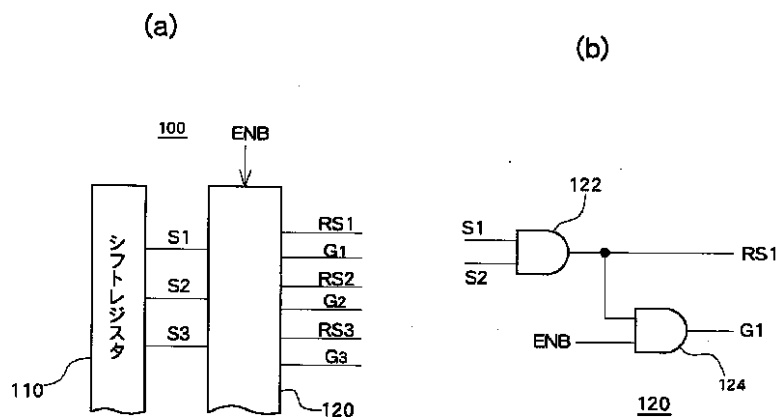
【符号の説明】

2, 24, 32 ゲート電極、7 保持容量の第1電極、8 保持容量の第2電極、10 第1TFT(スイッチング用薄膜トランジスタ)、14 層間絶縁膜、20 第2TFT(素子駆動用薄膜トランジスタ)、26 接続配線(コネクタ部)、31 電圧調整用ダイオード、34 共通接続配線、30 第3TFT(スイッチング用薄膜トランジスタ)、40, 41 ゲートライン(GL)、42 データライン(DL)、44 駆動電源ライン(VL)、46 リセットライン(RSL)、48 容量ライン(SL)、50 有機EL素子、51 発光素子層、52 陽極、54 ホール輸送層、55 発光層、56 電子輸送層、57 陰極、61 第2平坦化絶縁層、100 垂直ドライバ、110 シフトレジスタ、120 出力部、122, 124 アンドゲート。

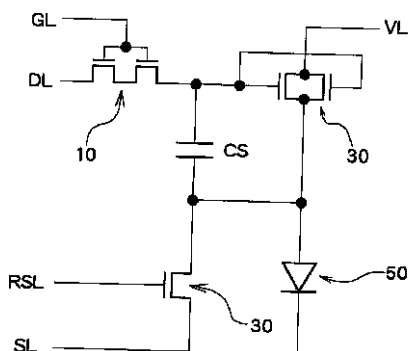
【図1】



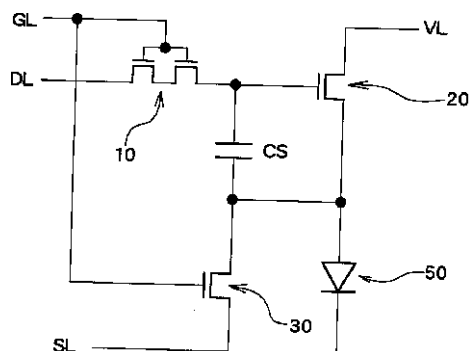
【図2】



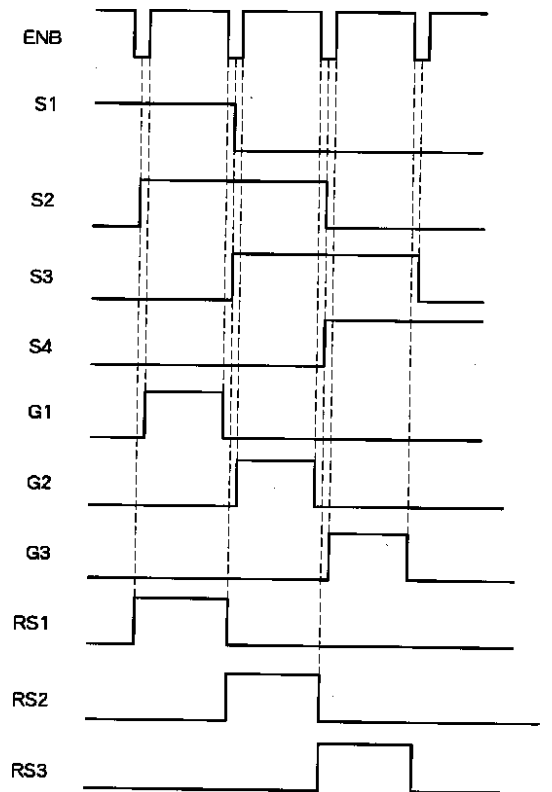
【図4】



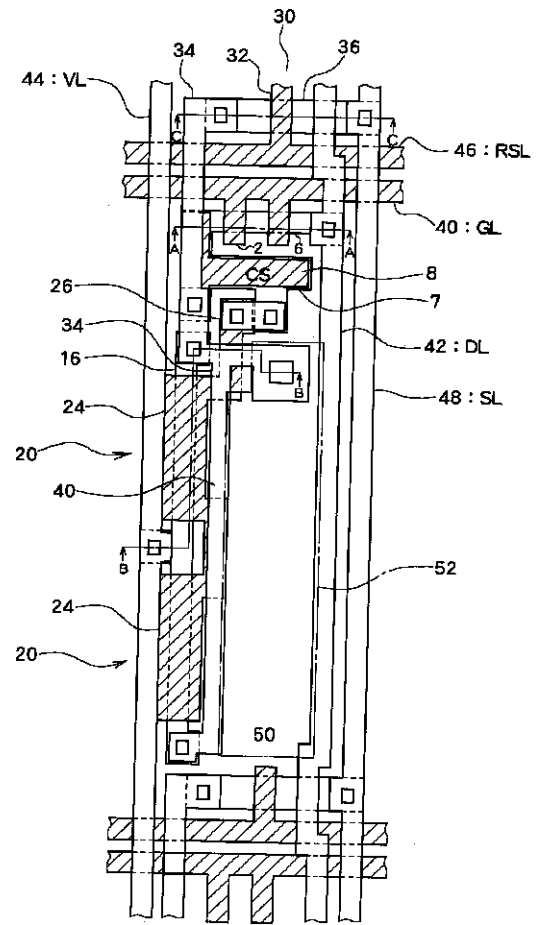
【図5】



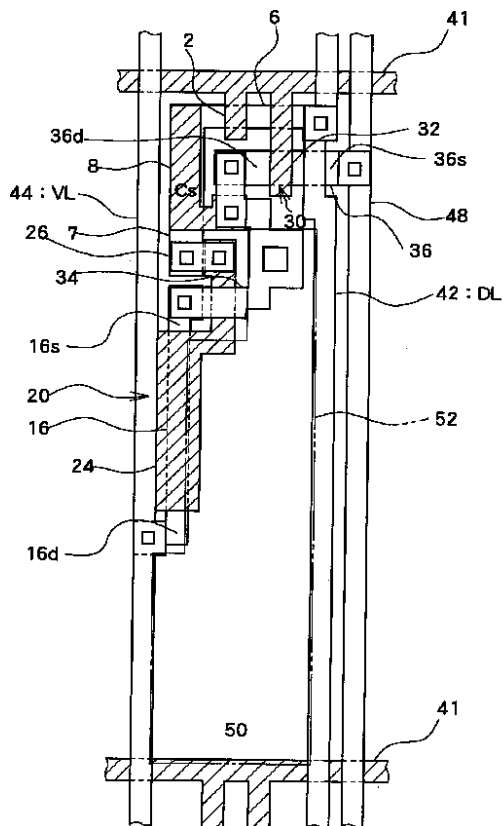
【図3】



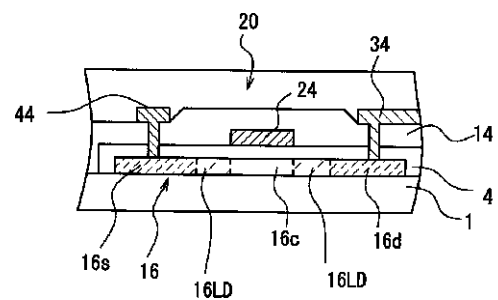
【図6】



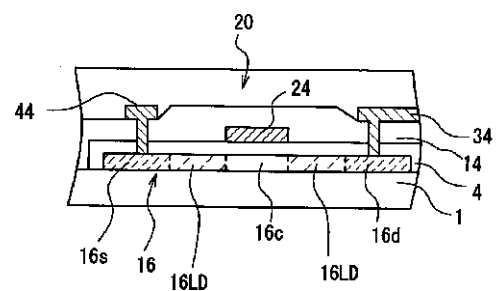
【図8】



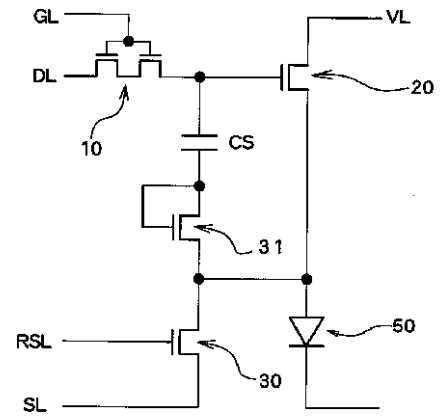
【図9】



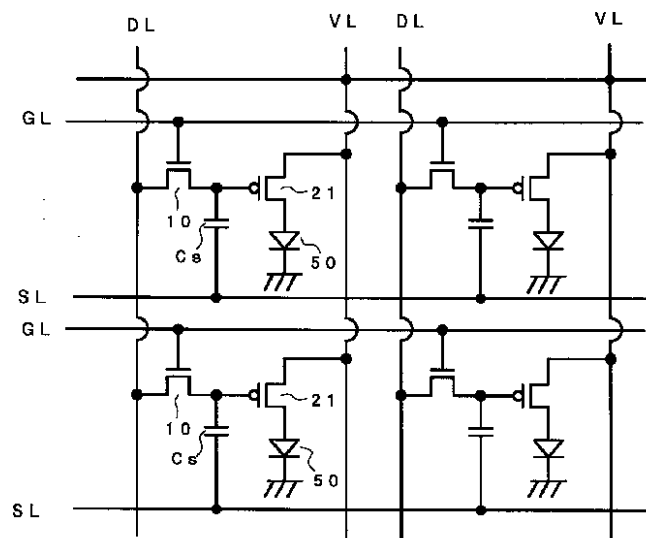
【図10】



【図 1 1】



【图 13】



テーマコード^{*} (参考)

6 1 2 Z

F ターム(参考) 3K007 AB02 AB04 AB17 AB18 BA06
BB07 DB03 GA02 GA04
5C080 AA06 BB05 CC03 DD05 DD22
DD29 EE19 EE29 FF11
5C094 AA04 AA07 AA55 BA03 BA27
CA19 DB01 DB04 EA04 FB01
FB12 FB14 FB15 FB20
5F110 AA04 AA16 BB02 CC02 DD02
EE04 EE28 GG02 GG13 HJ01
HL03 HM14 HM15 NN73 NN74
NN78

专利名称(译)	半导体器件和显示器件		
公开(公告)号	JP2003173154A	公开(公告)日	2003-06-20
申请号	JP2002102591	申请日	2002-04-04
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	松本昭一郎 佐野景一		
发明人	松本 昭一郎 佐野 景一		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L21/336 H01L27/32 H01L29/786 H05B33/14		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.642.A G09G3/30.J H05B33/14.A H01L29/78.612.Z G09F9/30.365 G09G3/20.612.E G09G3/20.670.K G09G3/3233 G09G3/3266 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB04 3K007/AB17 3K007/AB18 3K007/BA06 3K007/BB07 3K007/DB03 3K007/GA02 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD22 5C080/DD29 5C080/EE19 5C080/EE29 5C080/FF11 5C094/AA04 5C094/AA07 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/DB04 5C094/EA04 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5F110/AA04 5F110/AA16 5F110/BB02 5F110/CC02 5F110/DD02 5F110/EE04 5F110/EE28 5F110/GG02 5F110/GG13 5F110/HJ01 5F110/HL03 5F110/HM14 5F110/HM15 5F110/NN73 5F110/NN74 5F110/NN78 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB34 5C380/BA01 5C380/BA10 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB06 5C380/BB12 5C380/BB14 5C380/BB22 5C380/BC18 5C380/BD05 5C380/BD08 5C380/BD09 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB18 5C380/CB33 5C380/CC01 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC34 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC77 5C380/CD014 5C380/CD015 5C380/CF07 5C380/CF32 5C380/CF46 5C380/DA02 5C380/DA19 5C380/DA47 5C380/DA49 5C380/FA02 5C380/FA03 5C380/GA05 5C380/HA02 5C380/HA05		
优先权	2001303768 2001-09-28 JP		
其他公开文献	JP4052865B2		
外部链接	Espacenet		

摘要(译)

一种能够稳定地向被驱动元件供电的结构。矩阵状排列的各像素具备有机EL元件50，第一TFT10，第二TFT20，辅助电容Cs和复位第三TFT30，第一TFT10根据选通信号捕获数据信号。第二TFT 20具有连接到驱动电源线VL的漏极和连接到有机EL元件50的源极，并且第二TFT 20在其栅极接收数据信号以控制从驱动电源Pvdd到有机EL元件50的供应电流。存储电容器Cs的第一电极7连接到第二TFT 20的栅极，第二电极8连接到第二TFT 20的源极和有机EL元件，并且保持第二TFT 20的Vgs。当对存储电容器Cs充电时，第三TFT 30固定第二电极电势。

