

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5879585号  
(P5879585)

(45) 発行日 平成28年3月8日(2016.3.8)

(24) 登録日 平成28年2月12日(2016.2.12)

(51) Int.Cl.	F I		
<b>G09G 3/30 (2006.01)</b>	G09G	3/30	J
<b>G09G 3/20 (2006.01)</b>	G09G	3/20	611H
<b>H05B 33/08 (2006.01)</b>	G09G	3/20	624B
<b>H01L 51/50 (2006.01)</b>	G09G	3/20	641D
	G09G	3/20	642A
請求項の数 13 (全 19 頁) 最終頁に続く			

(21) 出願番号	特願2012-271150 (P2012-271150)	(73) 特許権者	514188173 株式会社 J O L E D
(22) 出願日	平成24年12月12日 (2012.12.12)		東京都千代田区神田錦町三丁目23番地
(62) 分割の表示	特願2007-131006 (P2007-131006) の分割	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
原出願日	平成19年5月16日 (2007.5.16)	(74) 代理人	110001357 特許業務法人つばき国際特許事務所
(65) 公開番号	特開2013-101358 (P2013-101358A)	(72) 発明者	山下 淳一 東京都港区港南1丁目7番1号 ソニー株式会社内
(43) 公開日	平成25年5月23日 (2013.5.23)	(72) 発明者	内野 勝秀 東京都港区港南1丁目7番1号 ソニー株式会社内
審査請求日	平成24年12月12日 (2012.12.12)	審査官	武田 悟
最終頁に続く			

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部と駆動部とからなり、  
前記画素アレイ部は、第1の電位とこれよりも低い第2の電位とが選択的に供給される給電線、行状の走査線、列状の信号線、及び、各走査線と各信号線とが交差する部分に配された行列状の画素を備え、  
前記画素アレイ部の各画素は、少なくとも、サンプリングトランジスタ、ドライブトランジスタ、発光素子、及び、保持容量を備え、  
前記サンプリングトランジスタは、前記信号線と前記保持容量との間に挿入され、その制御端に接続された前記走査線からの制御信号に応じて映像信号の書き込みを行うように構成され、  
前記ドライブトランジスタは、前記発光素子と前記給電線との間に挿入され、その制御端に印加された電圧に応じて、前記発光素子への駆動電流を制御するように構成され、  
前記保持容量は、前記ドライブトランジスタの制御端に接続され、その保持電圧に応じた電圧を前記ドライブトランジスタの制御端に印加するように構成され、  
前記駆動部は、所定のシーケンスに従って前記制御信号及び前記映像信号を供給し且つ前記給電線の電位を切り換えて各画素を駆動し、以って、前記駆動電流の前記ドライブトランジスタの閾電圧に対する依存性を補正するための閾電圧補正動作と、前記映像信号の信号電位を前記保持容量に書き込む書込動作と、前記保持容量に書き込まれた信号電位に応じて前記発光素子を発光させる発光動作とを含む一連の動作を行うように構成され、

10

20

前記ドライブトランジスタのゲートの電位を  $V_g$ 、閾電圧を  $V_{th}$  とし、第 1 の電位を  $V_{cc}$  とするとき、発光期間における第 1 の電位は、 $V_g < V_{cc} + V_{th}$  を満たすように設定されており、

前記駆動部は、前記給電線に第 2 の電位を供給した状態で、前記閾電圧補正動作及び前記書込動作を行い、

前記書込動作の終了時において前記サンプリングトランジスタをオフしてから、前記給電線から前記ドライブトランジスタを介した電流によって前記ドライブトランジスタの前記発光素子側のソース/ドレインの電位が上昇し、これに合わせて前記ドライブトランジスタのゲートの電位が上昇し、その上昇の終了後に前記給電線の電位が第 2 の電位から第 1 の電位に上昇するように構成されている表示装置。

10

【請求項 2】

前記駆動部は、前記発光期間の終了後の消光期間において、前記給電線に、第 1 の電位及び第 2 の電位のいずれよりも低い低電位を供給するように構成されている請求項 1 に記載の表示装置。

【請求項 3】

第 1 の電位と低電位の電位差は 15 V 以上に設定され、

画素の一連の動作で、前記ドライブトランジスタのソースとドレインに加わる電圧が 12 V を超えないように第 2 の電位が設定されている請求項 2 に記載の表示装置。

【請求項 4】

画素の一連の動作で、前記ドライブトランジスタのソースとドレインに加わる電圧が絶縁耐圧を超えないように構成されている請求項 1 乃至請求項 3 のいずれか 1 項に記載の表示装置。

20

【請求項 5】

前記駆動部は、画素の全ての動作で前記ドライブトランジスタのソースとドレイン間に加わる電圧が飽和動作領域に入るように、第 1 の電位、第 2 の電位、及び、低電位のレベルを設定するように構成されている請求項 2 乃至請求項 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記駆動部は、前記給電線の電位を制御する電源スキャナを含み、

前記電源スキャナは、シフトレジスタとその各段に接続された出力バッファとを備え、

前記シフトレジスタは、順次各段毎に切り換え信号を生成し、

前記出力バッファは、電源ラインと接地ラインとの間に配され、前記切り換え信号に応じて電源ライン側の第 1 の電位又第 2 の電位と接地ライン側の低電位を切り換えて、対応する給電線に印加するように構成されている請求項 2 乃至請求項 5 のいずれか 1 項に記載の表示装置。

30

【請求項 7】

前記出力バッファは、電源ライン側に第 1 の電位と第 2 の電位が切り換わりながら供給される一方、これと対応して接地ライン側に第 1 低電位とこれよりも低い第 2 低電位が切り換わりながら供給されており、

電源ラインと接地ラインとの間に配された前記出力バッファを構成するトランジスタのソースとドレイン間に加わる電圧が絶縁耐圧を超えないように構成されている請求項 6 に記載の表示装置。

40

【請求項 8】

前記出力バッファは、電源ライン側で第 1 の電位から第 2 の電位に切り換った後、接地ライン側で第 1 低電位から第 2 低電位に切り換え、接地ライン側で第 2 低電位から第 1 低電位に戻った後、電源ライン側で第 2 の電位から第 1 の電位に戻すように構成されている請求項 7 に記載の表示装置。

【請求項 9】

第 1 の電位とこれよりも低い第 2 の電位とが選択的に供給される給電線、行状の走査線、列状の信号線、及び、各走査線と各信号線とが交差する部分に配された行列状の画素を

50

備える画素アレイ部を有し、

前記画素アレイ部の各画素は、少なくとも、サンプリングトランジスタ、ドライブトランジスタ、発光素子、及び、保持容量を備え、

前記サンプリングトランジスタは、前記信号線と前記保持容量との間に挿入され、その制御端に接続された前記走査線からの制御信号に応じて映像信号の書き込みを行うように構成され、

前記ドライブトランジスタは、前記発光素子と前記給電線との間に挿入され、その制御端に印加された電圧に応じて、前記発光素子への駆動電流を制御するように構成され、

前記保持容量は、前記ドライブトランジスタの制御端に接続され、その保持電圧に応じた電圧を前記ドライブトランジスタの制御端に印加するように構成された表示装置の駆動方法であって、

10

前記ドライブトランジスタの閾電圧に応じた電圧を前記保持容量に設定する閾電圧補正工程と、

前記映像信号の信号電位を前記保持容量に書き込む書込工程と、

前記書込工程の終了時において前記サンプリングトランジスタをオフしてから、前記給電線から前記ドライブトランジスタを介した電流によって、前記発光素子の等価容量を充電し、以って、前記ドライブトランジスタの前記発光素子側のソース/ドレインの電位を上昇させ、これに合わせて前記ドライブトランジスタのゲートの電位を上昇させる電位上昇工程と、

前記保持容量に書き込まれた信号電位に応じて前記発光素子を発光させる発光工程とを有し、

20

前記ドライブトランジスタのゲートの電位を  $V_g$ 、閾電圧を  $V_{th}$  とし、第 1 の電位を  $V_{cc}$  とするとき、発光期間における第 1 の電位は、 $V_g < V_{cc} + V_{th}$  を満たすように設定されており、

前記閾電圧補正工程及び前記書込工程は、前記給電線に第 2 の電位が供給された状態で実行され、

前記電位上昇工程の処理が開始し前記ドライブトランジスタのゲートの電位の上昇の終了後に前記給電線の電位を第 2 の電位から第 1 の電位に上昇させる表示装置の駆動方法。

【請求項 10】

前記発光期間の終了後の消光期間において、前記給電線に、第 1 の電位及び第 2 の電位のいずれよりも低い低電位を供給する請求項 9 に記載の表示装置の駆動方法。

30

【請求項 11】

第 1 の電位と低電位の電位差は 1.5 V 以上に設定され、

画素の一連の動作で、前記ドライブトランジスタのソースとドレインに加わる電圧が 1.2 V を超えないように第 2 の電位が設定されている請求項 10 に記載の表示装置の駆動方法。

【請求項 12】

画素の一連の動作で、前記ドライブトランジスタのソースとドレインに加わる電圧が絶縁耐圧を超えないように駆動する請求項 9 乃至請求項 11 のいずれか 1 項に記載の表示装置の駆動方法。

40

【請求項 13】

画素の全ての動作で前記ドライブトランジスタのソースとドレイン間に加わる電圧が飽和動作領域に入るように、第 1 の電位、第 2 の電位、及び、低電位のレベルを設定する請求項 10 乃至請求項 12 のいずれか 1 項に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して画像を表示する表示装置及びその駆動方法に関する。またかかる表示装置を用いた電子機器に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機 EL などの発光素子に通電す

50

る電流量を制御する、いわゆるアクティブマトリクス型の表示装置の駆動方式に関する。

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 $\mu$ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1ないし5に記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来のアクティブマトリクス型平面自発光表示装置は、プロセス変動により発光素子を駆動するトランジスタ(ドライフトランジスタ)の閾電圧や移動度がばらついてしまう。また有機ELデバイスの電流/電圧特性も経時的に変化する。このようなドライフトランジスタの特性ばらつきや有機ELデバイスの特性変動は発光輝度に影響を与えてしまう。表示装置の画面全体にわたって発光輝度を均一に制御するため、各画素回路内で上述したドライフトランジスタや有機ELデバイスの特性変動を補正する必要がある。従来からかかる補正機能を画素毎に備えた表示装置が提案されている。

【0006】

ドライフトランジスタの閾電圧補正動作や移動度補正動作を安定的に行うため、各画素に形成された容量素子はなるべく容量値を大きくすることが好ましい。容量素子はドライフトランジスタなどと同様に薄膜素子で形成されており、容量素子の誘電体膜はドライフトランジスタのゲート絶縁膜と同層になっている。容量素子の大容量化を図るためには、誘電体膜を薄くする必要があり、必然的にゲート絶縁膜も薄くなる。このためドライフトランジスタのドレインとソース間の絶縁耐圧が低下する傾向になる。

【0007】

一方、各画素回路で移動度補正動作や閾電圧補正動作を実行するためには、所定のシーケンスに従って各画素に供給する電源電圧を高低2レベルで切り換える必要がある。電源電圧のレベルを切り換える過程で、ドライフトランジスタのソース/ドレイン間に大きな電位差が生じ、場合によりドライフトランジスタの絶縁耐圧を超えてしまう恐れがある。この様な点から、従来はドライフトランジスタの絶縁耐圧をある程度確保する必要があり、容量素子の大容量化の妨げとなっていた。

【課題を解決するための手段】

【0008】

本発明の表示装置は、画素アレイ部と駆動部とからなり、画素アレイ部は、第1の電位とこれよりも低い第2の電位とが選択的に供給される給電線、行状の走査線、列状の信号

10

20

30

40

50

線、及び、各走査線と各信号線とが交差する部分に配された行列状の画素を備える。各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備える。サンプリングトランジスタは、信号線と保持容量との間に挿入され、その制御端に接続された走査線からの制御信号に応じて映像信号の書き込みを行うように構成され、ドライブトランジスタは、発光素子と給電線との間に挿入され、その制御端に印加された電圧に応じて、発光素子への駆動電流を制御するように構成され、保持容量は、ドライブトランジスタの制御端に接続され、その保持電圧に応じた電圧をドライブトランジスタの制御端に印加するように構成されている。駆動部は、所定のシーケンスに従って制御信号及び映像信号を供給し且つ給電線の電位を切り換えて各画素を駆動し、以って、駆動電流のドライブトランジスタの閾電圧に対する依存性を補正するための閾電圧補正動作と、映像信号の信号電位を保持容量に書き込む書込動作と、保持容量に書き込まれた信号電位に応じて発光素子を発光させる発光動作とを含む一連の動作を行うように構成されている。ドライブトランジスタのゲートの電位を  $V_g$ 、閾電圧を  $V_{th}$  とし、第1の電位を  $V_{cc}$  とするとき、発光期間における第1の電位は、 $V_g < V_{cc} + V_{th}$  を満たすように設定されており、駆動部は、給電線に第2の電位を供給した状態で、閾電圧補正動作及び書込動作を行い、書込動作の終了時においてサンプリングトランジスタをオフしてから、給電線からドライブトランジスタを介した電流によってドライブトランジスタの発光素子側のソース/ドレインの電位が上昇し、これに合わせてドライブトランジスタのゲートの電位が上昇し、その上昇の終了後に給電線の電位が第2の電位から第1の電位に上昇するように構成されている。

【0009】

好ましくは、駆動部は、画素が発光動作を行う時給電線を第1高電位とし、画素が閾電圧補正動作を行う時給電線を第1高電位より低い第2高電位とする。また、好ましくは、画素の全ての動作で該ドライブトランジスタのソースとドレイン間に加わる電圧が飽和動作領域に入るように第1高電位及び第2高電位と低電位のレベルを設定する。

更に好ましくは、駆動部は、給電線の電位を制御する電源スキャナを備え、電源スキャナは、シフトレジスタとその各段に接続された出力バッファとを備え、シフトレジスタは、順次各段毎に切り換信号を生成し、出力バッファは、電源ラインと接地ラインとの間に配され該切り換信号に応じて電源ライン側の第1又は第2高電位と接地ライン側の低電位を切り換えて対応する給電線に印加する。この場合、出力バッファは、電源ライン側に第1高電位と第2高電位が切り換わりながら供給される一方、これと対応して接地ライン側に第1低電位とこれより低い第2低電位が切り換わりながら供給されており、該電源ラインと該接地ラインとの間に配された該出力バッファを構成するトランジスタのソースとドレイン間に加わる電圧が絶縁耐圧を越えない様にする。また、出力バッファは、電源ライン側で第1高電位から第2高電位に切り換った後、接地ライン側で第1低電位から第2低電位に切り換え、接地ライン側で第2低電位から第1低電位に戻った後、電源ライン側で第2高電位から第1高電位に戻す。

本発明の表示装置の駆動方法は、第1の電位とこれよりも低い第2の電位とが選択的に供給される給電線、行状の走査線、列状の信号線、及び、各走査線と各信号線とが交差する部分に配された行列状の画素を備える画素アレイ部を有し、画素アレイ部の各画素は、少なくとも、サンプリングトランジスタ、ドライブトランジスタ、発光素子、及び、保持容量を備え、サンプリングトランジスタは、信号線と保持容量との間に挿入され、その制御端に接続された走査線からの制御信号に応じて映像信号の書き込みを行うように構成され、ドライブトランジスタは、発光素子と給電線との間に挿入され、その制御端に印加された電圧に応じて、発光素子への駆動電流を制御するように構成され、保持容量は、ドライブトランジスタの制御端に接続され、その保持電圧に応じた電圧を前記ドライブトランジスタの制御端に印加するように構成された表示装置の駆動方法である。ドライブトランジスタの閾電圧に応じた電圧を保持容量に設定する閾電圧補正工程と、映像信号の信号電位を保持容量に書き込む書込工程と、書込工程の終了時においてサンプリングトランジスタをオフしてから、給電線からドライブトランジスタを介した電流によって、発光素子の

10

20

30

40

50

等価容量を充電し、以って、ドライブトランジスタの発光素子側のソース/ドレインの電位を上昇させ、これに合わせてドライブトランジスタのゲートの電位を上昇させる電位上昇工程と、保持容量に書き込まれた信号電位に応じて発光素子を発光させる発光工程とを有し、ドライブトランジスタのゲートの電位を  $V_g$ 、閾電圧を  $V_{th}$  とし、第 1 の電位を  $V_{cc}$  とするとき、発光期間における第 1 の電位は、 $V_g < V_{cc} + V_{th}$  を満たすように設定されており、閾電圧補正工程及び書込工程は、給電線に第 2 の電位が供給された状態で実行され、電位上昇工程の処理が開始しドライブトランジスタのゲートの電位の上昇の終了後に給電線の電位を第 2 の電位から第 1 の電位に上昇させる。

【発明の効果】

【0010】

本発明によれば、給電線に印加する高電位を所定のシーケンスに従ってレベルの異なる第 1 高電位と第 2 高電位で切り換えている。これにより画素の一連の動作でドライブトランジスタのソースとドレインに過大な電圧が加わらないようにしている。これにより、ドライブトランジスタのソース/ドレイン間の絶縁耐圧を従来より下げることができる。換言すると、ドライブトランジスタのゲート絶縁膜を薄膜化できるので、これに合わせて保持容量の誘電体膜も薄くなるため、その大容量化が可能になる。

【図面の簡単な説明】

【0011】

【図 1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図 2】図 1 に示した表示装置に組み込まれる画素の一例を示す回路図である。

【図 3】図 1 及び図 2 に示した表示装置の動作説明に供する参考タイミングチャートである。

【図 4】図 1 及び図 2 に示した表示装置の実施形態の動作説明に供するタイミングチャートである。

【図 5】図 1 及び図 2 に示した表示装置の動作説明に供する回路図である。

【図 6】同じく動作説明に供する回路図である。

【図 7】同じく動作説明に供する回路図である。

【図 8】同じく動作説明に供する回路図である。

【図 9】図 1 及び図 2 に示した表示装置に含まれる電源スキャナの構成を示す部分図である。

【図 10】同じく電源スキャナの別の例を示す部分図である。

【図 11】図 9 に示した電源スキャナの動作説明に供するタイミングチャートである。

【図 12】図 10 に示した電源スキャナの動作説明に供するタイミングチャートである。

【図 13】図 10 に示した電源スキャナの動作説明に供する別のタイミングチャートである。

【図 14】本発明にかかる表示装置のデバイス構成を示す断面図である。

【図 15】本発明にかかる表示装置のモジュール構成を示す平面図である。

【図 16】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図 17】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図 18】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【図 19】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

【図 20】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【発明を実施するための形態】

【0012】

以下図面を参照して本発明の実施の形態を詳細に説明する。図 1 は本発明にかかる表示装置の全体構成を示すブロック図である。図示するように、本表示装置は、画素アレイ部 1 とこれを駆動する駆動部とからなる。画素アレイ部 1 は、行状の走査線  $WS$  と、列状の信号線（信号ライン） $SL$  と、両者が交差する部分に配された行列状の画素 2 と、各画素 2 の各行に対応して配された給電線（電源ライン） $VL$  とを備えている。なお本例は、各

10

20

30

40

50

画素 2 に R G B 三原色のいずれかが割り当てられており、カラー表示が可能である。但しこれに限られるものではなく、単色表示のデバイスも含む。駆動部は、各走査線 W S に順次制御信号を供給して画素 2 を行単位で線順次走査するライトスキャナ 4 と、この線順次走査に合わせて各給電線 V L に第 1 電位と第 2 電位で切り換える電源電圧を供給する電源スキャナ 6 と、この線順次走査に合わせて列状の信号線 S L に駆動信号となる信号電位と基準電位を供給する信号セクタ（水平セクタ）3 とを備えている。

【 0 0 1 3 】

図 2 は、図 1 に示した表示装置に含まれる画素 2 の具体的な構成及び結線関係を示す回路図である。図示するように、この画素 2 は有機 E L デバイスなどで代表される発光素子 E L と、サンプリングトランジスタ T r 1 と、ドライブトランジスタ T r d と、保持容量 C s とを含む。サンプリングトランジスタ T r 1 は、その制御端（ゲート）が対応する走査線 W S に接続し、一对の電流端（ソース及びドレイン）の片方が対応する信号線 S L に接続し、他方がドライブトランジスタ T r d の制御端（ゲート G ）に接続する。ドライブトランジスタ T r d は、一对の電流端（ソース S 及びドレイン）の一方が発光素子 E L に接続し、他方が対応する給電線 V L に接続している。本例では、ドライブトランジスタ T r d が N チャンネル型であり、そのドレインが給電線 V L に接続する一方、ソース S が出力ノードとして発光素子 E L のアノードに接続している。発光素子 E L のカソードは所定のカソード電位 V c a t h に接続している。保持容量 C s はドライブトランジスタ T r d の片方の電流端であるソース S と制御端であるゲート G の間に接続している。

【 0 0 1 4 】

かかる構成において、サンプリングトランジスタ T r 1 は走査線 W S から供給された制御信号に応じて導通し、信号線 S L から供給された信号電位をサンプリングして保持容量 C s に保持する。ドライブトランジスタ T r d は、第 1 電位（高電位 V c c ）にある給電線 V L から電流の供給を受け保持容量 C s に保持された信号電位に応じて駆動電流を発光素子 E L に流す。ライトスキャナ 4 は、信号線 S L が信号電位にある時間帯にサンプリングトランジスタ T r 1 を導通状態にするため、所定のパルス幅の制御信号を制御線 W S に出力し、以って保持容量 C s に信号電位を保持すると同時にドライブトランジスタ T r d の移動度  $\mu$  に対する補正を信号電位に加える。この後ドライブトランジスタ T r d は保持容量 C s に書き込まれた信号電位 V s i g に応じた駆動電流を発光素子 E L に供給し、発光動作に入る。

【 0 0 1 5 】

本画素回路 2 は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ 6 は、サンプリングトランジスタ T r 1 が信号電位 V s i g をサンプリングする前に、第 1 タイミングで給電線 V L を第 1 電位（高電位 V c c ）から第 2 電位（低電位 V s s 2 ）に切り換える。またライトスキャナ 4 は同じくサンプリングトランジスタ T r 1 が信号電位 V s i g をサンプリングする前に、第 2 タイミングでサンプリングトランジスタ T r 1 を導通させて信号線 S L から基準電位 V s s 1 をドライブトランジスタ T r d のゲート G に印加すると共にドライブトランジスタ T r d のソース S を第 2 電位（ V s s 2 ）にセットする。電源スキャナ 6 は第 2 タイミングの後の第 3 タイミングで給電線 V L を第 2 電位 V s s 2 から第 1 電位 V c c に切り換えて、ドライブトランジスタ T r d の閾電圧 V t h に相当する電圧を保持容量 C s に保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつくドライブトランジスタ T r d の閾電圧 V t h の影響をキャンセルすることができる。

【 0 0 1 6 】

本画素回路 2 は、さらにブートストラップ機能も備えている。即ちライトスキャナ 4 は保持容量 C s に信号電位 V s i g が保持された段階で走査線 W S に対する制御信号の印加を解除し、サンプリングトランジスタ T r 1 を非導通状態にしてドライブトランジスタ T r d のゲート G を信号線 S L から電氣的に切り離し、以ってドライブトランジスタ T r d のソース S の電位変動にゲート G の電位が連動し、ゲート G とソース S 間の電圧 V g s を一定に維持することができる。

10

20

30

40

50

## 【0017】

本発明の特徴事項として、電源スキャナ6は、給電線VLに印加する高電位Vccを所定のシーケンスに応じてレベルの異なる第1高電位と第2高電位で切り換えることにより、画素2の一連の動作でドライブトランジスタTrdのソースSとドレインDの間に加わる電圧が絶縁耐圧を超えないようにしている。図2に示した実施形態では、第1高電位がVccに相当し、第2高電位はこれより低いレベルとなっている。本明細書ではこの第2高電位をVcc2で表す。具体的な動作では、電源スキャナ6は、画素2が発光動作を行うとき給電線VLを第1高電位Vccとし、画素2が閾電圧補正動作を行うとき給電線VLを第1高電位Vccよりも低い第2高電位Vcc2としている。電源スキャナ6は、画素2の閾電圧補正動作、移動度補正動作、信号電位書込動作及び発光動作を含む全ての動作で、ドライブトランジスタTrdのソースSとドレインDの間に加わる電圧が飽和動作領域に入るように、第1高電位Vcc及び第2高電位Vcc2と低電位Vss2のレベルを設定している。

10

## 【0018】

図3は、図2に示した画素回路2の動作説明に供するタイミングチャートである。但しこのタイミングチャートは参考例であり、電源スキャナ6が給電線VLに供給する電位は3レベルでなく高電位Vccと低電位Vss2の2レベルとなっている。このタイミングチャートは、時間軸を共通にして、走査線WSの電位変化、給電線VLの電位変化及び信号線SLの電位変化を表している。またこれらの電位変化と並行に、ドライブトランジスタTrdのゲートG及びソースSの電位変化も表してある。図3のタイミングチャートに示すように、画素は前のフィールドの発光期間から当該フィールドの非発光期間に入り、そのあと当該フィールドの発光期間となる。この非発光期間で準備動作、閾電圧補正動作、信号書込動作、移動度補正動作などを行う。

20

## 【0019】

前フィールドの発光期間では、給電線VLが高電位Vccにあり、ドライブトランジスタTrdが駆動電流Idsを発光素子ELに供給している。駆動電流Idsは高電位Vccにある給電線VLからドライブトランジスタTrdを介して発光素子ELを通り、カソードラインに流れ込んでいる。

## 【0020】

続いて当該フィールドの非発光期間に入るとまずタイミングT1で給電線VLを高電位Vccから低電位Vss2に切り換える。これにより給電線VLはVss2まで放電され、さらにドライブトランジスタTrdのソースSの電位はVss2まで下降する。これにより発光素子ELのアノード電位（即ちドライブトランジスタTrdのソース電位）は逆バイアス状態となるため、駆動電流が流れなくなり消灯する。またドライブトランジスタのソースSの電位降下に連動してゲートGの電位も降下する。

30

## 【0021】

続いてタイミングT2になると、走査線WSを低レベルから高レベルに切り換えることで、サンプリングトランジスタTr1が導通状態になる。この時信号線SLは基準電位Vss1にある。よってドライブトランジスタTrdのゲートGの電位は導通したサンプリングトランジスタTr1を通じて信号線SLの基準電位Vss1となる。この時ドライブトランジスタTrdのソースSの電位はVss1よりも十分低い電位Vss2にある。この様にしてドライブトランジスタTrdのゲートGとソースSとの間の電圧VgsがドライブトランジスタTrdの閾電圧Vthより大きくなるように、初期化される。タイミングT1からタイミングT3までの期間T1-T3はドライブトランジスタTrdのゲートG/ソースS間電圧Vgsを予めVth以上に設定する準備期間である。

40

## 【0022】

この後タイミングT3になると、給電線VLが低電位Vss2から高電位Vccに遷移し、ドライブトランジスタTrdのソースSの電位が上昇を開始する。やがてドライブトランジスタTrdのゲートG/ソースS間電圧Vgsが閾電圧Vthとなった所で電流がカットオフする。この様にしてドライブトランジスタTrdの閾電圧Vthに相当する電

50

圧が保持容量  $C_s$  に書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら保持容量  $C_s$  側に流れ、発光素子  $E_L$  には流れないようにするため、発光素子  $E_L$  がカットオフとなるようにカソード電位  $V_{cath}$  を設定しておく。

【0023】

タイミング  $T_4$  では走査線  $W_S$  がハイレベルからローレベルに戻る。換言すると、走査線  $W_S$  に印加された第一のパルスが解除され、サンプリングトランジスタはオフ状態になる。以上の説明から明らかなように、第一パルスは閾電圧補正動作を行うために、サンプリングトランジスタ  $T_{r1}$  のゲートに印加される。

【0024】

この後信号線  $S_L$  が基準電位  $V_{ss1}$  から信号電位  $V_{sig}$  に切り換る。続いてタイミ  
 ング  $T_5$  で走査線  $W_S$  が再びローレベルからハイレベルに立上る。換言すると第二のパ  
 ルスがサンプリングトランジスタ  $T_{r1}$  のゲートに印加される。これによりサンプリングト  
 ランジスタ  $T_{r1}$  は再びオンし、信号線  $S_L$  から信号電位  $V_{sig}$  をサンプリングする。  
 よってドライブトランジスタ  $T_{rd}$  のゲート  $G$  の電位は信号電位  $V_{sig}$  になる。ここで  
 発光素子  $E_L$  は始めカットオフ状態（ハイインピーダンス状態）にあるためドライブトラ  
 ンジスタ  $T_{rd}$  のドレインとソースの間に流れる電流は専ら保持容量  $C_s$  と発光素子  $E_L$   
 の等価容量に流れ込み充電を開始する。この後サンプリングトランジスタ  $T_{r1}$  がオフす  
 るタイミング  $T_6$  までに、ドライブトランジスタ  $T_{rd}$  のソース  $S$  の電位は  $V$  だけ上昇  
 する。この様にして映像信号の信号電位  $V_{sig}$  が  $V_{th}$  に足し込まれる形で保持容量  $C_s$   
 に書き込まれる共に、移動度補正用の電圧  $V$  が保持容量  $C_s$  に保持された電圧から差  
 し引かれる。よってタイミング  $T_5$  からタイミング  $T_6$  まで期間  $T_5 - T_6$  が信号書込期  
 間 & 移動度補正期間となる。換言すると、走査線  $W_S$  に第二パルスが印加されると、信号  
 書込動作及び移動度補正動作が行われる。信号書込期間 & 移動度補正期間  $T_5 - T_6$  は、  
 第二パルスのパルス幅に等しい。即ち第二パルスのパルス幅が移動度補正期間を規定して  
 いる。

【0025】

この様に信号書込期間  $T_5 - T_6$  では信号電に  $V_{sig}$  の書込みと補正量  $V$  の調整が  
 同時に行われる。  $V_{sig}$  が高いほどドライブトランジスタ  $T_{rd}$  が供給する電流  $I_{ds}$   
 は大きくなり、  $V$  の絶対値も大きくなる。従って発光輝度レベルに応じた移動度補正が  
 行われる。  $V_{sig}$  を一定とした場合、ドライブトランジスタ  $T_{rd}$  の移動度  $\mu$  が大きい  
 ほど  $V$  の絶対値が大きくなる。換言すると移動度  $\mu$  が大きいほど保持容量  $C_s$  に対する  
 負帰還量  $V$  が大きくなるので、画素毎の移動度  $\mu$  のばらつきを取り除くことができる。

【0026】

最後にタイミング  $T_6$  になると、前述したように走査線  $W_S$  が低レベル側に遷移し、サ  
 ンプリングトランジスタ  $T_{r1}$  はオフ状態となる。これによりドライブトランジスタ  $T_{rd}$   
 のゲート  $G$  は信号線  $S_L$  から切り離される。同時にドレイン電流  $I_{ds}$  が発光素子  $E_L$   
 を流れ始める。これにより発光素子  $E_L$  のアノード電位は駆動電流  $I_{ds}$  に応じて上昇す  
 る。発光素子  $E_L$  のアノード電位の上昇は、即ちドライブトランジスタ  $T_{rd}$  のソース  $S$   
 の電位上昇に他ならない。ドライブトランジスタ  $T_{rd}$  のソース  $S$  の電位が上昇すると、  
 保持容量  $C_s$  のブートストラップ動作によりドライブトランジスタ  $T_{rd}$  のゲート  $G$  の電  
 位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに  
 発光期間中ドライブトランジスタ  $T_{rd}$  のゲート  $G$  / ソース  $S$  間電圧  $V_{gs}$  は一定に保持  
 される。この  $V_{gs}$  の値は信号電位  $V_{sig}$  に閾電圧  $V_{th}$  及び移動量  $\mu$  の補正をかけた  
 ものとなっている。ドライブトランジスタ  $T_{rd}$  は、飽和領域で動作する。即ちドライ  
 ブトランジスタ  $T_{rd}$  は、ゲート  $G$  / ソース  $S$  間電圧  $V_{gs}$  に応じた駆動電流  $I_{ds}$  を供給  
 する。この  $V_{gs}$  の値は信号電位  $V_{sig}$  に閾電圧  $V_{th}$  及び移動量  $\mu$  の補正をかけたも  
 のとなっている。

【0027】

図3に示した参考例では、ライトスキャナ4は1H内で2回制御信号のパルスを出力し  
 ている。画素2は1回目のパルスに应答して閾電圧補正を行い、2回目のパルスに応じて

10

20

30

40

50

信号電位書込動作と移動度補正動作を同時に行っている。一方電源スキャナ6が給電線D Sに供給する電源電圧は高電位 $V_{cc}$ と低電位 $V_{ss2}$ の二値を用い、閾電圧補正動作を開始するときはタイミングチャートに示すようにドライブトランジスタ $T_{rd}$ のソースSは低電位 $V_{ss2}$ となり、ドレインは高電位 $V_{cc}$ になる。動作の関係上、高電位 $V_{cc}$ と低電位 $V_{ss2}$ の電位差は15V以上に達する。

#### 【0028】

一方、パネルの高精細化が進むにつれ、1画素当たりの面積は小さくなり、これに応じて1画素当たりの保持容量 $C_s$ の容量値が小さくなる。保持容量 $C_s$ の容量値が小さくなると、これに比例して移動度補正時間が短くなるので、移動度補正時間のばらつきに対するマージンが低下し、画面上に走査線に沿った筋などが発生してしまう。

10

#### 【0029】

この対策として、保持容量の誘電体膜を薄くして、その大容量化を図ることが考えられる。一般に画素回路を構成する保持容量やトランジスタは薄膜プロセスを用いて同時に形成される。保持容量 $C_s$ の誘電体膜とトランジスタのゲート絶縁膜は同層となっている。保持容量 $C_s$ の大容量化のため誘電体膜を薄くしようとする、必然的にドライブトランジスタのゲート絶縁膜も薄くしなければならず、ドライブトランジスタの耐圧が低下してしまう。特にドライブトランジスタ $T_{rd}$ のソース/ドレイン間耐圧は12V程度に低下してしまう。図1及び図2に示した表示装置は2個のトランジスタで複雑な補正動作を行うため、画素に供給する電源電圧を高電位と低電位で交互に切り換えており、ドライブトランジスタのソース/ドレイン間には最悪15V以上の電圧が印加されてしまう。従って保持容量を大容量化すると、ドライブトランジスタ $T_{rd}$ のソース/ドレイン間耐圧の許容値を超えて、電圧が印加される危険性があり、このままではドライブトランジスタ $T_{rd}$ のゲート絶縁膜薄膜化ひいては保持容量 $C_s$ の大容量化が難しい。

20

#### 【0030】

図4は、同じく図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。このタイミングチャートは本発明の実施形態を表しており、理解を容易にするため図3に示した参考例のタイミングチャートと同様の表記を採用している。図示するように、本実施形態では給電線 $V_L$ に印加する電圧を参考例の2値( $V_{cc}$ ,  $V_{ss2}$ )から3値( $V_{cc}$ ,  $V_{cc2}$ ,  $V_{ss2}$ )へと変更している。ここで新たに追加した電位 $V_{cc2}$ は、参考例で用いた高電位 $V_{cc}$ と低電位 $V_{ss2}$ の中間電位である。新たに追加した中間電位 $V_{cc2}$ が給電線 $V_L$ に印加されている期間で、閾電圧補正動作、信号電位書込動作及び移動度補正動作を行い、その後サンプリングトランジスタ $T_{r1}$ がオフして発光期間になった後給電線 $V_L$ を高電位 $V_{cc}$ まで引き上げる。これによりドライブトランジスタ $T_{rd}$ のソース/ドレイン間に印加される耐圧を12V以下とし、ゲート絶縁膜の薄膜化を可能にする。

30

#### 【0031】

図4のタイミングチャートに示すように、各画素はタイミング $T_1$ から非発光期間に入り、タイミング $T_6$ の後発光期間に切り換る。この非発光期間 $T_1$   $T_6$ の中で、前半は給電線 $V_L$ が低電位 $V_{ss2}$ にある。後半の閾電圧補正期間 $T_3$   $T_4$ や信号電位書込み期間 $T_5$   $T_6$ に入ると、給電線 $V_L$ は中間電位 $V_{cc2}$ まで上がる。その後発光期間に入ると給電線 $V_L$ は高電位 $V_{cc}$ までさらに上がる。この給電線 $V_L$ の電位は、ドライブトランジスタ $T_{rd}$ のドレインD側に印加される。

40

#### 【0032】

一方ドライブトランジスタ $T_{rd}$ のソース電位に着目すると、非発光期間 $T_1$   $T_3$ で最も低くなる。このとき給電線 $V_L$ も低電位 $V_{ss2}$ にあるため、絶縁耐圧を超える恐れはない。続いて補正期間 $T_3$   $T_6$ になると、ソース電位は若干上昇するがドレイン側が高電位に切り換る。このとき中間電位 $V_{cc2}$ ではなく参考例のように高電位 $V_{cc}$ とすると、ドライブトランジスタの耐圧を超える恐れがある。そこで本発明では給電線 $V_L$ の電位を中間電位 $V_{cc2}$ としている。その後発光期間に入ると給電線 $V_L$ は高電位 $V_{cc}$ になるが、このときにはブートストラップ動作でドライブトランジスタのソース電位も大

50

大きく上昇している。従ってドライブトランジスタ  $T_{rd}$  のドレイン/ソース間電圧が絶縁耐圧を超える恐れが無い。

【0033】

以上の説明から明らかなように、ドライブトランジスタ  $T_{rd}$  のソース/ドレイン間電圧が絶縁耐圧を超える危険性が最も高い期間は、閾電圧補正期間や移動度補正期間である。そこでこれらの補正動作を行う期間は、給電線  $V_L$  を中間電位  $V_{cc2}$  で抑えることにより、過大な電圧が絶縁耐圧を超えてドライブトランジスタのソース/ドレイン間に印加されることを防いでいる。換言するとドライブトランジスタ  $T_{rd}$  の絶縁耐圧を参考例に比べて低くすることができ、その分ゲート絶縁膜の薄膜化ひいては保持容量の大容量化を達成することができる。

10

【0034】

引き続き図5～図8を参照して、本発明にかかる表示装置の動作を詳細に説明する。図5は、準備期間  $T_2$ ～ $T_3$ における画素の電位状態を示している。この準備期間では信号線  $S_L$  を基準電位  $V_{ss1}$  にしておき、サンプリングトランジスタ  $T_{r1}$  をオンする。これによりドライブトランジスタ  $T_{rd}$  のゲート  $G$  に基準電位  $V_{ss1}$  が書き込まれる。一方給電線は低電位  $V_{ss2}$  にあり、これは  $V_{ss1}$  に対して  $V_{th}$  分よりさらに低い値であるので、ドライブトランジスタ  $T_{rd}$  はオン状態にあり、そのソース電位も  $V_{ss2}$  となる。この様にして準備期間  $T_2$ ～ $T_3$  では、ドライブトランジスタ  $T_{rd}$  のゲート  $G$  及びソース  $S$  がそれぞれ  $V_{ss1}$  及び  $V_{ss2}$  に初期化される。その際、ドライブトランジスタ  $T_{rd}$  のドレイン及びソースは共に  $V_{ss2}$  であり、電位差は  $0V$  である。

20

【0035】

図6は閾電圧補正期間  $T_3$ ～ $T_4$ における画素の電位状態を表している。この閾電圧補正期間になると、電源電圧を  $V_{cc2}$  まで上げ閾電圧補正動作を実行する。ドライブトランジスタ  $T_{rd}$  には  $V_{gs}$  に比例してドレイン電流  $I_{ds}$  が流れ、ドライブトランジスタ  $T_{rd}$  がカットオフするまでソース電位は上昇する。ここで参考例では高電位  $V_{cc}$  と低電位  $V_{ss2}$  の電位差が  $1.5V$  以上であったが、本実施形態では  $V_{cc2}$  と  $V_{ss2}$  の電位差は  $1.2V$  以下となるように設定する。ここでドライブトランジスタ  $T_{rd}$  のゲート電位である  $V_{ss1}$  は前述したように  $V_{ss2} + V_{th}$  より多少大きい程度であるので、ドライブトランジスタ  $T_{rd}$  は  $V_{cc2}$  に対して飽和領域で動作している。

30

【0036】

図7は移動度補正期間  $T_5$ ～ $T_6$ における画素の電位状態を表している。前述した閾電圧補正動作が終わると一旦サンプリングトランジスタ  $T_{r1}$  をオフし、信号線  $S_L$  を信号電位  $V_{sig}$  に書き換えた後、再びサンプリングトランジスタ  $T_{r1}$  をオンする。これによりドライブトランジスタ  $T_{rd}$  のゲート  $G$  に対して信号電位  $V_{sig}$  を書込みつつ、ドレイン電流  $I_{ds}$  を保持容量  $C_s$  に負帰還することで移動度補正動作を行っている。このとき電源電圧は中間の  $V_{cc2}$  のままである。一般的に信号セレクタの電圧設定の関係で、 $V_{sig}$  の電位は  $V_{ss1} + 5V$  程度に設定している。上記により  $V_{cc2} = V_{ss2} + 1.2 = V_{ss1} - V_{th} + 1.2$   $V_{ss1} + 1.0$  となり(ただし  $V_{th}$  は  $2V$  とする)、 $V_{cc2} > V_{sig}$  であるので、この移動度補正動作中ドライブトランジスタ  $T_{rd}$  は常に飽和領域で動作している。移動度補正動作を正確に行うためには、ドライブトランジスタ  $T_{rd}$  は飽和領域で動作する必要があり、本発明では正確な動作がなされている。

40

【0037】

図8は発光期間における画素の電位状態を表している。サンプリングトランジスタ  $T_{r1}$  をオフして移動度補正動作を終了した後、画素の電源電圧を  $V_{cc}$  に上昇させる。サンプリングトランジスタ  $T_{r1}$  をオフすると、ドライブトランジスタ  $T_{rd}$  のゲート  $G$  のインピーダンスは高くなるので、発光素子  $EL$  のアノード電位(即ちドライブトランジスタ  $T_{rd}$  のソース電位)はドレイン電流  $I_{ds}$  に依存して上昇し、これに合わせてゲート  $G$  の電位もブートストラップする。ここで白表示の場合では、ソース電位が  $5V$  以上上昇してしまう。そのため電源電圧が中間の  $V_{cc2}$  のままであると、 $V_g$  (ゲート電位)  $> V_{cc2} + V_{th}$  となってしまう、ドライブトランジスタ  $T_{rd}$  が線形駆動になってしまう

50

恐れがある。線形駆動では画質ユニフォーミティが低下してしまう。そこで本発明では発光期間において電源電圧  $V_{cc}$  が、 $V_g < V_{cc} + V_{th}$  を満たすように設定している。これにより発光期間中ドライブトランジスタ  $T_{rd}$  は飽和領域で動作し、高いユニフォーミティを得ることができる。但しこの高電位  $V_{cc}$  はドライブトランジスタ  $T_{rd}$  のソース/ドレイン間電圧が  $1.2V$  以内となるような設定にする。

【0038】

以上により本発明では全ての動作においてドライブトランジスタ  $T_{rd}$  のソース/ドレイン間電圧を許容耐圧の  $1.2V$  以下に抑えることができ、ゲート絶縁膜薄膜化などのプロセスが適用できるようになり、更なる高精細化が可能になる。

【0039】

図9は、図1及び図2に示した表示装置に含まれる電源スキャナの構成を示す部分回路図である。電源スキャナはシフトレジスタとその各段に接続した出力バッファとで構成されている。シフトレジスタは線順次走査に同期して各段ごとに順次パルスを出力する。出力バッファはシフトレジスタの各段ごとに配されている。図9は一段分の出力バッファを示している。この出力バッファは電源電圧ラインとGND電圧ラインとの間に配されたインバータからなる。このインバータは一对のPチャネルトランジスタ  $T_{rP}$  及びNチャネルトランジスタ  $T_{rN}$  からなり、入力側がシフトレジスタの各段に対応し、出力側は対応する給電線に接続している。

【0040】

電源電圧ラインには外部のパルス電源から  $V_{cc}$  と  $V_{cc2}$  の2レベルに変化する電源パルスが供給される。GND接地ラインは  $V_{ss2}$  に固定されている。インバータは入力信号がローレベルのときPチャネルトランジスタ  $T_{rP}$  が導通し、電源電圧ラインに供給された  $V_{cc}$  または  $V_{cc2}$  の電位を出力する。一方入力信号がハイレベルになるとNチャネルトランジスタ  $T_{rN}$  が導通し低電位  $V_{ss2}$  を出力側の給電線に供給する。この様にして入力信号のローレベルとハイレベルの切り換えタイミングに応じて、出力側に所定のシーケンスで第1高電位  $V_{cc}$ 、第2高電位  $V_{cc2}$ 、低電位  $V_{ss2}$  が供給される。

【0041】

図10は、図9に示した出力バッファの変形例を表している。理解を容易にするため対応する部分には対応する参照番号を付してある。異なる点は出力バッファを構成するインバータのGND電圧ライン(接地ライン)に、第1低電位  $V_{ss3}$  とこれより低い第2低電位  $V_{ss2}$  が切り換えながら外部のパルス電源から供給されている。この様に電源電圧ライン側の高電位を  $V_{cc}$  と  $V_{cc2}$  で切り換えると同時に、GND電圧ライン側の低電位も  $V_{ss3}$  と  $V_{ss2}$  で切り換えることにより、出力バッファを構成するトランジスタ  $T_{rP}$ 、 $T_{rN}$  のソースとドレイン間に加わる電圧が絶縁耐圧を超えないようにしている。この様にする事で、画素アレイ部側のトランジスタと周辺駆動部に含まれる電源スキャナのトランジスタを、同一の薄膜プロセスで集積形成することができる。

【0042】

図11は図9に示した出力バッファの動作説明に示すタイミングチャートである。前述したように電源電圧は所定のシーケンスに従って  $V_{cc2}$  と  $V_{cc}$  の間で切り換る。出力バッファを構成するインバータは入力パルスに応じて動作し、電源電圧側の  $V_{cc}$  または  $V_{cc2}$  と接地ライン側の  $V_{ss2}$  を適宜選択し、出力パルスとして対応する給電線に供給する。図示するように、電源電圧パルスと入力パルスは所定の関係で位相調整されており、その結果出力パルスは非発光期間で低電位  $V_{ss2}$  となり、閾電圧補正期間や信号書込み期間では中間の  $V_{cc2}$  となり、発光期間では高電位  $V_{cc}$  に順次切り換っていく。

【0043】

図12は、図10に示した出力バッファの動作説明に供するタイミングチャートである。理解を容易にするため、図11に示したタイミングチャートと同様の表記を採用している。前述したように、電源電圧は  $V_{cc2}$  と  $V_{cc}$  との間で切り換る。これに合わせてGND電圧(接地電圧)は  $V_{ss2}$  と  $V_{ss3}$  との間で切り換る。具体的には、電源ライン側で第1高電位  $V_{cc2}$  から第2高電位  $V_{cc}$  に切り換った後、接地ライン側で第1低

10

20

30

40

50

電位  $V_{ss3}$  から第 2 低電位  $V_{ss2}$  に切り換え、接地ライン側で第 2 低電位  $V_{ss2}$  から第 1 低電位  $V_{ss3}$  に戻った後、電源ライン側で第 2 高電位  $V_{cc2}$  から第 1 高電位  $V_{cc}$  に戻している。かかる電位設定により、インバータを構成する P チャンネルトランジスタや N チャンネルトランジスタのソースとドレイン間に過剰な電圧が加わらないようにしている。

【 0 0 4 4 】

図 1 3 は、図 1 0 に示した出力バッファの動作説明に供するタイミングチャートである。理解を容易にするため、図 1 2 に示したタイミングチャートと同様の表記を採用している。異なる点は、入力パルスの立ち上りタイミングが図 1 2 の実施例に比べて前方にシフトしていることである。この設定でも、インバータを構成する P チャンネルトランジスタや N チャンネルトランジスタのソースとドレイン間に過剰な電圧が加わらないようにできる。

10

【 0 0 4 5 】

本発明にかかる表示装置は、図 1 4 に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部（図では 1 個の T F T を例示）、保持容量などの容量部及び有機 E L 素子などの発光部とを含む。基板の上に T F T プロセスでトランジスタ部や容量部が形成され、その上に有機 E L 素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【 0 0 4 6 】

本発明にかかる表示装置は、図 1 5 に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機 E L 素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えば F P C（フレキシブルプリントサーキット）を設けてもよい。

20

【 0 0 4 7 】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した駆動信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

30

【 0 0 4 8 】

図 1 6 は本発明が適用されたテレビであり、フロントパネル 1 2、フィルターガラス 1 3 等から構成される映像表示画面 1 1 を含み、本発明の表示装置をその映像表示画面 1 1 に用いることにより作製される。

【 0 0 4 9 】

図 1 7 は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部 1 5、表示部 1 6、コントロールスイッチ、メニュースイッチ、シャッター 1 9 等を含み、本発明の表示装置をその表示部 1 6 に用いることにより作製される。

40

【 0 0 5 0 】

図 1 8 は本発明が適用されたノート型パーソナルコンピューターであり、本体 2 0 には文字等を入力するとき操作されるキーボード 2 1 を含み、本体カバーには画像を表示する表示部 2 2 を含み、本発明の表示装置をその表示部 2 2 に用いることにより作製される。

【 0 0 5 1 】

図 1 9 は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体 2 3、下側筐体 2 4、連結部（ここではヒンジ部）2 5、ディスプレイ 2 6、サブディスプレイ 2 7、ピクチャーライト 2 8、

50

カメラ 29 等を含み、本発明の表示装置をそのディスプレイ 26 やサブディスプレイ 27 に用いることにより作製される。

【0052】

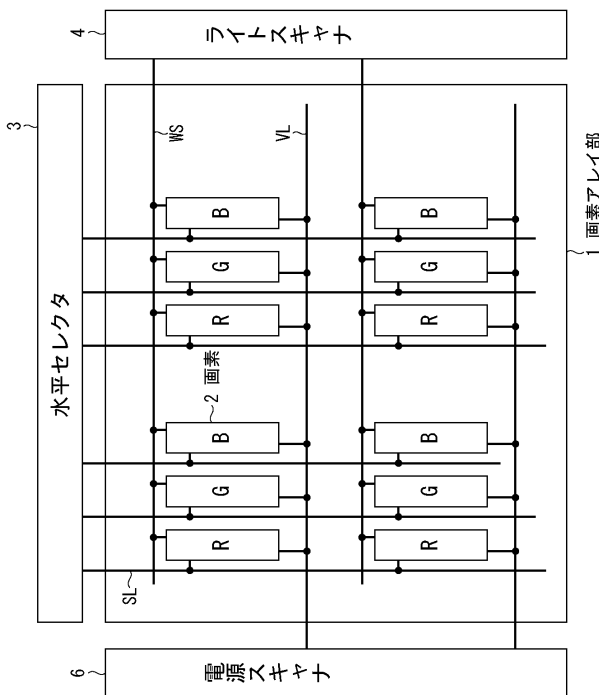
図 20 は本発明が適用されたビデオカメラであり、本体部 30、前方を向いた側面に被写体撮影用のレンズ 34、撮影時のスタート/ストップスイッチ 35、モニター 36 等を含み、本発明の表示装置をそのモニター 36 に用いることにより作製される。

【符号の説明】

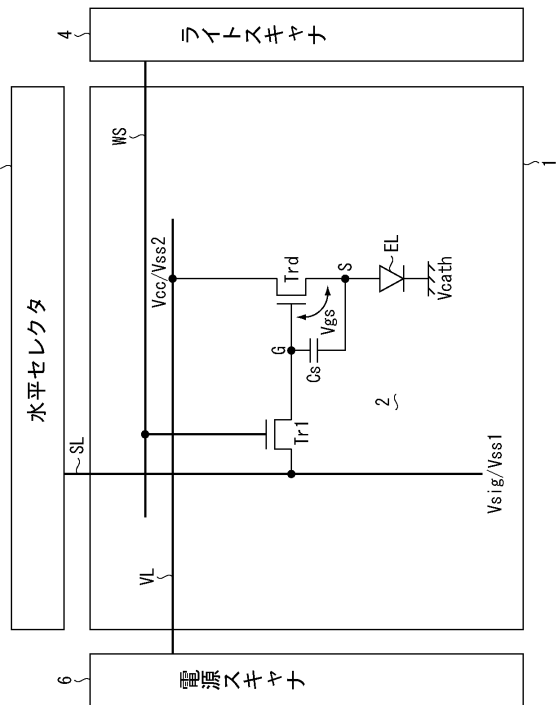
【0053】

1・・・画素アレイ部、2・・・画素、3・・・水平セレクタ、4・・・ライトスキャナ、6・・・電源スキャナ、Tr1・・・サンプリングトランジスタ、Trd・・・ドライバトランジスタ、Cs・・・保持容量、EL・・・発光素子、WS・・・走査線、VL・・・給電線、SL・・・信号線

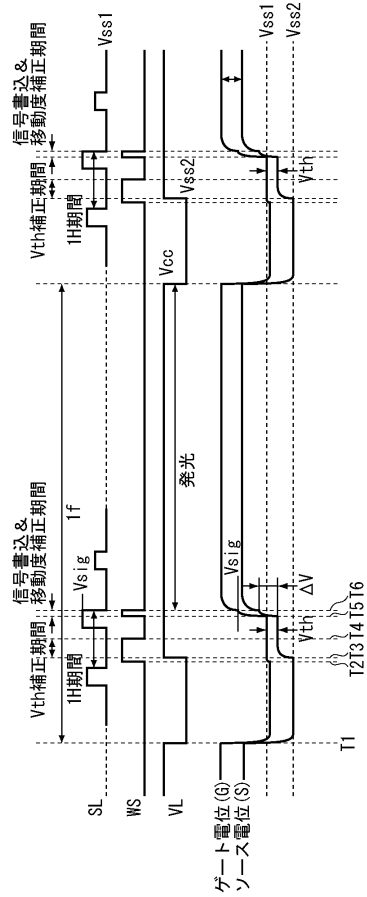
【図 1】



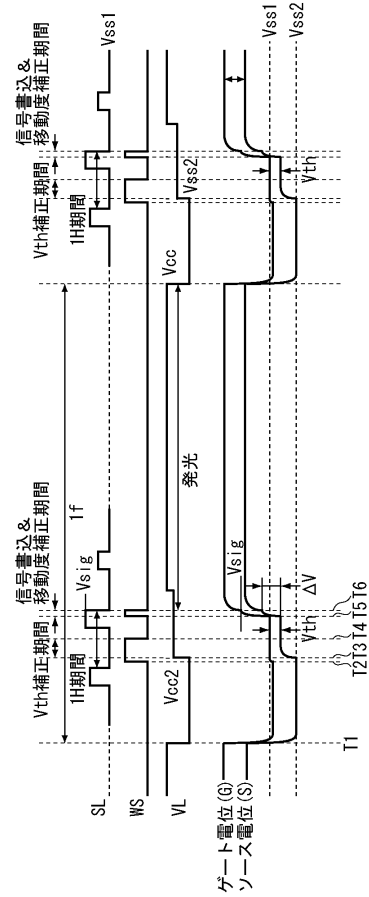
【図 2】



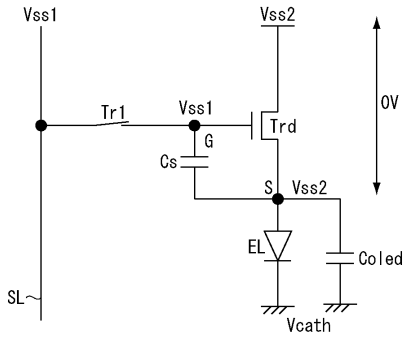
【 図 3 】



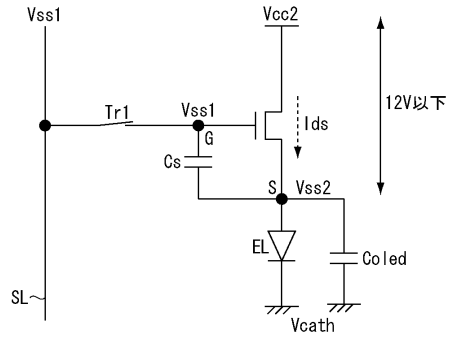
【 図 4 】



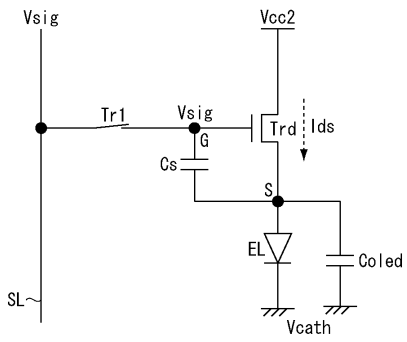
【 図 5 】



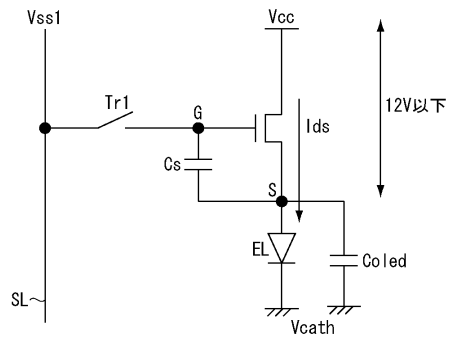
【 図 6 】



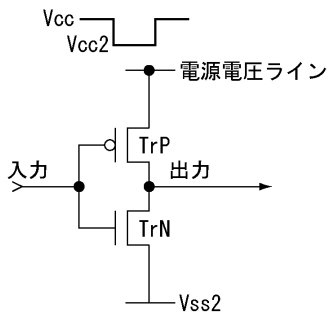
【図7】



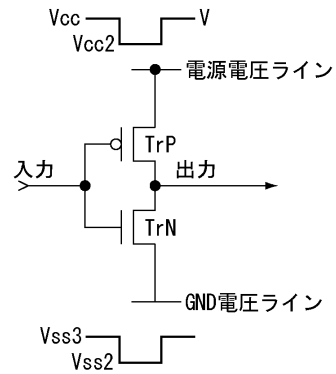
【図8】



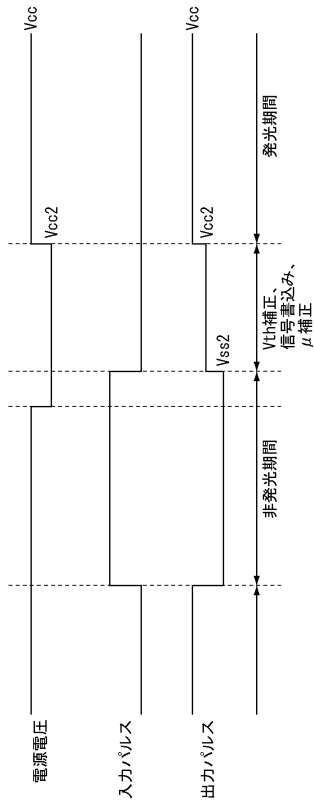
【図9】



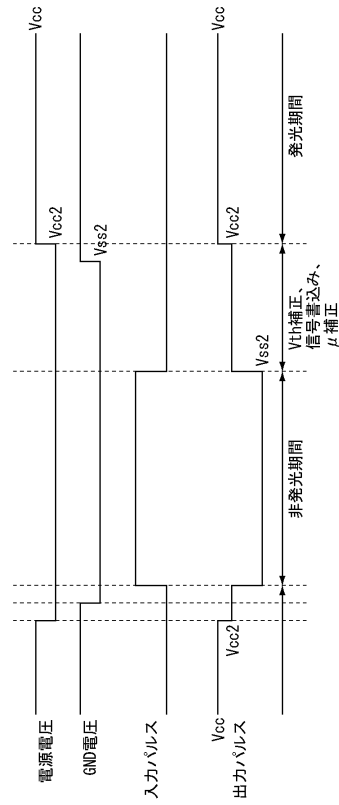
【図10】



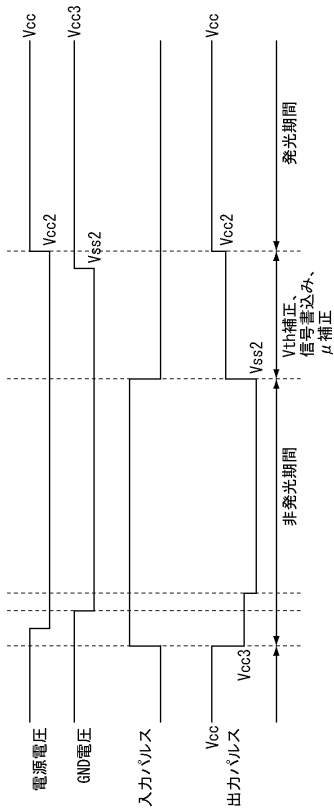
【図 1 1】



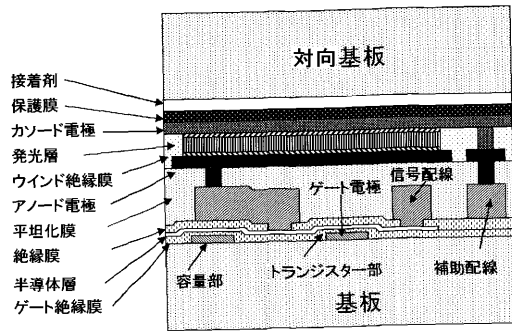
【図 1 2】



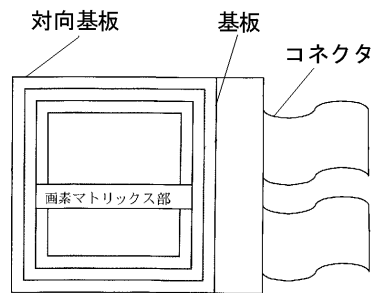
【図 1 3】



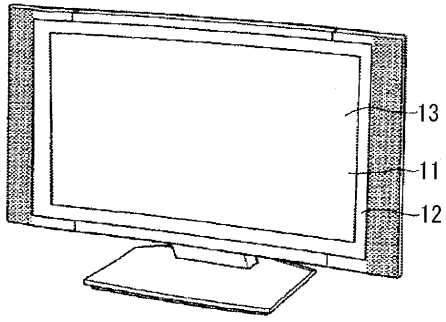
【図 1 4】



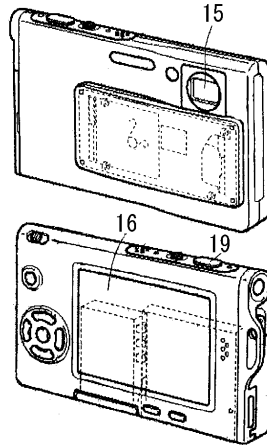
【図 1 5】



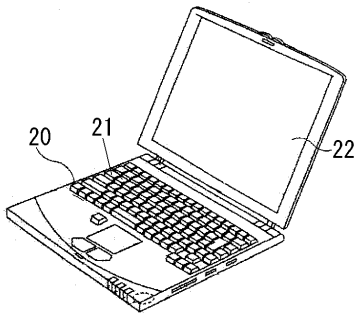
【図16】



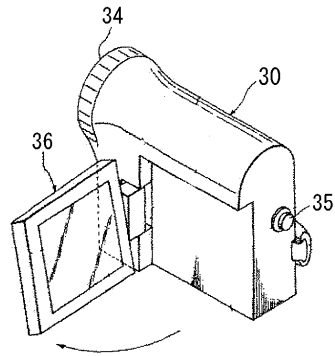
【図17】



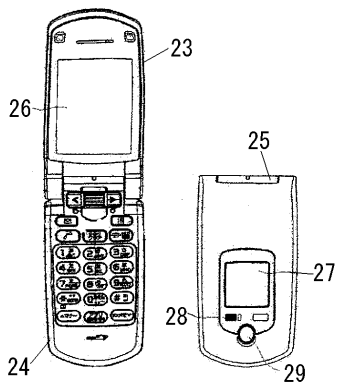
【図18】



【図20】



【図19】



---

フロントページの続き

(51) Int.Cl. F I  
H 0 5 B 33/08  
H 0 5 B 33/14 A

(56) 参考文献 特表 2 0 0 8 - 5 2 3 4 2 5 ( J P , A )  
国際公開第 2 0 0 6 / 0 6 0 9 0 2 ( W O , A 1 )  
特開 2 0 0 4 - 2 7 1 6 4 3 ( J P , A )  
特開 2 0 0 4 - 2 9 5 1 3 1 ( J P , A )

(58) 調査した分野 ( Int.Cl. , D B 名 )  
G 0 9 G 3 / 0 0 - 3 / 3 8  
H 0 1 L 5 1 / 5 0  
H 0 5 B 3 3 / 0 8

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	<a href="#">JP5879585B2</a>	公开(公告)日	2016-03-08
申请号	JP2012271150	申请日	2012-12-12
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/08 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE04 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF08 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB31 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA05 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB14 5C380/CB20 5C380/CB26 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CD022 5C380/CF07 5C380/CF22 5C380/CF23 5C380/DA02 5C380/DA06 5C380/DA47		
审查员(译)	武田 悟		
其他公开文献	JP2013101358A		
外部链接	<a href="#">Espacenet</a>		

<p>摘要(译)</p> <p>要解决的问题：改进显示装置的驱动方法并抑制施加在驱动晶体管的源极和漏极之间的过电压。解决方案：驱动部分包括：写入扫描器4；电源扫描器6；驱动部分根据预定顺序提供控制信号和视频信号，并在高电位Vcc和低电位Vss2之间切换电源线VL以驱动各个像素2，并执行一系列操作，包括信号选择器3。：校正驱动晶体管Trd的阈值电压的变化的阈值电压校正操作；将视频信号的信号电位Vsig写入保持电容Cs的写入操作；以及使发光EL根据写入的信号电位发光的发光操作。电源扫描器6将要施加到电源线VL的高电位Vcc切换到彼此电平不同的第一高电位和第二高电位，使得施加到电源S和漏极的电压。在像素2的一系列操作中，驱动晶体管Trd不应超过击穿电压。</p>	<p>(21) 出願番号 特願2012-271150 (P2012-271150)</p> <p>(22) 出願日 平成24年12月12日 (2012.12.12)</p> <p>(62) 分割の表示 特願2007-131006 (P2007-131006) の分割</p> <p>原出願日 平成19年5月16日 (2007.5.16)</p> <p>(65) 公開番号 特開2013-101358 (P2013-101358A)</p> <p>(43) 公開日 平成25年5月23日 (2013.5.23)</p> <p>審査請求日 平成24年12月12日 (2012.12.12)</p>	<p>(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2-3番地</p> <p>(74) 代理人 110001737 特許業務法人スズエ国際特許事務所</p> <p>(74) 代理人 110001357 特許業務法人つばき国際特許事務所</p> <p>(72) 発明者 山下 淳一 東京都港区港南1丁目7番1号 ソニー株式会社内</p> <p>(72) 発明者 内野 勝秀 東京都港区港南1丁目7番1号 ソニー株式会社内</p> <p>審査官 武田 悟</p>
	最終頁に続く	