

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5139613号
(P5139613)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 611D
HO1L 51/50 (2006.01)	G09G 3/20 611J
	G09G 3/20 624B
	G09G 3/20 641D
請求項の数 5 (全 8 頁) 最終頁に続く	

(21) 出願番号 特願2001-506527 (P2001-506527)
 (86) (22) 出願日 平成12年6月23日(2000.6.23)
 (65) 公表番号 特表2003-503748 (P2003-503748A)
 (43) 公表日 平成15年1月28日(2003.1.28)
 (86) 国際出願番号 PCT/EP2000/005896
 (87) 国際公開番号 W02001/001384
 (87) 国際公開日 平成13年1月4日(2001.1.4)
 審査請求日 平成19年6月20日(2007.6.20)
 (31) 優先権主張番号 9914808.2
 (32) 優先日 平成11年6月25日(1999.6.25)
 (33) 優先権主張国 英国 (GB)

(73) 特許権者 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ペーアー アインドーフエン フルーネヴァウツウェッハ 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (74) 代理人 100086645
 弁理士 岩佐 義幸
 (74) 代理人 100072051
 弁理士 杉村 興作

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型エレクトロルミネセンス表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の行と複数の列とに配置された表示画素のアレイであり、各画素が、エレクトロルミネセンス表示エレメントと、該表示エレメントを流れる電流を当該画素に与えられる信号電圧に基づいて制御するスイッチングトランジスタとを含み、各行の画素群が、該行の画素群の前記表示エレメントを流れる電流の流出路として作用する共通信号ラインを共有し、これら電流が前記共通信号ラインに沿って該行の画素群の前記スイッチングトランジスタのソース電極上に様々な異なる電圧を生じさせる、表示画素のアレイと；

前記表示エレメントからの所望の出力に対応する信号電圧を生成する列駆動ユニットを有する駆動回路と；

を有するアクティブマトリクス型エレクトロルミネセンス表示装置であって、前記駆動回路は更に、

アドレスされようとする行の画素群の各画素に対し、該行の画素群に与えられる信号電圧を考慮に入れた該行の画素群のモデル化から導かれる誤差値を生成する、ライン記憶部及び計算ユニットを有する追加回路であり、該誤差値は、前記スイッチングトランジスタのソース電圧が過大になる量を表す、追加回路

を有し、

前記追加回路は、前記アドレスされようとする行の画素群の各画素に対して、前記誤差値を用いて前記信号電圧を更新することによって、前記スイッチングトランジスタの前記ソース電圧が過大になる前記量を補償するように構成され；且つ

前記駆動回路は、更新された信号電圧を前記画素群に供給するように構成される；
ことを特徴とする表示装置。

【請求項 2】

前記表示エレメント及び前記スイッチングトランジスタは、当該表示エレメントに対する電圧供給ラインと前記共通信号ラインとの間に直列に配置されている、請求項 1 に記載の表示装置。

【請求項 3】

画素群の行ごとに 1 つのアドレスラインが付随し、各画素はアドレス用トランジスタを含み、該アドレス用トランジスタは、前記更新された信号電圧を前記スイッチングトランジスタに供給するように前記アドレスラインにより制御される、請求項 2 に記載の表示装置。

10

【請求項 4】

各画素は更に、前記更新された信号電圧から得られた制御電圧を前記スイッチングトランジスタ上に保持する電荷蓄積エレメントを有する、請求項 1 乃至 3 の何れかに記載の表示装置。

【請求項 5】

前記モデル化は、前記共通信号ラインの単位長当たりの抵抗をモデル化することと、前記表示エレメントに与えられる信号電圧の結果として前記共通信号ラインを流れる電流をモデル化することを含む、請求項 1 乃至 4 の何れかに記載の表示装置。

【発明の詳細な説明】

20

【0001】

本発明は、行(rows)と列(columns)とに配置されるエレクトロルミネセンス表示画素のアレイを含むアクティブマトリクス型エレクトロルミネセンス表示装置に関する。本発明は特に、画素の行が共通のラインを共有し、行の表示エレメントを通過して流れる電流が該共通のラインを通る表示装置に係わる。

【0002】

エレクトロルミネセンス、発光表示エレメントを用いるマトリクス型表示装置はよく知られている。それらの表示エレメントは、例えばポリマー素材を用いる有機薄膜エレクトロルミネセンス・エレメント、又は伝統的な III - V 族半導体化合物を使う他の発光ダイオード(LEDs)を含み得る。有機エレクトロルミネセンス素材の最近の発達、とりわけポリマー素材はビデオ表示装置に実用的に使用される能力を証明した。これらの素材は典型的に、1 対の電極の間にサンドイッチ状に挿まれた 1 層又は複数層の半導電性共役ポリマーを含み、その電極の一方は透明であり、他方は正孔又は電子をポリマーの層に注入するのに適した素材でできている。

30

【0003】

このポリマー素材は CVD(化学蒸着) 工程を用いて製造することができ、又は簡単に可溶共役ポリマーの溶液を使うスピンコーティング技術によって製造することができる。

【0004】

有機エレクトロルミネセンス素材は、ダイオードと類似の I - V 特性を示すので、表示機能とスイッチング機能との双方を供給する能力があり、従ってパッシブ型ディスプレイに用いることができる。

40

【0005】

しかし、本発明はアクティブマトリクス型表示装置に係わるもので、それは表示エレメントと該表示エレメントを通る電流を制御するためのスイッチングデバイスとを含む。アクティブマトリクス型エレクトロルミネセンス表示装置の実例は米国特許文献 US 5670792 に記載され、その内容は参照資料としてここに引用される。

【0006】

このタイプの表示装置には、電流で駆動される表示エレメントを持つという事実から問題点が提起される。本発明に係わるこのタイプの表示装置は、1 つの行の中の全画素からの電流が通る共通のラインを含んでいる。行内の全画素からの電流を複合することは、共

50

通のラインに沿って種々の異なる電圧が生じる原因となる。これらの電圧は、それらの電流がすべて共通のラインを通過するのであるから、行内の全画素を通る電流に依存する。これら種々の異なる電圧が好ましくない変化を表示画素の出力に引き起こし、該出力はその行に与えられる信号の全一揃いの関数として変動する。結果として、その行の内部の画素間にクロストークが生じる。

【0007】

本発明によれば、行と列とに配置される表示画素のアレイを有して成り、その各画素は、エレクトロルミネセンス表示エレメントと、該表示エレメントを通る電流を画素に与えられる信号電圧に基づいて制御するスイッチング手段とを含み、画素の各行は共通信号ラインを共有し、該共通信号ラインを流れて行の表示エレメントを通過する電流が共通信号ラインに沿って種々の異なる電圧を生じさせ、且つ、上記表示エレメントからの所望の出力に対応する電圧を生成するため、及び信号電圧を画素の行に順次に与えるための駆動回路をも有して成るアクティブマトリクス型エレクトロルミネセンス表示装置であって、

アドレスされようとする1つの画素の行の中の各画素に対し、1つの画素の行をモデル化することから導かれる誤差値を生成する手段を更に含み、該モデル化はその行の中の画素に与えられようとする信号電圧を考慮に入れ、該誤差値は共通のライン上の種々の異なる電圧を不具にするために用いられるものであり；また

アドレスされようとする画素の行の中の各画素に対し、必要なときには上記誤差値を用いて信号電圧を更新する手段；及び該更新された信号電圧を画素に供給する手段；をも更に含むことを特徴とする表示装置が提供される。

【0008】

画素の行をモデル化することは、所望の出力と実際の出力との間の不一致を補正することを可能にする。この不一致は共通信号ライン上の各画素における種々の異なる電圧から起こり、その画素行に対する信号電圧に依存するものである。

【0009】

上記表示エレメント及びスイッチング手段は、表示エレメントに対する電圧供給ラインと上記共通信号ラインとの間に直列に配置され、それは電流の流出路として行動することが好適である。

【0010】

各画素は、上記スイッチング手段上に更新された信号電圧から導かれる制御電圧を保持するために電荷蓄積エレメントを更に含むことがある。

【0011】

本発明は更にまた、行と列とに配置されるエレクトロルミネセンス表示画素のアレイを有して成り、画素の各行は共通信号ラインを共有し、行の表示エレメントを通過する電流が上記共通信号ラインを流れ、それにより種々の異なる電圧が上記共通信号ライン上の種々の異なる点に存在するアクティブマトリクス型エレクトロルミネセンス表示装置を駆動する方法であり、画素の行に順次にアドレスすること、及び画素の各行に対し該行の中の画素のために電圧信号を生成することを含み、生成されたそれらの電圧信号は所望の画素出力に対応するものである方法であって、

共通信号ライン上の種々の異なる電圧を不具にするために1つの画素の行をモデル化することから導かれる誤差値を生成することを更に含み、該モデル化はその行の中の画素に与えられようとする信号電圧を考慮に入れるものであり；また、その行の中の各画素に対し、必要なときには上記誤差値を用いて信号電圧を更新すること；及び該更新された信号電圧を画素に供給すること；をも更に含むことを特徴とする方法をも提供する。

【0012】

次に、実施例により、また添付の図面を参照して、本発明を説明する。

これらの図面は単に概略的なものであって、実寸で描かれたものではない。全図面を通じて同じ若しくは類似の部分を表すには同一の引用番号が用いられている。

【0013】

図1は、エレクトロルミネセンスアクティブマトリクス型表示装置に対する既知の画素

10

20

30

40

50

配列を示す。種々のタイプのエレクトロルミネセンス表示装置が既知であって、それらは電流制御エレクトロルミネセンス又は発光ダイオード表示エレメントを利用する。そのようなディスプレイの構成の一例が文献US 5670792中に詳細に記載されている。

【0014】

図1に図式的に示されるように、表示装置2は、行(rows)6と列(columns)8とに配置される画素4のアレイを含む。各画素4は表示エレメント10及び薄膜トランジスタの形態のスイッチングエレメント12を含み、このスイッチングエレメント12が表示エレメント10の動作を、画素4に与えられる信号電圧に基づいて制御する。一例として表示エレメント10は有機発光ダイオードを含み、該有機発光ダイオードは1対の電極を含み、その1対の電極の間に有機エレクトロルミネセンス素材の活性層が1個又は複数個サンドイッチ状に挿まれている。電極のうちの少なくとも一方はITOのような透明な素材で形成される。種々のエレクトロルミネセンス素材が利用可能であり、それらは例えば文献EP-A-0717446に記載されている。

10

【0015】

1つの画素に対する信号電圧は、それぞれの画素列8が共有する制御信号ライン14を介して供給される。この制御信号ライン14は、アドレストランジスタ16を通してスイッチングトランジスタ12のゲート電極に結合している。画素の1つの行6のアドレストランジスタ16のゲート電極はいずれも、共通のアドレスライン18に結合する。

【0016】

画素4の各行6は、全画素に亙る連続的共通電極として設けられることを通常とする共通電圧供給ライン20をやはり共有し、また共通信号ライン22をも共有する。表示エレメント10とスイッチングエレメント12とは、電圧供給ライン20と共通信号ライン22との間に直列に配置され、共通信号ライン22は表示エレメント10を通して流れる電流に対する流出路としての役割を果たし、それが矢印24で表されている。表示エレメント10を通して流れる電流はスイッチングエレメント12により制御され、それはトランジスタ12のゲート電圧の関数であって、制御信号ライン14に供給される制御信号に依存する。

20

【0017】

画素の或る1行が、それぞれの画素行に対するアドレストランジスタ16をオンに切り替える選択パルスをアドレスライン18に与えることにより、選定される。ビデオ情報から導かれる電圧レベルが制御信号ライン14に与えられ、それはアドレストランジスタ16によってスイッチングトランジスタ12のゲート電極に転送される。画素の行がアドレスライン18によりアドレスされていない期間中には、アドレストランジスタ16はオフになっているが、スイッチングトランジスタ12のゲート電極上の電圧は、スイッチングトランジスタ12のゲート電極と共通信号ライン22との間に接続されている画素記憶キャパシタ26により維持される。スイッチングトランジスタ12のゲート電極と共通信号ライン22との間の電圧が、画素4の表示エレメント10を通過する電流を定める。従って、表示エレメントを流れる電流は、スイッチングトランジスタ12のゲートソース電圧の関数である(トランジスタ12のソース電極は共通信号ライン22に接続されており、トランジスタ12のドレイン電極は表示エレメント10に接続されている)。この電流が画素の光出力を順次に制御する。

30

【0018】

スイッチングトランジスタ12は飽和状態で動作するようにしてあるから、ゲートソース電圧は、ドレインソース電圧には無関係に、トランジスタを通して流れる電流を支配する。その結果、ドレイン電圧の僅かな変動は表示エレメント10を流れる電流に影響しない。それ故に電圧供給ライン20上の電圧は画素の正しい動作に対して決定的なものではない。しかし、スイッチングトランジスタ12のソース電極のすべてに結合している共通信号ライン22上の電圧の揺らぎは、制御信号ライン14上の所与の制御電圧で表示エレメント10を流れる電流に影響を与えるであろう。

40

【0019】

従ってここに問題が生ずるのであって、それは共通信号ライン22の抵抗がこのラインに沿って電圧降下を発生させ、この電圧降下は個々の画素10からこのラインに供給される電

50

流の関数になる、というものである。種々の異なる画素の位置における共通信号ライン22上の電圧は、その行内の全画素を通過する電流に複雑な形で依存するであろう。スイッチングトランジスタ12のゲートソース電圧はその画素の位置における共通信号ライン22上の電圧に依存するであろうから、これらの電圧の変動は画素の輝度に影響するであろう。その結果としてディスプレイ上に示される画像情報の不均一性及び水平クロストークが生ずる。

【0020】

本発明は、制御信号を補正して表示エレメントに与えられる信号を正しく調整するエレクトロルミネセンス表示装置を提供する。この制御信号の補正は、適切なゲートソース電圧がスイッチングトランジスタ12に与えられて所望の表示エレメント出力を生じさせることを保証するものである。画像内の種々の異なる点に生起する電圧、例えばTFTのゲート及びソース電圧は、制御信号ライン14に対する制御信号を生成する列駆動回路にアクセスすることはできないものである。

10

【0021】

図2は、図示の画素に関連する電流 i_1, i_2, \dots, i_n を持つ共通信号ライン22を示し、この行には全部で n 個の画素がある。これらの電流は画素を流れて流れる電流である。図示のように各画素の位置で電流の合算がなされ、共通信号ライン22の隣り合う画素間の区間の各々に沿って起きる電圧降下は該区間を流れる電流の関数である。

【0022】

画素10を流れて流れる電流 i は制御信号ラインに与えられる信号電圧の関数である。従って、制御信号ライン14に与えられる該画素に対する電圧信号を V_k とすれば：

20

$$i_k = f(V_k)$$

である。それ故、画素間ピッチに対応する共通信号ライン22の区間についてのライン抵抗を R とすれば：

$$V_{1,2} = R \cdot f(V_1)$$

である。 R の値は、信号ラインの設計に依存して定数のこともあり、定数でないこともある。以下この記号を用いる。

【0023】

R を定数と仮定すれば画素2と画素3との間の電圧低下は：

$$V_{2,3} = R \cdot (f(V_1) + f(V_2))$$

30

である。一般的には：

【数1】

$$V_{k, k+1} = R \cdot \sum_{x=1}^{x=k} f(V_x)$$

となる。

【0024】

従ってもし、制御信号の値を読み取ることができるならば、そしてスイッチングデバイス及び画素内の表示エレメントの特性をモデル化することができるならば、共通信号ラインに沿っての電圧降下を決定することができ、それによりラインに沿った種々の異なる点における電圧を決定することができる。共通ラインの一端に与えられる電圧は既知とされるであろう。

40

【0025】

分析を単純化するという目的のために、行に対する導出は図2に示すように左側と仮定し、また、導出抵抗は無視できるので共通信号ラインは n 番目の画素の位置において正しい電圧（例えば0ボルト）にあると仮定する。この場合には n 番目の表示エレメントの両端の電圧は正しい。 $(n-1)$ 番目の画素の位置における共通信号ライン上の電圧の差は：

【数2】

$$V_{n-1, n} = R \cdot \sum_{x=1}^{x=n-1} f(V_x)$$

となる。

【0026】

これは画素 $n-1$ における共通信号ライン上の誤差を表し、それにより表示エレメントの両端の電圧が誤っている誤差量を表す。画素 $n-2$ に対しては電圧降下 $V_{n-1, n}$ 及び $V_{n-2, n-1}$ が加算されなければならない。

【0027】

こうして一般的には、画素 k における導出電圧と共通信号ライン上の電圧との間の電圧の差は、 $V_{error}(n) = 0$ として、1から $n-1$ までのすべての k の値に対して：

【数3】

$$V_{error}(k) = \sum_{x=k}^{x=n-1} V_{x, x+1}$$

で与えられる。

【0028】

各画素に対するエラーの値は計算することができ、これを共通ラインに沿っての電圧降下を補償するのに用いることができる。図1の画素構成の場合には、この誤差値はスイッチングトランジスタ12のソース電圧が高すぎる量を表す。これを補償するにはゲート電圧を同じ量だけ増大させることが必要であって、それは表示エレメントを通して流れる電流を指令し、それにより輝度を指令する正しいゲートソース電圧に戻すためである。

【0029】

そのときには、制御信号ラインに与えられる電圧は：

$$V'_k = V_k + V_{error}(k)$$

により修正することができる。

【0030】

図3は、本発明による表示装置を示す。このデバイス2は、表示領域30を含み、該表示領域は、例えば図1に示すような画素を含む。駆動回路32が設けられ、これは、表示エレメントからの所望の出力に対応する信号電圧 V_1, V_2, \dots, V_n を生成する通常の列駆動ユニット33を含む。これらの信号値は表示装置へのビデオ入力信号から定められる。該ビデオ入力信号は別個の回路から発するもので、データを標準フォーマットに配列している。本発明によれば、上記駆動回路32は追加回路34を含み、信号 V_1, V_2, \dots, V_n はそれに与えられるのである。 e_1, e_2, \dots, e_n と記される(V_{error} に対応する)誤差の値は回路34の内部で生成され、更新された信号電圧 V'_1, V'_2, \dots, V'_n が表示領域30内の画素に供給されることを可能とする。この追加回路34は、値 V のためのライン記憶部、及びそれらから誤差の値を生成するための計算ユニットを含むこともある。

【0031】

エラーの値は、共通信号ライン上の種々の異なる電圧を不具にするように画素の行をモデル化することにより求められる。前に述べたように、このモデル化は、共通信号ライン22とともにスイッチングトランジスタや表示エレメントの特性を考慮に入れることになる。

【0032】

誤差の値は、更新された信号電圧 V' が、画素の行全体に対する信号電圧に依存することになる各画素における共通信号ライン22上の種々の異なる電圧を考慮に入れることを可能にする。こうして、更新された信号電圧 V' は表示領域内の画素間のクロストークが排除されることを可能にする。

10

20

30

40

50

【 0 0 3 3 】

上述の分析では、導出抵抗は無視し得るものと仮定している。実際には、共通ラインの導出部には電圧降下が当然あるであろう、そしてそれは全電流の流れに比例するであろうから、それもモデル化することができる。更にまた、モデル化における数値的な誤差は、モデル化デバイスの較正中にラインの両端の電圧降下を測定することにより補正されよう。

【 0 0 3 4 】

ここでは特定の画素配列について述べているが、その他にも種々の画素配列が当業者にとって明らかであろうし、それらの画素配列を用いるデバイスは、画素の各行が共通のラインを共有し、このラインに沿って種々の異なる点で電圧が表示エレメントの出力に影響するものであるならば、本発明により利益を得ることであろう。

10

【 図面の簡単な説明 】

【 図 1 】 図 1 は、本発明を適用することができるエレクトロルミネセンス・アクティブマトリクス型表示装置の一部分を示す図である。

【 図 2 】 図 2 は、エレクトロルミネセンス表示画素の行を流れる電流を図式的に説明し、共通信号ラインから結果的に生じるクロストークを説明する図である。

【 図 3 】 図 3 は、本発明による表示装置を示す図である。

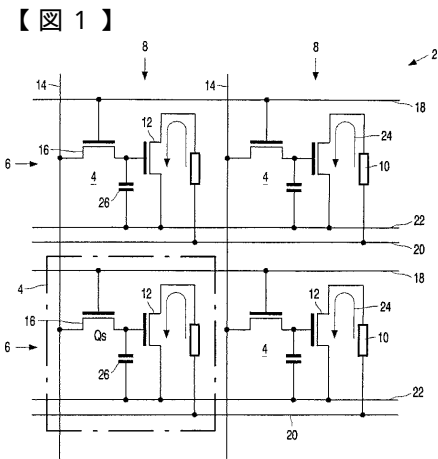


FIG. 1

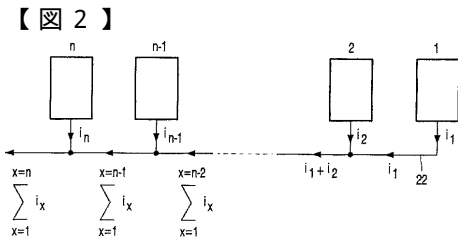


FIG. 2

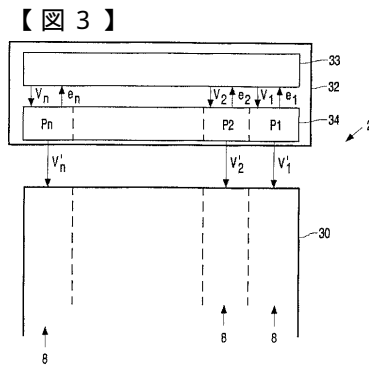


FIG. 3

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 P
H 0 5 B 33/14 A

(72)発明者 ナイジェル ディー ヤング
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 奈良田 新一

(56)参考文献 国際公開第 9 8 / 0 4 0 8 7 1 (W O , A 1)
特開平 1 1 - 2 1 9 1 4 6 (J P , A)
特開平 1 0 - 1 1 2 3 9 1 (J P , A)
特開 2 0 0 0 - 2 4 2 2 0 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G3/20,3/30-3/32
H01L51/50

专利名称(译)	一种有源矩阵电致发光显示装置		
公开(公告)号	JP5139613B2	公开(公告)日	2013-02-06
申请号	JP2001506527	申请日	2000-06-23
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ナイジェルディーヤング		
发明人	ナイジェル ディー ヤング		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/2011 G09G3/32 G09G3/3233 G09G3/3291 G09G2300/0842 G09G2320/0209 G09G2320/0223		
FI分类号	G09G3/30.K G09G3/20.611.D G09G3/20.611.J G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.P H05B33/14.A		
代理人(译)	伊藤忠彦 杉村健二		
优先权	1999014808 1999-06-25 GB		
其他公开文献	JP2003503748A		
外部链接	Espacenet		

摘要(译)

有源矩阵电致发光显示装置包括以行和列布置的显示像素阵列30，每行像素共享公共线，并且电流通过沿着公共线传递的一行像素的显示元件。产生误差值 (e) 以校正一行像素中的每个像素的驱动信号 (V)，以校正出现在公共线上的不同电压。这些不同的电压引起水平串扰。通过对一行像素建模，考虑应用于该行的所有像素的驱动信号，导出误差值 (e)。误差值导致更新的驱动信号 (V')。

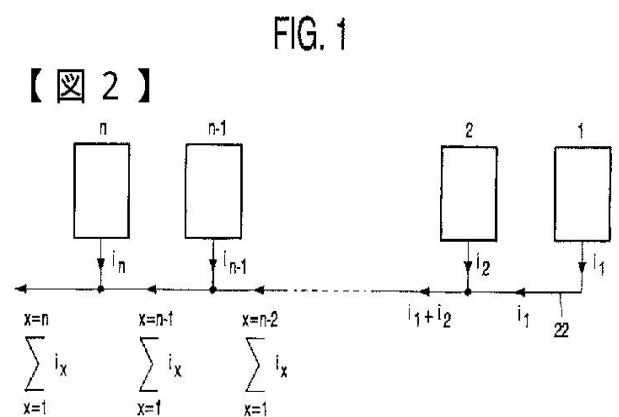


FIG. 2