

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5078223号
(P5078223)

(45) 発行日 平成24年11月21日 (2012.11.21)

(24) 登録日 平成24年9月7日 (2012.9.7)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 611H
G09G 3/20 612J
G09G 3/20 624B
G09G 3/20 641D

請求項の数 4 (全 15 頁)

(21) 出願番号 特願2004-289368 (P2004-289368)
 (22) 出願日 平成16年9月30日 (2004.9.30)
 (65) 公開番号 特開2005-128521 (P2005-128521A)
 (43) 公開日 平成17年5月19日 (2005.5.19)
 審査請求日 平成19年9月11日 (2007.9.11)
 (31) 優先権主張番号 特願2003-342469 (P2003-342469)
 (32) 優先日 平成15年9月30日 (2003.9.30)
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100125863
 弁理士 大橋 雅昭
 (72) 発明者 佐々木 昭史
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72) 発明者 松本 昭一郎
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 有機EL画素回路

(57) 【特許請求の範囲】

【請求項1】

一端がデータラインに接続された選択トランジスタと、
 この選択トランジスタの他端に一端が接続されたコンデンサと、
 このコンデンサの他端に制御端が接続され、一端が電源ラインに接続された駆動トランジスタと、

この駆動トランジスタの他端に一端が接続された制御トランジスタと、
 この制御トランジスタの他端に接続された有機EL素子と、
 前記駆動トランジスタをダイオード接続する短絡トランジスタと、

前記選択トランジスタとコンデンサの接続部に一端が接続され、他端が一電圧の電源に
 接続されたりセット制御トランジスタと、

を含み、

前記選択トランジスタがオフされている期間に、前記制御トランジスタをオフするとともに、前記短絡トランジスタおよびりセット制御トランジスタをオンして、前記駆動トランジスタの制御端にこの駆動トランジスタのしきい値電圧に対応する電圧を設定し、

その後、前記選択トランジスタをオンして、前記データラインに供給されるデータ電圧により前記駆動トランジスタの制御端の電圧をシフトさせて、このシフトした電圧に応じて前記駆動トランジスタに前記有機EL素子の駆動電流を流し、

前記選択トランジスタがオフされている期間においては、前記制御トランジスタをオフした後に前記短絡トランジスタおよびりセット制御トランジスタをオンし、前記短絡トラ

10

20

ンジスタおよびリセット制御トランジスタをオフした後に前記制御トランジスタをオンすることを特徴とする有機ＥＬ画素回路。

【請求項２】

請求項１に記載の有機ＥＬ画素回路において、

前記リセット制御トランジスタの他端が接続される電源は、前記駆動トランジスタの一端が接続される電源ラインであることを特徴とする有機ＥＬ画素回路。

【請求項３】

請求項１または２に記載の有機ＥＬ画素回路において、

前記短絡トランジスタおよびリセット制御トランジスタは、同一極性であり、その制御端は、同一の第１リセット制御ラインに接続されていることを特徴とする有機ＥＬ画素回路。

【請求項４】

一端がデータラインに接続された選択トランジスタと、

この選択トランジスタの他端に一端が接続されたコンデンサと、

このコンデンサの他端に制御端が接続され、一端が電源ラインに接続された駆動トランジスタと、

この駆動トランジスタの他端に一端が接続された制御トランジスタと、

この制御トランジスタの他端に接続された有機ＥＬ素子と、

前記駆動トランジスタをダイオード接続する短絡トランジスタと、

前記選択トランジスタとコンデンサの接続部に一端が接続され、他端が一電圧の電源に接続されたりセット制御トランジスタと、

を含み、

前記選択トランジスタがオフされている期間に、前記制御トランジスタをオフするとともに、前記短絡トランジスタおよびリセット制御トランジスタをオンして、前記駆動トランジスタの制御端にこの駆動トランジスタのしきい値電圧に対応する電圧を設定し、

その後、前記選択トランジスタをオンして、前記データラインに供給されるデータ電圧により前記駆動トランジスタの制御端の電圧をシフトさせて、このシフトした電圧に応じて前記駆動トランジスタに前記有機ＥＬ素子の駆動電流を流し、

前記短絡トランジスタおよびリセット制御トランジスタは、同一極性であり、その制御端は、同一の第１リセット制御ラインに接続されており、前記制御トランジスタの制御端は、前記短絡トランジスタおよびリセット制御トランジスタが接続される第１リセット制御ラインとは別に設けられた第２リセット制御ラインに接続されており、

前記選択トランジスタがオフされている期間においては、前記短絡トランジスタおよびリセット制御トランジスタをオンした後に前記制御トランジスタをオフし、前記短絡トランジスタおよびリセット制御トランジスタをオフした後に、前記選択トランジスタがオンされている期間において、前記制御トランジスタをオンすることを特徴とする有機ＥＬ画素回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、有機ＥＬ素子などの発光素子を含む画素回路に関する。

【背景技術】

【０００２】

従来より、有機ＥＬ素子を用いた有機ＥＬパネルが知られており、その開発が進んでいる。この有機ＥＬパネルにおいては、有機ＥＬ素子をマトリクス状に配置し、この有機ＥＬ素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機ＥＬパネルでは、画素毎に表示制御用のＴＦＴを有し、このＴＦＴの動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

【０００３】

図５に、アクティブマトリクスタイプの有機ＥＬパネルにおける画素回路の一例を示す

10

20

30

40

50

。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続されたnチャネルの選択TFT10を介し、駆動TFT12のゲートに接続されている。また、駆動TFT12のゲートには、他端が容量電源ラインに接続された保持容量14の一端が接続され、駆動TFT12のゲート電圧を保持する。

【0004】

駆動TFT12のソースは、EL電源ラインに接続され、ドレインは有機EL素子16のアノードに接続され、有機EL素子16のカソードがカソード電源に接続されている。

【0005】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインがHレベルとなり、その行の選択TFT10がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量14に供給保持され、ゲートラインがLレベルとなってもその時の電圧を保持する。

10

【0006】

そして、この保持容量14に保持された電圧に応じて、駆動TFT12が動作して対応する駆動電流がEL電源からの有機EL素子16を介し、カソード電源に流れ、有機EL素子16がデータ電圧に応じて発光する。

【0007】

そして、ゲートラインを順次Hレベルとして、入力されてくるビデオ信号に対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機EL素子16がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

20

【0008】

【特許文献1】特表2002-514320号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

30

【0010】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【0011】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献1）。

【0012】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

40

【0013】

本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【0014】

本発明は、一端がデータラインに接続された選択トランジスタと、この選択トランジスタの他端に一端が接続されたコンデンサと、このコンデンサの他端に制御端が接続され、一端が電源ラインに接続された駆動トランジスタと、この駆動トランジスタの他端に一端

50

が接続された制御トランジスタと、この制御トランジスタの他端に接続された有機EL素子と、前記駆動トランジスタをダイオード接続する短絡トランジスタと、前記選択トランジスタとコンデンサの接続部に一端が接続され、他端が一定電圧の電源に接続されたりセット制御トランジスタと、を含み、前記選択トランジスタがオフされている期間に、前記制御トランジスタをオフするとともに、前記短絡トランジスタおよびリセット制御トランジスタをオンして、前記駆動トランジスタの制御端に駆動トランジスタのしきい値電圧に対応する電圧を設定し、その後選択トランジスタをオンして、データラインに供給されるデータ電圧により前記駆動トランジスタの制御端の電圧をシフトさせて、このシフトした電圧に応じて駆動トランジスタに有機EL素子の駆動電流を流すことを特徴とする。

【0015】

10

また、前記リセット制御トランジスタの他端が接続される電源は、前記駆動トランジスタの一端が接続される電源ラインであることが好適である。

【0016】

また、前記短絡トランジスタと、リセット制御トランジスタは、同一極性であり、その制御端は、同一の第1リセット制御ラインに接続されていることが好適である。

【0017】

また、前記制御トランジスタの制御端は、前記短絡トランジスタおよびリセット制御トランジスタが接続される第1リセット制御ラインとは別に設けられた第2リセット制御ラインに接続されており、前記制御トランジスタをオフした後に前記短絡トランジスタおよびリセット制御トランジスタをオンし、前記短絡トランジスタおよびリセット制御トランジスタをオフした後に前記制御トランジスタをオンすることが好適である。

20

【0018】

また、前記制御トランジスタの制御端は、前記短絡トランジスタおよびリセット制御トランジスタが接続される第1リセット制御ラインとは別に設けられた第2リセット制御ラインに接続されており、前記短絡トランジスタおよびリセット制御トランジスタをオンした後に前記制御トランジスタをオフし、前記短絡トランジスタおよびリセット制御トランジスタをオフした後に前記制御トランジスタをオンすることが好適である。

【0019】

また、前記制御トランジスタがオンした後に、前記選択トランジスタをオンして、データラインに供給されるデータ電圧により前記駆動トランジスタの制御端の電圧をシフトさせて、このシフトした電圧に応じて前記駆動トランジスタに有機EL素子の駆動電流を流すことが好適である。

30

【0020】

また、前記選択トランジスタをオンして、データラインに供給されるデータ電圧により前記駆動トランジスタの制御端の電圧をシフトさせた後、前記選択トランジスタがオンの期間において前記制御トランジスタをオンし、その後前記選択トランジスタをオフすることが好適である。

【0021】

また、前記制御トランジスタは、前記短絡トランジスタおよびリセット制御トランジスタとは反対の極性であり、前記制御トランジスタの制御端は前記短絡トランジスタおよびリセット制御トランジスタと同一の第1リセット制御ラインに接続されていることが好適である。

40

【0022】

また、前記駆動トランジスタは、Pチャネルトランジスタであり、前記制御トランジスタは、nチャネルトランジスタであることが好適である。

【0023】

また、前記駆動トランジスタと、前記制御トランジスタとの間に、電流を駆動トランジスタ側から制御トランジスタ側へ向けて流すダイオードを配置することが好適である。

【0024】

また、前記駆動トランジスタのドレインと、前記制御トランジスタのドレインを連続す

50

る半導体層によって形成し、これらドレイン同士の接続部において、PN接合のダイオードを形成することが好適である。

【発明の効果】

【0025】

以上説明したように、本発明によれば、選択トランジスタがオフされている期間に、制御トランジスタをオフするとともに、短絡トランジスタおよびリセット制御トランジスタをオンして、駆動トランジスタの制御端に駆動トランジスタのしきい値電圧に対応する電圧を設定し、これをコンデンサに保持する。従って、各画素の駆動トランジスタの間でしきい値電圧にバラツキがあっても、これを補償して、ビデオ信号に応じた電流を有機EL素子に供給することができる。

10

【0026】

特に、リセット制御トランジスタにより、コンデンサの選択トランジスタ側の電圧を一定電位（例えば、電源電圧）に設定している。このため、前の書き込みデータ影響を排除して、短絡トランジスタをオンしたときに、コンデンサに駆動トランジスタのしきい値電圧に応じた電圧を確実に保持することができる。また、しきい値電圧のセットの際には、データラインの電圧を変更する必要はなく、水平ドライバの動作が簡略化される。また、選択トランジスタがオフの期間であれば、データラインのリセットをいずれのタイミングでも行うことができ、リセットの時間を長くして、確実なしきい値電圧のセットが行える。

【0027】

20

また、制御トランジスタの制御端と、短絡トランジスタおよびリセット制御トランジスタの制御端とを別のリセット制御ラインに接続することで、短絡トランジスタと、制御トランジスタの同時オンを確実に防止することができる。

【0028】

また、制御トランジスタと短絡トランジスタおよびリセット制御トランジスタの極性を反対にし、制御トランジスタの制御端と、短絡トランジスタおよびリセット制御トランジスタの制御端とを同一リセット制御ラインに接続することで、ラインの本数を減少することができる。

【0029】

また、選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフする。制御トランジスタをオンすると、有機EL素子に電流が流れ始め、これによって、駆動トランジスタの有機EL素子側の端子の電圧が低くなり、これによって駆動トランジスタの制御端電圧が低くなりやすい。しかし、本発明では、この時に選択トランジスタがオンしている。そこで、コンデンサのデータライン側の電圧が変化しにくく、従って駆動トランジスタの制御端電圧の変動を抑制することができる。

30

【0030】

また、前記駆動トランジスタは、pチャネルトランジスタであり、前記制御トランジスタは、nチャネルトランジスタであり、前記駆動トランジスタと、制御トランジスタとの間にダイオードが形成されていることで、駆動トランジスタと制御トランジスタを同一の半導体層を用いて形成することができ、効率的なレイアウトが可能になる。

40

【発明を実施するための最良の形態】

【0031】

以下、本発明の実施形態について、図面に基づいて説明する。

【0032】

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直方向に伸びるデータラインDLには、pチャネルの選択TFT20のドレインが接続されている。この選択TFT20のゲートは水平方向に伸びるゲートラインGLに接続され、ソースはコンデンサ22の一端に接続されている。コンデンサ22の他端はpチャネルの駆動TFT24のゲートに接続されている。さらに、選択TFT20のソースと、コンデンサ22の接続部には、pチャネルのリセット制御TFT26のドレインが接続されており、このリセッ

50

ト制御TF T 2 6のソースは垂直方向に伸びる電源ラインP V D Dに接続されている。さらに、駆動TF T 2 4のゲートには、pチャネルの短絡TF T 2 8のソースが接続され、この短絡TF T 2 8のドレインは、駆動TF T 2 4のドレインに接続されている。そして、リセット制御TF T 2 6と短絡TF T 2 8のゲートは、リセットラインR L 1に接続されている。

【 0 0 3 3 】

また、駆動TF T 2 4のソースは、電源ラインP V D Dに接続され、ドレインはpチャネルの制御TF T 3 0のソースに接続されている。この制御TF T 3 0のドレインは、有機E L素子3 2のアノードに接続され、ゲートは水平方向に伸びるリセットラインR L 2に接続されている。有機E L素子3 2のカソードは、カソード電源C Vに接続されている。ここで、通常の場合、有機E L素子3 2のカソードは全画素共通になっており、このカソードが所定の電位のカソード電源C Vに接続されている。

10

【 0 0 3 4 】

次に、この画素回路の動作について、図2に基づいて説明する。ゲートラインG Lが該当水平ライン(行)の画素が選択される1 H(水平期間)の選択期間だけLレベルになる。そして、この選択期間に先だって、リセットラインR L 2がHレベルになり、次に所定の短期間だけ遅れてリセットラインR L 1がLレベルになる。これによって、選択TF T 2 0がオフされている状態で、制御TF T 3 0がオフされ、さらにリセット制御TF T 2 6と短絡TF T 2 8がオンされる。

【 0 0 3 5 】

20

これによって、コンデンサ2 2の駆動TF T 2 4のゲートに接続されているのと反対側がP V D Dの電位に保たれている状態で、駆動TF T 2 4のゲート・ドレイン間は短絡TF T 2 8によって短絡され、駆動TF T 2 4はダイオード接続される。そこで、駆動TF T 2 4のゲート電位は、P V D Dよりしきい値電圧 V_t だけ低い電圧になり、このしきい値電圧 V_t の電圧が、コンデンサ2 2に保持される。そして、このようなコンデンサ2 2への充電が完了した後、リセットラインR L 1がHレベルとなり、これに対し所定の短時間後に、リセットラインR L 2がLレベルになり、リセット制御TF T 2 6と短絡TF T 2 8がオフされ、その後制御TF T 3 0がオンされる。

【 0 0 3 6 】

次に、該当水平ラインの選択期間に入り、ゲートラインG LがLレベルになり、これによって選択TF T 2 0がオンになる。この状態で、水平ドライバは、ビデオラインから供給される各画素のビデオ信号を各データラインに順次供給する。従って、データラインD Lには、対応する画素についてビデオ信号が設定される。そして、このデータラインD Lは、ゲートラインG LがHレベルになるまで、ビデオ信号の電位を維持する。このために、データラインD Lに、コンデンサなどを接続して、電位を維持できるようにするとよい。

30

【 0 0 3 7 】

そして、ゲートラインG LをHレベルに戻した後、一旦データラインを一定電位(例えば、P V D D)に戻す。これによって、次のビデオ信号についてのデータラインD Lへのセットに問題がなくなる。

40

【 0 0 3 8 】

データラインD Lがビデオ信号の電位に設定されると、コンデンサ2 2の他端である駆動TF T 2 4のゲート電位は、ビデオ信号の電位によりシフトされ、このゲート電位に応じた電流が駆動TF T 2 4、制御TF T 3 0を介し、有機E L素子3 2に流れる。そして、ゲートラインG LがHレベルに復帰して選択TF T 2 0がオフした後も、駆動TF T 2 4のゲート電位はそのときの電圧のまま保たれる。

【 0 0 3 9 】

このように、本実施形態では、最初に駆動TF T 2 4のゲートに、P V D Dより駆動TF T 2 4のしきい値電圧 V_t 分だけ低い電圧を設定し、これをコンデンサ2 2に保持する。従って、各画素の駆動TF T 2 4の間でしきい値電圧 V_t にバラツキがあっても、これ

50

を補償して、ビデオ信号に応じた電流を有機EL素子32に供給することができる。

【0040】

特に、リセット制御TF T 26により、コンデンサ22の選択TF T 20側の電圧を一定電位(この例ではP V D D)に設定している。このため、前フレームでの書き込みデータの影響を排除して、短絡TF T 28をオンしたときに、コンデンサ22に駆動TF T 24のしきい値電圧V_tに応じた電圧を確実に保持することができる。また、しきい値電圧のセットの際には、データラインDLの電圧を変更する必要はなく、水平ドライバの動作が簡略化される。また、該当するゲートラインGLがHレベルの期間であれば、データラインのリセットをいずれのタイミングでも行うことができ、リセットの時間を長くして、確実なしきい値電圧のセットが行える。

10

【0041】

さらに、本実施形態では、リセット制御TF T 26と短絡TF T 28を同時に駆動するが、制御TF T 30のオフの期間を、リセット制御TF T 26と短絡TF T 28のオンの期間より長くして、制御TF T 30のオフの期間にのみ、リセット制御TF T 26と短絡TF T 28がオンするようにしている。これによって、制御TF T 30がオンしているときに、駆動TF T 24がダイオード接続されることを確実に防止でき、有機EL素子32に不要な電流が流れてしまうことを確実に防止することができる。

【0042】

また、本画素回路では、トランジスタとして、すべてpチャネルTF Tを使用しており、その作成が容易となる。しかし、駆動TF T 24以外は、nチャネルTF Tに変更しても何ら問題はない。なお、制御信号の極性は反転する必要がある。また、駆動TF T 24も、そのソース側電位を固定する手段を設ければ、nチャネルTF Tを採用することができる。

20

【0043】

図3に、他の構成例を示す。この例では、制御TF T 30にリセット制御TF T 26および短絡TF T 28とは、反対の極性であるnチャネルTF Tを利用している。そして、このnチャネルの制御TF T 30のゲートは、リセット制御TF T 26および短絡TF T 28のゲートともにリセットラインRL1に接続されている。これによって、リセットラインRL1をHレベルにセットすることで、制御TF T 30がオン、リセット制御TF T 26および短絡TF T 28がオフされ、リセットラインRL1をLレベルにセットすることで、制御TF T 30がオフ、リセット制御TF T 26および短絡TF T 28がオンされる。

30

【0044】

この構成では、1本のリセットラインRL1を利用して、制御TF T 30、リセット制御TF T 26および短絡TF T 28のオンオフを制御する。従って、リセットラインを1本にすることができるというメリットがある。また、制御TF T 30のオフと、短絡TF T 28のオンが同時に行われるため、両者がオンする可能性があるが、制御TF T 30がnチャネルであり、pチャネルの短絡TF T 28より動作が速く先にオフするため、両者が同時オンすることを防止できている。

【0045】

40

図4に、他の構成例を示す。この例では、リセット制御TF T 26および短絡TF T 28をnチャネルTF Tとし、制御TF T 30にその反対の極性のpチャネルTF Tを利用している。そして、このpチャネルの制御TF T 30のゲートは、リセット制御TF T 26および短絡TF T 28のゲートとともにリセットラインRL1に接続されている。これによって、リセットラインRL1をHレベルにセットすることで、リセット制御TF T 26および短絡TF T 28がオン、制御TF T 30がオフされ、リセットラインRL1をLレベルにセットすることで、リセット制御TF T 26および短絡TF T 28がオフ、制御TF T 30がオンされる。

【0046】

この構成では、図3の構成と同様に、1本のリセットラインRL1を利用して、リセッ

50

ト制御TF T 2 6、短絡TF T 2 8および制御TF T 3 0のオンオフを制御しているため、同様にリセットラインを1本にできるというメリットを有する。

【0047】

「さらに他の構成例」

図6には、さらに他の構成例を示す。この例では、駆動TF T 2 4以外の選択TF T 2 0、リセット制御TF T 2 6、短絡TF T 2 8、制御TF T 3 0にnチャネルTF T を利用している。

【0048】

そして、駆動TF T 2 4と、制御TF T 3 0は、1つの連続する半導体層を用いて構成されている。駆動TF T 2 4のドレインは、p型不純物がドーピングされており、一方制御TF T 3 0のドレインは、n型不純物がドーピングされている。ダイオード40は、この連続する半導体層におけるpn接合によって生じるものである。ここで、図のように、ダイオード40を短絡TF T 2 8との接続部より、駆動TF T 2 4側に配置することで、短絡TF T 2 8から制御TF T 3 0への電流が阻止されることがなくなり、駆動TF T 2 4のゲート電圧のリセットが問題なく行える。なお、駆動TF T 2 4と、制御TF T 3 0を別個の半導体層を用いて構成し、その接続はメタル層を利用すれば、ダイオード40を省略できるが、この場合メタル層との2つのコンタクトが必要となり、レイアウト時に不利となる。

【0049】

制御TF T 3 0のソースは、有機EL素子32のアノードに接続され、ゲートは水平方向に伸びるリセットラインRL 2に接続されている。有機EL素子32のカソードは、カソード電源CVに接続されている。ここで、通常の場合、有機EL素子32のカソードは全画素共通になっており、このカソードが所定の電位のカソード電源CVに接続されている。

【0050】

次に、この画素回路の動作について、図7に基づいて説明する。ゲートラインGLが該当水平ライン(行)の画素が選択される1H(水平期間)の選択期間だけHレベルになる。図において、ゲートラインGL(-1)は、該当水平ラインの1つ上の水平ラインについてのゲートラインであり、1H前のタイミングでHレベルになる。そして、GL(-1)がHレベルとなるとこれと同時にリセットラインRL 1がHレベルになる。このリセットラインRL 1のHレベルによって、選択TF T 2 0がオフ、制御TF T 3 0がオンの状態で、リセット制御TF T 2 6および短絡TF T 2 8がオンし、有機EL素子32に所定の電流が流れる。これによって、コンデンサ22の選択TF T 2 0側が電源電圧PVDDの状態、駆動TF T 2 4のドレインソース間が短絡され、駆動TF T 2 4のゲートから電荷が引き抜かれ、リセットされる。

【0051】

次に、所定の短期間だけ遅れてリセットラインRL 2がLレベルになり、制御TF T 3 0がオフする。一方、リセット制御TF T 2 6と短絡TF T 2 8はオンしているため、コンデンサ22の駆動TF T 2 4のゲートに接続されているのと反対側がPVDDの電位に保たれている状態で、駆動TF T 2 4のゲート・ドレイン間は短絡TF T 2 8によって短絡され、駆動TF T 2 4はダイオード接続される。そこで、駆動TF T 2 4のゲート電位は、PVDDよりしきい値電圧V_tだけ低い電圧になり、このしきい値電圧V_tの電圧が、コンデンサ22に保持される。

【0052】

このように、1H前の水平期間において、コンデンサ22に駆動TF T 2 4のしきい値電圧V_tが充電される。次に、リセットラインRL 1がLレベルとなり、リセット制御TF T 2 6と短絡TF T 2 8がオフされる。ここで、リセットラインRL 2は、Lレベルに維持され、制御TF T 3 0はオフのままにする。

【0053】

次に、該当水平ラインの選択期間に入り、ゲートラインGLがHレベルになり、これに

10

20

30

40

50

よって選択ＴＦＴ２０がオンになる。この状態で、水平ドライバは、ビデオラインＤＬから供給される各画素のビデオ信号を各データラインＤＬに順次供給する。従って、データラインＤＬには、対応する画素についてビデオ信号が設定される。そして、このデータラインＤＬは、ゲートラインＧＬがＬレベルになるまで、ビデオ信号の電位を維持する。このために、データラインＤＬに、コンデンサなどを接続して、電位を維持できるようにするとよい。

【００５４】

データラインＤＬがビデオ信号の電位に設定されると、コンデンサ２２の他端である駆動ＴＦＴ２４のゲート電位は、ビデオ信号の電圧（データ電圧）によりシフトされる。そして、リセットラインＲＬ２がＨレベルとなり、制御ＴＦＴ３０がオンとなり、駆動ＴＦＴ２４にそのゲート電位に応じた電流が流れ、これが制御ＴＦＴ３０を介し、有機ＥＬ素子３２に流れる。ゲートラインＧＬがＬレベルに復帰して選択ＴＦＴ２０がオフした後も、駆動ＴＦＴ２４のゲート電位はそのときの電圧のまま保たれ、有機ＥＬ素子３２にはビデオ信号の電圧に応じた電流が流れ、発光する。

【００５５】

そして、ゲートラインＧＬをＬレベルに戻した後、一旦データラインＤＬを一定電位（例えば、ＰＶＤＤ）に戻す。これによって、次のビデオ信号についてのデータラインＤＬへのセットに問題がなくなる。

【００５６】

このように、本実施形態では、最初に駆動ＴＦＴ２４のゲートに、ＰＶＤＤより駆動ＴＦＴ２４のしきい値電圧 V_t 分だけ低い電圧を設定し、これをコンデンサ２２に保持する。従って、各画素の駆動ＴＦＴ２４の間でしきい値電圧 V_t にバラツキがあっても、これを補償して、ビデオ信号に応じた電流を有機ＥＬ素子３２に供給することができる。

【００５７】

特に、リセット制御ＴＦＴ２６により、コンデンサ２２の選択ＴＦＴ２０側の電圧を一定電位（この例ではＰＶＤＤ）に設定している。このため、前フレームでの書き込みデータ影響を排除して、短絡ＴＦＴ２８をオンしたときに、コンデンサ２２に駆動ＴＦＴ２４のしきい値電圧 V_t に応じた電圧を確実に保持することができる。また、しきい値電圧 V_t のセットの際には、データラインＤＬの電圧を変更する必要はなく、水平ドライバの動作が簡略化される。また、該当するゲートラインＧＬがＬレベルの期間であれば、駆動トランジスタのゲート電圧のリセットをいずれのタイミングでも行うこともでき、リセットの時間を長くして、確実なしきい値電圧のセットが行える。

【００５８】

さらに、制御ＴＦＴ３０がオンしている状態で、リセット制御ＴＦＴ２６と短絡ＴＦＴ２８を同時にオンする。このため、駆動ＴＦＴ２４のゲート電圧のリセットが確実に行える。

【００５９】

そして、本実施形態では、ゲートラインＧＬがＨレベルで選択ＴＦＴ２０がオンしている状態で、リセットラインＲＬ２をＨレベルとして、制御ＴＦＴ３０をオンする。制御ＴＦＴ３０がオンすると、有機ＥＬ素子３２に電流が流れ始め、駆動ＴＦＴ２４のドレイン電圧が下がり、この影響でそのゲート電圧も下がりやすい。本実施形態では、この制御ＴＦＴ３０がオンするときに、選択ＴＦＴ２０がオンであり、コンデンサ２２の一端がデータラインＤＬに接続されている。従って、制御ＴＦＴ３０がオンすることで、駆動ＴＦＴ２４のドレイン電位が変動しても、コンデンサ２２の一端の電位は変動しにくいのでゲート電位は変動しにくく、入力されたビデオデータに則した電位を保持することができ、データ電圧に応じた有機ＥＬ素子３２の発光が達成できる。

【００６０】

また、制御ＴＦＴ３０をｐチャネルにすると、リーク電流が生じやすく、駆動ＴＦＴ２４のゲートドレイン間を短絡ＴＦＴ２８をオンして駆動ＴＦＴ２４のゲート電圧をＰＶＤＤ－ V_t にセットする際に、ゲート電圧が低くなる傾向がある。制御ＴＦＴ３０をｎチャ

10

20

30

40

50

ネルにすることによって、リーク電流を減少して、駆動TFT24の正確なゲート電圧セットが行える。

【0061】

また、本実施形態において、PVDは5V未満、データラインDLにセットされるデータ電圧の黒レベル電圧はPVDより2V程度高い電圧に設定される。これによって、黒レベルの際に駆動TFT24のゲートをソースの電圧であるPVDに対し、十分高い電圧として、電流が流れるのを防止して、黒レベルを達成することができる。

【0062】

「タイミング発生回路の構成」

図8には、上述のようなリセットラインRL1、RL2に供給する信号RST1、RST2の発生回路が示されている。

10

【0063】

入力信号としては、1水平ライン上のゲート信号の反転信号であるXGL(-1)と、当該水平ラインのゲート信号の反転信号であるXGLと、水平方向のドライバ最終段の出力信号の反転信号であるXHOUTと、を利用する。

【0064】

XGLは、インバータ50によって反転され、GLが出力される。また、XGL(-1)がインバータ52によって反転されてリセット信号RST1として出力される。

【0065】

XGLと、XHOUTは、ノアゲート54に入力される。このノアゲート54の出力は、nチャンネルTFT56のゲートに供給されるとともに、ノアゲート58に入力される。

20

【0066】

TFT56は、ソースがグランドに接続され、ドレインはpチャンネルTFT60のドレインに接続され、このTFT60のソースが電源に接続されている。また、TFT60のゲートには、XGL(-1)が供給されている。

【0067】

TFT60とTFT56の接続部は、ノアゲート58に入力されるとともに、この入力ラインには、インバータ62a、62bの直列接続からなるラッチ回路62が接続されている。すなわち、TFT60とTFT56の接続部からノアゲート58の入力ラインには、インバータ62aに入力され、インバータ62bの出力が返されている。従って、TFT60とTFT56の接続部が変化した場合に、その変化がラッチ回路62に取り込まれた後、ノアゲート58への入力に変化する。

30

【0068】

このような回路における動作について、図9に基づいて説明する。XGL(-1)、XGLは、1水平ラインの選択期間だけLレベルになる信号であり、Lレベルになる期間が1Hだけシフトしている。XHOUTは、1Hに1回Lレベルになる信号であり、各ラインのゲート信号がLレベルになる期間の終了前においてLレベルとなり、ゲート信号がHレベルになる若干前にHレベルに戻る。

【0069】

このような信号によって、TFT60のゲートに入力される信号Aは、XGL(-1)と同じ信号となる。ノアゲート54の出力信号である信号Bは、XGLと、XHOUTの両方がLレベルの時のみHレベルとなる。

40

【0070】

さらに、ノアゲート58の入力ラインの信号Cは、XGL(-1)のLレベルによって立ち上がり、ノアゲート54のHレベルによって立ち下がる信号となる。ここで、TFT60、56の能力と、ラッチ回路62に能力に差があり、ラッチ回路62の書き込み時間が掛かると、その能力差に応じて遅れることになる。すなわち、XGL(-1)の立ち下がりに応じてTFT60、56の接続点は上昇しようとするが、ラッチ回路62の出力がHレベルになるまでの期間だけ、立ち上がるのが遅れる。一方、ノアゲート54の出力がHレベルとなった場合にも、信号Bは、だけ遅れてLレベルになる。

50

【 0 0 7 1 】

さらに、リセット信号 R S T 2 は、ノアゲート 5 8 の出力であり、ノアゲート 5 8 の入力が 2 つとも L レベルの時のみ H レベルを出力する。従って、リセット信号 R S T 2 は、信号 C の立ち上がりによって、L レベルとなり、その後の信号 B の立ち下がりによって、H レベルとなる。

【 0 0 7 2 】

このようにして、リセット信号 R S T 2 の立ち下がりタイミングは、リセット信号 R S T 1 の立ち上がりタイミングに比べ、若干遅れる。この遅れ時間は、T F T 6 0、5 6 の能力と、ラッチ回路 6 2 を構成するインバータ 6 2 a、6 2 b の能力に差によって決定される。例えば、ラッチ回路 6 2 を構成するインバータ 6 2 a、6 2 b の能力を T F T 6 0、5 6 の能力の 2 倍程度に設定することが好適である。これによって、例えば 4 0 0 n s e c 程度の遅延が得られる。一方、この程度の遅延を容量によって得ようとする、かなりの面積が必要となる。このため、この回路によって、効果的な信号の遅延を図ることができる。

10

【 0 0 7 3 】

一方、リセット信号 R S T 2 の立ち上がりは、信号 X H O U T の立ち上がりと同期しており、予め定められたタイミングである。ゲートライン G L の立ち下がりより、所定の短時間 1 f H (ここで、1 f H は、最小周期であり、例えば、2 0 0 n s e c 程度である。) だけ、早い。従って、この回路によって、所定時間だけ、選択 T F T 2 0 と、制御 T F T 3 0 が両方オンする時間を設けることができる。

20

【 0 0 7 4 】

このように、本回路によれば、所定の遅延時間を 2 つの T F T 5 6、6 0 の直列接続からなるドライバーと、ラッチ回路 6 2 の能力差によって、得ることができる。従って、通常のように容量を設け、その充電時間を利用する回路に比べ、所要面積を小さくすることができる。

【図面の簡単な説明】

【 0 0 7 5 】

【図 1】実施形態の構成を示す回路図である。

【図 2】実施形態の動作を説明するための信号の波形図である。

【図 3】他の実施形態の構成を示す回路図である。

30

【図 4】他の実施形態の構成を示す回路図である。

【図 5】従来例の構成を示す回路図である。

【図 6】他の実施形態の構成を示す回路図である。

【図 7】他の実施形態の動作を説明するための信号の波形図である。

【図 8】リセット信号 R S T 1、R S T 2 を生成する回路の構成を示す図である。

【図 9】図 8 の回路の動作を説明するための信号の波形図である。

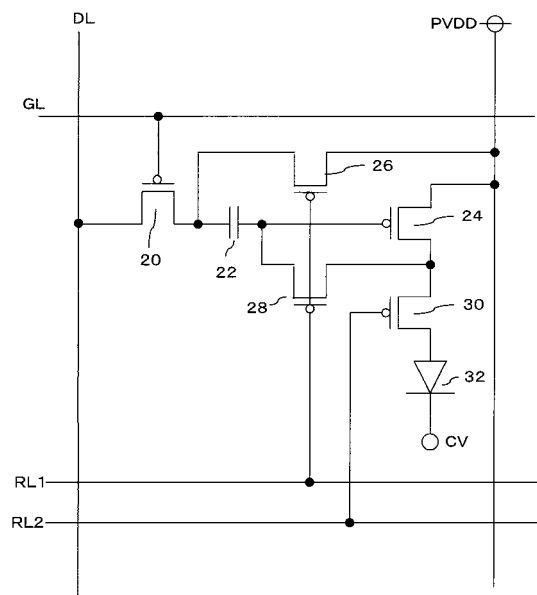
【符号の説明】

【 0 0 7 6 】

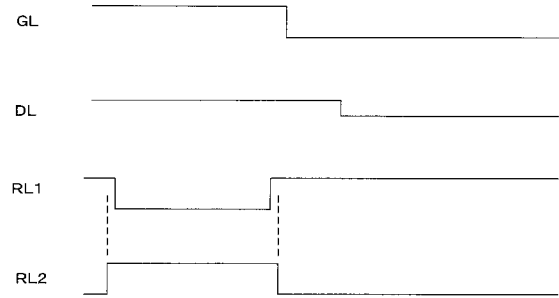
1 0 , 2 0 選択 T F T、1 2 , 2 4 駆動 T F T、1 4 保持容量、1 6 , 3 2 有機 E L 素子、2 2 コンデンサ、2 6 リセット制御 T F T、2 8 短絡 T F T、3 0 制御 T F T、C V カソード電源、D L データライン、G L ゲートライン、P V D D 電源ライン、R L 1 , R L 2 リセットライン。

40

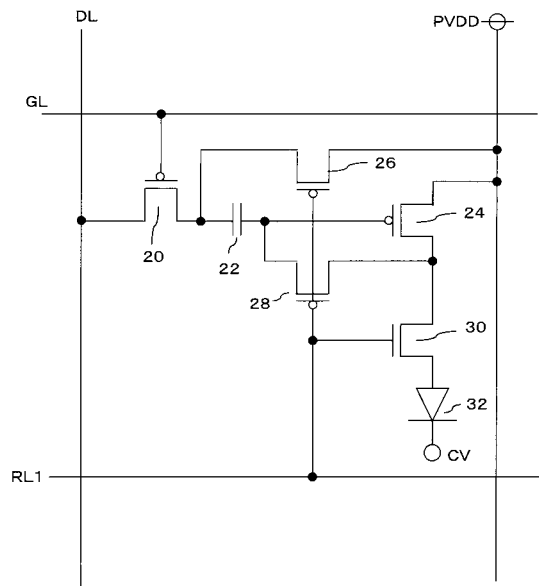
【図 1】



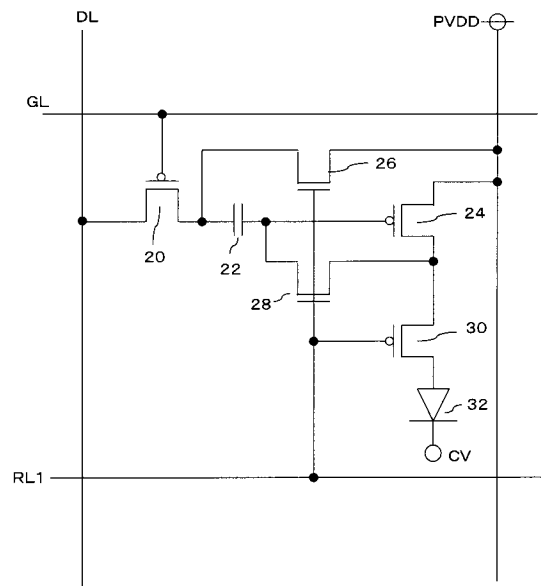
【図 2】



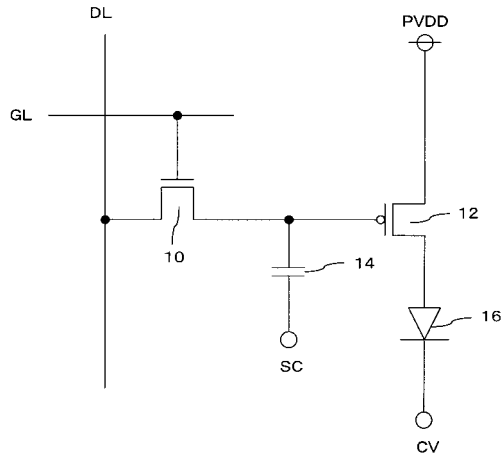
【図 3】



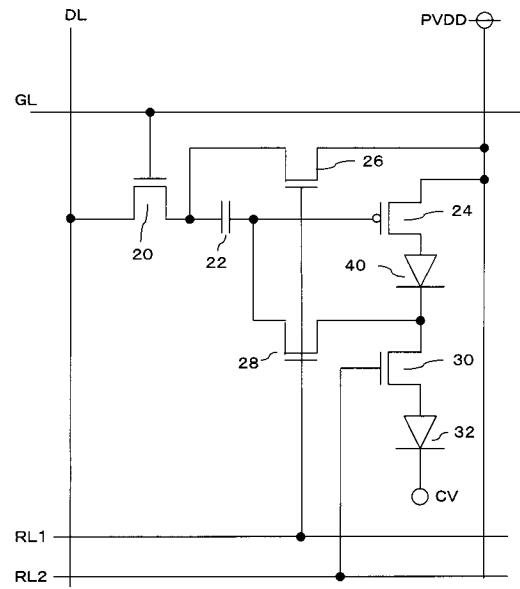
【図 4】



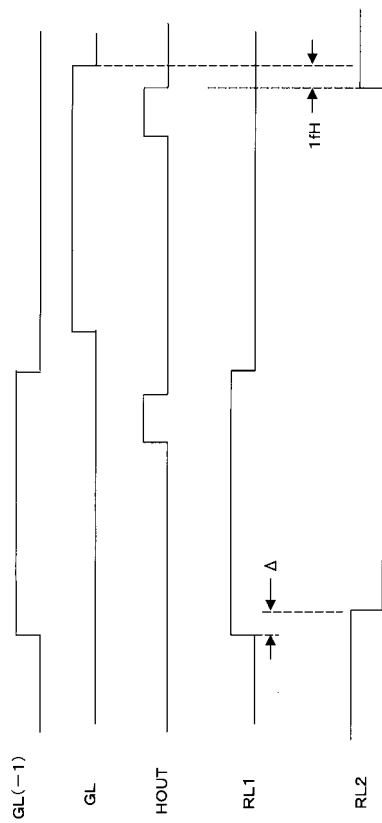
【図 5】



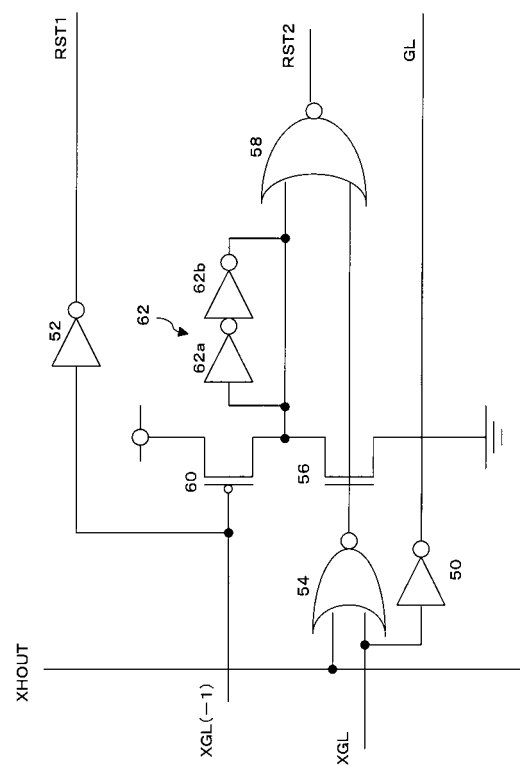
【図 6】



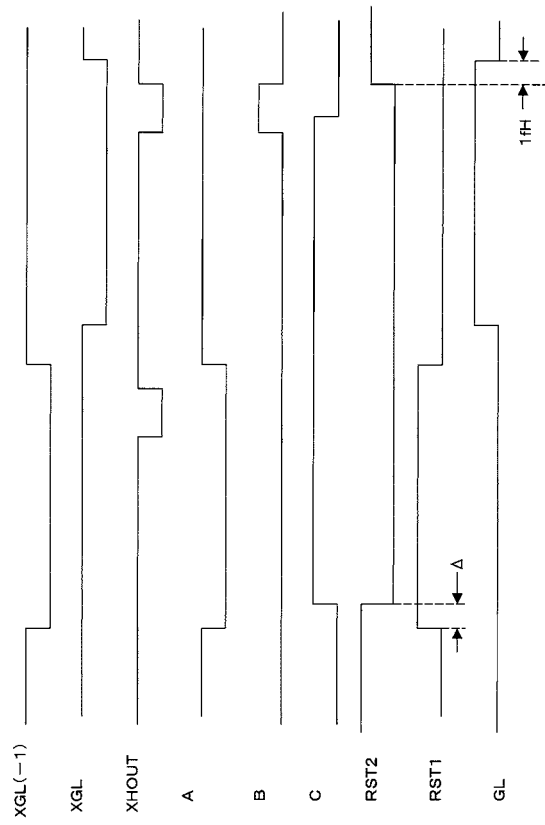
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開2003-173165(JP,A)
特開2003-195809(JP,A)
特開2003-223138(JP,A)
特開2004-133240(JP,A)
特開2006-106141(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20-3/38

专利名称(译)	有机EL画素回路		
公开(公告)号	JP5078223B2	公开(公告)日	2012-11-21
申请号	JP2004289368	申请日	2004-09-30
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	佐々木昭史 松本昭一郎		
发明人	佐々木 昭史 松本 昭一郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.J G09G3/20.624.B G09G3/20.641.D G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/28.230 H05B33/14.A		
F-TERM分类号	3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA10 5C380/BA38 5C380/BA39 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC04 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC77 5C380/CD012 5C380/CD015 5C380/CE19 5C380/CF23 5C380/CF33 5C380/CF46 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	大桥正明		
审查员(译)	小川博		
优先权	2003342469 2003-09-30 JP		
其他公开文献	JP2005128521A		
外部链接	Espacenet		

摘要(译)

要解决的问题：有效地补偿驱动晶体管的阈值电压的波动。解决方案：当选择TFT 20关闭时，控制TFT 30关闭，复位控制TFT 26和短路TFT 28导通。结果，在电容器22的选择TFT 20侧被保持设置在PVDD的状态下，短路TFT 28导通并且驱动TFT 24被二极管连接。于是，将低于PVDD的电压的电压设置在驱动TFT 24的栅极处的驱动TFT 24的阈值电压。接下来，关闭复位控制TFT 26和短路TFT 28。并且控制TFT 30导通，从而驱动TFT 24的栅极电压偏移数据线DL的视频信号的电压，结果驱动TFT 24导通，以提供驱动电流有机EL元件32。结果，可以根据视频信号控制驱动电流，而不依赖于驱动TFT 24的阈值电压。

【图3】

