

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4240097号
(P4240097)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	642J
HO1L 51/50 (2006.01)	G09G 3/20	624B
	G09G 3/20	641D
	G09G 3/20	621A
請求項の数 6 (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2006-259572 (P2006-259572)
 (22) 出願日 平成18年9月25日(2006.9.25)
 (65) 公開番号 特開2008-83084 (P2008-83084A)
 (43) 公開日 平成20年4月10日(2008.4.10)
 審査請求日 平成19年10月23日(2007.10.23)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 三並 徹雄
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

三原色が割り当てられた三個の画素と電源ラインとを備え、
 各画素は、映像信号をサンプリングするサンプリングトランジスタと、サンプリングされた映像信号を保持する保持容量と、保持された映像信号に応じた駆動電流を所定の発光期間中出力するドライブトランジスタと、該駆動電流に応じ該割り当てられた色で発光する発光素子とを含み、

各画素のドライブトランジスタを発光期間中該電源ラインに接続する為に三個の画素に対して共通に配された一個のスイッチングトランジスタを備える画素回路。

【請求項2】

各画素は、該保持容量を補助するために異なる容量値を有する補助容量を備えており、前記スイッチングトランジスタは最も容量値の小さな補助容量を備えた画素に配する請求項1記載の画素回路。

【請求項3】

前記スイッチングトランジスタは、多層配線で三個の画素の三個のドライブトランジスタに接続している請求項1記載の画素回路。

【請求項4】

三原色が割り当てられた三個の画素を単位としてマトリクス状に配した画素と、各画素に給電する電源ラインとを備えたパネルからなり、

三原色が割り当てられた三個の画素は、各々が映像信号をサンプリングするサンプリ

グトランジスタと、サンプリングされた映像信号を保持する保持容量と、保持された映像信号に応じた駆動電流を所定の発光期間中出力するドライブトランジスタと、該駆動電流に応じ該割り当てられた色で発光する発光素子とを含み、

三原色が割り当てられた三個の画素の各ドライブトランジスタを発光期間中該電源ラインに接続する為に三個の画素に対して共通に配された一個のスイッチングトランジスタを備える表示装置。

【請求項 5】

三原色が割り当てられた三個の画素の各々は、該保持容量を補助するために異なる容量値を有する補助容量を備えており、

前記スイッチングトランジスタは三個の画素のうち最も容量値の小さな補助容量を備えた画素に配する請求項 4 記載の表示装置。

10

【請求項 6】

前記スイッチングトランジスタは、多層配線で三個の画素の三個のドライブトランジスタに接続している請求項 4 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三原色に発光する発光素子がそれぞれ割り当てられた 3 個の画素と、各発光素子に電流を供給する電源ラインとを備えた画素回路、及びこの画素回路をマトリクス状に配列した表示装置に関する。より詳しくは、画素回路を構成する素子数を削減して、回路構成を簡略化する技術に関する。

20

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり有機 EL 素子は自発光素子である。その為、有機 EL ディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

30

【0003】

有機 EL ディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献 1】特開 2003 - 255856

【特許文献 2】特開 2003 - 271095

【特許文献 3】特開 2004 - 133240

【特許文献 4】特開 2004 - 029791

【特許文献 5】特開 2004 - 093682

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した有機 EL ディスプレイにおいてカラー表示を実現するために、三原色（RGB）に発光する発光素子がそれぞれ割り当てられた 3 個の画素を 1 組（トリオ）として、マトリクス状に配列している。従来のカラー表示装置は、RGB 各画素ごとに独立の画素回路を構成している。したがって単純に計算すると、単色表示の有機 EL ディスプレイに比

50

べ、画素回路を構成する能動素子のトータル個数が3倍となり、その分有機ELディスプレイを構成するパネルの歩留りの低下を招いていた。また限られた面積のパネルに無数の能動素子（一般的には薄膜トランジスタ、TFT）を集積形成しなければならず、画素の高精細化を阻害していた。また素子数が増える分製造コストが高くなるという課題があった。

【課題を解決するための手段】

【0005】

上述した従来の技術の課題に鑑み、本発明はカラー表示装置の画素回路を簡略化してトータルの素子数を削減し、以ってパネルの歩留りの改善、画素の高精細化及び製造コストの低減化を図ることを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、三原色が割り当てられた三個の画素と電源ラインとを備えた画素回路において、各画素は、映像信号をサンプリングするサンプリングトランジスタと、サンプリングされた映像信号を保持する保持容量と、保持された映像信号に応じた駆動電流を所定の発光期間中出力するドライブトランジスタと、該駆動電流に応じ該割り当てられた色で発光する発光素子とを含み、各画素のドライブトランジスタを発光期間中該電源ラインに接続する為に三個の画素に対して共通に配された一個のスイッチングトランジスタを備えたことを特徴とする。好ましくは、各画素は、該保持容量を補助するために異なる容量値を有する補助容量を備えており、前記スイッチングトランジスタは最も容量値の小さな補助容量を備えた画素に配する。又前記スイッチングトランジスタは、多層配線で三個の画素の三個のドライブトランジスタに接続している。

【0006】

又本発明は、三原色が割り当てられた三個の画素を単位としてマトリクス状に配した画素と、各画素に給電する電源ラインとを備えたパネル状の表示装置であって、三原色が割り当てられた三個の画素は、各々が映像信号をサンプリングするサンプリングトランジスタと、サンプリングされた映像信号を保持する保持容量と、保持された映像信号に応じた駆動電流を所定の発光期間中出力するドライブトランジスタと、該駆動電流に応じ該割り当てられた色で発光する発光素子とを含み、三原色が割り当てられた三個の画素の各ドライブトランジスタを発光期間中該電源ラインに接続する為に三個の画素に対して共通に配された一個のスイッチングトランジスタを備えたことを特徴とする。

【発明の効果】

【0007】

本発明によれば従来赤色画素（R画素）、緑色画素（G画素）及び青色画素（B画素）のそれぞれに設けていた発光期間制御用のスイッチングトランジスタを、R画素、G画素、B画素で共通化することにより、トータルの素子数の削減化を図っている。これに伴い、R画素、G画素、B画素ごとに配線していた電源ラインの本数もスイッチングトランジスタを共通化することで削減できる。これにより、画素回路の高精細化、パネル歩留りの改善、製造コストの低減化が可能になった。また素子数及び配線数を削減することで短絡欠陥を防ぐことも出来る。加えてスイッチングトランジスタをRGB画素で共通化することにより、従来のようにRGB画素間でスイッチングトランジスタの特性ばらつきが無くなり、R画素、G画素、B画素間での輝度のばらつきを抑制することも可能である。

【発明を実施するための最良の形態】

【0008】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明にかかる表示装置の全体構成を示す模式的なブロック図である。図示する様に、本表示装置は基本的に画素アレイ部1と、スキャナ部及び信号部を含む駆動部とで構成されている。画素アレイ部1は、行状に配された走査線WS、走査線AZ1、走査線AZ2及び走査線DSと、列状に配された信号線SLと、これらの走査線WS、AZ1、AZ2、DS及び信号線SLに接続した行列状の画素2と、各画素2の動作に必要な第1電位V_{ss1}、第2電位V_{ss2}及び第3電位V_{cc}を供給する複数の電源線とからなる。各画素2には、RGB三原色がそれぞれ割り当てられており、本明細書では、それぞれR画素、G画素、B画素の

ように表記することがある。各画素2の動作に必要な第1電位 V_{ss1} は所定の電位設定用であり、第2電位 V_{ss2} も所定の電位設定用である。第3電位 V_{cc} は V_{ss1} 及び V_{ss2} とは異なり、各画素2に電流を供給するための電源ラインとなっている。一方信号部は水平セクタ3からなり、信号線 SL に映像信号を供給する。スキャナ部は、ライトスキャナ4、ドライブスキャナ5、第1補正用スキャナ71及び第2補正用スキャナ72からなり、それぞれ走査線 WS 、走査線 DS 、走査線 $AZ1$ 及び走査線 $AZ2$ に制御信号を供給して順次行毎に画素2を駆動する。

【0009】

図2は、図1に示した画像表示装置に形成される画素2の構成例を示す回路図である。なおこの画素回路は本発明の元になる構成であるため、以下詳細に説明する。図示するように画素回路2は、サンプリングトランジスタ $Tr1$ と、ドライブトランジスタ Trd と、第1スイッチングトランジスタ $Tr2$ と、第2スイッチングトランジスタ $Tr3$ と、第3スイッチングトランジスタ $Tr4$ と、画素容量 Cs と、発光素子 EL とを含む。サンプリングトランジスタ $Tr1$ は、所定のサンプリング期間に走査線 WS から供給される制御信号に応じ導通して信号線 SL から供給された映像信号の信号電位を画素容量 Cs にサンプリングする。画素容量 Cs は、サンプリングされた映像信号の信号電位に応じてドライブトランジスタ Trd のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ Trd は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 EL に供給する。発光素子 EL は、所定の発光期間中ドライブトランジスタ Trd から供給される出力電流 I_{ds} により映像信号の信号電位に応じた輝度で発光する。

【0010】

第1スイッチングトランジスタ $Tr2$ は、サンプリング期間に先立ち走査線 $AZ1$ から供給される制御信号に応じ導通してドライブトランジスタ Trd のゲート G を第1電位 V_{ss1} に設定する。第2スイッチングトランジスタ $Tr3$ は、サンプリング期間に先立ち走査線 $AZ2$ から供給される制御信号に応じ導通してドライブトランジスタ Trd のソース S を第2電位 V_{ss2} に設定する。第3スイッチングトランジスタ $Tr4$ は、サンプリング期間に先立ち走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ Trd を第3電位 V_{cc} に接続し、以ってドライブトランジスタ Trd の閾電圧 V_{th} に相当する電圧を画素容量 Cs に保持させて閾電圧 V_{th} の影響を補正する。さらにこの第3スイッチングトランジスタ $Tr4$ は、発光期間に再び走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ Trd を第3電位 V_{cc} に接続して出力電流 I_{ds} を発光素子 EL に流す。

【0011】

ここで第3スイッチングトランジスタ $Tr4$ は、基本的にドライブトランジスタ Trd を発光期間中電源ライン V_{cc} に接続するためのものである。換言すると、この第3スイッチングトランジスタ $Tr4$ はドライブスキャナ5から供給される制御信号 DS に応じてオン/オフし、発光素子 EL が発光する期間を制御している。1フィールドに占める発光期間が長くなると、その分画面輝度が高くなる。逆に発光期間が短くなると画面輝度は低くなる。このように第3スイッチングトランジスタ $Tr4$ は主として1フィールドに占める発光期間の割合を制御して画面輝度の調整を図ることを主機能としている。

【0012】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタ $Tr1$ ないし $Tr4$ 及び Trd と1個の画素容量 Cs と1個の発光素子 EL とで構成されている。トランジスタ $Tr1 \sim Tr3$ と Trd はNチャネル型のポリシリコンTFTである。トランジスタ $Tr4$ のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることが出来る。発光素子 EL は例えばアノード及びカソードを備えたダイオード型の有機 EL デバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0013】

10

20

30

40

50

図3は、図2に示した画像表示装置から画素回路2の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号の信号電位 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。以下図3に基づいて、本発明にかかる画素回路2の動作を説明する。

【0014】

図4は、図3に示した画素回路のタイミングチャートである。図4を参照して、図3に示した画素回路の動作を具体的に説明する。図4は、時間軸 T に沿って各走査線 WS 、 $AZ1$ 、 $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はNチャンネル型なので、走査線 WS 、 $AZ1$ 、 $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

10

【0015】

図4のタイミングチャートではタイミング $T1 \sim T8$ までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形を表してある。

20

【0016】

当該フィールドが始まる前のタイミング $T0$ で、全ての制御線号 WS 、 $AZ1$ 、 $AZ2$ 、 DS がローレベルにある。したがってNチャンネル型のトランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はオフ状態にある一方、Pチャンネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。したがってタイミング $T0$ で発光素子 EL は発光している。この時ドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位(G)とソース電位(S)の差で表される。

30

【0017】

当該フィールドが始まるタイミング $T1$ で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング $T1$ に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

【0018】

タイミング $T1$ のあとタイミング $T21$ で制御信号 $AZ2$ が立上り、スイッチングトランジスタ T_{r3} がオンする。これにより、ドライブトランジスタ T_{rd} のソース(S)は所定の電位 V_{ss2} に初期化される。続いてタイミング $T22$ で制御信号 $AZ1$ が立ち上がり、スイッチングトランジスタ T_{r2} がオンする。これによりドライブトランジスタ T_{rd} のゲート電位(G)が所定の電位 V_{ss1} に初期化される。この結果、ドライブトランジスタ T_{rd} のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング $T3$ で行われる V_{th} 補正の準備を行う。換言すると期間 $T21 \sim T3$ は、ドライブトランジスタ T_{rd} のリセット期間に相当する。また、発光素子 EL の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子 EL にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

40

【0019】

タイミング $T3$ では制御信号 $AZ2$ をローレベルにした後、制御信号 DS をローレベル

50

にしている。これによりトランジスタ $T r 3$ がオフする一方トランジスタ $T r 4$ がオンする。この結果ドレイン電流 $I d s$ が画素容量 $C s$ に流れ込み、 $V t h$ 補正動作を開始する。この時ドライブトランジスタ $T r d$ のゲート G は $V s s 1$ に保持されており、ドライブトランジスタ $T r d$ がカットオフするまで電流 $I d s$ が流れる。カットオフするとドライブトランジスタ $T r d$ のソース電位(S)は $V s s 1 - V t h$ となる。ドレイン電流がカットオフした後のタイミング $T 4$ で制御信号 $D S$ を再びハイレベルに戻し、スイッチングトランジスタ $T r 4$ をオフする。さらに制御信号 $A Z 1$ もローレベルに戻し、スイッチングトランジスタ $T r 2$ もオフする。この結果、画素容量 $C s$ に $V t h$ が保持固定される。この様にタイミング $T 3 - T 4$ はドライブトランジスタ $T r d$ の閾電圧 $V t h$ を検出する期間である。ここでは、この検出期間 $T 3 - T 4$ を $V t h$ 補正期間と呼んでいる。

10

【0020】

この様に $V t h$ 補正を行った後タイミング $T 5$ で制御信号 $W S$ をハイレベルに切り替え、サンプリングトランジスタ $T r 1$ をオンして映像信号の信号電位 $V s i g$ を画素容量 $C s$ に書き込む。発光素子 $E L$ の等価容量 $C o l e d$ に比べて画素容量 $C s$ は十分に小さい。この結果、映像信号の信号電位 $V s i g$ のほとんど大部分が画素容量 $C s$ に書き込まれる。正確には、 $V s s 1$ に対する、 $V s i g$ の差分 $V s i g - V s s 1$ が画素容量 $C s$ に書き込まれる。したがってドライブトランジスタ $T r d$ のゲート G とソース S 間の電圧 $V g s$ は、先に検出保持された $V t h$ と今回サンプリングされた $V s i g - V s s 1$ を加えたレベル($V s i g - V s s 1 + V t h$)となる。以降説明簡易化の為 $V s s 1 = 0 V$ とすると、ゲート/ソース間電圧 $V g s$ は図4のタイミングチャートに示すように $V s i g + V t h$ となる。かかる映像信号の信号電位 $V s i g$ のサンプリングは制御信号 $W S$ がローレベルに戻るタイミング $T 7$ まで行われる。すなわちタイミング $T 5 - T 7$ がサンプリング期間に相当する。

20

【0021】

サンプリング期間の終了するタイミング $T 7$ より前のタイミング $T 6$ で制御信号 $D S$ がローレベルとなりスイッチングトランジスタ $T r 4$ がオンする。これによりドライブトランジスタ $T r d$ が電源 $V c c$ に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ $T r 1$ がまだオン状態で且つスイッチングトランジスタ $T r 4$ がオン状態に入った期間 $T 6 - T 7$ で、ドライブトランジスタ $T r d$ の移動度補正を行う。即ち本発明では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $T 6 - T 7$ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 $E L$ は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 $T 6 - T 7$ では、ドライブトランジスタ $T r d$ のゲート G が映像信号の信号電位 $V s i g$ のレベルに固定された状態で、ドライブトランジスタ $T r d$ にドレイン電流 $I d s$ が流れる。ここで $V s s 1 - V t h < V t h E L$ と設定しておく事で、発光素子 $E L$ は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ $T r d$ に流れる電流 $I d s$ は画素容量 $C s$ と発光素子 $E L$ の等価容量 $C o l e d$ の両者を結合した容量 $C = C s + C o l e d$ に書き込まれていく。これによりドライブトランジスタ $T r d$ のソース電位(S)は上昇していく。図4のタイミングチャートではこの上昇分を V で表してある。この上昇分 V は結局画素容量 $C s$ に保持されたゲート/ソース間電圧 $V g s$ から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ $T r d$ の出力電流 $I d s$ を同じくドライブトランジスタ $T r d$ の入力電圧 $V g s$ に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 $T 6 - T 7$ の時間幅 t を調整する事で最適化可能である。この目的で制御信号 $W S$ の立下りに傾斜が付けられている。

30

40

【0022】

タイミング $T 7$ では制御信号 $W S$ がローレベルとなりサンプリングトランジスタ $T r 1$ がオフする。この結果ドライブトランジスタ $T r d$ のゲート G は信号線 $S L$ から切り離される。映像信号の信号電位 $V s i g$ の印加が解除されるので、ドライブトランジスタ $T r d$ のゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間

50

画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は $(V_{sig} - V + V_{th})$ の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、以下の式 1 で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式 1 において、 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。

【0023】

このトランジスタ特性式 1 の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式 2 が得られる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \cdots \text{式 2}$$

上記式 2 において、 $k = (1/2) (W/L) C_{ox}$ である。この特性式 2 から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} はドライブトランジスタ Tr_d の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電位 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号の信号電位 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は負帰還量 V で補正されている。この補正量 V は丁度特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号の信号電位 V_{sig} のみに依存する事になる。

【0024】

最後にタイミング T_8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ Tr_4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、信号電位のサンプリング動作、移動度補正動作及び発光動作が繰り返される事になる。

【0025】

図 5 は、R 画素、G 画素、B 画素を 3 個分並べた画素トリオを表している。本発明の元になった回路構成では、個々の R 画素、G 画素、B 画素がそれぞれ独立した画素回路を構成しており、R 画素、G 画素、B 画素共に同一の回路構成となっている。即ち各画素回路は、5 個のトランジスタ $Tr_1 \sim Tr_4$ 及び Tr_d と、1 個の画素容量 (保持容量) C_s と発光素子 E_L とで構成されている。この発光素子 E_L は R 画素、G 画素、B 画素にそれぞれ割り当てられた色で発光する。

【0026】

各画素の発光期間を制御するスイッチングトランジスタ Tr_4 も、それぞれの画素に設けてある。このスイッチングトランジスタ Tr_4 は、走査線 DS から供給される制御信号 DS に応じてオンし、ドライブトランジスタ Tr_d を電源ライン V_{cc} に接続するものである。本発明の元になった回路構成では 1 つの画素トリオで R 画素、G 画素、B 画素にそれぞれスイッチングトランジスタ Tr_4 を配している。例えば水平方向が 480 組の画素トリオ、垂直方向が 320 組の画素トリオで構成されたパネルの場合、スイッチングトランジスタ Tr_4 は $480 \times 320 \times 3 = 460800$ 個となり、パネル全体でのトータルの素子数が多くなる。またこれら水平方向に並ぶスイッチングトランジスタ Tr_4 の数だけ電源ライン V_{cc} も必要である。よって素子数の個数が多いとパネル歩留りの低下を招くと共に、画面の高精細化が難しく、製造コストも高くなるという問題がある。

【0027】

図 6 は、本発明にかかる画素回路を示す模式的な回路図である。理解を容易にするため、図 5 と対応する部分には対応する参照番号を付してある。この画素回路 2 は R G B 三原色が割り当てられた 3 個の R 画素、G 画素、B 画素と、電源ライン V_{cc} とを備えている。各画素は、映像信号をサンプリングするサンプリングトランジスタ Tr_1 と、サンプリングされた映像信号を保持する保持容量 (画素容量) C_s と、保持された映像信号に応じ

10

20

30

40

50

た駆動電流を所定の発光期間中出力するドライブトランジスタ T_{rd} と、駆動電流に応じ割り当てられた色で発光する発光素子 EL とを含む。特徴事項として RGB 各画素のドライブトランジスタ T_{rd} を発光期間中電源ライン V_{cc} に接続するために、3個の RGB 画素に対して共通に配された1個のスイッチングトランジスタ T_{r4} を備えている。換言すると、図5に示した参考例では各 RGB 画素に配していた3個のスイッチングトランジスタ T_{r4} を、本発明にかかる画素回路では1個のスイッチングトランジスタ T_{r4} として共通化している。かかる構成により、スイッチングトランジスタ T_{r4} のトータルの個数は図5の参考例に比べ3分の1に削減され、低コスト化が可能になる。また一組の画素トリオにつき2個のスイッチングトランジスタ T_{r4} と2本の電源ライン V_{cc} が削減されるため、画素内レイアウトに余裕が出来、不要なショートを防止できる。加えてスイッチングトランジスタ T_{r4} を RGB 画素で共通化することにより、 R 画素、 G 画素、 B 画素間での輝度のばらつきを抑制することも可能である。前述したように、このスイッチングトランジスタ T_{r4} は主として発光期間を規定するものであるが、移動度補正期間も制御している。前述したようにドライブトランジスタ T_{rd} の移動度補正期間は、スイッチングトランジスタ T_{r4} がオンしたとき開始し、サンプリングトランジスタ T_{r1} がオフした時終わる。スイッチングトランジスタ T_{r4} は移動度補正期間の始期を規定している。これを RGB 画素で共通化することにより、 RGB 各画素での移動度補正期間を共通にすることが可能である。これにより RGB 画素間での輝度のばらつきを抑制することが出来る。また、スイッチングトランジスタ T_{r4} のゲートカップリングの影響なども RGB 3画素で共通になため、ばらつきが現れず輝度の一様性を確保できる。

【0028】

図7は、 RGB 画素トリオの配線パターンを示すレイアウト図である。図7は、図5に示した参考例に対応するレイアウト図である。前述したように参考例では、 R 画素、 G 画素、 B 画素にそれぞれドライブトランジスタ T_{rd} やスイッチングトランジスタ T_{r4} を形成している。そのため電源ライン V_{cc} を各 RGB 画素にそれぞれ設ける必要がある。図示の例では、ドライブトランジスタ T_{rd} やスイッチングトランジスタ T_{r4} のゲートを初めに形成している。このゲート形成と同時に、走査線 DS のゲート配線も行っている。なお各トランジスタ T_{rd} 、 T_{r4} のゲート及び DS ゲート配線は金属モリブデン Mo で形成している。その上にドライブトランジスタ T_{rd} やスイッチングトランジスタ T_{r4} の素子領域となる $Poly\ Si$ 層を形成する。さらにその上に、ドライブトランジスタ T_{rd} やスイッチングトランジスタ T_{r4} のソース及びドレインを適切に接続するための配線をアルミニウム(Al)で形成する。その際同時に電源ライン V_{cc} もアルミニウム配線で形成している。

【0029】

図8は、図6に示した本発明にかかる画素回路のパターンレイアウト図である。理解を容易にするため、図7に示した参考例と対応する部分には対応する参照番号を付してある。前述したように、本発明にかかる画素回路2は R 画素、 G 画素、 B 画素でスイッチングトランジスタ T_{r4} を共通化している。本例ではこのスイッチングトランジスタ T_{r4} は G 画素にのみ形成されている。 R 画素でスイッチングトランジスタ T_{r4} が不要となった部分には、例えば保持容量 C_s (画素容量)を補助するための補助容量 C_{sub} を設けることが出来る。同様に B 画素にもスイッチングトランジスタ T_{r4} を除いた部分に補助容量 C_{sub} を必要に応じ形成することが出来る。

【0030】

G 画素に形成したスイッチングトランジスタ T_{r4} のソースは電源ライン V_{cc} に接続している。一方スイッチングトランジスタ T_{r4} のドレインは G 画素のドライブトランジスタ T_{rd} に接続すると共に、その右隣の B 画素に形成されたドライブトランジスタ T_{rd} にも接続している。これらの接続のため、スイッチングトランジスタ T_{r4} のドレイン領域がそのまま延設されて接続用の配線となっている。一方、 G 画素に対して左側に位置する R 画素のドライブトランジスタ T_{rd} に対しては、1層目のアルミニウム配線($A1$)の上に多層化して形成した2層目のアルミ配線($2A1$)を通して接続している。この

10

20

30

40

50

ようにスイッチングトランジスタ T_r4 を共通化すると、 V_{cc} 電源ラインなどの配線をまたがなくてはならない。この為に配線を多層化し、追加した第2のレイヤー(2A1)を使ってスイッチングトランジスタ T_r4 のドレインをR画素のドライブトランジスタ T_{rd} に接続する。多層化するにあたって本実施形態では2層目の配線にアルミニウムを使っている。このときのプロセスは一般的なTFTプロセスを使用することが出来る。場合によっては追加した2層目の配線に金属銀を使うことが出来る。このときは発光素子ELのアノードを形成するプロセスを利用して、第2配線層を形成することが出来る。このように既存のプロセスに大きな変更をもたらすことなく、2層目の配線レイヤーを追加することが可能である

【0031】

図9は、図5及び図7に示した画素の製造に慣用されたプロセスを示す模式的な断面図である。この慣用プロセスは、まずガラスなどの基板(図示せず)の上にトランジスタのゲート電極及びゲート配線(走査線)を金属Moで形成する。その上を2層のゲート絶縁膜 SiO_2/SiN で被覆する。その上にトランジスタの素子領域となる多結晶シリコン薄膜poly Siをパタニング形成する。これを層間絶縁膜で被覆した後、その上に1層目の配線を金属Alでパタニング形成する。この金属配線は信号線や電源ライン V_{cc} となるものである。この配線を第1層間絶縁膜1PLNRで被覆した後、その上に発光素子ELのアノード電極ANODEを蒸着などで形成する。その上に発光層となる有機EL材料を蒸着した後、カソード電極CATHODEを形成する。さらにその上に絶縁膜や保護膜を被覆する。

【0032】

図10は、図6及び図8に示した多層配線を含む画素回路の製造プロセスを示す模式的な断面図である。基本的には図9に示した慣用プロセスを応用したものであり、対応する部分には対応する参照番号を付してある。図示する様に、信号線や電源ライン V_{cc} を1層目の金属Alで形成した後、その上を1層目の層間絶縁膜1PLNRで被覆する。さらにその上に、2層目の金属配線(2A1)を例えば金属アルミニウムで形成する。これは、1層目のアルミニウム配線と同じプロセスを利用して作ることが出来る。2層目のアルミニウム配線2A1を第2層間絶縁膜2PLNRで被覆した後、その上に発光素子ELのアノード電極ANODEを例えばAgなどで蒸着形成する。場合によっては、2層目の金属配線をアルミニウムから銀に代えることが出来る。この場合には発光素子ELのアノード電極の製造プロセスを利用して、2層目の金属配線を作ることになる。

【0033】

図11は、図2及び図5に示した画素回路の変形例を表している。この画素回路は発光素子ELの等価容量 C_{oled} と並行に、補助容量 C_{sub} が形成されている。この補助容量 C_{sub} は保持容量 C_s に映像信号を書き込むときの入力ゲインを稼ぐ時に、等価容量 C_{oled} と並列に配されるものである。

【0034】

図12は、画素容量 C_s に加え補助容量 C_{sub} を形成した画素トリオのパターンレイアウトを示す模式的な平面図である。RGB各色の画素回路2は、各々赤色発光素子、緑色発光素子及び青色発光素子を備えている。各画素回路2に形成された補助容量 C_{sub} は、各色発光素子ごとに異なる容量値を有し、以ってRGB各画素回路間のホワイトバランスを調整している。この場合、RGB画素間で共通化するスイッチングトランジスタ T_r4 を、最も容量値の小さな補助容量 C_{sub} を備えた画素に配することが、レイアウト上適切である。図示の例ではG画素の補助容量 C_{sub} の容量値が最も少ないため、スペース的に余裕がある。この余裕のある部分にスイッチングトランジスタ T_r4 を形成することで、実装効率を改善することが出来る。一方スイッチングトランジスタ T_r4 を共通化したことで、R画素及びB画素にはスペースが空くことになる。この部分は図7に示したように補助容量 C_{sub} のスペースに充当してもよい。

【0035】

サンプリングトランジスタ T_{r1} 、ドライブトランジスタ T_{rd} 及びスイッチングトラ

10

20

30

40

50

ンジスタは、絶縁基板上に形成された薄膜トランジスタTFTsからなり、画素容量 C_s と補助容量 C_{sub} は同じく絶縁基板上に形成された薄膜容量素子からなる。図示の例では、補助容量 C_{sub} の一方の端子はアノードコンタクトを介して画素容量 C_s に接続する一方、他方の端子は所定の固定電位に接続されている。この固定電位は、発光素子ELのカソード側になる接地電位 V_{cath} などが選択される。図示の画素回路2は積層構造となっており、下層にTFTs、 C_s 、 C_{sub} 等が形成されている。上層に発光素子ELが接続されている。理解を容易にするため、図12では上層の発光素子ELが除かれている。実際には、発光素子ELはアノードコンタクトを介して画素回路2側に接続することになる。

【0036】

最後に参考のため、本発明にかかる画素回路の移動度補正動作につき補足の説明をする。図13は、移動度補正期間 T_6 T_7 における画素回路2の状態を示す回路図である。図示するように、移動度補正期間 T_6 T_7 では、サンプリングトランジスタ Tr_1 及びスイッチングトランジスタ Tr_4 がオンしている一方、残りのスイッチングトランジスタ Tr_2 及び Tr_3 がオフしている。この状態でドライブトランジスタ Tr_4 のソース電位(S)は $V_{ss1} - V_{th}$ である。このソース電位(S)は発光素子ELのアノード電位でもある。前述したように $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ Tr_d に流れる電流 I_{ds} は画素容量 C_s と発光素子ELの等価容量 C_{oled} との合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0037】

図14は前述したトランジスタ特性式2をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。このグラフの下方に特性式2も合わせて示してある。図14のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号の信号電位 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素1に流れる出力電流 I_{ds1}' は、移動度 μ の小さい画素2に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、スジムラが発生し画面のユニフォーミティを損なう事になる。

【0038】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。先のトランジスタ特性式1から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 V は移動度が大きいほど大きくなる。図14のグラフに示すように、移動度 μ の大きな画素1の負帰還量 V_1 は移動度の小さな画素2の負帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で V_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素2の補正量 V_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量 V_1 は移動度の小さい画素2の補正量 V_2 に対して小さくなる。つまり移動度が大きいほど V が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

【0039】

以下参考の為、上述した移動度補正の数値解析を行う。図13に示したように、トランジスタTr1及びTr4がオンした状態で、ドライブトランジスタTrdのソース電位を変数Vに取って解析を行う。ドライブトランジスタTrdのソース電位(S)をVとすると、ドライブトランジスタTrdを流れるドレイン電流Idsは以下の式3に示す通りである。

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

10

【0040】

またドレイン電流Idsと容量C(=Cs+Col ed)の関係により、以下の式4に示す様にIds=dQ/dt=CdV/dtが成り立つ。

【数2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

20

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

【0041】

式4に式3を代入して両辺積分する。ここで、ソース電圧V初期状態は-Vthであり、移動度ばらつき補正時間(T6-T7)をtとする。この微分方程式を解くと、移動度補正時間tに対する画素電流が以下の数式5のように与えられる。

30

【数3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

【図面の簡単な説明】

【0042】

【図1】本発明にかかる画素回路を含む画像表示装置の全体構成を示すブロック図である

40

【図2】本発明の画素回路の元になった画素回路を示す回路図である。

【図3】図2から切り取った画素回路を示す模式図である。

【図4】図2及び図3に示した画素回路の動作説明に供するタイミングチャートである。

【図5】図2に示した画素回路をRGB3個分取り出した画素トリオを示す回路図である

【図6】本発明にかかる画素回路を示す回路図である。

【図7】画素回路のパターンレイアウトの参考例を示す模式図である。

【図8】本発明にかかる画素回路のパターンレイアウトを示す模式図である。

【図9】参考例にかかる画素回路の断面構成を示す模式図である。

50

【図10】本発明にかかる画素回路の断面構造を示す模式図である。

【図11】画素回路の参考例を示す模式図である。

【図12】RGB3画素トリオの容量レイアウトを示す模式的な平面図である。

【図13】本発明にかかる画素回路の動作説明に供する模式図である。

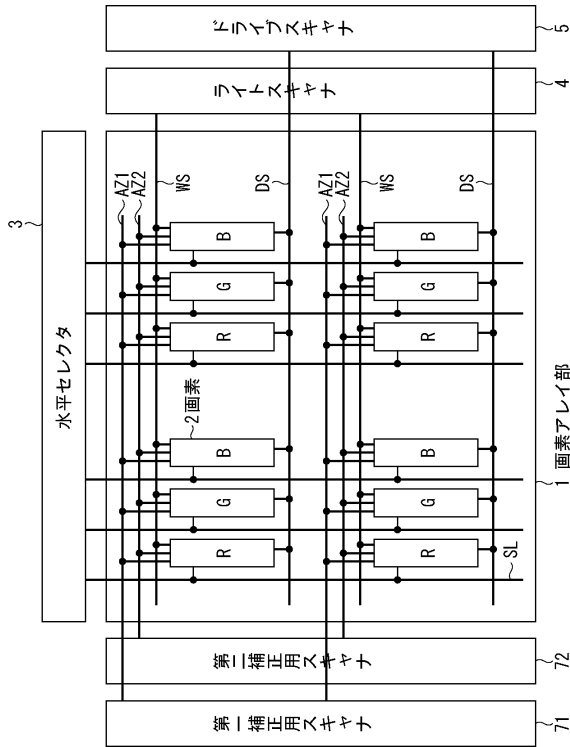
【図14】本発明にかかる画素回路の動作説明に供するグラフである。

【符号の説明】

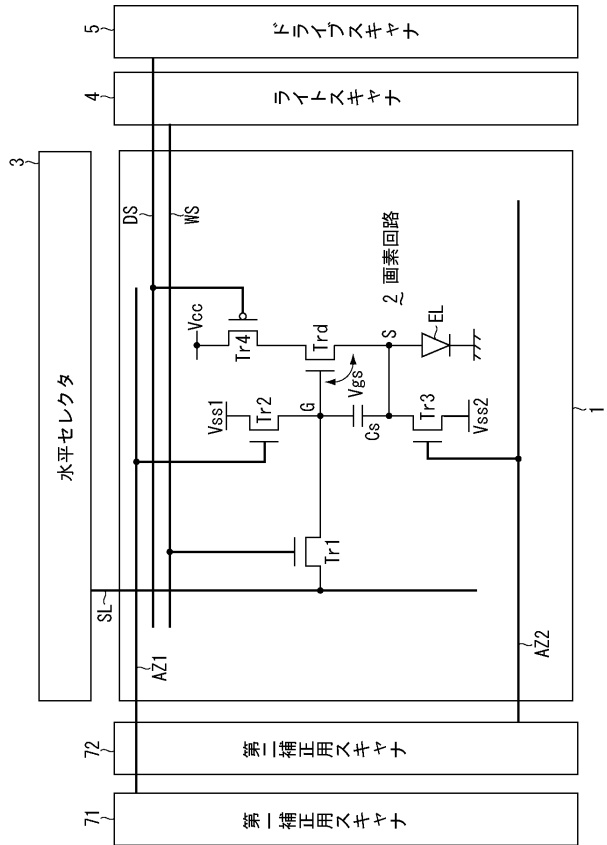
【0043】

1・・・画素アレイ部、2・・・画素、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、Tr1・・・サンプリングトランジスタ、Tr4・・・スイッチングトランジスタ、Trd・・・ドライブトランジスタ、EL・・・発光素子、Cs・・・保持容量、Csub・・・補助容量

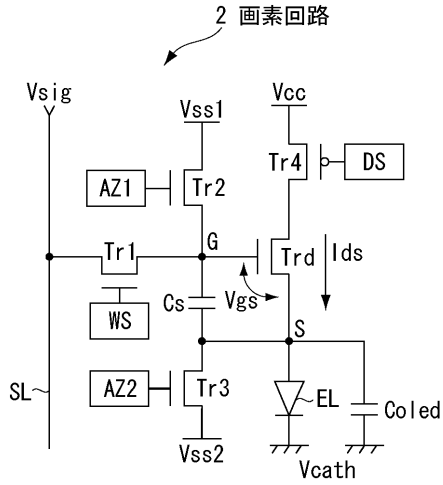
【図1】



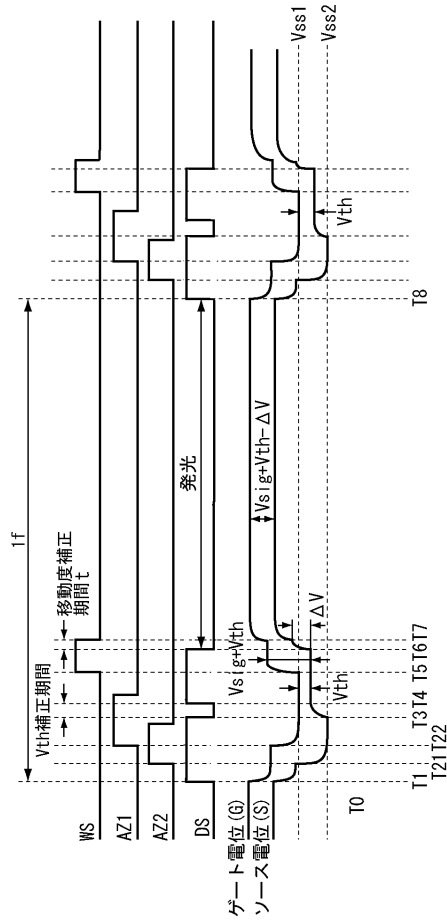
【図2】



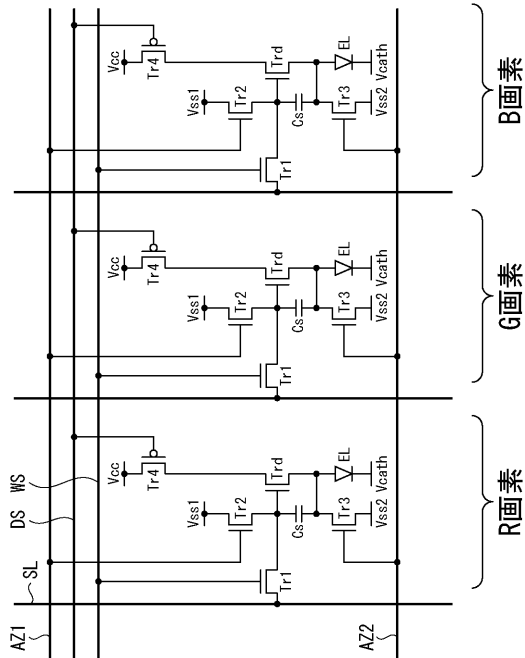
【図3】



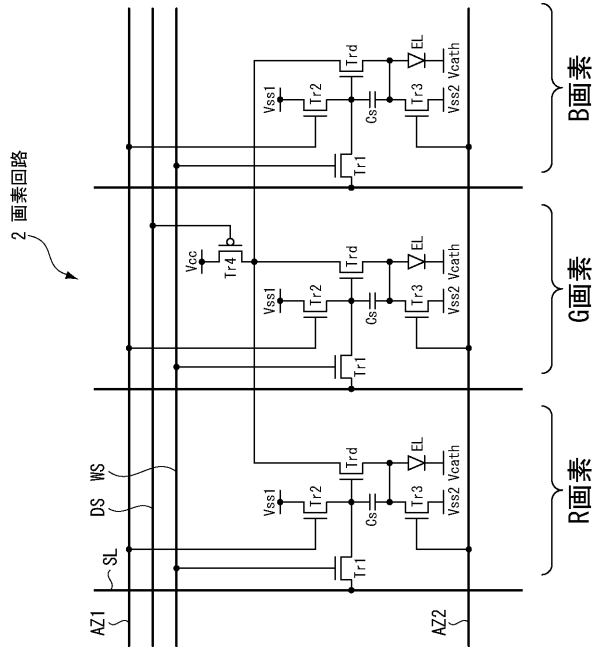
【図4】



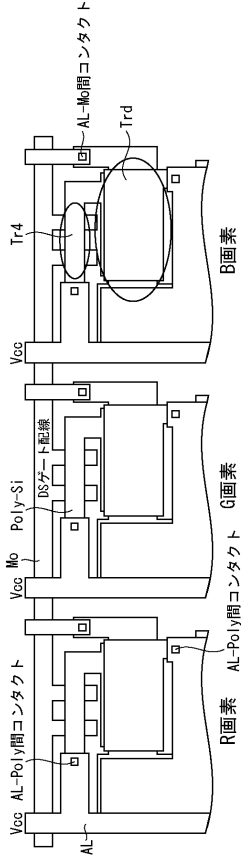
【図5】



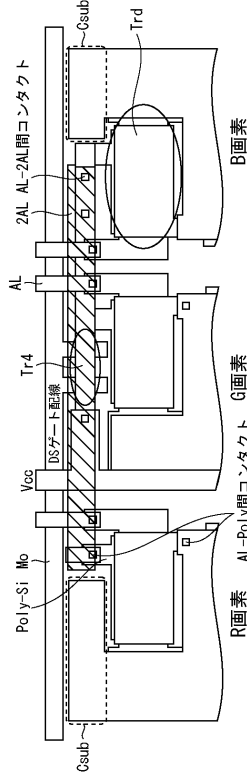
【図6】



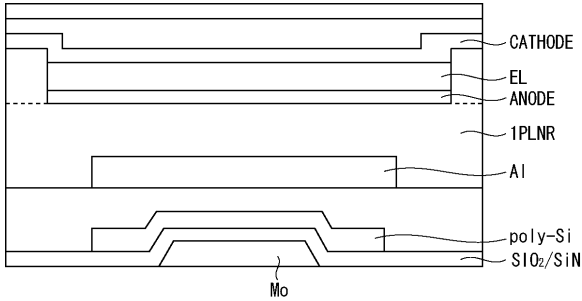
【図 7】



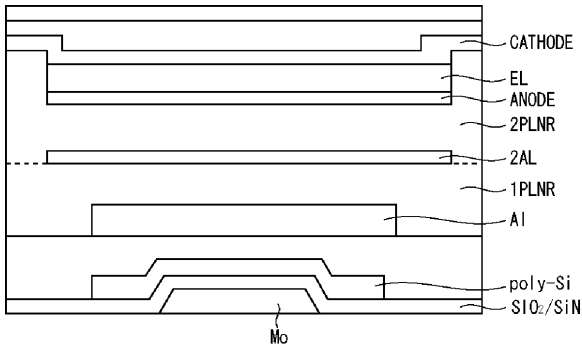
【図 8】



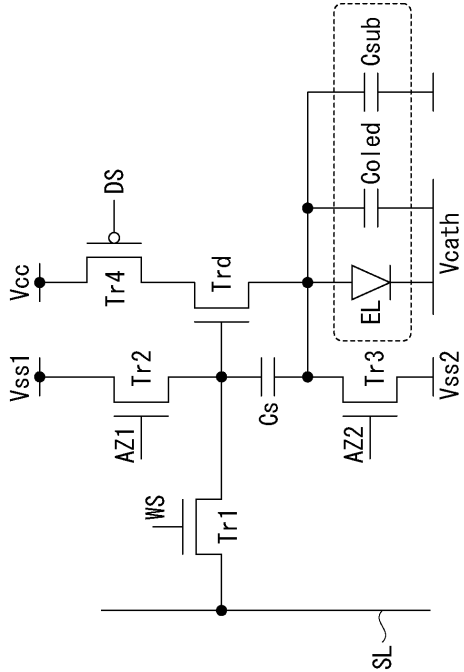
【図 9】

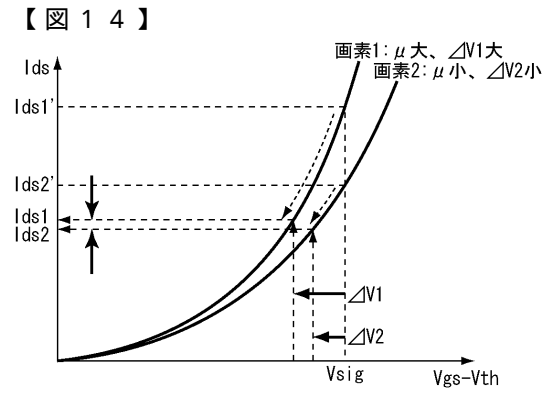
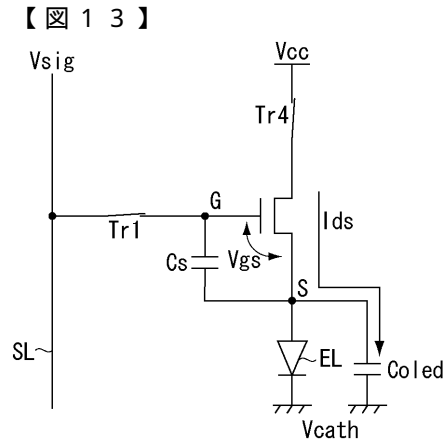
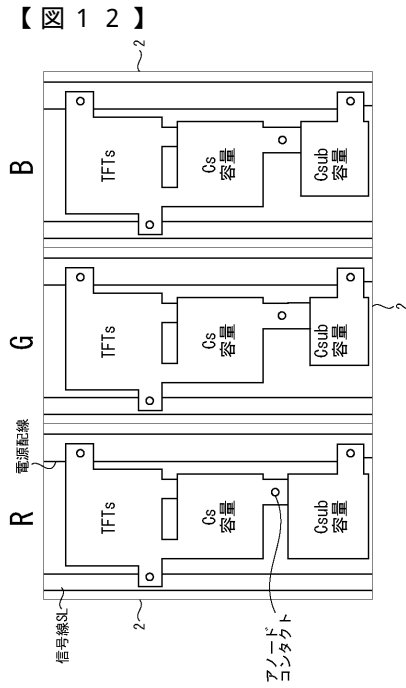


【図 10】



【図 11】





$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 1 1 H
H 0 5 B 33/14 A

審査官 一宮 誠

(56)参考文献 特開2005-148749(JP,A)
特開2004-029791(JP,A)
特開2005-070803(JP,A)
特開2003-270660(JP,A)
特開2006-163371(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4240097B2	公开(公告)日	2009-03-18
申请号	JP2006259572	申请日	2006-09-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 三並徹雄 内野勝秀		
发明人	山下 淳一 三並 徹雄 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0256 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.642.J G09G3/20.624.B G09G3/20.641.D G09G3/20.621.A G09G3/20.642.A G09G3/20.611.H H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/BA22 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380 /BD05 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380 /CC63 5C380/CC65 5C380/CC71 5C380/CC72 5C380/CD015 5C380/CD023 5C380/CD035 5C380 /DA02 5C380/DA06 5C380/DA47		
审查员(译)	一宫诚		
其他公开文献	JP2008083084A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过简化彩色显示装置的像素电路以减少元件的总数，从而提高面板的产量，像素的高清晰度和制造成本的降低。
 Σ SOLUTION：RGB像素中的每一个包括：用于采样视频信号的采样晶体管Tr1和用于保持采样的视频信号的保持电容Cs；驱动晶体管Trd，用于根据所保持的视频信号输出驱动电流一段发光时间；发光元件EL用于发出根据驱动电流分配的RGB颜色之一的光。为了将用于每个RGB像素的驱动晶体管Trd连接到电源线Vcc持续发光时段，三个RGB像素设置有共同设置的一个开关晶体管Tr4。Ž

]

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2$$