

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-21072  
(P2020-21072A)

(43) 公開日 令和2年2月6日(2020.2.6)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/3266 (2016.01)</b>	G09G 3/3266	3K107
<b>H01L 27/32 (2006.01)</b>	H01L 27/32	5C080
<b>H05B 33/14 (2006.01)</b>	H05B 33/14 Z	5C380
<b>H01L 51/50 (2006.01)</b>	H05B 33/14 A	
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E	

審査請求 有 請求項の数 21 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2019-140444 (P2019-140444)  
 (22) 出願日 令和1年7月31日 (2019.7.31)  
 (31) 優先権主張番号 10-2018-0089163  
 (32) 優先日 平成30年7月31日 (2018.7.31)  
 (33) 優先権主張国・地域又は機関 韓国 (KR)

(71) 出願人 501426046  
 エルジー ディスプレイ カンパニー リミテッド  
 大韓民国 ソウル、ヨンドンポグ、ヨウィーテロ 128  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100106183  
 弁理士 吉澤 弘司  
 (74) 代理人 100114915  
 弁理士 三村 治彦  
 (74) 代理人 100125139  
 弁理士 岡部 洋

最終頁に続く

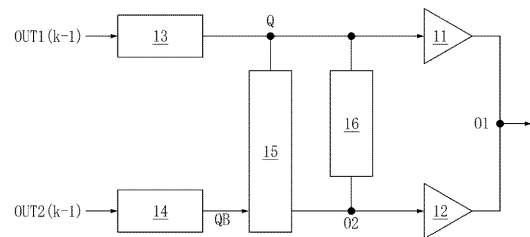
(54) 【発明の名称】 ゲート駆動部およびこれを用いた電界発光表示装置

(57) 【要約】

【課題】 ステージを構成する構成要素の動作マージンを拡大し、ゲート駆動部の信頼性を向上し、ステージの占有面積を縮小し、ベゼル領域を減少できる電界発光表示装置を提供する。

【解決手段】 電界発光表示装置は、エミッションラインに接続したサブピクセルとエミッションラインにエミッション信号を供給し複数のステージで構成されエミッション駆動部を含む。複数のステージ中で、第k (kは1以上の自然数) 番目のステージは、それぞれQ ノードおよび第2出力ノードによって制御されてエミッションラインに接続する第1出力ノードに電圧を提供するプルダウン部とプルアップ部、第k-1番目ステージの第1出力ノードの電圧または第1スタート信号を印加する第1制御部、第k-1番目ステージの第2出力ノードの電圧または第2スタート信号を印加する第2制御部、第2出力ノードの電圧を制御する第3制御部、および第2出力ノードによって制御される第4制御部を含む。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

エミッションラインと、  
前記エミッションラインに接続したサブピクセルと、  
前記エミッションラインにエミッション信号を供給し、複数のステージで構成されエミッション駆動部とを含み、  
前記複数のステージの中で第  $k$  ( $k$  は 1 以上の自然数) 番目のステージは、  
前記エミッションラインに接続した第 1 出力ノードと、  
第 2 出力ノードと、  
Q ノードと、  
前記 Q ノードと前記第 2 出力ノードによってそれぞれ制御され、前記第 1 出力ノードに電圧を提供するプルダウン部およびプルアップ部と、  
第  $k - 1$  番目ステージの第 1 出力ノードの電圧または第 1 スタート信号が印加する第 1 制御部と、  
前記第  $k - 1$  番目ステージの第 2 出力ノードの電圧または第 2 スタート信号が印加する第 2 制御部と、  
前記第 2 出力ノードの電圧を制御するための第 3 制御部と、  
前記第 2 出力ノードによって制御される第 4 制御部とを含む、  
電界発光表示装置。

10

## 【請求項 2】

前記第 4 制御部が、Q ノード安定部をさらに含み、  
前記 Q ノード安定化部は、前記 Q ノードを前記 Q ノードおよび Q' ノードに分割する、  
請求項 1 に記載の電界発光表示装置。

20

## 【請求項 3】

前記第 4 制御部が、動作マージン拡大部をさらに含み、  
前記動作マージン拡大部は、前記第 4 制御部内に発生し得る電圧の衝突を減少または防止する、  
請求項 2 に記載の電界発光表示装置。

## 【請求項 4】

前記第 3 制御部が、コンデンサを含み、  
前記コンデンサに接続したトランジスタを前記第 3 制御部および前記第 4 制御部にそれぞれ少なくとも 1 つ含み、  
前記トランジスタ中の少なくとも 1 つは、ダブルゲート型トランジスタである、  
請求項 1 に記載の電界発光表示装置。

30

## 【請求項 5】

前記プルダウン部が、前記 Q ノードおよび前記第 1 出力ノードに接続したコンデンサを含むことを特徴とする、  
請求項 1 に記載の電界発光表示装置。

## 【請求項 6】

前記第 1 制御部が、第 1 クロック信号によって制御され、  
前記第 2 制御部は、第 2 クロック信号によって制御され、  
前記第 1 クロック信号および前記第 2 クロック信号は、1 水平期間を周期としてロー電圧とハイ電圧の間をスイングして互いに反対の位相を有する、  
請求項 1 に記載の電界発光表示装置。

40

## 【請求項 7】

前記第 4 制御部が、  
前記第 2 出力ノードによって制御され、前記 Q ノードに接続した第 6 トランジスタと、  
前記 Q ノードに接続し、前記 Q ノードと Q' ノードに分割するように具現された第 9 トランジスタと、  
前記 Q ノード及び第 2 クロック信号ラインに接続した第 2 コンデンサとを含む、  
請求項 1 に記載の電界発光表示装置。

## 【請求項 8】

50

前記第 4 制御部が、  
第 2 クロック信号によって制御され、前記 Q ノードおよび前記第 6 トランジスタに接続した第 10 トランジスタと、  
前記第 2 出力ノードおよびハイ電圧ラインに接続した第 4 コンデンサとを含む、請求項 7 に記載の電界発光表示装置。

【請求項 9】

ゲート駆動部が、  
複数のステージを含み、  
前記複数のステージの中で第 k 番目のステージが、  
第 1 出力ノードと、  
第 2 出力ノードと、  
前記第 1 出力ノードを制御するプルダウントランジスタおよびプルアップトランジスタ、  
前記第 2 出力ノードを制御する制御部とを含み、  
前記制御部は、  
Q ノードによって制御される第 3 トランジスタと、  
第 1 クロック信号によって制御される第 4 トランジスタと、  
Q B ノードによって制御される第 5 トランジスタと、  
第 1 コンデンサとを含み、  
前記第 1 コンデンサは、  
前記 Q B ノードに接続した第 1 電極と、前記第 2 出力ノードに接続する第 2 電極とを含み、

10

20

前記 Q ノードおよび前記第 2 出力ノードに接続した出力信号安定化部を含み、  
前記第 1 出力ノードおよび前記第 2 出力ノードに提供された電圧は、第 k + 1 番目のステージのスタート信号であり、k は 1 以上の自然数である、ゲート駆動部。

【請求項 10】

前記第 5 トランジスタが、ダブルゲート型トランジスタである、請求項 9 に記載のゲート駆動部。

【請求項 11】

前記第 k 番目のステージが、前記 Q ノードの電圧を制御する第 1 トランジスタと、前記 Q B ノードの電圧を制御する第 2 トランジスタとを含み、  
前記第 1 トランジスタは、第 k - 1 番目ステージの第 1 出力ノードと接続し、  
前記第 2 トランジスタは、前記第 k - 1 番目ステージの第 2 出力ノードと接続する、請求項 9 に記載のゲート駆動部。

30

【請求項 12】

前記第 k 番目のステージが、前記第 2 出力ノードによって制御され前記 Q ノードに接続する第 6 トランジスタ、および、前記 Q ノードと第 2 クロック信号ラインに接続する第 2 コンデンサを含む、請求項 11 に記載のゲート駆動部。

【請求項 13】

前記プルダウントランジスタおよび前記第 5 トランジスタが、ロー電圧ラインに接続し、  
前記プルアップトランジスタ、前記第 3 トランジスタ、および前記第 6 トランジスタは、ハイ電圧ラインに接続する、請求項 12 に記載のゲート駆動部。

40

【請求項 14】

前記第 6 トランジスタが、ダブルゲート型トランジスタである、請求項 12 に記載のゲート駆動部。

【請求項 15】

前記第 k 番目のステージが、前記 Q ノードおよび前記第 1 出力ノードに接続する第 3 コンデンサを含む、請求項 11 に記載のゲート駆動部。

【請求項 16】

前記第 k 番目のステージが、

50

前記第 2 出力ノードによって制御され、前記 Q ノードに接続する第 6 トランジスタと、前記 Q ノードに接続して前記 Q ノードを Q ノードおよび Q' ノードに分割する第 9 トランジスタと、

前記 Q ノードと第 2 クロック信号ラインに接続した第 2 コンデンサを含む、請求項 1 1 に記載のゲート駆動部。

【請求項 1 7】

前記プルダウントランジスタ、前記第 5 トランジスタ、および前記第 9 トランジスタが、ゲートロー電圧ラインに接続し、

前記プルアップトランジスタ、前記第 3 トランジスタ、および前記第 6 トランジスタは、ゲートハイ電圧ラインに接続する、請求項 1 6 に記載のゲート駆動部。

10

【請求項 1 8】

前記第 6 トランジスタが、ダブルゲート型トランジスタである、請求項 1 6 に記載のゲート駆動部。

【請求項 1 9】

前記第 k 番目のステージが、

前記 Q ノードに接続して前記 Q ノードを Q ノードおよび Q' ノードに分割する第 9 トランジスタと、

前記第 2 出力ノードによって制御される第 6 トランジスタと、

第 2 クロック信号によって制御されて、前記 Q' ノードおよび前記第 6 トランジスタに接続した第 1 0 トランジスタと、

20

前記 Q ノードおよび前記第 2 クロック信号が入力する第 2 クロック信号ラインに接続した第 2 コンデンサと、

前記第 2 出力ノードおよびハイ電圧ラインに接続した第 4 コンデンサを含む、請求項 1 1 に記載のゲート駆動部。

【請求項 2 0】

前記プルダウントランジスタ、前記第 5 トランジスタ、および前記第 9 トランジスタが、ゲートロー電圧ラインに接続し、

前記プルアップトランジスタ、前記第 3 トランジスタ、および前記第 6 トランジスタは、ゲートハイ電圧ラインに接続する、請求項 1 9 に記載のゲート駆動部。

【請求項 2 1】

前記第 6 トランジスタが、ダブルゲート型トランジスタである、請求項 1 9 に記載のゲート駆動部。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本明細書は、駆動能力が向上したゲート駆動部およびこれを用いた電界発光表示装置に関するものである。

【背景技術】

【0 0 0 2】

情報化技術が発達するにつれて、使用者と情報との間の接続媒体である表示装置の市場が拡大している。これにより、電界発光表示装置、液晶表示装置、有機発光表示装置、および量子ドット表示装置など、さまざまな形態の表示装置の使用が増加している。

40

【0 0 0 3】

その中で電界発光表示装置は、応答速度が速く、発光効率が高く、視野角が大きいという利点がある。一般的に、電界発光表示装置は、スキャン信号によってターンオンするトランジスタを用いて、データ電圧を駆動トランジスタのゲート電極に印加し、駆動トランジスタに供給されるデータ電圧をストレージコンデンサに充電する。そして、発光制御信号を用いて、ストレージコンデンサに充電されたデータ電圧を出力することによって、発光素子を発光させる。発光素子は、有機発光素子、無機発光素子を含むことができる。

【0 0 0 4】

50

電界発光表示装置には、ゲート信号およびデータ信号が供給され、ゲート信号は、スキャン信号およびエミッション信号を含む。電界発光表示装置は、エミッション信号と1つ以上のスキャン信号を用いて駆動する。一般的に、スキャン信号を生成するゲート駆動部は、ゲート信号を順次に出力するためのシフトレジスタ (shift register) を含むことができる。

【0005】

映像を表示するための最小装置である表示パネルは、画素アレイ (pixel array) が配置され、映像を表示する表示領域と映像を表示しない非表示領域に区分することができる。ゲート駆動部は、チップオンフィルム (Chip On Film) またはチップオンガラス (Chip On Glass) の形態で表示パネルに装着され、または、表示パネルの非表示領域であるベゼル領域に薄膜トランジスタの組み合わせで形成されるゲートインパネル (Gate In Panel、以下GIP) の形態で具現されることもある。GIP形態のゲート駆動部は、ゲートラインの数に対応してステージを備え、各ステージは、一対一に対応するゲートラインに供給されるゲートパルスを出力する。ゲートラインは、表示領域に配置された画素アレイにゲート信号を供給して、発光素子が発光するようにする。

10

【0006】

したがって、画素アレイに正確な信号を伝達するために、ゲート駆動部の駆動能力の向上および信頼性を高めるための方法が模索されている。

【先行技術文献】

【特許文献】

20

【0007】

【特許文献1】特開2018-018082

【発明の概要】

【発明が解決しようとする課題】

【0008】

前述したように、電界発光表示装置は、エミッション信号と1つ以上のスキャン信号を用いて駆動する。電界発光表示装置を駆動するためには、データ信号を走査するためのスキャン信号だけでなく、スキャン信号を走査する間、発光素子の発光を停止させるためのエミッション信号が必要である。

30

【0009】

表示パネルの高解像度によるクロック信号およびエミッション信号の負荷の増加により動作マージンが減少してエミッション駆動回路の不良が発生し得る。また、GIP形態のゲート駆動部は、電界発光表示装置のベゼル領域を拡大させることになる。

【0010】

そこで、本明細書の発明者らは、前記した問題点を認識して、小さな面積に配置することができ、動作マージンおよび信頼性が向上したゲート駆動部およびこれを用いた電界発光表示装置を発明した。

【0011】

本明細書の実施例に係る解決課題は、ゲート駆動部を構成するトランジスタの動作マージンを拡大し、信頼性を向上させたゲート駆動部およびこれを用いた表示装置を提供することである。

40

【0012】

本明細書の実施例に係る解決課題は、表示パネルのベゼル領域を縮小化することができるゲート駆動部およびこれを用いた表示装置を提供することである。

【0013】

本明細書の課題は、以上で言及した課題に限定されず、言及されていないまた他の課題は、下記の記載から当業者に明確に理解されるだろう。

【課題を解決するための手段】

【0014】

本明細書の一実施例による電界発光表示装置において、電界発光表示装置は、エミッシ

50

オンラインに接続したサブピクセルおよびエミッションラインにエミッション信号を供給し、複数のステージで構成されエミッション駆動部を含む。複数のステージのうち、第  $k$  ( $k$  は 1 以上の自然数) 番目のステージは、それぞれ  $Q$  ノードおよび第 2 出力ノードによって制御されてエミッションラインに接続した第 1 出力ノードに電圧を提供するプルダウン部およびプルアップ部、第  $k - 1$  番目ステージの第 1 出力ノードの電圧または第 1 スタート信号が印加する第 1 制御部、第  $k - 1$  番目ステージの第 2 出力ノードの電圧または第 2 スタート信号が印加する第 2 制御部、第 2 出力ノードの電圧を制御するための第 3 制御部、および第 2 出力ノードによって制御される第 4 制御部を含む。そして、第 1 出力ノードはエミッションラインに接続する。これにより、ステージを構成する構成要素の動作マージンを拡大し、ゲート駆動部の信頼性を向上させることができる。また、ステージが占める面積を縮小して、ベゼル領域を減らすことができる。

10

**【0015】**

本明細書の一実施例によってステージを含むゲート駆動部において、第  $k$  ( $k$  は 1 以上の自然数) 番目のステージは、第 1 出力ノードを制御するプルダウントランジスタおよびプルアップトランジスタ、第 2 出力ノードを制御する制御部を含み、第 1 出力ノードおよび第 2 出力ノードに印加された電圧は、第  $k + 1$  番目のステージのスタート信号として印加される。制御部は、 $Q$  ノードによって制御される第 3 トランジスタ、第 1 クロック信号によって制御される第 4 トランジスタ、 $QB$  ノードによって制御される第 5 トランジスタ、および  $QB$  ノードに一方の電極が接続して第 2 出力ノードに他方の電極が接続した第 1 コンデンサを含む。これにより、ステージを構成する構成要素の動作マージンを拡大し、ゲート駆動部の信頼性を向上させることができる。また、ステージが占める面積を縮小して、ベゼル領域を減らすことができる。

20

**【0016】**

その他の実施例の詳細な事項は、詳細な説明および図に含まれている。

**【発明の効果】****【0017】**

本明細書の実施例によると、ステージは、それぞれその前のステージから出力される 2 つの信号をスタート信号として用いることにより、ステージが占める面積を縮小させて、ベゼル領域を減らし、ステージを構成する構成要素の動作マージンを拡大することができる。

30

**【0018】**

また、本明細書の実施例によると、コンデンサの両端に接続したトランジスタをダブルゲート型トランジスタで形成することにより、ステージを構成する回路の信頼性を向上させることができる。

**【0019】**

また、本明細書の実施例によると、トランジスタを用いて、プルダウントランジスタを制御する  $Q$  ノードを分割することにより、 $Q$  ノードに形成される寄生容量を減少させ、プルダウン部に含まれるコンデンサを省略することができる。

**【0020】**

また、本明細書の実施例によると、 $Q'$  ノードと第 6 トランジスタの間に第 10 トランジスタを配置することにより、第 1 クロック信号がターンオン電圧である場合、第 1 トランジスタを介して伝達されたターンオン電圧と第 6 トランジスタを介して伝達されたハイ電圧が衝突することを防止して、第 3 トランジスタが劣化して閾値電圧がシフトしても、第 1 トランジスタを介して入力した信号が正常に伝達されるようにする。

40

**【0021】**

また、本明細書の実施例によると、第の出力信号ラインとハイ電圧ラインに接続した第 4 コンデンサは、第 1 出力信号がハイ電圧からロー電圧に変わる前でありながら  $QB$  ノードがロー電圧からハイ電圧に変わるとき、第 1 コンデンサにより第 2 出力信号の電圧がハイ電圧になることを防止し、第 2 出力信号がロー電圧状態を維持して、第 1 出力信号がハイ電圧状態を維持できるようにする。

50

## 【 0 0 2 2 】

以上で解決しようとする課題、課題解決手段、効果に記載した明細書の内容が請求項の必須的な特徴を特定するものではなく、請求項の権利範囲は、明細書の内容に記載された事項によって制限されない。

## 【 図面の簡単な説明 】

## 【 0 0 2 3 】

【 図 1 】本明細書の一実施例に係る電界発光表示装置のブロック図である。

【 図 2 】本明細書の一実施例に係るゲート駆動部のブロック図である。

【 図 3 】本明細書の一実施例に係るステージのブロック図である。

【 図 4 】本明細書の第 1 実施例に係るステージの回路図である。

10

【 図 5 】本明細書の第 2 実施例に係るステージの回路図である。

【 図 6 】本明細書の第 3 実施例に係るステージの回路図である。

【 図 7 】本明細書の一実施例に係るステージの駆動波形図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 4 】

本発明の利点と特徴、そしてそれらを達成する方法は添付の図と共に詳細に後述する実施例を参照すれば明確になるだろう。しかし、本発明は、以下で開示する実施例に限定されるものではなく、異なる多様な形態で具現されるものであり、単に本実施例は本発明の開示が完全になるようにし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らしめるために提供するものであり、本発明は、請求項の範疇によって定義されるだけである。

20

## 【 0 0 2 5 】

本発明の実施例を説明するために図で開示した形状、大きさ、比率、角度、数などは例示的なものなので、本発明は、図に示した事項に限定されるものではない。明細書全体にわたって同一参照符号は同一の構成要素を指すことができる。また、本発明を説明するにおいて、関連する公知技術に対する詳細な説明が本発明の要旨を不必要に曖昧にすると判断される場合、その詳細な説明は省略する。

## 【 0 0 2 6 】

本明細書で言及した「含む」、「有する」、「からなる」などが使用されている場合は、「～だけ」が使用されていない限り、他の部分が追加され得る。構成要素を単数で表現する場合に、特に明示的な記載事項がない限り、複数が含まれる場合を含む。

30

## 【 0 0 2 7 】

構成要素を解釈するに当たり、別途の明示的な記載がなくても誤差の範囲を含むものと解釈する。

## 【 0 0 2 8 】

位置関係の説明である場合には、例えば、「～上に」、「～の上部に」、「～の下部に」、「～の隣に」などで2つの部分の位置関係が説明されている場合は、「すぐに」または「直接」が使用されていない以上、二つの部分の間に1つ以上の他の部分が位置することもできる。

## 【 0 0 2 9 】

時間の関係に対する説明である場合には、例えば、「～の後」、「～に続いて」、「～次に」、「～前に」などで時間的前後関係が説明されている場合は、「すぐに」または「直接」が使用されていない以上、連続していない場合も含むことができる。

40

## 【 0 0 3 0 】

本明細書いくつかの実施例のそれぞれの特徴が部分的または全体的に互いに結合または組み合わせ可能で、技術的に様々な連動および駆動が可能であり、各実施例が互い対して独立して実施可能であり得、関連の関係で一緒に実施することもできる。

## 【 0 0 3 1 】

本明細書で表示パネルの基板上に形成されるゲート駆動部は、n型またはp型のトランジスタで具現することができる。例えば、トランジスタは、M O S F E T (Metal Oxide

50

Semiconductor Field Effect Transistor) 構造のトランジスタで具現することができる。トランジスタは、ゲート電極、ソース電極、およびドレイン電極を含む3電極素子である。ソース電極は、キャリア(carrier)をトランジスタに供給する。トランジスタ内でキャリアは、ソースから移動を開始する。ドレイン電極は、トランジスタからキャリアが外部に出る電極である。

【0032】

例えば、トランジスタのキャリアは、ソース電極からドレイン電極に移動する。n型トランジスタの場合には、キャリアが電子であるため、ソース電極からドレイン電極に移動できるように、ソース電極の電圧がドレイン電極の電圧よりも低い電圧を有する。n型トランジスタで電子がソース電極からドレイン電極の方に移動するので、電流の方向は逆にドレイン電極からソース電極の方向である。p型トランジスタの場合には、キャリアが正孔であるため、ソース電極からドレイン電極に正孔が移動できるように、ソース電極の電圧がドレイン電極の電圧よりも高い。p型トランジスタの正孔がソース電極からドレイン電極の方に移動するので、電流の方向は、ソース電極からドレイン電極の方向である。トランジスタのソース電極とドレイン電極は、固定されたものではなく、トランジスタのソース電極とドレイン電極は、印加電圧によって変更することができる。したがって、ソース電極およびドレイン電極は、それぞれ第1電極および第2電極または第2電極および第1電極として言及することができる。

【0033】

以下では、ゲートオン電圧(gate on voltage)はトランジスタがターンオン(turn-on)することができるゲート信号の電圧であり、ゲートオフ電圧(gate off voltage)はトランジスタがターンオフ(turn-off)することができる電圧である。例えば、p型トランジスタでゲートオン電圧はロジックロー電圧(VL)であり得、ゲートオフ電圧はロジックハイ電圧(VH)であり得る。n型トランジスタでゲートオン電圧は、ロジックハイ電圧であり得、ゲートオフ電圧はロジックロー電圧であり得る。

【0034】

以下、添付の図を参照して、本明細書の実施例に係るゲート駆動部およびこれを用いた電界発光表示装置について説明することにする。

【0035】

図1は、本明細書の一実施例に係る電界発光表示装置のブロック図である。

【0036】

図1を参考にすると、電界発光表示装置100は、映像処理部110、タイミング制御部120、ゲート駆動部130、データ駆動部140、表示パネル150、および電源供給部180を含む。

【0037】

映像処理部110は、外部から供給された映像データおよび各種装置を駆動するための駆動信号などを出力する。映像処理部110から出力される駆動信号には、データインーブル信号、垂直同期信号、水平同期信号、およびクロック信号が含まれ得る。

【0038】

タイミング制御部120は、映像処理部110から供給された映像データおよび駆動信号などが供給される。タイミング制御部120は、駆動信号に基づいて、ゲート駆動部130の動作タイミングを制御するためのゲートタイミング制御信号(GDC)、データ駆動部140の動作タイミングを制御するためのデータタイミング制御信号(DDC)、および表示パネル150に表示しようとする映像の輝度情報を含んだデータ信号(DATA)を出力する。

【0039】

ゲート駆動部130は、タイミング制御部120から供給されたゲートタイミング制御信号(GDC)に应答して、スキャン信号を出力する。ゲート駆動部130は、ゲートライン(GL1,...,GLn)を介してゲート信号を出力する。ゲート駆動部130は、IC(integrated circuit)形態で形成することができ、表示パネル150に内蔵されたGIP(gate integrated panel)

10

20

30

40

50

ate in panel) 形態で形成することもできる。ゲート駆動部 130 は、表示パネル 150 の左側および右側にそれぞれ配置したり、いずれか一方に配置したりすることもできる。ゲート駆動部 130 は、複数のステージからなる。例えば、ゲート駆動部 130 の第 1 ステージは、表示パネル 150 の第 1 ゲートラインに印加させる第 1 ゲート信号を出力する。

#### 【0040】

データ駆動部 140 は、タイミング制御部 120 から供給されたデータのタイミング制御信号 (DDC) に応答して、データ電圧を出力する。データ駆動部 140 は、タイミング制御部 120 から供給されたデジタル形態のデータ信号 (DATA) をサンプリングしてラッチ (latch) してガンマ基準電圧に基づいたアナログ形態のデータ信号に変換する。データ駆動部 140 は、データライン (DL1, ..., DLm) を介してデータ信号を出力する。データ駆動部 140 は、IC (integrated circuit) 形態で表示パネル 150 上に形成するか、表示パネル 150 にチップオンフィルム (Chip On Film) 形態で形成することもできる。

10

#### 【0041】

電源供給部 180 は、高電位電源電圧 (VDD) と低電位電源電圧 (VSS) などを入力する。電源供給部 180 から出力された高電位電源電圧 (VDD) と低電位電源電圧 (VSS) などは、表示パネル 150 に供給される。高電位電源電圧 (VDD) は、高電位電源ラインを介して表示パネル 150 に供給され、低電位電源電圧 (VSS) は、低電位電源ラインを介して表示パネル 150 に供給される。電源供給部 180 から出力した電圧は、ゲート駆動部 130 やデータ駆動部 140 で使用することもできる。

20

#### 【0042】

表示パネル 150 は、ゲート駆動部 130 および、データ駆動部 140 から供給されたゲート信号およびデータ信号、そして電源供給部 180 から供給された電源電圧に対応して映像を表示する。表示パネル 150 は、映像を表示することができるよう動作するピクセルアレイを含み、ピクセルアレイは、サブピクセル (SP) で構成される。

#### 【0043】

表示パネル 150 は、サブピクセル (SP) が配置された表示領域 (DA) と表示領域 (DA) の外郭に各種信号ラインやパッドなどが形成される非表示領域を含む。表示領域 (DA) は、映像が表示される領域であるため、サブピクセル (SP) が位置する領域であり、非表示領域は、映像が表示されない領域であるため、サブピクセル (SP) が位置していないが、ダミーピクセルは、位置することができる。また、非表示領域には、ゲート駆動部 130 および、データ駆動部 140 が位置することができる。

30

#### 【0044】

表示領域 (DA) は、複数のサブピクセル (SP) を含み、それぞれのサブピクセル (SP) が表示する階調に基づいて映像を表示する。それぞれのサブピクセル (SP) は、カラムライン (column line) に沿って配列されるデータライン (DL) と接続し、ピクセルライン (pixel line) またはローライン (row line) に沿って配列されるゲートラインに接続する。同じピクセルラインに位置するサブピクセル (SP) は、同一のゲートラインを共有し、同時に駆動する。そして、第 1 ゲートラインに接続したサブピクセル (SP) を第 1 サブピクセルと定義し、第 n ゲートラインに接続したサブピクセル (SP) を第 n サブピクセルにと定義するとき、第 1 サブピクセルから第 n サブピクセルは、順次に駆動する。

40

#### 【0045】

サブピクセル (SP) は、マトリクス形態に配置して画素アレイを構成するが、これに限定されない。サブピクセル (SP) は、マトリクス形態以外に、サブピクセル (SP) を共有する形態、ストライプ (stripe) 形態、ダイヤモンド (diamond) 形態など多様な形態で配置することができる。

#### 【0046】

サブピクセル (SP) は、赤色サブピクセル、緑色サブピクセル、および青色サブピク

50

セルを含むか、または赤色サブピクセル、緑色サブピクセル、青色サブピクセル、および白色サブピクセルを含むことができる。サブピクセル ( S P ) は、発光特性によって、一つ以上の異なる発光面積を有することもできる。

【 0 0 4 7 】

図 2 は、本明細書の一実施例に係るゲート駆動部のブロック図である。詳細には、図 2 は、本明細書の一実施例に係るゲート駆動部およびゲート駆動部から出力される信号が印加されるピクセルのラインを示している。

【 0 0 4 8 】

前述したように、表示パネル 1 5 0 は、サブピクセル ( S P ) を基に映像を表示する表示領域 ( D A ) と信号ラインや駆動部などが位置して映像を表示しない非表示領域 ( N D A ) を含む。

【 0 0 4 9 】

サブピクセル ( S P ) は、発光素子および発光素子のアノードに印加される電流量を制御するピクセル駆動回路を含む。ピクセル駆動回路は、発光素子に一定の電流が流れるように電流量を制御する駆動トランジスタを含むことができる。発光素子は、発光期間に発光し、発光期間以外の期間には発光しない。発光期間以外の期間には、ピクセル駆動回路が初期化され、スキャン信号がピクセル駆動回路に入力し、プログラミングおよびピクセル駆動回路の補償期間などを行なうことができる。例えば、ピクセル駆動回路の補償は、駆動トランジスタのしきい値電圧補償であり得る。発光期間以外の期間には、発光素子が特定の輝度で発光することができる電流が一定に供給されないので、発光素子が発光しないようにしなければならない。例えば、発光素子が発光しないようにすることができる方法としては、発光素子のアノードと駆動トランジスタとの間にエミッショントランジスタを接続することができる。エミッショントランジスタは、エミッションラインに接続してエミッション駆動部から出力するエミッション信号によって制御される。発光期間でエミッション信号は、ターンオン電圧であり、発光期間以外の期間でエミッション信号は、ターンオフ電圧であり得る。

【 0 0 5 0 】

表示パネル 1 5 0 に含まれたサブピクセル ( S P ) を駆動するためのゲート信号は、スキャン信号およびエミッション信号を含む。したがって、ゲート駆動部 1 3 0 は、スキャン信号を印加する駆動部およびエミッション信号を印加する駆動部を別々に含むことができる。スキャン信号は、スキャンラインを介してサブピクセル ( S P ) に印加され、エミッション信号はエミッションラインを介してサブピクセル ( S P ) に印加される。

【 0 0 5 1 】

図 2 のゲート駆動部 1 3 0 は、エミッション信号を印加する駆動部のみを表示する。本明細書によるゲート駆動部 1 3 0 は、第 1 ステージ ( E M ( 1 ) ) から第 n ステージ ( E M ( n ) ) を含む。図 2 では、第 k ステージ ( E M ( k ) ) を例として説明する。この場合には、k は自然数であり、 $1 < k \leq n$  である。

【 0 0 5 2 】

ゲート駆動部 1 3 0 は、第 k ステージ ( E M ( k ) ) に入力する第 1 クロック信号 ( C L K 1 )、第 2 クロック信号 ( C L K 2 )、ロー電圧 ( V L )、ハイ電圧 ( V H )、およびスタート電圧 ( V S T ) が印加される配線を含む。たとえば、ロー電圧 ( V L ) は - 8 V から - 7 V であり、エミッションハイ電圧 ( V E H ) は、7 V から 8 V であり得る。第 k ステージ ( E M ( k ) ) は、第 1 クロック信号 ( C L K 1 ) および第 2 クロック信号 ( C L K 2 ) に対応してスタート電圧 ( V S T ) をシフトしながらエミッション信号を第 k ピクセルライン ( H ( k ) ) に提供する。この場合には、スタート電圧 ( V S T ) は、第 1 ステージ ( E M ( 1 ) ) に入力し、第 2 ステージ ( E M ( 2 ) ) から第 n ステージ ( E M ( n ) ) は、その前のステージから出力するエミッション信号をスタート信号として入力することによって動作する。例えば、第 k ステージ ( E M ( k ) ) の第 1 出力信号 ( O U T 1 ) は、第 k + 1 ステージ ( E M ( k + 1 ) ) のスタート信号として入力し、第 k ピクセルライン ( H ( k ) ) に入力する。第 k + 1 ステージ ( E M ( k + 1 ) ) は、第 k +

10

20

30

40

50

1 ピクセルライン ( $H(k+1)$ ) にエミッション信号を提供する。そして、第  $k$  ステージ ( $EM(k)$ ) の第 2 出力信号 ( $OUT2$ ) は、第  $k+1$  ステージ ( $EM(k+1)$ ) のスタート信号として入力する。第  $k+1$  ステージ ( $EM(k+1)$ ) は、第  $k$  ステージ ( $EM(k)$ ) から出力する 2 つの信号をスタート信号として用いることにより、ステージが占める面積を縮小して、ベゼル領域を減らし、ステージに含まれた構成要素の動作マージンを拡大することができる。同様に、第  $k+2$  ステージ ( $EM(k+2)$ ) は、第  $k+1$  ステージ ( $EM(k+1)$ ) から出力される 2 つの信号をスタート信号として用いる。第  $k+2$  ステージ ( $EM(k+2)$ ) は、第  $k+2$  ピクセルライン ( $H(k+2)$ ) にエミッション信号を提供する。

【0053】

第 1 クロック信号 ( $CLK1$ ) および第 2 クロック信号 ( $CLK2$ ) は、それぞれハイ電圧とロー電圧の間をスイングし、互いに反対の位相であり得る。この場合には、第 1 クロック信号 ( $CLK1$ ) および第 2 クロック信号 ( $CLK2$ ) は、互いに逆の位相であるが、クロック周期の違いがあり得る。例えば、第 1 クロック信号 ( $CLK1$ ) のクロック周期は、第 2 クロック信号 ( $CLK2$ ) のクロック周期より長い場合もある。そして、図 2 では、ゲート駆動部 130 に入力する第 1 クロック信号 ( $CLK1$ ) および第 2 クロック信号 ( $CLK2$ ) の 2 相の回路を示したが、これに限定されない。

【0054】

図 3 は、本明細書の一実施例に係るステージのブロック図である。図 3 は、ゲート駆動部 130 を構成する第  $k$  ステージ ( $EM(k)$ ) を例として説明する。この場合には、ステージはエミッションステージであり得る。

【0055】

図 3 を参照すると、第  $k$  ステージ ( $EM(k)$ ) は、プルダウン部 11 は、プルアップ部 12、Q ノード制御部 13、QB ノード制御部 14、O2 ノード制御部 15、および出力信号安定化部 16 を含む。

【0056】

プルダウン部 11 は、Q ノード ( $Q$ ) の電圧に応答して、第 1 出力信号 ( $OUT1$ ) を出力し、プルアップ部 12 は、O2 ノード ( $O2$ ) の電圧に応答して、第 1 出力信号 ( $OUT1$ ) をターンオフ電圧で制御する。第 1 出力信号 ( $OUT1$ ) は、O1 ノード ( $O1$ ) に印加され、第  $k$  ピクセルラインに印加される。ここで、O2 ノード ( $O2$ ) に対する説明は後述することにする。Q ノード ( $Q$ ) は、第 1 ノードと称することもできる。O2 ノードは、第 2 ノードと称することができ、O1 ノードは、第 3 ノードと称することができる。

【0057】

Q ノード制御部 13 は、Q ノード ( $Q$ ) を充電または放電させるための構成要素であり、第  $k-1$  ステージ ( $EM(k-1)$ ) の第 1 出力信号 ( $OUT1(k-1)$ ) をスタート信号として用いて Q ノード ( $Q$ ) にターンオン電圧を印加する。第  $k-1$  ステージ ( $EM(k-1)$ ) は、第  $k-1$  ピクセルライン ( $H(k-1)$ ) にエミッション信号を提供する。Q ノード制御部 13 は、第 1 制御部と称することもできる。

【0058】

QB ノード制御部 14 は、QB ノード ( $QB$ ) を充電または放電させるための構成要素であり、第  $k-1$  ステージ ( $EM(k-1)$ ) の第 2 出力信号 ( $OUT2(k-1)$ ) をスタート信号として用いて QB ノード ( $QB$ ) にターンオン電圧を印加する。QB ノード制御部 14 は、第 2 制御部と称することもできる。

【0059】

O2 ノード制御部 15 は、O2 ノード ( $O2$ ) を充電または放電させるための構成要素であり、QB ノード ( $QB$ ) に印加される信号の入力を受けて O2 ノード ( $O2$ ) に出力する。Q ノード ( $Q$ ) がターンオフ電圧である間、ターンオン電圧を O2 ノード ( $O2$ ) に出力させ、Q ノード ( $Q$ ) がターンオン電圧の間、ターンオフ電圧を O2 ノード ( $O2$ ) に出力させる。また、Q ノード ( $Q$ ) の電圧がロー電圧である場合、O2 ノード ( $O2$

10

20

30

40

50

)の電圧をハイ電圧に維持させる。O2ノード制御部15は、第3制御部と称することもできる。

【0060】

出力信号安定化部16は、O2ノード(O2)の電圧によってQノード(Q)の電圧をハイ電圧に維持させることにより、第1出力信号(OUT1)を安定化させる。出力信号安定化部16は、第4制御部と称することもできる。

【0061】

前述したように、ターンオフ電圧は、ターンオフ電圧が印加されるトランジスタの種類によって異なる。ターンオフ電圧は、p型トランジスタの場合はハイ電圧であり、n型トランジスタの場合はロー電圧である。そして、ターンオン電圧は、p型トランジスタの場合はロー電圧であり、n型トランジスタの場合はハイ電圧である。以下では、p型トランジスタで構成された第kステージ(EM(k))を例として説明する。

【0062】

図4は、本明細書の第1実施例に係るステージの回路図である。図4は図3のブロック図を具体化した回路図であり、ゲート駆動部130を構成する第kステージ(EM(k))を例として説明する。

【0063】

図4を参照すると、第kステージ(EM(k))は、プルダウン部11、プルアップ部12、Qノード制御部13、QBノード制御部14、O2ノード制御部15、および出力信号安定化部16を含む。

【0064】

Qノード制御部13は、第1トランジスタ(T1)で構成される。第1トランジスタ(T1)のゲート電極は、第1クロック信号(CLK1)が入力する第1クロック信号ラインに接続し、ソース電極は、第k-1ステージの第1出力ノードに接続し、ドレイン電極はQノード(Q)に接続する。第1トランジスタ(T1)は、第1クロック信号(CLK1)のターンオン電圧によってターンオンされ、第k-1ステージの第1出力信号(OUT1(k-1))をQノード(Q)に提供する。

【0065】

QBノード調節部14は、第2トランジスタ(T2)で構成される。第2トランジスタ(T2)のゲート電極は、第2クロック信号(CLK2)が入力する第2クロック信号ラインに接続し、ソース電極は、第k-1ステージの第2出力ノードに接続し、ドレイン電極はQBノード(QB)に接続する。第2トランジスタ(T2)は、第2クロック信号(CLK2)のターンオン電圧によってターンオンされ、第k-1ステージの第2出力信号(OUT2(k-1))をQBノード(QB)に提供する。

【0066】

O2ノード制御部15は、第3トランジスタ(T3)、第4トランジスタ(T4)、および第5トランジスタ(T5)で構成される。第3トランジスタ(T3)、第4トランジスタ(T4)、および第5トランジスタ(T5)は、直列に接続する。第3トランジスタ(T3)のドレイン電極は、第4トランジスタ(T4)のドレイン電極と接続し、第4トランジスタ(T4)のソース電極は、第5トランジスタ(T5)のドレイン電極と接続する。第3トランジスタ(T3)のゲート電極は、第1トランジスタ(T1)のドレイン電極と接続し、第4トランジスタ(T4)のゲート電極は、第1クロック信号ラインと接続し、第5トランジスタ(T5)のゲート電極は、QBノード(QB)と接続する。そして、第3トランジスタ(T3)のソース電極は、ハイ電圧(VH)が入力するハイ電圧ラインに接続し、第5トランジスタ(T5)のソース電極はロー電圧(VL)が入力するロー電圧ラインに接続する。第1クロック信号(CLK1)とQBノード(QB)の電圧がターンオン電圧の時に、ロー電圧(VL)をO2ノード(O2)に印加する。そして、O2ノード(O2)に印加した電圧は、第k+1ステージのスタート信号になる。この場合、第1コンデンサに接続して、他のトランジスタに比べて高いストレスを受ける第5トランジスタ(T5)をダブルゲート型トランジスタで形成することにより、第5トランジスタ

10

20

30

40

50

( T 5 ) の信頼性を向上させることができる。

【 0 0 6 7 】

O 2 ノード制御部 1 5 は、第 1 コンデンサ ( C 1 ) をさらに含む。第 1 コンデンサ ( C 1 ) の第 1 電極は O 2 ノード ( O 2 ) に接続し、第 2 電極は Q B ノード ( Q B ) に接続する。第 1 コンデンサ ( C 1 ) は、ロー電圧 ( V L ) が O 2 ノード ( O 2 ) に印加された時、ブートストラップ現象によって Q B ノード ( Q B ) の電圧をロー電圧 ( V L ) よりも低い状態にして、第 5 トランジスタ ( T 5 ) が安定的にターンオン状態を維持できるようにする。第 3 トランジスタ ( T 3 ) は、Q ノード ( Q ) にロー電圧が提供された時、ターンオンして、ハイ電圧 ( V H ) を O 2 ノード ( O 2 ) に印加する。

【 0 0 6 8 】

出力信号安定化部 1 6 は、第 6 トランジスタ ( T 6 ) を含む。第 6 トランジスタ ( T 6 ) のゲート電極は、O 2 ノード ( O 2 ) に接続し、ソース電極はハイ電圧 ( V H ) が入力するハイ電圧ラインに接続し、ドレイン電極は Q ノード ( Q ) に接続する。O 2 ノード ( O 2 ) にロー電圧を印加すると、第 6 トランジスタ ( T 6 ) がターンオンして Q ノード ( Q ) にハイ電圧を印加する。第 6 トランジスタ ( T 6 ) は、プルダウン部 1 1 をターンオフさせて O 1 ノード ( O 1 ) にターンオフ電圧が安定的に維持されるようにする。そして、第 1 コンデンサに接続して、他のトランジスタに比べて高いストレスを受ける第 6 トランジスタ ( T 6 ) をダブルゲート型トランジスタで形成することにより、第 6 トランジスタ ( T 6 ) の信頼性を向上できる。

【 0 0 6 9 】

出力信号安定化部 1 6 は、第 2 コンデンサ ( C 2 ) をさらに含む。第 2 コンデンサ ( C 2 ) の第 1 電極は Q ノード ( Q ) に接続し、第 2 電極は第 2 クロック信号ラインに接続する。第 2 コンデンサ ( C 2 ) は、Q ノード ( Q ) がロー電圧の時にチャージポンピング ( Charge Pumping ) 作用によって Q ノード ( Q ) の電圧をロー電圧状態に維持する。

【 0 0 7 0 】

プルダウン部 1 1 は、第 7 トランジスタ ( T 7 ) を含む。第 7 トランジスタ ( T 7 ) のゲート電極は Q ノード ( Q ) に接続し、ソース電極はロー電圧ラインに接続し、ドレイン電極は O 1 ノード ( O 1 ) に接続する。Q ノード ( Q ) にロー電圧が入力すると、第 7 トランジスタ ( T 7 ) は、ターンオンしてロー電圧 ( V L ) を O 1 ノード ( O 1 ) に印加する。O 1 ノード ( O 1 ) に印加された電圧は、第 k ステージの第 1 出力信号として第 k ピクセルラインに伝達される。プルダウン部 1 1 は、第 3 コンデンサ ( C 3 ) をさらに含む。第 3 コンデンサ ( C 3 ) の第 1 電極は Q ノード ( Q ) に接続し、第 2 電極は O 1 ノード ( O 1 ) に接続する。第 3 コンデンサ ( C 3 ) は、ロー電圧 ( V L ) が O 1 ノード ( O 1 ) に印加された時、ブートストラップ現象によって Q ノード ( Q ) の電圧をロー電圧 ( V L ) よりも低い状態にして、第 7 トランジスタ ( T 7 ) が安定的にターンオン状態を維持できるようにする。

【 0 0 7 1 】

プルアップ部 1 2 は、第 8 トランジスタ ( T 8 ) を含む。第 8 トランジスタ ( T 8 ) のゲート電極は O 2 ノード ( O 2 ) に接続し、ソース電極はハイ電圧ラインに接続し、ドレイン電極は O 1 ノード ( O 1 ) に接続する。O 2 ノード ( O 2 ) にロー電圧が提供されると、第 8 トランジスタ ( T 8 ) は、ターンオンして、ハイ電圧 ( V H ) を O 1 ノード ( O 1 ) に印加する。

【 0 0 7 2 】

本明細書の第 1 実施例に係る第 k ステージに含まれたトランジスタの中でダブルゲート型トランジスタとして示された第 5 トランジスタ ( T 5 ) および第 6 トランジスタ ( T 6 ) だけでなく、第 1 トランジスタ ( T 1 ) 、第 2 トランジスタ ( T 2 ) 、第 3 トランジスタ ( T 3 ) 、および第 4 トランジスタ ( T 4 ) もダブルゲート型トランジスタとして具現することにより、ゲート駆動部の信頼性を向上できる。

【 0 0 7 3 】

本明細書の第 1 実施例に係る第 k ステージは 8 つのトランジスタを含む比較的シンプルな

10

20

30

40

50

な回路構成と第  $k - 1$  ステージの出力信号二つを入力信号として用いることにより、ステージが占める面積を縮小してベゼル領域を減らし、ステージを構成する構成要素の動作マージンを拡大できる。

【0074】

図5は、本明細書の第2実施例に係るステージの回路図である。図5は図3のブロック図を具体化した回路図であり、ゲート駆動部130を構成する第  $k$  ステージ ( $EM(k)$ ) を例に説明する。

【0075】

図5は図4の回路図で、第9トランジスタ ( $T9$ ) を追加することによって回路の信頼性が改善された構造である。したがって、図4と重複する構成要素については説明を省略、または簡単にできる。

【0076】

図5を参照すると、第  $k$  ステージ ( $EM(k)$ ) は、プルダウン部11'、プルアップ部12、Qノード制御部13、QBノード制御部14、O2ノード制御部15、および出力信号安定化部167を含む。プルアップ部12、Qノード制御部13、QBノード制御部14、およびO2ノード制御部15は、本明細書の第1実施例の構成と同じである。

【0077】

出力信号安定化部16'は、第6トランジスタ ( $T6'$ ) および第9トランジスタ ( $T9$ ) を含む。第9トランジスタ ( $T9$ ) は、Qノード ( $Q$ ) に接続してQノード ( $Q$ ) をQノード ( $Q$ ) とQ'ノード ( $Q'$ ) に分割する。第9トランジスタ ( $T9$ ) のゲート電極は、ロー電圧ラインに接続することにより、第9トランジスタ ( $T9$ ) は、ターンオン状態を維持する。第9トランジスタ ( $T9$ ) のソース電極およびドレイン電極は、それぞれQノード ( $Q$ ) およびQ'ノード ( $Q'$ ) に接続する。Qノード ( $Q$ ) が分割されることにより、第6トランジスタ ( $T6'$ ) のドレイン電極は、Q'ノード ( $Q'$ ) に接続する。この場合、第9トランジスタ ( $T9$ ) は、Qノード安定化部と称することができる。

【0078】

O2ノード制御部15に含まれてQノード ( $Q$ ) に接続した第3トランジスタ ( $T3$ ) と出力信号安定化部16'に含まれた第6トランジスタ ( $T6'$ ) は、しきい値電圧の劣化が他のトランジスタに比べて大きく発生する。これを解決するために、第9トランジスタ ( $T9$ ) を追加してQノード ( $Q$ ) を分割することによって、第3トランジスタ ( $T3$ ) と第6トランジスタ ( $T6'$ ) のしきい値電圧劣化レベルを緩和させて、ゲート駆動部の信頼性を向上できる。

【0079】

本明細書の第2実施例では、プルダウン部11'を構成する第7トランジスタ ( $T7$ ) および第3コンデンサの中で第3コンデンサを省略できる。第9トランジスタ ( $T9$ ) が省略された場合、Qノード ( $Q$ ) には、寄生容量が多く形成されるが、第9トランジスタ ( $T9$ ) が追加されてQノード ( $Q$ ) が分割され、Qノード ( $Q$ ) に形成される寄生容量が減少するからである。

【0080】

本明細書の第2実施例に係る第  $k$  ステージに含まれたトランジスタの中でダブルゲート型トランジスタとして示された第5トランジスタ ( $T5$ ) および第6トランジスタ ( $T6'$ ) だけでなく、第1トランジスタ ( $T1$ )、第2トランジスタ ( $T2$ )、第3トランジスタ ( $T3$ )、および第4トランジスタ ( $T4$ ) もダブルゲート型トランジスタで具現することにより、ゲート駆動部の信頼性を向上させられる。

【0081】

本明細書の第2実施例に係る第  $k$  ステージは、第  $k - 1$  ステージの出力信号二つを入力信号として用いることにより、ステージが占める面積を縮小して、ベゼル領域を減らし、ステージを構成する構成要素の動作マージンを拡大できる。

【0082】

図6は、本明細書の第3実施例に係るステージの回路図である。図5は図3のブロック

10

20

30

40

50

図を具体化した回路図であり、ゲート駆動部 130 を構成する第 k ステージ (EM(k)) を例に説明する。

【0083】

図 6 は、図 5 の回路図において、第 10 トランジスタ (T10) が追加されることで、トランジスタの動作マージンが拡大され、しきい値電圧のシフトによる動作不能の問題を改善できる。そして、第 4 コンデンサ (C4) が追加されることで O1 ノード (O1) に印加される電圧の歪みの問題を改善できる。

【0084】

以下、図 6 の説明の中で、図 4 または図 5 と重複する構成要素については説明を省略、または簡単にできる。

10

【0085】

図 6 を参照すると、第 k ステージ (EM(k)) は、プルダウン部 11'、プルアップ部 12、Q ノード制御部 13、QB ノード制御部 14、O2 ノード制御部 15、および出力信号安定化部 16' を含む。

【0086】

プルダウン部 11'、プルアップ部 12、Q ノード制御部 13、QB ノード制御部 14、および O2 ノード制御部 15 は、本明細書の第 2 実施例の構成と同じである。

【0087】

出力信号安定化部 16'' は、第 6 トランジスタ (T6'')、第 9 トランジスタ (T9)、第 10 トランジスタ (T10)、第 2 コンデンサ (C2)、および第 4 コンデンサ (C4) を含む。この中で、第 9 トランジスタ (T9) および第 2 コンデンサ (C2) は、図 5 の構成要素と同じなので説明は省略する。

20

【0088】

第 10 トランジスタ 10 のゲート電極は、第 2 クロック信号ラインに接続し、ソース電極は、第 6 トランジスタ (T6'') のドレイン電極に接続し、ドレイン電極は、Q' ノード (Q') に接続する。そして、第 6 トランジスタ (T6'') のゲート電極は、O2 ノード (O2) に接続し、ソース電極はハイ電圧ラインに接続し、ドレイン電極は、第 10 トランジスタ (T10) のソース電極に接続する。第 10 トランジスタ (T10) は、第 1 クロック信号 (CLK1) がターンオン電圧である場合、第 1 トランジスタ (T1) を介して伝達されたターンオン電圧と第 6 トランジスタ (T6'') を介して伝達されたハイ電圧が衝突することを防止して、第 3 トランジスタ (T3) が劣化してしきい値電圧がシフトしても、第 1 トランジスタ (T1) を介して第 k-1 ステージの第 1 出力信号が正常に伝達されるようにする。

30

【0089】

第 4 コンデンサ (C4) の第 1 電極は O2 ノード (O2) に接続して、第 2 電極はハイ電圧線に接続する。第 4 コンデンサ (C4) は、O1 ノード (O1) がハイ電圧からロー電圧に変わる前、QB ノード (QB) がロー電圧からハイ電圧に変わる時、第 1 コンデンサ (C1) によって O2 ノード (O2) 電圧がハイ電圧になることを防止し、O2 ノード (O2) がロー電圧状態を維持して O1 ノード (O1) がハイ電圧状態を維持できるようにする。この場合、第 10 トランジスタ (T10) および第 4 コンデンサ (C4) は、動作マージン拡大部と称することができる。

40

【0090】

本明細書の第 3 実施例に係る第 k ステージに含まれたトランジスタの中でダブルゲート型トランジスタとして示されている第 5 トランジスタ (T5) および第 6 トランジスタ (T6) だけでなく、第 1 トランジスタ (T1)、第 2 トランジスタ (T2)、第 3 トランジスタ (T3)、第 4 トランジスタ (T4)、および第 6 トランジスタ (T6'') もダブルゲート型トランジスタとして具現することにより、ゲート駆動部の信頼性を向上させることができる。

【0091】

本明細書の第 3 実施例に係る第 k ステージは、第 k-1 ステージの出力信号二つを入力

50

信号として用いることにより、ステージが占める面積を縮小して、ベゼル領域を減らし、ステージを構成する構成要素の動作マージンを拡大することができる。

【0092】

図7は、本明細書の一実施例に係るステージの駆動波形図である。図7の波形図は、本明細書の第1実施例、第2実施例、および第3実施例にも同様に適用することができる。

【0093】

図7、図4、図5、および図6を参照すると、第1期間(P1)で第k-1ステージ(EM(k-1))の第2出力信号(OUT2(k-1))と第2クロック信号(CLK2)がロー電圧であるため、第2トランジスタ(T2)がターンオンされてQBノード(QB)にロー電圧を印加する。そして、QBノード(QB)に印加されたロー電圧により第5トランジスタ(T5)がターンオンしてロー電圧(VL)を第5トランジスタのドレイン電極に印加する。

10

【0094】

第2期間(P2)で第1クロック信号(CLK1)がロー電圧であるため、第1トランジスタ(T1)および第4トランジスタ(T4)がターンオンし、第k-1ステージの第1出力信号(OUT1(k-1))のハイ電圧がQノード(Q)に印加され、第5トランジスタ(T5)のドレイン電極のロー電圧がO2ノード(O2)に印加される。したがって、第2期間(P2)の間、第kステージの第2出力信号(OUT2)はロー電圧である。そして、第1コンデンサ(C1)のブートストラップでQBノード(QB)はロー電圧よりも低くなるので、第5トランジスタ(T5)が安定的にターンオン状態を維持することができる。そして、O2ノード(O2)に印加されたロー電圧によって第8トランジスタがターンオンされるため、O1ノード(O1)にハイ電圧が印加される。したがって、第2期間(P2)の間、第kステージの第1出力信号(OUT1)は、ハイ電圧である。

20

【0095】

第k-1ステージの第1出力信号(OUT1(k-1))および第2出力信号(OUT2(k-1))は、それぞれハイ電圧およびロー電圧が4水平期間維持され、これにより、第kステージの第1出力信号(OUT1)および第2出力信号(OUT2)は、それぞれハイ電圧およびロー電圧が4水平期間中維持される。

【0096】

さらに、第1実施例および第2実施例の場合、第2期間(P2)を含む3水平期間の間O2ノード(O2)に印加されたロー電圧によって第6トランジスタ(T6、T6')がターンオンしてQノード(Q)およびQ'ノード(Q')にハイ電圧を印加することにより、第1出力信号(OUT1)は、安定的にハイ電圧を出力できる。第3実施例の場合、第2期間(P2)を含む3水平期間の間O2ノード(O2)に印加されたロー電圧によって第6トランジスタ(T6")がターンオンされるが、第10トランジスタ(T10)は第2クロック信号(CLK2)がロー電圧の場合にのみターンオンするので、Q'ノード(Q')にハイ電圧を間欠的に印加する。

30

【0097】

第3期間(P3)で第k-1ステージの第2出力信号(OUT2(k-1))がハイ電圧に変換されて、第2クロック信号(CLK2)がロー電圧であるため、ハイ電圧がQBノード(QB)に印加される。そして、第5トランジスタ(T5)はターンオフする。

40

【0098】

第4期間(P4)で、第k-1ステージの第1出力信号(OUT1(k-1))および、第1クロック信号(CLK1)がロー電圧であるため、第1トランジスタ(T1)がターンオンされてロー電圧をQノード(Q)に印加する。これにより、第3トランジスタ(T3)がターンオンしてO2ノード(O2)にハイ電圧を印加する。ハイ電圧は、第8トランジスタ(T8)をターンオフさせて第kステージの第2出力信号(OUT2)として第k+1ステージに入力する。また、Qノード(Q)に印加されたロー電圧により第7トランジスタ(T7)がターンオンされるため、ロー電圧をO1ノード(O1)に印加する。この場合、第7トランジスタ(T7)のしきい値電圧値のため、O1ノード(O1)の

50

完全なロー電圧が印加されない。これは、第5期間(P2)で第2コンデンサ(C2)によって補償され得る。

【0099】

第5期間(P5)で第2クロック信号(CLK2)がロー電圧に変換され、第2コンデンサ(C2)のブートストラップ現象によってQノード(Q)の電圧が安定的にロー電圧になり、第7トランジスタ(T7)がターンオン状態を維持しながら、O1ノード(O1)にロー電圧を印加する。O1ノード(O1)に印加した電圧は、第kステージの第1出力信号(OUT1)として第kピクセルラインに印加される。

【0100】

本明細書の実施例に係るゲート駆動部およびこれを用いた電界発光表示装置は、次のように説明できる。

10

【0101】

本明細書の一実施例に係る電界発光表示装置において、電界発光表示装置は、エミッションラインに接続したサブピクセルおよびエミッションラインにエミッション信号を供給し、複数のステージで構成されエミッション駆動部を含む。複数のステージの中で、第k(kは1以上の自然数)番目のステージは、それぞれQノードおよび第2出力ノードによって制御されてエミッションラインに接続した第1出力ノードに電圧を提供するプルダウン部およびプルアップ部、第k-1番目ステージの第1出力ノードの電圧または第1スタート信号が印加する第1制御部、第k-1番目ステージの第2出力ノードの電圧または第2スタート信号が印加する第2制御部、第2出力ノードの電圧を制御するための第3制御部、および第2出力ノードによって制御される第4制御部を含む。そして、第1出力ノードはエミッションラインに接続する。これにより、ステージを構成する構成要素の動作マージンを拡大し、ゲート駆動部の信頼性を向上させることができる。また、ステージが占める面積を縮小して、ベゼル領域を減らすことができる。

20

【0102】

本明細書の他の特徴によると、第4制御部はQノード安定部をさらに含み、Qノード安定化部はQノードをQノードおよびQ'ノードに分割できる。

【0103】

本明細書の他の特徴によると、第4制御部は動作マージン拡大部をさらに含むことができ、動作マージン拡大部は第4制御部内に発生し得る電圧の衝突を防止できる。

30

【0104】

本明細書の他の特徴によると、第3制御部はコンデンサを含み、コンデンサに接続したトランジスタを第3制御部および第4制御部にそれぞれ少なくとも1つ含み、トランジスタはダブルゲート型トランジスタであり得る。

【0105】

本明細書の他の特徴によると、プルダウン部はQノードおよび第2出力ノードに接続したコンデンサを含むことができる。

【0106】

本明細書の他の特徴によると、第1制御部は、第1クロック信号によって制御され、第2制御部は、第2クロック信号によって制御され、第1クロック信号および第2クロック信号は、1水平期間を周期としてロー電圧とハイ電圧との間をスイングして互いに反対の位相を有することができる。

40

【0107】

本明細書の一実施例によってステージを含むゲート駆動部において、第k(kは1以上の自然数)番目のステージは、第1出力ノードを制御するプルダウントランジスタおよびプルアップトランジスタ、第2出力ノードを制御する制御部を含み、第1出力ノードおよび第2出力ノードに印加された電圧は、第k+1番目のステージのスタート信号として印加する。制御部は、Qノードによって制御される第3トランジスタ、第1クロック信号によって制御される第4トランジスタ、QBノードによって制御される第5トランジスタ、およびQBノードに一方の電極が接続して第2出力ノードに他方の電極が接続した第1コ

50

ンデンサを含む。これにより、ステージを構成する構成要素の動作マージンを拡大し、ゲート駆動部の信頼性を向上させることができる。また、ステージが占める面積を縮小して、ベゼル領域を減らすことができる。

【0108】

本明細書の他の特徴によると、第3トランジスタは、ダブルゲート型トランジスタであり得る。

【0109】

本明細書の他の特徴によると、第k番目のステージは、Qノードの電圧を制御する第1トランジスタおよびQBノードの電圧を制御する第2トランジスタを含むことができる。第1トランジスタは、第k-1番目ステージの第1出力ノードと接続して、第2トランジスタは、前記第k-1番目ステージの第2出力ノードと接続できる。

10

【0110】

本明細書の他の特徴によると、第k番目のステージは、第2出力ノードによって制御されてQノードに接続した第6トランジスタ、およびQノードと第2クロック信号ラインに接続した第2コンデンサを含むことができる。プルダウントランジスタおよび第5トランジスタは、ロー電圧ラインに接続し、プルアップトランジスタ、第3トランジスタ、および第6トランジスタは、ハイ電圧ラインに接続できる。そして、第6トランジスタは、ダブルゲート型トランジスタであり得る。

【0111】

本明細書の他の特徴によると、第k番目のステージは、Qノードおよび第1出力ノードに接続した第3コンデンサを含むことができる。

20

【0112】

本明細書の他の特徴によると、第k番目のステージは、第2出力ノードによって制御されてQノードに接続した第6トランジスタ、Qノードに接続してQノードをQノードおよびQ'ノードに分割する第9トランジスタ、およびQノードと第2クロック信号ラインに接続した第2コンデンサを含むことができる。プルダウントランジスタ、第5トランジスタ、および第9トランジスタは、ゲートロー電圧ラインに接続して、プルアップトランジスタ、第3トランジスタ、および第6トランジスタは、ゲートハイ電圧ラインに接続できる。そして、第6トランジスタは、ダブルゲート型トランジスタであり得る。

【0113】

本明細書の他の特徴によると、第k番目のステージは、Qノードに接続してQノードをQノードおよびQ'ノードに分割する第9トランジスタ、第2出力ノードによって制御される第6トランジスタ、第2クロック信号によって制御されてQ'ノードおよび第6トランジスタに接続した第10トランジスタ、Qノードおよび第2クロック信号が入力する第2クロック信号ラインに接続した第2コンデンサ、および第2出力ノードおよびハイ電圧ラインに接続した第4コンデンサを含むことができる。プルダウントランジスタ、第5トランジスタ、および第9トランジスタは、ゲートロー電圧ラインに接続して、プルアップトランジスタ、第3トランジスタ、および第6トランジスタは、ゲートハイ電圧ラインに接続できる。そして、第6トランジスタは、ダブルゲート型トランジスタであり得る。

30

【0114】

以上、添付の図を参照して、本発明の実施例をさらに詳細に説明したが、本発明は、必ずしもこのような実施例で限定されるものではなく、本発明の技術思想を逸脱しない範囲内で多様に変形実施することができる。したがって、本発明に開示された実施例は、本発明の技術思想を限定するためのものではなく説明するためのものであり、このような実施例により、本発明の技術思想の範囲が限定されるものではない。したがって、以上で記述した実施例は、すべての面で例示的なものであり限定的ではないと理解されなければならない。本発明の保護範囲は、特許請求の範囲によって解釈されなければならない、それと同等の範囲内にあるすべての技術思想は、本発明の権利範囲に含まれるものと解釈されなければならない。

40

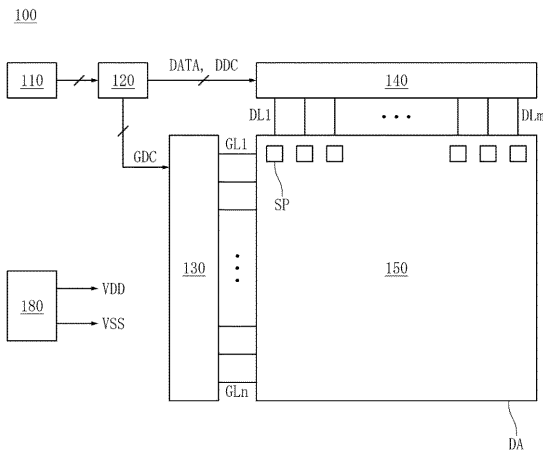
【符号の説明】

50

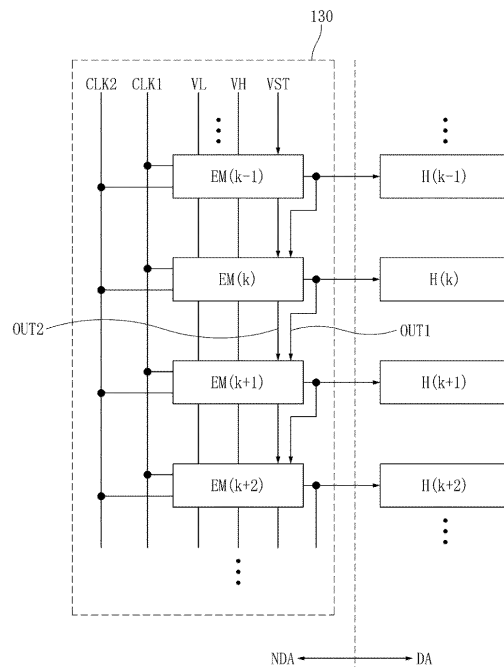
【 0 1 1 5 】

- GL1 ~ GLn : ゲートライン
- DL1 ~ DLm : データライン
- 1 1、1 1' : プルダウン部
- 1 2 : プルアップ部
- 1 3 : Q ノード制御部
- 1 4 : Q B ノード制御部
- 1 5 : O 2 ノード制御部
- 1 6、1 6'、1 6'' : 出力信号安定化部
- 1 0 0 : 電界発光表示装置
- 1 1 0 : 映像処理部
- 1 2 0 : タイミング制御部
- 1 3 0 : ゲート駆動部
- 1 4 0 : データ駆動部
- 1 5 0 : 表示パネル
- 1 8 0 : 電源供給部

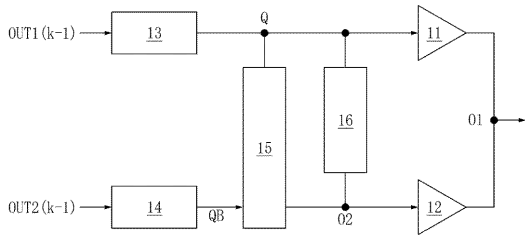
【 図 1 】



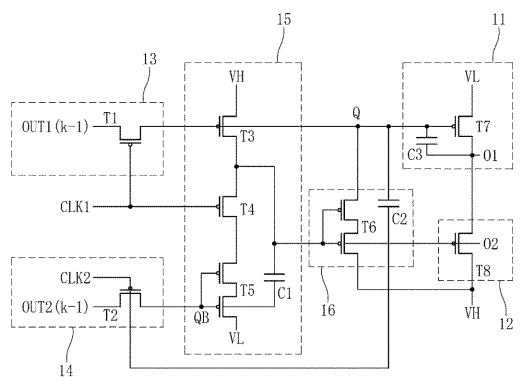
【 図 2 】



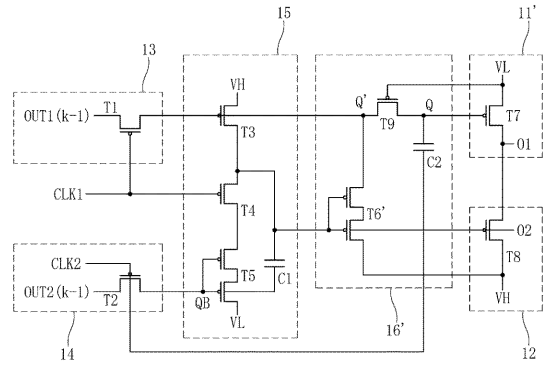
【 図 3 】



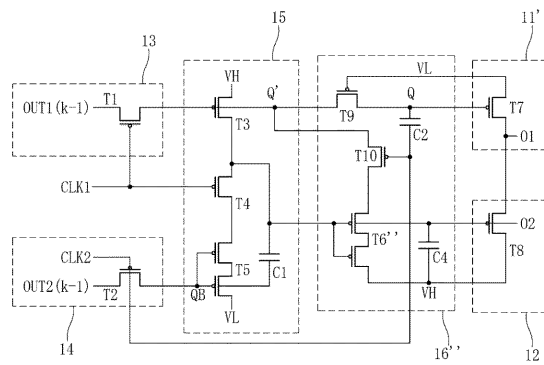
【 図 4 】



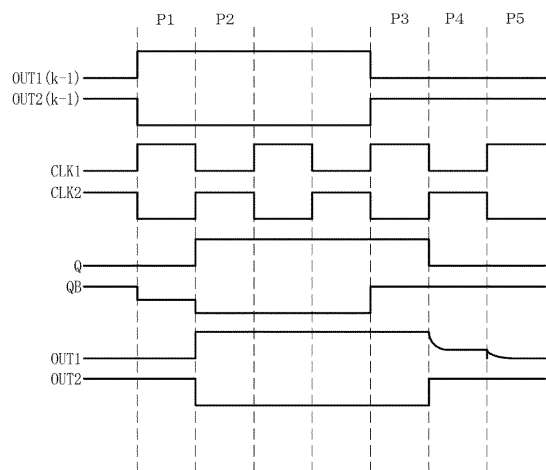
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 7 0 E

(72)発明者 劉 載 星

大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

Fターム(参考) 3K107 AA01 AA05 BB01 CC33 DD39 EE04 HH00 HH02  
 5C080 AA06 BB05 CC03 DD05 DD09 DD22 DD25 DD29 EE29 FF03  
 FF12 JJ02 JJ03 JJ04  
 5C380 AA01 AA02 AB06 AB18 AB34 AB36 BA11 BA14 BA17 BA39  
 BD10 CA04 CA12 CA26 CA32 CB01 CB17 CB26 CC03 CC07  
 CC26 CC39 CC55 CE01 CF07 CF36 CF43 DA02 DA05

专利名称(译)	栅极驱动器和使用该栅极驱动器的电致发光显示装置		
公开(公告)号	<a href="#">JP2020021072A</a>	公开(公告)日	2020-02-06
申请号	JP2019140444	申请日	2019-07-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
发明人	劉 載 星		
IPC分类号	G09G3/3266 H01L27/32 H05B33/14 H01L51/50 G09G3/20		
CPC分类号	G09G3/32 G09G3/3266 G09G2310/0286 G09G2300/08 G09G2310/08 G09G2320/0626		
FI分类号	G09G3/3266 H01L27/32 H05B33/14.Z H05B33/14.A G09G3/20.622.E G09G3/20.611.J G09G3/20.670.E		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC33 3K107/DD39 3K107/EE04 3K107/HH00 3K107/HH02 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD09 5C080/DD22 5C080/DD25 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AB36 5C380/BA11 5C380/BA14 5C380/BA17 5C380/BA39 5C380/BD10 5C380/CA04 5C380/CA12 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CC03 5C380/CC07 5C380/CC26 5C380/CC39 5C380/CC55 5C380/CE01 5C380/CF07 5C380/CF36 5C380/CF43 5C380/DA02 5C380/DA05		
代理人(译)	吉泽博 三村治彦 冈部弘		
优先权	1020180089163 2018-07-31 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种电致发光显示装置，该电致发光显示装置能够扩大构成台架的部件的工作裕度，提高栅极驱动单元的可靠性，减小台架所占的面积并减小边框区域。电致发光显示装置包括：发光驱动器，被配置为包括连接至发光线的子像素；以及被提供给该发光线的发光信号，该发光级包括多个发光级。多个级中的第k级（k是大于或等于1的自然数）包括一个下拉单元，该下拉单元在Q节点和第二输出节点的控制下分别向连接到发射线的第一输出节点提供电压。上拉单元，施加第（k-1）级的第一个输出节点的电压或第一起始信号。第一控制单元，施加第（k-1）级的第二个输出节点的电压或第二起始信号。第三控制单元控制第二输出节点的电压，第四控制单元由第二输出节点控制。[选择图]图3

