

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-237041

(P2009-237041A)

(43) 公開日 平成21年10月15日(2009.10.15)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30	K 3K107
G09G 3/20 (2006.01)	G09G 3/20	611H 5C080
H01L 51/50 (2006.01)	G09G 3/20	621A
	G09G 3/20	612F
	G09G 3/20	612T

審査請求 有 請求項の数 10 O L (全 26 頁) 最終頁に続く

(21) 出願番号	特願2008-80097 (P2008-80097)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成20年3月26日 (2008.3.26)	(74) 代理人	100095957 弁理士 亀谷 美明
		(74) 代理人	100096389 弁理士 金本 哲男
		(74) 代理人	100101557 弁理士 萩原 康司
		(72) 発明者	浅野 慎 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	山本 哲郎 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

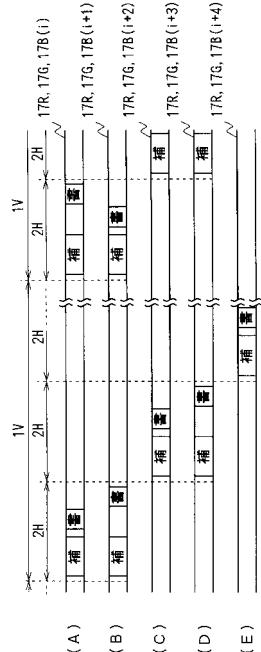
(54) 【発明の名称】 画像表示装置及び画像表示方法

(57) 【要約】

【課題】本発明は、画像表示装置及び画像表示方法に関し、例えば有機EL素子によるアクティブマトリックス型の表示装置に適用して、複数ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行する場合に、横方向のすじの発生を防止して画質の劣化を有效地に回避する。

【効果】本発明は、駆動トランジスタのしきい値電圧のばらつき補正処理を同時に実行する複数ラインにおいて、時間軸方向及び又は走査線方向に、しきい値電圧のばらつき補正処理に対する階調設定処理の順序を入れ換える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素回路をマトリックス状に配置して形成された表示部に対して、信号線駆動回路及び走査線駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する画像表示装置において、

前記画素回路は、

少なくとも発光素子と、

信号レベル保持用コンデンサと、

前記発光素子を駆動する駆動トランジスタと、

前記走査線駆動回路から出力される書き込み信号によりオン動作する書き込トランジスタと有し、

前記信号線駆動回路及び走査線駆動回路の駆動により、非発光期間と発光期間とを繰り返し、

前記非発光期間において、前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧に依存した電圧に設定するしきい値電圧のばらつき補正処理を実行した後、前記書き込トランジスタをオン動作させて、前記発光素子の発光輝度を示す階調電圧を前記信号レベル保持用コンデンサに設定された電圧で補正して前記駆動トランジスタに設定する階調設定処理を実行し、

前記発光期間において、前記駆動トランジスタにより前記発光素子を駆動して前記階調設定処理で設定された階調で前記発光素子を発光させ、

前記表示部は、

前記信号線駆動回路及び走査線駆動回路の駆動により、

複数ラインの前記画素回路において、前記しきい値電圧のばらつき補正処理を同時に実行した後、前記階調設定処理を順次実行し、

前記複数ラインの前記画素回路において、時間軸方向及び又は走査線方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする画像表示装置。

【請求項 2】

前記画素回路は、

前記しきい値電圧のばらつき補正処理において、

前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定する準備処理の後、前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタを介して放電することにより、前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧に設定し、

前記準備処理において、

前記書き込トランジスタにより前記駆動トランジスタのゲートを前記信号線に接続して、前記信号線により前記信号レベル保持用コンデンサのゲート側端を所定電圧に設定すると共に、

前記駆動トランジスタのドレイン電圧の立ち下げにより、前記駆動トランジスタを介して前記信号レベル保持用コンデンサの前記発光素子側端の電圧を立ち下げるこにより、

前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定する

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記複数ラインが、連続するラインである

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】

前記表示部は、

前記階調設定処理の順序の入れ換えに連動して、前記非発光期間を終了するタイミングを入れ換えて、前記複数ラインの画素回路における前記発光期間の長さが等しくなるよう

10

20

30

40

50

に設定された

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】

前記複数ラインが、連続する 2 ラインであり、

前記表示部は、

連続するフィールドにおいて、前記連続する 2 ラインにおける前記階調設定処理の順序を入れ換えることにより、前記複数ラインの前記画素回路において、時間軸方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 6】

10

前記複数ラインが、連続する 3 ライン以上であり、

前記表示部は、

連続するフィールドにおいて、前記複数ラインにおける前記階調設定処理の順序を順次循環的に切り換えることにより、前記複数ラインの前記画素回路において、時間軸方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 7】

20

前記複数ラインが、連続する 3 ライン以上であり、

前記表示部は、

連続するフィールドにおいて、前記複数ラインにおける前記階調設定処理の順序を逆転させることにより、前記複数ラインの前記画素回路において、時間軸方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 8】

30

前記複数ラインが、連続する複数ラインであり、

前記表示部は、

連続するフィールドにおいて、前記しきい値電圧のばらつき補正処理を同時に実行して前記階調設定処理を順次実行する前記複数ラインを切り換えることにより、前記複数ラインの画素回路において、前記時間軸方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 9】

40

前記表示部は、

前記複数ラインの前記画素回路において、走査線に対する接続が前記走査線方向で異なるように設定されることにより、前記走査線方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 10】

50

画素回路をマトリックス状に配置して形成された表示部に対して、信号線駆動回路及び走査線駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する画像表示装置における画像表示方法において、

前記画素回路は、

少なくとも発光素子と、

信号レベル保持用コンデンサと、

前記発光素子を駆動する駆動トランジスタと、

前記走査線駆動回路から出力される書き込み信号によりオン動作する書き込トランジスタとを有し、

前記画像表示方法は、

前記信号線駆動回路及び走査線駆動回路の駆動により、前記発光素子の発光を停止させる非発光ステップと、前記発光素子を発光させる発光ステップとを繰り返し、

前記非発光ステップにおいて、

前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧に依存した電圧に設定するしきい値電圧のばらつき補正処理を実行した後、前記書込トランジスタをオン動作させて、前記発光素子の発光輝度を示す階調電圧を前記信号レベル保持用コンデンサに設定された電圧で補正して前記駆動トランジスタに設定する階調設定処理を実行し、

前記発光ステップにおいて、

前記駆動トランジスタにより前記発光素子を駆動して前記階調設定処理で設定された階調で前記発光素子を発光させ、

前記非発光ステップにおいて、

前記信号線駆動回路及び走査線駆動回路の駆動により、

複数ラインの前記画素回路において、前記しきい値電圧のばらつき補正処理を同時に実行した後、前記階調設定処理を順次実行し、

前記複数ラインの前記画素回路において、時間軸方向及び又は走査線方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える

ことを特徴とする画像表示方法。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置及び画像表示方法に関し、例えば有機EL(Electro Luminescence)素子によるアクティブマトリックス型の表示装置に適用することができる。本発明は、駆動トランジスタのしきい値電圧のばらつき補正処理を同時に実行する複数ラインにおいて、時間軸方向及び又は走査線方向に、しきい値電圧のばらつき補正処理に対する階調設定処理の順序を入れ換えることにより、複数ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行する場合に、横方向のすじの発生を防止して画質の劣化を有効に回避する。

30

【背景技術】

【0002】

従来、有機EL素子を用いたアクティブマトリックス型の表示装置は、有機EL素子と有機EL素子を駆動する駆動回路とによる画素回路をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した信号線駆動回路及び走査線駆動回路により各画素回路を駆動して所望の画像を表示する。

【0003】

この有機EL素子を用いた表示装置に関して、特開2005-345722号公報には、有機EL素子を駆動する駆動トランジスタのしきい値電圧のばらつきを補正して階調を設定することにより、このしきい値電圧のばらつきによる発光輝度のばらつきを防止し、Nチャンネル型のトランジスタを使用する場合でも、高い画質を確保する方法が提案されている。また特開2007-133284号公報には、このしきい値電圧のばらつきを補正する処理を複数回の期間に分けて実行する構成が提案されている。

40

【0004】

すなわちこの種の表示装置に適用されるトランジスタは、ソースドレイン電流 I_{ds} を次式により表すことができる。なお V_{gs} は、このトランジスタのゲートソース間電圧である。また μ は移動度、 W はチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当たりのゲート絶縁膜の容量、 V_{th} はしきい値電圧である。

【0005】

【数1】

$$I_{ds} = \beta / 2 \cdot (V_{gs} - V_{th})^2$$

$$\beta = \mu \cdot W / L \cdot C_{ox} \quad \dots \dots (1)$$

10

【0006】

従ってトランジスタのゲートソース間電圧 V_{gs} を設定してソースドレイン電流 I_{ds} により有機EL素子を駆動する場合、ソースドレイン電流 I_{ds} は、トランジスタのしきい値電圧 V_{th} のばらつきの影響を受けてばらつき、その結果、有機EL素子の発光輝度もばらつくことになる。

【0007】

ここでソースドレイン電流 I_{ds} 及びゲートソース間電圧 V_{gs} を I_{ref} 及び V_{ref} とおき、(1)式を変形すれば、次式の関係式を得ることができる。

【0008】

【数2】

20

$$V_{ref} = (I_{ref} / (\beta / 2))^{1/2} + V_{th} \quad \dots \dots (2)$$

【0009】

従って有機EL素子の発光輝度を示す電圧 V_{data} とこの(2)式により示す電圧 V_{ref} との差分電圧 ($V_{data} - V_{ref}$) によりゲートソース間電圧 V_{gs} を設定すれば、(1)式から次式の関係式を得ることができる。

【0010】

30

【数3】

$$I_{ds} = \beta / 2 \cdot (V_{data} - (I_{ref} / (\beta / 2))^{1/2})^2$$

$$\dots \dots (3)$$

【0011】

40

ここでこの(3)式においては、しきい値電圧 V_{th} の項が含まれていないことにより、しきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止できることが判る。従って(2)式により表される有機EL素子を駆動するトランジスタの特性による一定電圧 V_{ref} 、一定電流 I_{ref} だけこのトランジスタのゲートソース間電圧 V_{gs} 、ソースドレイン電流 I_{ds} をバイアスさせれば、このトランジスタのしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止できることが判る。

【0012】

ここで $I_{ref} = 0$ とおくと、(2)式から $V_{ref} = V_{th}$ となり、(3)式は、 $I_{ds} = \beta / 2 \cdot (V_{data})^2$ となり、この場合も、しきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止できることが判る。この場合、単に、ゲートソース間電圧

50

V_{gs} のバイアスによりトランジスタのしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを補正できることが判る。特開2005-345722号公報、特開2007-133284号公報に開示されている駆動トランジスタのしきい値電圧のばらつき補正は、この補正原理によるものである。

【0013】

ここで図17は、この特開2007-133284号公報に開示の表示装置を示す接続図である。この表示装置1は、水平セレクタ(HSEL)2により信号線駆動回路3が構成され、またライトスキャナ(WSCN)4A、ドライブスキャナ(DSCN)4Bにより走査線駆動回路5が構成される。

【0014】

ここで水平セレクタ2は、表示部6の信号線SIGにそれぞれ対応する複数のラッチ回路で入力画像データD1を順次ラッチすることにより、この画像データD1を各信号線SIGに振り分ける。また各信号線SIGに振り分けた画像データD1をそれぞれデジタルアナログ変換処理し、各信号線SIGに接続された各画素の階調を順次示す駆動信号Ssigを信号線SIG毎に生成する。水平セレクタ2は、この駆動信号Ssigを対応する信号線SIGに出力する。

【0015】

ライトスキャナ4A、ドライブスキャナ4Bは、それぞれ図示しない信号生成回路で生成された基準信号を順次転送することにより、各走査線の駆動信号DS、WSを生成し、この駆動信号DS、WSをそれぞれ対応する走査線に出力する。

【0016】

表示部6は、所定の画素回路7をマトリックス状に配置して形成される。ここで画素回路7は、信号レベル保持用コンデンサC1の両端をそれぞれゲート及びソースに接続したソースフォロワ回路構成のNMOStランジスタTR1(以下、駆動トランジスタと呼ぶ)により、電流駆動型の発光素子である有機EL素子8を駆動する。なおここでCpは、有機EL素子8の容量成分である。またVss1は、有機EL素子8のカソード電圧である。

【0017】

この駆動トランジスタTR1は、ドライブスキャナ4Bから出力される駆動信号DSによりオンオフ動作するNMOStランジスタTR2を介して、駆動用電源Vddにドレンが接続される。これにより画素回路7は、駆動信号DSによるトランジスタTR2のオンオフ制御により駆動トランジスタTR1への電源Vddの供給が制御され、有機EL素子8の発光、非発光が制御される。

【0018】

また駆動トランジスタTR1は、ライトスキャナ4Aから出力される駆動信号である書込み信号WSによりオンオフ動作するNMOStランジスタTR5を介して、ゲートが信号線SIGに接続される。これにより画素回路7は、信号線SIGを介して駆動トランジスタTR1のゲートに接続された信号レベル保持用コンデンサC1の一端の電圧を所望の電圧に設定できるように構成される。

【0019】

ここで画素回路7は、トランジスタTR2により駆動トランジスタTR1の電源の供給が停止されて有機EL素子8の発光を停止する非発光期間が開始し、トランジスタTR5のオン動作により、信号線SIGを介して信号レベル保持用コンデンサC1のゲート側端の電圧が一旦立ち上げられる。この場合、信号レベル保持用コンデンサC1の有機EL素子8側端の電圧は、ゲート側端の電圧の上昇により一旦上昇するものの、有機EL素子8による放電により、有機EL素子8のしきい値電圧に保持される。

【0020】

続いて画素回路7は、信号線SIGを介して信号レベル保持用コンデンサC1のゲート側端の電圧が立ち下げられ、これと連動して信号レベル保持用コンデンサC1によるカップリングにより信号レベル保持用コンデンサC1の有機EL素子8側端が有機EL素子8

10

20

30

40

50

のしきい値電圧以下の電圧に立ち下がる。この信号線 S I G の電圧の立ち上げ及び立ち下げにより画素回路 7 は、信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ T R 1 のしきい値電圧 V t h 以上の電圧に設定され、しきい値電圧 V t h のばらつきを補正する前の準備段階の処理が完了する。

【 0 0 2 1 】

続いて画素回路 7 は、トランジスタ T R 2 により駆動トランジスタ T R 1 への電源の供給が開始され、これにより信号レベル保持用コンデンサ C 1 の端子間電圧によるゲートソース間電圧により駆動トランジスタ T R 1 によって信号レベル保持用コンデンサ C 1 の有機 E L 素子 8 側端が徐々に充電され、信号レベル保持用コンデンサ C 1 の端子間電圧が徐々に低下する。またこの信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ T R 1 のしきい値電圧 V t h にまで低下すると、駆動トランジスタ T R 1 による充電の処理が停止する。これにより画素回路 7 は、信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ T R 1 のしきい値電圧 V t h に設定される。これにより画素回路 7 は、駆動トランジスタ T R 1 のしきい値電圧 V t h のばらつき補正処理が完了する。

【 0 0 2 2 】

画素回路 7 では、この駆動トランジスタ T R 1 によって信号レベル保持用コンデンサ C 1 の有機 E L 素子 8 側端を充電して、信号レベル保持用コンデンサ C 1 の端子間電圧を駆動トランジスタ T R 1 のしきい値電圧 V t h に設定する期間が、所定の休止期間を間に挟んで複数回の期間に設定される。なお 1 水平走査期間で十分な期間を確保できる場合には、1 水平走査期間で準備処理からの一連の処理を実行するようにしてもよい。

【 0 0 2 3 】

続いて画素回路 7 は、トランジスタ T R 5 を介してトランジスタ T R 1 のゲートに有機 E L 素子 8 の発光輝度を指示する階調電圧が設定され、これにより信号レベル保持用コンデンサ C 1 に設定された駆動トランジスタ T R 1 のしきい値電圧 V t h により階調電圧が補正されて信号レベル保持用コンデンサ C 1 の端子間電圧が設定される。

【 0 0 2 4 】

画素回路 7 は、トランジスタ T R 5 により信号線 S I G を駆動トランジスタ T R 1 のゲートに接続した状態で、一定期間の間、トランジスタ T R 2 により駆動トランジスタ T R 1 に電源が供給された後、トランジスタ T R 5 がオフ状態に設定されて発光期間が開始する。

【 0 0 2 5 】

この特開 2007-133284 号公報に開示の構成によれば、休止期間を間に挟んでしきい値電圧のばらつきを補正する処理を複数回の期間で実行することにより、高解像度化により 1 水平走査期間の間でしきい値電圧のばらつき補正処理に十分な期間を確保できない場合でも、複数の水平走査期間で十分な時間を確保してしきい値電圧 V t h のばらつき補正処理を実行することができる。

【 0 0 2 6 】

またトランジスタ T R 5 により信号線 S I G を駆動トランジスタ T R 1 のゲートに接続した状態で、一定期間の間、トランジスタ T R 2 により駆動トランジスタ T R 1 に電源を供給した後、トランジスタ T R 5 をオフ状態に設定することにより、駆動トランジスタ T R 1 の移動度が大きい画素回路 7 程、信号レベル保持用コンデンサ C 1 の端子間電圧を低減することができ、これにより駆動トランジスタ T R 1 の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【 0 0 2 7 】

ところこの図 17 の構成では、1 つの画素回路 7 に 3 つのトランジスタを設けることが必要であり、画素回路 7 の構成が複雑な欠点がある。この欠点を解消する 1 つの方法として、電源制御用のトランジスタ T R 2 を省略して走査線駆動回路により駆動トランジスタ T R 1 の電源を制御する方法が考えられる。

【 0 0 2 8 】

図 18 は、このトランジスタ T R 2 を省略して考えられる表示装置を示す接続図である

10

20

30

40

50

。この図18において、図17と同一の構成は、対応する符号を付して示し、重複した説明は省略する。この表示装置11は、所定の絶縁基板上に表示部12が作成され、この表示部12の周囲に信号線駆動回路13及び走査線駆動回路14が設けられる。信号線駆動回路13には、水平セレクタ(HSEL)15が設けられ、また走査線駆動回路14には、ライトスキャナ(WSCN)16A、ドライブスキャナ(DSCN)16Bが設けられる。

【0029】

水平セレクタ15は、水平セレクタ2と同様にして各信号線SIGに画像データD1を振り分けてディジタルアナログ変換処理する。水平セレクタ15は、所定の固定電圧Vofsとこのディジタルアナログ変換結果とを交互に出力することにより、固定電圧Vofを間に挟んで、信号線SIGに接続された各画素の階調を示す階調電圧Vsigの連続による駆動信号SSigを各信号線SIGに出力する(図19(C)参照)。

10

【0030】

ライトスキャナ16A、ドライブスキャナ16Bは、それぞれ図示しない信号生成回路で生成された基準信号を順次転送することにより、各走査線の駆動信号DS、WSを生成し、この駆動信号DS、WSをそれぞれ対応する走査線に出力する。

【0031】

表示部12は、画素回路17をマトリックス状に配置して作成される。ここで画素回路17は、駆動トランジスタTR1の電源を制御するトランジスタTR2が省略された点、このトランジスタTR2の省略に関連する構成が異なる点を除いて、図17の画素回路7と同一に構成される。

20

【0032】

ここで図19は、この画素回路17の動作の説明に供するタイムチャートである。なお以下においては、説明の簡略化のため、信号レベル保持用コンデンサC1の容量に対して駆動トランジスタTR1のゲートノードの寄生容量は十分に小さいと仮定し、有機EL素子8の容量Cpは信号レベル保持用コンデンサC1の容量に比して十分に大きいと仮定する。またこの表示装置11は、フィールド単位のライン順次により各画素回路17の発光輝度を設定し、これに対応して図19では、連続するラインに関する信号、構成を符号i、i+1を用いて示す。また信号レベル保持用コンデンサC1の端子間電圧を駆動トランジスタTR1のしきい値電圧Vth以上に設定する準備処理の期間を「準備」により示す。またこの駆動トランジスタTR1のしきい値電圧Vth以上に設定された信号レベル保持用コンデンサC1の端子間電圧を1回の期間で駆動トランジスタTR1のしきい値電圧Vthに設定するものとして、この期間を「Vth補正」により示し、その後、駆動トランジスタTR1の移動度のばらつきを補正する期間を「μ補正」により示す。

30

【0033】

図19に示すように、各画素回路17は、有機EL素子8の発光を停止させる非発光期間T1が時点t1で開始すると、駆動信号DSの電圧が発光期間T2の電圧Vddから基準電圧Vss2に立ち下げられる(図19(B1)及び(B2))。ここでこの基準電圧Vss2は、有機EL素子8のカソード電圧Vss1に有機EL素子8のしきい値電圧を加算した電圧より低い電圧に設定される。これにより画素回路17は、駆動トランジスタTR1の駆動信号DS側端がソースとして機能し、有機EL素子8のアノード電圧が立ち下がり、有機EL素子8が発光を停止する。また駆動トランジスタTR1を介して信号レベル保持用コンデンサC1の有機EL素子8側端から蓄積電荷が放電し、これにより信号レベル保持用コンデンサC1の有機EL素子8側端の電圧(駆動トランジスタTR1のソース電圧Vss)(図19(E1)及び(E2))が電圧Vss2に設定される。

40

【0034】

また画素回路17は、駆動信号SSigにより信号線SIGが所定電圧Vofsに立ち下げられると、書き込み信号WSにより書き込トランジスタTR5がオン状態に切り換えられる(図19(A1)、(A2)及び(C))。これにより画素回路17は、駆動トランジスタTR1のゲート電圧Vg(図19(D1)及び(D2))がこの信号線SIGの電圧

50

V_{ofs} に設定され、信号レベル保持用コンデンサ C 1 の端子間電圧が $V_{ofs} - V_{ss2}$ に設定される。ここで画素回路 17 では、この端子間電圧 $V_{ofs} - V_{ss2}$ が駆動トランジスタ TR 1 のしきい値電圧を V_{th} より大きくなるように ($V_{ss2} < V_{ofs} - V_{th}$)、電圧 V_{ofs} 、 V_{ss2} が設定される。

【0035】

これにより画素回路 17 では、信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ TR 1 のしきい値電圧 V_{th} より大きな電圧に設定され、信号レベル保持用コンデンサ C 1 に駆動トランジスタ TR 1 のしきい値電圧 V_{th} を設定するための準備処理が実行される(図 19 (F1) 及び (F2))。なおこれにより基準電圧 V_{ofs} は、駆動トランジスタ TR 1 のしきい値電圧 V_{th} のばらつき補正後に駆動トランジスタ TR 1 がオン動作しない電圧である必要がある。すなわち有機 EL 素子 8 のしきい値電圧を V_{tholed} とすると、 $V_{ofs} < V_{ss1} + V_{tholed} + V_{th}$ を満たす必要がある。

10

【0036】

続いて画素回路 17 は、駆動信号 S_{sig} が固定電位 V_{ofs} に保持されている期間の時点 t_2 で、書き込みトランジスタ TR 5 をオン状態に保持したままの状態で、駆動信号 DS が発光期間 T_2 の電圧 V_{dd} に立ち上げられて駆動トランジスタ TR 1 への電源の供給が開始される(図 19 (B1) 及び (B2))。また続いて信号線 SIG の信号レベルが階調電圧 V_{sig} に設定される直前の時点で、書き込み信号 WS により書き込みトランジスタ TR 5 がオフ状態に切り換えられる。

20

【0037】

これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ TR 1 のしきい値電圧 V_{th} より大きい場合であることを条件に、駆動トランジスタ TR 1 を介して電源 V_{dd} により信号レベル保持用コンデンサ C 1 の有機 EL 素子 8 側端に充電電流が流れ、駆動トランジスタ TR 1 のソース電圧 V_s が徐々に上昇する(図 19 (D1)、(D2)、(E1) 及び (E2))。その結果、画素回路 17 は、信号レベル保持用コンデンサ C 1 の端子間電圧が徐々に駆動トランジスタ TR 1 のしきい値電圧 V_{th} に接近する。また信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ TR 1 のしきい値電圧 V_{th} となると、ソース電圧 V_s の上昇が停止する。これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ TR 1 のしきい値電圧 V_{th} に設定される。

30

【0038】

画素回路 17 は、続いて駆動信号 S_{sig} が当該画素回路 17 の階調電圧 V_{sig} に設定されている時点 t_3 で書き込み信号 WS が立ち上げられて書き込みトランジスタ TR 5 がオン状態に設定され(図 19 (A1) 及び (A2))、これにより駆動トランジスタ TR 1 のゲートが信号線 SIG に接続される。また一定期間 T_μ が経過した時点で、書き込み信号 WS が立ち下げられ、これにより信号線 SIG に出力されている駆動信号 S_{sig} の階調電圧 V_{sig} が信号レベル保持用コンデンサ C 1 の一端にホールドされる。これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 に設定された駆動トランジスタ TR 1 のしきい値電圧 V_{th} により補正して、信号レベル保持用コンデンサ C 1 の端子間電圧が階調電圧 V_{sig} に応じた電圧に設定される。これによりこの表示装置 11 では、駆動トランジスタ TR 1 のしきい値電圧 V_{th} のばらつきによる画質劣化を防止することができる。

40

【0039】

ここでこの期間 T_μ においては、駆動トランジスタ TR 1 のゲートを信号線 SIG に接続した状態で駆動トランジスタ TR 1 に電源 V_{dd} を供給していることから、駆動トランジスタ TR 1 は、ゲートソース間電圧 V_{gs} に応じてソース電圧 V_s が徐々に上昇することになる。またここでこのソース電圧 V_s の上昇速度は、(1)式により駆動トランジスタ TR 1 の移動度が大きい場合程、早くなる。またソース電圧 V_s が上昇すると、ゲートソース間電圧 V_{gs} が低下することにより、ソース電流が流れ難くなる。

【0040】

50

これにより画素回路 17 は、この一定期間 T_μ により、移動度が大きい駆動トランジスタ程、信号レベル保持用コンデンサ C1 の端子間電圧が低下し、移動度のばらつきを補正して画質の劣化が防止される。なおこの期間 T_μ における、駆動トランジスタ TR1 のドレイン電流は、次式により表される。

【0041】

【数4】

$$I_{ds} = \beta/2 \cdot (1/V_{sig} + \beta/2 \cdot T_\mu/C)^{-2}$$

10

$$C = C_1 + C_{old} \quad \dots \dots (4)$$

【0042】

画素回路 17 は、時点 t4 で書込み信号 WS が立ち下げられると、発光期間 T2 が開始し、信号レベル保持用コンデンサ C1 の端子間電圧によるゲートソース間電圧 Vgs により有機 EL 素子 8 を電流駆動する。なおこの発光期間 T2 において、画素回路 17 は、有機 EL 素子 8 の容量 Cp による駆動トランジスタ TR1 のブートストラップ動作により、期間 T_μ で設定された駆動トランジスタ TR1 のゲート電圧 Vg 及びソース電圧 Vs が徐々に上昇して有機 EL 素子 8 が発光を開始し、やがてこれらゲート電圧 Vg 及びソース電圧 Vs の上昇が停止してこれらゲート電圧 Vg 及びソース電圧 Vs が一定電圧に保持される。なおこの発光期間 T2 では、駆動トランジスタ TR1 が飽和動作するように電源電圧 Vdd2 (Vdd2 > Vthole + Vgs - Vth) を設定する必要がある。

20

【0043】

これによりこの図 18 の例では、図 20 により示すように、1 水平走査毎のライン順次により連続するライン i, i+1, i+2, i+3, … の画素回路 17 (i), 17 (i+1), 17 (i+2), 17 (i+3), … の階調を設定して、所望の画像を表示する。なおここでこの図 20 では、しきい値電圧の補正処理を「補」により示し、信号レベル保持用コンデンサ C1 への信号線 SIG の電圧 Vsig の設定を「書」により示す。

30

【0044】

このような画素回路の構成に関して、特表 2002-514320 号公報、特開 2004-133240 号公報、特開 2004-246204 号公報には、信号レベル保持用コンデンサに設定された駆動トランジスタのしきい値電圧に依存した電圧により階調電圧を補正して駆動トランジスタに設定することにより、駆動トランジスタのしきい値電圧のばらつきを補正する方法が提案されている。また特開 2005-345722 号公報、特開 2006-215213 号公報、特開 2007-133282 号公報には、同様に駆動トランジスタのしきい値電圧のばらつきを補正する方法が提案されている。

30

【0045】

しかしながらこの図 20 に示すように、1 水平走査毎のライン順次により連続するライン i, i+1, i+2, i+3, … の画素回路 17 (i), 17 (i+1), 17 (i+2), 17 (i+3), … の階調を設定する場合、高解像度化により 1 水平走査期間が短くなると、しきい値電圧 Vth のばらつき補正に十分な時間を確保できなくなる恐れがある。

40

【0046】

この問題を解決する 1 つの方法として、図 20 との対比により図 21 に示すように、連続する複数ラインで同時にしきい値電圧 Vth のばらつき補正処理を実行した後、ライン順次で各画素回路の階調を設定する方法が考えられる。すなわちこの場合、図 19 との対比により図 22 に示すように、基準電圧 Vofs、先頭ライン側の画素の階調を示す階調電圧 Vsig (i)、続くラインの画素の階調を示す階調電圧 Vsig (i+1) が順次

50

連続するように各信号線 S I G に駆動信号 S sig を出力し、信号線 S I G の電圧が基準電圧 V of s に設定されている期間で、この連続する 2 つのライン i、i + 1 でしきい値電圧 V th のばらつき補正処理を実行する。またそれぞれ信号線 S I G の電圧が階調電圧 V sig (i) 及び V sig (i + 1) に設定されている期間で、各ライン i、i + 1 の階調を設定する。

【0047】

しかしながらこのようにして複数ラインで同時にしきい値電圧 V th のばらつき補正処理を実行する場合、これらのライン間で、微妙に発光輝度が相違し、その結果、横方向にすじが発生して画質が劣化することが判った。

10

【特許文献 1】特開 2005-345722 号公報

【特許文献 2】特開 2007-133284 号公報

【特許文献 3】特表 2002-514320 号公報

【特許文献 4】特開 2004-133240 号公報

【特許文献 5】特開 2004-246204 号公報

【特許文献 6】特開 2005-345722 号公報

【特許文献 7】特開 2006-215213 号公報

【特許文献 8】特開 2007-133282 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0048】

本発明は以上の点を考慮してなされたもので、複数ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行する場合に、横方向のすじの発生を防止して画質の劣化を有効に回避することができる画像表示装置及び画像表示方法を提案しようとするものである。

【課題を解決するための手段】

【0049】

上記の課題を解決するため請求項 1 の発明は、画素回路をマトリックス状に配置して形成された表示部に対して、信号線駆動回路及び走査線駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する画像表示装置に適用して、前記画素回路は、少なくとも発光素子と、信号レベル保持用コンデンサと、前記発光素子を駆動する駆動トランジスタと、前記走査線駆動回路から出力される書き込み信号によりオン動作する書き込みトランジスタとを有し、前記信号線駆動回路及び走査線駆動回路の駆動により、非発光期間と発光期間とを繰り返し、前記非発光期間において、前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧に依存した電圧に設定するしきい値電圧のばらつき補正処理を実行した後、前記書き込みトランジスタをオン動作させて、前記発光素子の発光輝度を示す階調電圧を前記信号レベル保持用コンデンサに設定された電圧で補正して前記駆動トランジスタに設定する階調設定処理を実行し、前記発光期間において、前記駆動トランジスタにより前記発光素子を駆動して前記階調設定処理で設定された階調で前記発光素子を発光させ、前記表示部は、前記信号線駆動回路及び走査線駆動回路の駆動により、複数ラインの前記画素回路において、前記しきい値電圧のばらつき補正処理を同時に実行した後、前記階調設定処理を順次実行し、前記複数ラインの前記画素回路において、時間軸方向及び又は走査線方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える。

30

【0050】

また請求項 10 の発明は、画素回路をマトリックス状に配置して形成された表示部に対して、信号線駆動回路及び走査線駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する画像表示装置における画像表示方法に適用して、前記画素回路は、少なくとも発光素子と、信号レベル保持用コンデンサと、前記発光素子を駆動する駆動トランジスタと、前記走査線駆動回路から出力される書き込み信号によりオン動作する書き込みトランジスタとを有し、前記画像表示方法は、前記信号線駆動回路及び走査線駆

40

50

動回路の駆動により、前記発光素子の発光を停止させる非発光ステップと、前記発光素子を発光させる発光ステップとを繰り返し、前記非発光ステップにおいて、前記信号レベル保持用コンデンサの端子間電圧を前記駆動トランジスタのしきい値電圧に依存した電圧に設定するしきい値電圧のばらつき補正処理を実行した後、前記書込トランジスタをオン動作させて、前記発光素子の発光輝度を示す階調電圧を前記信号レベル保持用コンデンサに設定された電圧で補正して前記駆動トランジスタに設定する階調設定処理を実行し、前記発光ステップにおいて、前記駆動トランジスタにより前記発光素子を駆動して前記階調設定処理で設定された階調で前記発光素子を発光させ、前記非発光ステップにおいて、前記信号線駆動回路及び走査線駆動回路の駆動により、複数ラインの前記画素回路において、前記しきい値電圧のばらつき補正処理を同時に実行した後、前記階調設定処理を順次実行し、前記複数ラインの前記画素回路において、時間軸方向及び又は走査線方向に、前記しきい値電圧のばらつき補正処理に対する前記階調設定処理の順序を入れ換える。

10

[0 0 5 1]

請求項 1 又は請求項 10 の構成によれば、同時にしきい値電圧のばらつき補正処理を実行する複数ライン間における微妙な発光輝度の相違を目立たなくすることができ、その結果、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

【発明の効果】

〔 0 0 5 2 〕

本発明によれば、複数ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行する場合に、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

20

【発明を実施するための最良の形態】

〔 0 0 5 3 〕

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【实施例 1】

[0 0 5 4]

（1）実施例1の構成

図2は、本発明の実施例1の表示装置を示すブロック図である。この表示装置21は、所定の絶縁基板上に表示部22が作成され、この表示部22の周囲に信号線駆動回路23及び走査線駆動回路24が設けられる。ここで表示部22は、赤色、緑色、青色の画素をそれぞれ構成する赤色、緑色、青色の画素回路(PIX)17R、17G、17Bがマトリックス状に配置して形成される。なおこれら赤色、緑色、青色の画素回路17R、17G、17Bは、出射光の波長が異なる点を除いて、図18の画素回路17と同一に構成される。なお図2との対比により図3に示すように、赤色、緑色、青色の画素回路17R、17G、17Bに代えて、単色の画素回路17を順次マトリックス状に配置して表示部22Aを構成する場合等にも、広く適用することができる。

30

[0 0 5 5]

この実施例において、表示部 22 は、図 21 との対比により図 1 に示すように、連続する複数ラインで同時にしきい値電圧 V_{th} のばらつき補正処理を実行する。また続いて、順次、この複数ラインにおいて各画素回路の階調を設定するようにし、複数ラインにおける階調の設定順序を時間軸方向に入れ換える。

40

[0 0 5 6]

より具体的にこの実施例では、この連続する複数ラインが2ラインに設定され、この2ラインにおける階調の設定順序が偶数フィールドと奇数フィールドとで入れ代わるようにし、これによりこの2ラインにおける階調の設定順序が時間軸方向に入れ代わるようにする。すなわちフィールド毎に、画素回路 $17R(i)$ 、 $17G(i)$ 、 $17B(i)$ 及び $17R(i+1)$ 、 $17G(i+1)$ 、 $17B(i+1)$ による2つのラインの画素回路で同時にしきい値電圧 V_{th} のばらつき補正処理を実行する。また奇数フィールドでは、これら画素回路 $17R(i)$ 、 $17G(i)$ 、 $17B(i)$ 及び $17R(i+1)$ 、 $17G(i+1)$ 、 $17B(i+1)$ のうちの、先頭ライン側の画素回路 $17R(i)$ 、 $17G(i)$ 、 $17B(i)$ が実行される。

50

G (i)、17B (i)で階調設定処理を実行した後、続いて続くラインの画素回路 17R (i + 1)、17G (i + 1)、17B (i + 1)で階調設定処理を実行する。また偶数フィールドでは、これとは逆に、画素回路 17R (i + 1)、17G (i + 1)、17B (i + 1)で階調設定処理を実行した後、先頭ライン側の画素回路 17R (i)、17G (i)、17B (i)で始めに階調設定処理を実行する。

【0057】

これに対応して図4に示すように、信号線駆動回路23は、図示しない水平セレクタにより各信号線SIGに画像データD1を振り分けて一時保持し、この画素回路への階調設定順序に対応する順序でアナログディジタル変換処理する。また基準電圧Vofsを間に挟んで、奇数フィールドでは、アナログディジタル変換結果である階調電圧Vsig (i)、Vsig (i + 1)、……を順次出力し、偶数フィールドでは階調電圧Vsig (i + 1)、Vsig (i)を順次出力する。

10

【0058】

またこれに対応して走査線駆動回路24は、ドライブスキャナ(DSCN)24A及びライトスキャナ(WSCN)24Bより駆動信号DS及び書込信号WSをフィールド毎に切り換えて出力する。またこの連続する2ラインにおける階調設定処理の時間的なずれTに対応するように、駆動信号DSを立ち下げるタイミングを切り換え(図4(B1)及び(B2))、これらの2ラインにおける発光期間を等しい時間に設定する。

20

【0059】

(2) 実施例の動作

以上の構成において、この表示装置21では(図1)、信号線駆動回路23及び走査線駆動回路24による表示部22の駆動により順次表示部22の画素回路17R、17G、17Bに信号線SIGの階調電圧Vsigが設定されると共に、この設定された階調電圧Vsigにより各画素回路17R、17G、17Bの有機EL素子8が発光し、所望の画像が表示部22で表示される。

30

【0060】

すなわちこの表示装置21では、非発光期間T1において(図4)、各画素回路17R、17G、17Bに設けられた信号レベル保持用コンデンサC1の一端が信号線SIGの階調電圧Vsigに設定され、この信号レベル保持用コンデンサC1の端子間電圧によるゲートソース間電圧Vgsにより駆動トランジスタTR1で有機EL素子8が駆動される。これによりこの表示装置では、信号線SIGの階調電圧Vsigに応じた発光輝度で各画素回路17R、17G、17Bの有機EL素子8が発光する。

30

【0061】

表示装置21は、この階調電圧Vsigの設定に先立って、始めに信号レベル保持用コンデンサC1の両端電圧差が駆動トランジスタTR1のしきい値電圧Vth以上の電圧に設定され、これにより駆動トランジスタTR1のしきい値電圧Vthのばらつき補正の準備処理が実行される。その後、表示装置21は、この信号レベル保持用コンデンサC1の端子間電圧に応じた電流により信号レベル保持用コンデンサC1のソース側端が充電され、信号レベル保持用コンデンサC1の端子間電圧が駆動トランジスタTR1のしきい値電圧に設定される。これにより表示装置21は、信号レベル保持用コンデンサC1に駆動トランジスタTR1のしきい値電圧Vthがセットされ、駆動トランジスタTR1のしきい値電圧Vthのばらつき補正処理が実行される。

40

【0062】

表示装置21は、その後、駆動トランジスタTR1のゲートが信号線SIGに接続されて信号レベル保持用コンデンサC1の一端の電圧が階調電圧Vsigに設定されることにより、駆動トランジスタTR1のしきい値電圧Vthにより補正して信号レベル保持用コンデンサC1の端子間電圧が階調電圧Vsigに対応する電圧に設定される。これにより表示装置21では、駆動トランジスタTR1のしきい値電圧のばらつきによる画質劣化が有効に回避される。

【0063】

50

また階調電圧 V_{sig} を設定する際の一定期間 T_μ の間、信号線 S I G に接続されて駆動トランジスタ T R 1 に電源が供給され、これにより信号レベル保持用コンデンサ C 1 の端子間電圧が駆動トランジスタ T R 1 の移動度により補正されて、駆動トランジスタ T R 1 の移動度のばらつきによる画質劣化が防止される。

【0064】

表示装置 2 1 では、これらの駆動トランジスタ T R 1 のしきい値電圧 V_{th} のばらつき補正処理が、連続する複数ラインで同時に実行された後、この複数ラインで順次各画素回路の階調が設定され、これにより高解像度化によりライン数が増大して 1 水平走査期間が短くなった場合でも、駆動トランジスタ T R 1 のしきい値電圧 V_{th} のばらつき補正に十分な時間を確保することができ、しきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを補正して高画質により画像表示することができる。

10

【0065】

しかしながらこのように連続する複数ラインで駆動トランジスタ T R 1 のしきい値電圧 V_{th} のばらつき補正処理を同時に実行した後、単に、各ラインの階調を順次設定したのでは、これらの複数のライン間で、微妙に発光輝度が相違し、その結果、横方向にすじが発生して画質が劣化することになる。

【0066】

そこでこの表示装置 2 1 では、駆動トランジスタ T R 1 のしきい値電圧 V_{th} のばらつき補正処理を同時に実行する複数ラインにおいて、時間軸方向に、階調設定の順序を入れ換える（図 1）。その結果、これらの複数のラインの画素回路では、しきい値電圧のばらつき補正処理を実行した後、階調設定までの平均時間が等しくなり、その結果、これらの複数ライン間における微妙な発光輝度の相違を目立たなくすることができ、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

20

【0067】

より具体的に、この表示装置 2 1 では、連続する 2 ラインで同時に駆動トランジスタ T R 1 のしきい値電圧 V_{th} のばらつき補正処理を実行するようにして、この 2 ラインにおける階調設定の順序をフィールド毎に入れ換えて時間軸方向に階調設定の順序が入れ換えられ、これにより横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

30

【0068】

またこの入れ換えにより変化する発光期間の開始時点に対応するように、発光期間の終了時点を切り換えて各ラインで発光期間が等しくなるように設定し、これによっても一段と複数のライン間における微妙な発光輝度の相違を目立たなくして画質を向上することができる。

【0069】

（3）実施例の効果

以上の構成によれば、駆動トランジスタのしきい値電圧のばらつき補正処理を複数ラインで同時に実行するようにして、この複数ラインにおいて、時間軸方向に、階調設定の順序を入れ換えることにより、これらの複数のライン間における微妙な発光輝度の相違を目立たなくすることができ、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

40

【0070】

また書込トランジスタにより信号レベル保持用コンデンサの一端を所定の固定電圧に設定すると共に、電源電圧の立ち下げにより駆動トランジスタを介して信号レベル保持用コンデンサの他端の電圧を立ち下げるにより、信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧以上の電圧に設定した後、信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧に設定することにより、1 つの画素回路に 2 つのトランジスタを設けるだけの簡易な構成により、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

【0071】

50

また階調設定処理の順序の入れ換えに連動して、非発光期間を終了するタイミングが切り換えられて、これら複数のラインの画素回路における発光期間の長さが等しくなるように設定することにより、一段と画質を向上することができる。

【0072】

より具体的に、この複数ラインを2ラインに設定して、これら2ラインにおける階調設定順序を連続するフィールドで入れ換えて、時間軸方向に、しきい値電圧のばらつき補正処理に対する階調設定処理の順序を入れ換えることにより、これらの複数のライン間における微妙な発光輝度の相違を目立たなくすることができ、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

【実施例2】

【0073】

図5は、図4との対比により本発明の実施例2の表示装置の動作の説明に供するタイムチャートである。この実施例の表示装置は、駆動トランジスタのしきい値電圧のばらつき補正処理を同時に実行する連続する2ラインにおいて、駆動信号DSを立ち下げるタイミングが同一に設定される点を除いて、実施例1の表示装置と同一に構成される。

【0074】

すなわちライン間における発光輝度を均一化するとの観点からは、実施例1の表示装置21のように、ライン間で発光期間を等しくすることが望まれるもの、実用上十分な場合には、この実施例のようにこの連続する2ラインにおいて、駆動信号を立ち下げるタイミングを同一に設定して構成を簡略化することができる。

【0075】

この実施例では、駆動トランジスタのしきい値電圧のばらつき補正処理を複数ラインで同時に実行するようにして、この複数ラインにおいて、時間軸方向に、階調設定の順序を入れ換えるようにして、これら複数ラインにおいて発光期間の終了時点を等しくすることにより、一段と簡易な構成によりこれらの複数のライン間における微妙な発光輝度の相違を目立たなくすることができ、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

【実施例3】

【0076】

図6は、図1との対比により本発明の実施例3の表示装置の動作の説明に供するタイムチャートである。この実施例の表示装置は、連続する3ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行する。またこの連続する3ラインで階調設定の順序を順次循環的に切り換えることにより、これら3ラインで時間軸方向に階調設定の順序を入れ換える。なお図6との対比により図7に示すように、連続する3ラインで階調設定の順序を順次循環的に切り換える代わりに、奇数フィールドと偶数フィールドとで順序を逆転させて、時間軸方向に階調設定の順序を入れ換えるようにしてもよい。

【0077】

この実施例では、このしきい値電圧のばらつき補正に係る構成、階調設定に係る構成が異なる点を除いて、上述の実施例1又は2と同一に構成される。

【0078】

この実施例では、同時にしきい値電圧のばらつき補正処理を実行するライン数を3ラインに設定しても、上述の実施例と同様の効果を得ることができる。

【0079】

またこの3ラインにおいて、階調設定処理の順序を順次循環的に切り換えることにより、又は連続するフィールドで階調設定処理の順序を逆転させることにより、時間軸方向に階調設定処理の順序を入れ換えるようにしても、上述の実施例と同様の効果を得ることができる。

【実施例4】

【0080】

図8は、図1との対比により本発明の実施例4の表示装置の動作の説明に供するタイム

10

20

30

40

50

チャートである。この実施例の表示装置は、連続する 2 ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行した後、順次、階調設定処理を実行する。この実施例の表示装置は、この連続する 2 ラインを連続するフィールドで切り換えることにより、より具体的には、奇数フィールドと偶数フィールドとで 1 ラインだけシフトさせてこの連続する 2 ラインを切り換える、これによりしきい値電圧のばらつき補正に対する階調設定の順序を時間軸方向に入れ換える。

【0081】

この実施例では、このしきい値電圧のばらつき補正に係る構成、階調設定に係る構成が異なる点を除いて、上述の実施例 1 ~ 3 と同一に構成される。

【0082】

この実施例では、同時にしきい値電圧のばらつき補正を実行して順次階調を設定する複数ラインを連続するフィールドで切り換えるようにして、この同時にしきい値電圧のばらつき補正を実行する複数ラインにおける階調設定の順序を、時間軸方向に入れ換えるようにしても、上述の実施例と同様の効果を得ることができる。

【実施例 5】

【0083】

図 9 は、図 1 との対比により本発明の実施例 5 の表示装置の動作の説明に供するタイムチャートである。この実施例の表示装置は、駆動トランジスタ TR 1 により信号レベル保持用コンデンサ C 1 の有機 E L 素子 8 側端を充電して信号レベル保持用コンデンサ C 1 の端子間電圧を駆動トランジスタ TR 1 のしきい値電圧 V th に設定する処理を休止期間を間に挟んで複数回の期間に分けて実行する。なおこの休止期間は、信号線 SIG の電圧が信号線 SIG に接続された他の画素回路の階調電圧に設定される期間である。各休止期間において、各画素回路は、トランジスタ TR 5 がオフ状態に保持されて駆動トランジスタ TR 1 に電源 V dd が供給され、これにより駆動トランジスタ TR 1 がいわゆるフローティングの状態に保持される。

【0084】

この実施例の表示装置は、この信号レベル保持用コンデンサ C 1 の端子間電圧を駆動トランジスタ TR 1 のしきい値電圧 V th に設定する処理に係る構成が異なる点を除いて、上述の各実施例と同一に構成される。なお図 10 に、信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧に設定する処理を複数回の期間に分けて実行する場合の従来例を示す。

【0085】

この実施例では、信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧に設定する処理を複数回の期間に分けて実行する場合に、複数ラインで同時にしきい値電圧のばらつき補正処理を実行することにより、一段と高解像度化して水平走査期間が短くなった場合でも、しきい値電圧のばらつき補正処理に十分な時間を確保して上述の実施例と同様の効果を得ることができる。

【実施例 6】

【0086】

図 11 は、図 2 との対比により本発明の実施例 6 の表示装置における表示部の構成を示す平面図である。この実施例の表示装置は、表示部 32 における走査線の接続が異なる点を除いて、図 18 について上述した表示装置 11 と同一に構成される。

【0087】

ここでこの表示部 32 は、同時にしきい値電圧のばらつき補正処理を実行する複数ラインの画素回路において、走査線に対する接続が走査線方向で異なるように設定され、これにより走査線方向に、しきい値電圧のばらつき補正処理に対する階調設定処理の順序に入れ換えられる。

【0088】

すなわち表示部 32 は、奇数ライン及び偶数ラインの間に、上下の画素回路に駆動信号 WS、DS を供給する走査線がまとめて設けられる。また表示部 32 は、走査線方向に連

続する赤色、緑色、青色の画素回路を1組にして、ラスタ走査開始端側から走査線に沿った方向の奇数番目の組と、偶数番目の組とで、駆動信号WS、DSを供給する走査線への接続が切り換えられる。

【0089】

その結果、図12に示すように、iラインにおける奇数番目及び偶数番目の組における画素回路17(i)O及び17(i)E(図12(A1)及び(A2))では、奇数番目の組、偶数番目の組の順序で階調設定処理が実行されるのに対し、続くi+1ラインでは、これとは逆に偶数番目の組、奇数番目の組の順序で階調設定処理が実行される(図12(B1)及び(B2))。また続くi+2ラインでは、元に戻って奇数番目の組、偶数番目の組の順序で階調設定処理が実行される(図12(C1)及び(C2))。

10

【0090】

これによりこの実施例では、空間的に発光輝度の相違を拡散させて、横方向のすじの発生を防止し、画質の劣化を有効に回避する。

【0091】

なお図11、図3との対比により図13及び図14に示すように、画素回路単位で、走査線方向に走査線への接続を異ならせるようにしてもよい。

【0092】

この実施例では、同時にしきい値電圧のばらつき補正処理を実行する複数ラインの画素回路において、走査線に対する接続を走査線方向で異なるように設定し、走査線方向に、しきい値電圧のばらつき補正処理に対する階調設定処理の順序を入れ換えることにより、複数ラインで同時に駆動トランジスタのしきい値電圧のばらつき補正処理を実行する場合に、横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

20

【実施例7】

【0093】

図15は、図11との対比により本発明の実施例7の表示装置の動作の説明に供するタイムチャートである。この実施例の表示装置は、実施例6に係る走査線方向の階調設定処理順序の切り換えと、実施例1に係る時間軸方向の階調設定処理順序の切り換えとの双方を実行する。なお時間軸方向の階調設定処理順序の切り換えは、実施例1に記載の切り換え方法に代えて、実施例2～5に記載の切り換え方法を適用するようにしてもよい。また走査線方向の切り換えにあっても、図11の方法に代えて、図13、図14の方法を適用するようにしてもよい。

30

【0094】

すなわちこの実施例では、iラインにおける奇数番目及び偶数番目の組における画素回路17(i)O及び17(i)Eでは(図15(A1)及び(A2))では、奇数番目の組、偶数番目の組の順序で階調設定処理が実行された後、続くフィールドでは偶数番目の組及び奇数番目の組の順序で階調設定処理が実行される。また続くi+1ラインでは、これとは逆に偶数番目の組、奇数番目の組の順序で階調設定処理が実行された後、奇数番目の組、偶数番目の組の順序で階調設定処理が実行される(図15(B1)及び(B2))。また続くi+2ラインでは、元に戻って奇数番目の組、偶数番目の組の順序で階調設定処理が実行された後、偶数番目の組及び奇数番目の組の順序で階調設定処理が実行される(図12(C1)及び(C2))。

40

【0095】

これによりこの実施例では、時間軸方向及び走査線方向への階調設定順序の切り換えにより、一段と確実に横方向のすじの発生を防止して画質の劣化を有効に回避する。

【0096】

この実施例では、時間軸方向及び走査線方向への階調設定順序の切り換えにより、一段と確実に横方向のすじの発生を防止して画質の劣化を有効に回避することができる。

【実施例8】

【0097】

なお上述の実施例においては、連続する2ライン、又は3ラインで同時にしきい値電圧

50

のばらつき補正処理を実行する場合について述べたが、本発明はこれに限らず、4ライン以上で同時に実行してもよい。

【0098】

また上述の実施例においては、連続する複数ラインで同時にしきい値電圧のばらつき補正処理を実行する場合について述べたが、本発明はこれに限らず、例えば図16に示すように、連続する所定ラインを単位にして、矢印Aにより示す奇数ラインで同時にしきい値電圧のばらつき補正処理した後、続いて矢印Bにより示す偶数ラインで同時にしきい値電圧のばらつき補正処理する場合等、同時にしきい値電圧のばらつき補正処理を実行する複数ラインにあっては、必要に応じて種々に設定することができる。

【0099】

また上述の実施例においては、画素単位、又は走査線方向に連続する赤色、緑色、青色の画素回路の組単位で、走査線方向に、階調設定処理の順序を切り換える場合について述べたが、本発明はこれに限らず、必要に応じて種々の複数画素単位で階調設定処理の順序を切り換えるようにして、上述の実施例と同様の効果を得ることができる。

【0100】

また上述の実施例においては、2つのトランジスタと信号レベル保持用コンデンサとで画素回路を構成する場合について述べたが、本発明はこれに限らず、例えば背景技術において上述した各種の構成により表示装置を構成する場合に広く適用することができる。

【0101】

具体的に、上述の実施例においては、駆動トランジスタを介して信号レベル保持用コンデンサの有機EL素子側端の電圧を設定する場合について述べたが、本発明はこれに限らず、図17について上述したように、信号線を介して設定する場合にも広く適用することができ、また専用の電源及びトランジスタを設けて設定する場合にも広く適用することができる。

【0102】

また上述の実施例においては、準備処理において、信号線を介して信号レベル保持用コンデンサの有機EL素子側とは逆側端の電圧を設定する場合について述べたが、本発明はこれに限らず、専用の電源及びトランジスタを設けて設定する場合にも広く適用することができる。

【0103】

また上述の実施例においては、駆動トランジスタへの電源の制御により発光、非発光を制御する場合について述べたが、本発明はこれに限らず、図17について上述したように、専用のトランジスタにより発光、非発光を制御する場合にも広く適用することができる。

【0104】

なおこれらの各種の画素回路の構成において、この実施例のように駆動トランジスタのしきい値電圧のばらつきを補正するために、信号線の電位を切り換える場合にあっては、しきい値電圧の補正に使用可能な時間が短くなる。また移動度のばらつきを補正する期間を設ける場合にあっても、同様に、しきい値電圧の補正に使用可能な時間が短くなる。従ってこれらの場合、複数ラインで同時にしきい値電圧のばらつき補正処理を実行すればこれらの処理に要する時間を十分に確保することができるものの、これら複数ライン間で発光輝度の相違が目立ちやすくなる。しかしながら本発明を適用すれば、これら複数ライン間における微妙な発光輝度の相違にあっても、確実に目立たなくすることができる。

【0105】

また上述の実施例では、発光素子に有機EL素子を使用する場合について述べたが、本発明はこれに限らず、電流駆動型の各種発光素子を使用する場合に広く適用することができる。

【産業上の利用可能性】

【0106】

本発明は、画像表示装置及び画像表示方法に関し、例えば有機EL素子によるアクティ

10

20

30

40

50

マトリックス型の表示装置に適用することができる。

【図面の簡単な説明】

【0107】

【図1】本発明の実施例1の表示装置に適用される階調設定処理順序の説明に供するタイムチャートである。

【図2】本発明の実施例1の表示装置を示すブロック図である。

【図3】他の例による表示装置の表示部を示す平面図である。

【図4】図2の表示装置の動作の説明に供するタイムチャートである。

【図5】本発明の実施例2の表示装置の動作の説明に供するタイムチャートである。

【図6】本発明の実施例3の表示装置における階調設定処理順序の説明に供するタイムチャートである。

【図7】図6とは異なる例における階調設定処理順序の説明に供するタイムチャートである。

【図8】本発明の実施例4の表示装置の動作の説明に供するタイムチャートである。

【図9】本発明の実施例5の表示装置における階調設定処理順序の説明に供するタイムチャートである。

【図10】図9との対比により従来例における階調設定処理順序の説明に供するタイムチャートである。

【図11】本発明の実施例6の表示装置における表示部の構成を示す平面図である。

【図12】図11の表示装置における階調設定処理順序の説明に供するタイムチャートである。

【図13】図11とは異なる例による表示部の構成を示す平面図である。

【図14】図11及び図13とは異なる例による表示部の構成を示す平面図である。

【図15】本発明の実施例7の表示装置における階調設定処理順序の説明に供するタイムチャートである。

【図16】他の実施例による階調設定処理順序の説明に供する平面図である。

【図17】従来の表示装置を示すブロック図である。

【図18】構成を簡略化して考えられる表示装置を示すブロック図である。

【図19】図18の表示装置の動作の説明に供するタイムチャートである。

【図20】図18の表示装置における階調設定処理順序の説明に供するタイムチャートである。

【図21】連続するラインでしきい値電圧の補正処理を同時に実行した場合のタイムチャートである。

【図22】図21の場合における表示装置の動作の説明に供するタイムチャートである。

【符号の説明】

【0108】

1、11、21……表示装置、3、13、23……信号線駆動回路、5、14、24……走査線駆動回路、6、12、22、22A、32、42、52……表示部、7、17、17R、17G、17B……画素回路、8……有機EL素子、TR1～TR5……トランジスタ

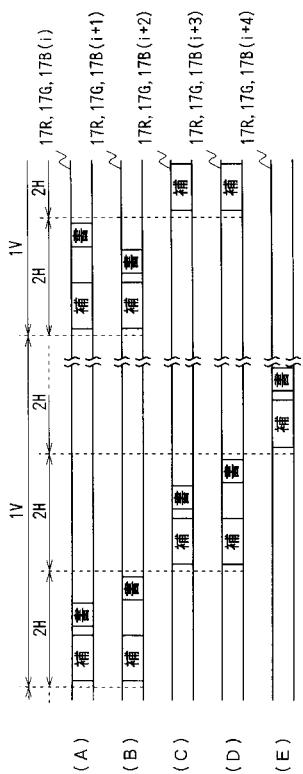
10

20

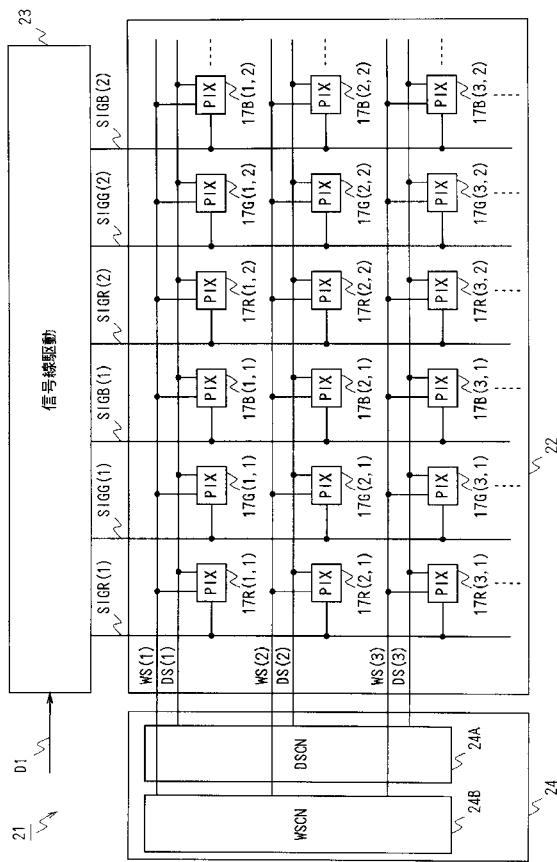
30

40

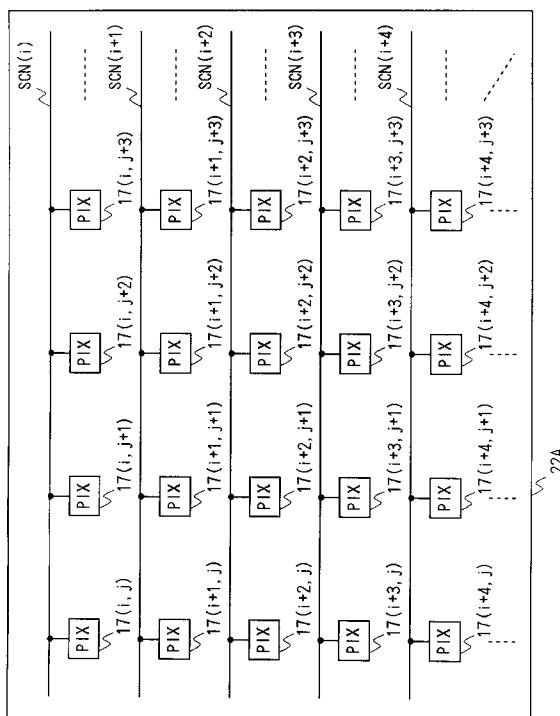
【 四 1 】



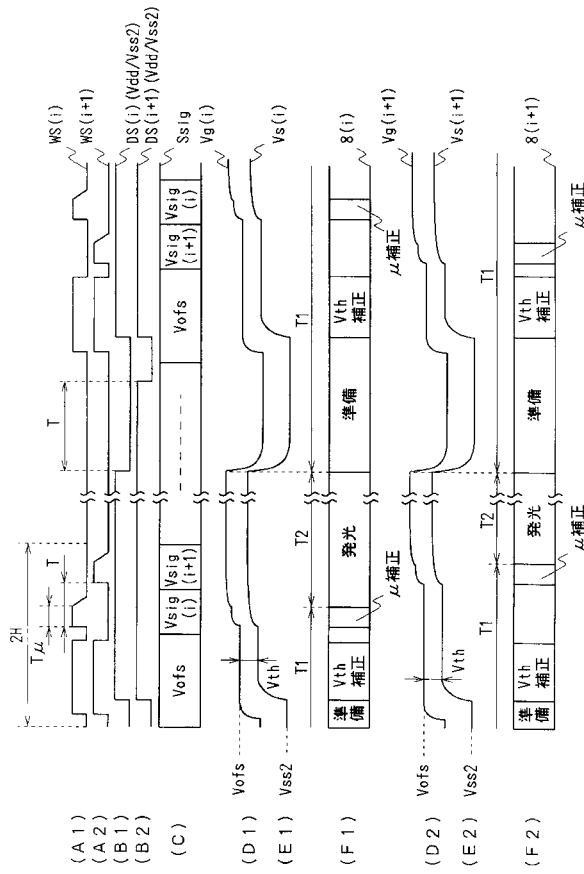
【 四 2 】



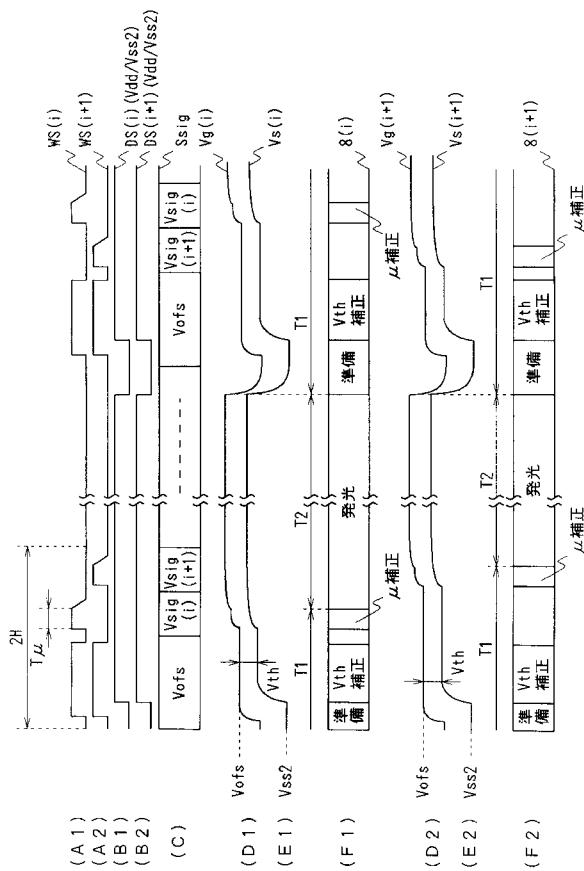
(3)



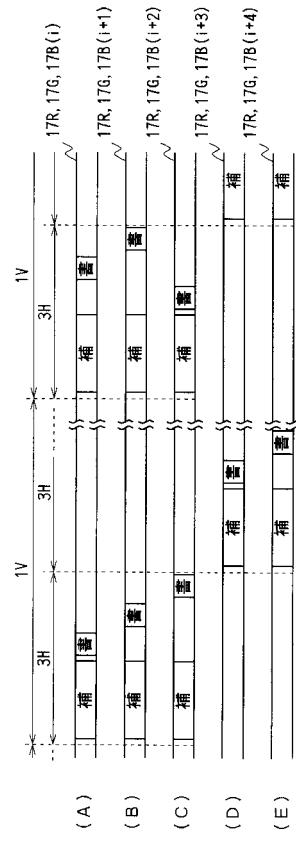
〔 4 〕



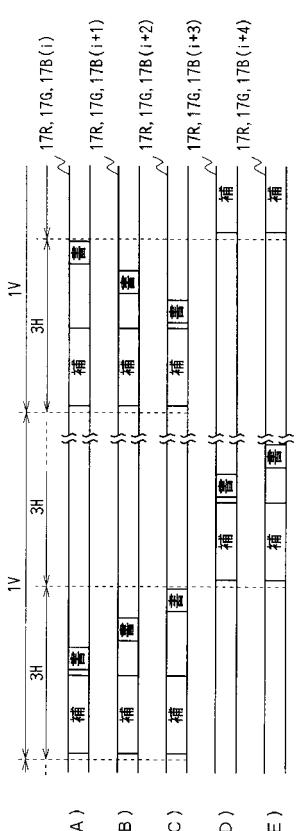
【図 5】



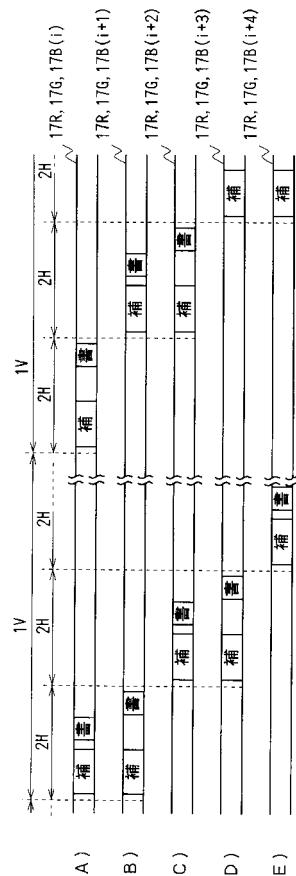
【図 6】



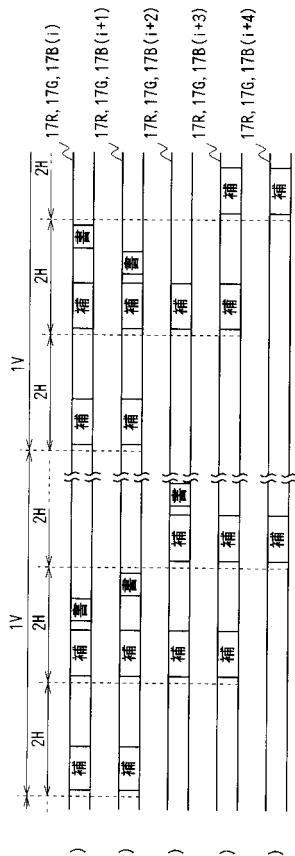
【図 7】



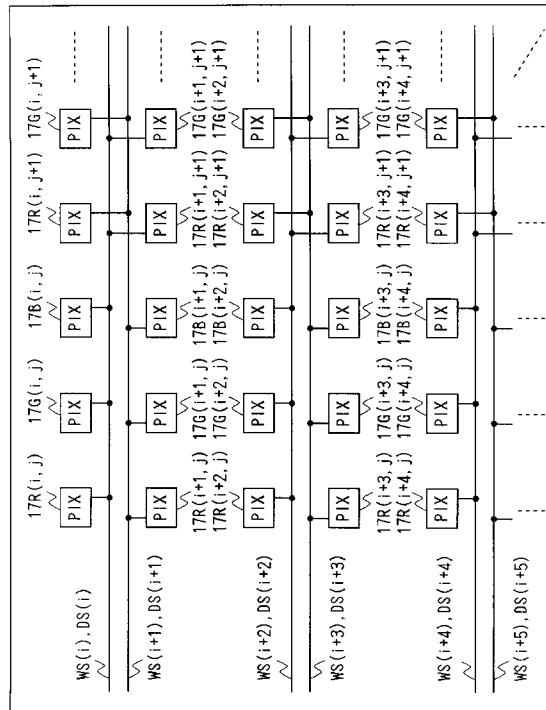
【図 8】



【 図 9 】

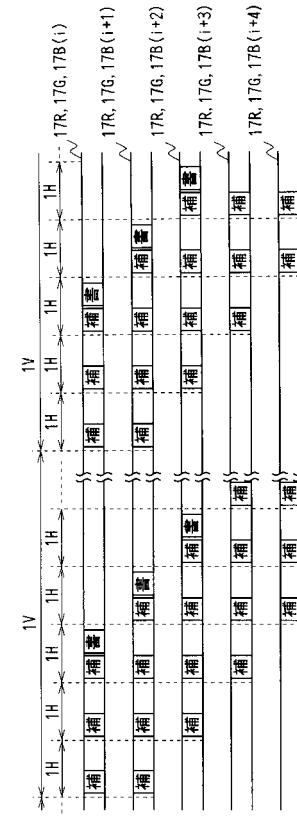


【 図 1 1 】

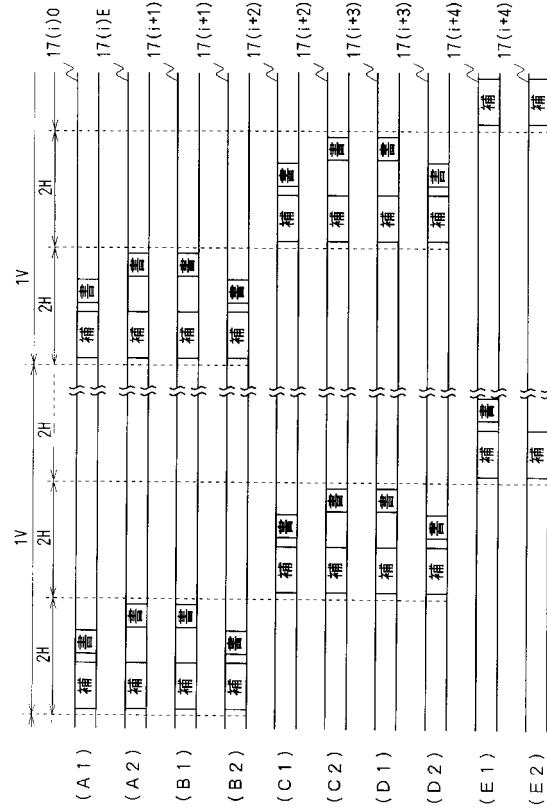


32

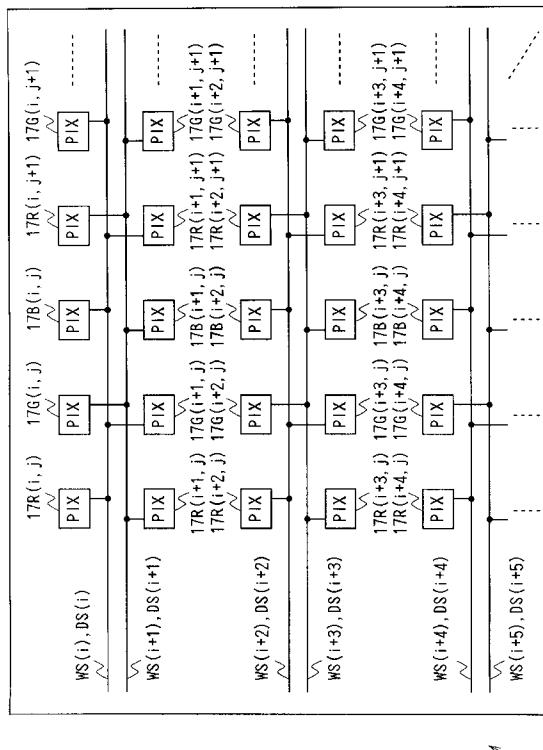
【 図 1 0 】



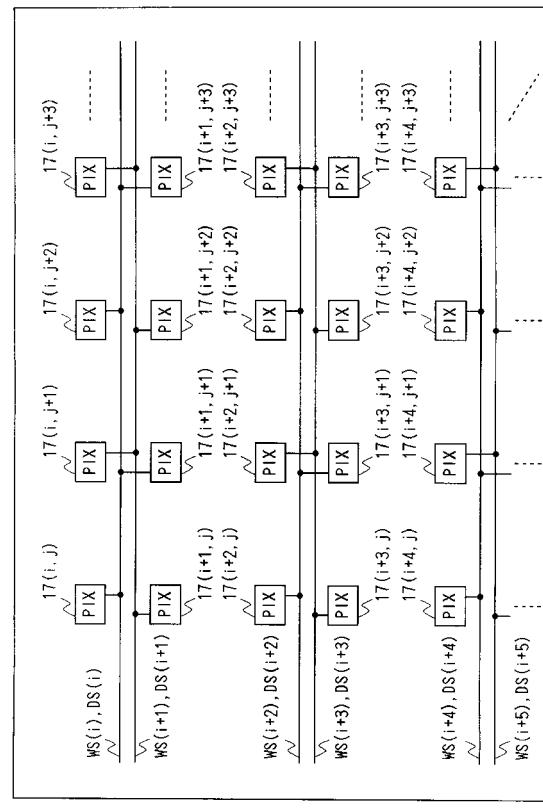
【 図 1 2 】



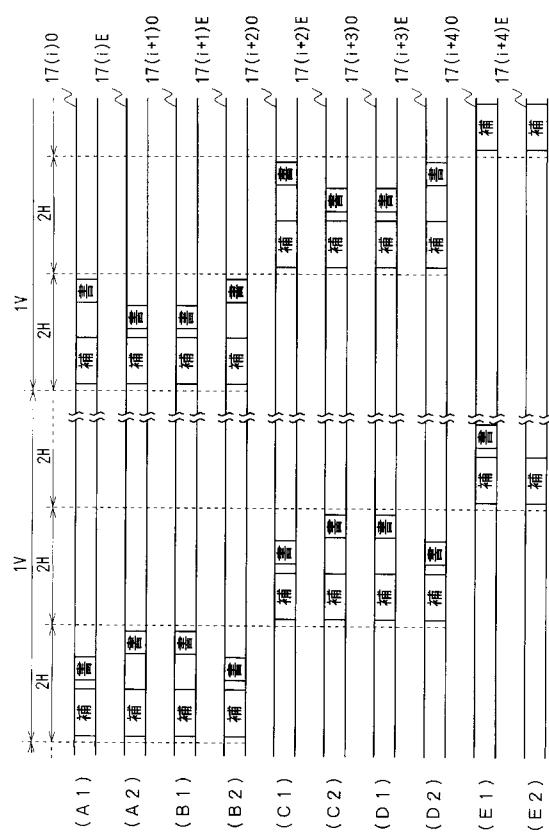
【図 1 3】



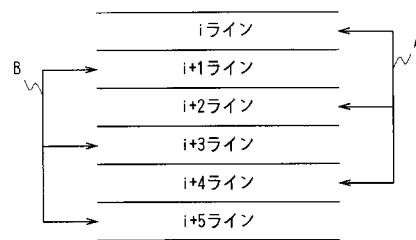
【図 1 4】



【図 1 5】



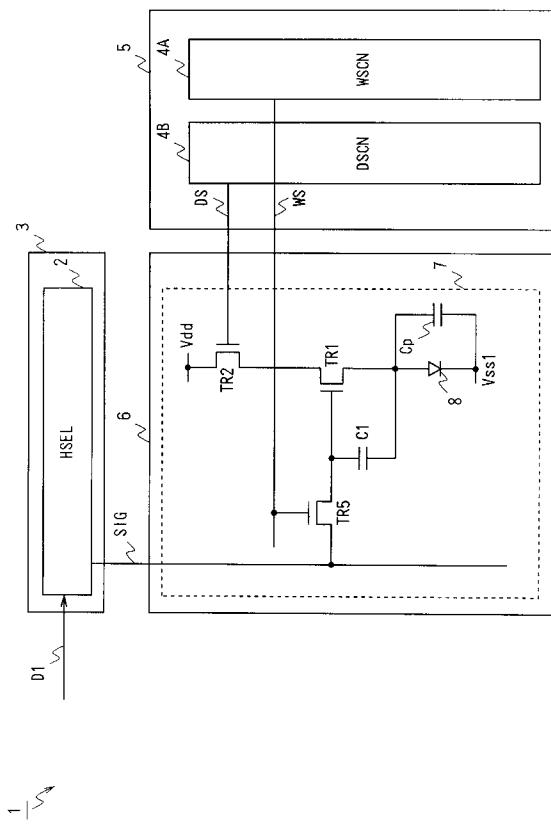
【図 1 6】



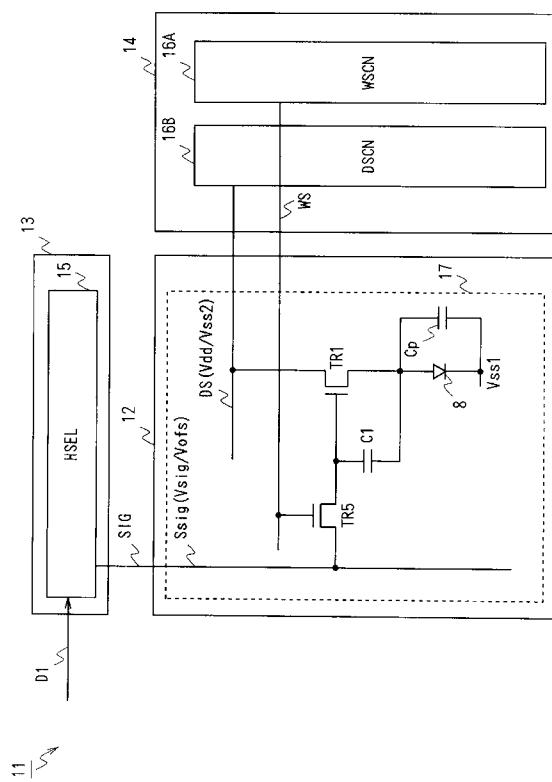
42

52

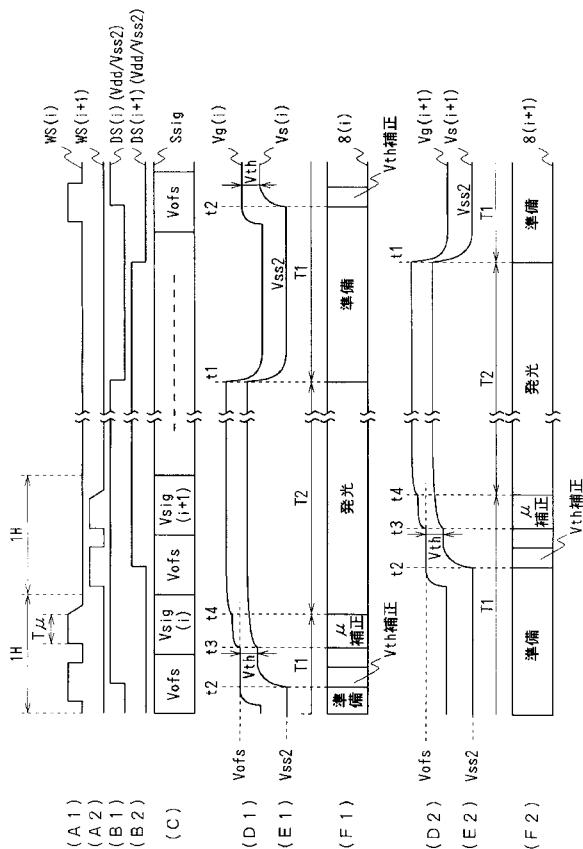
【図 1 7】



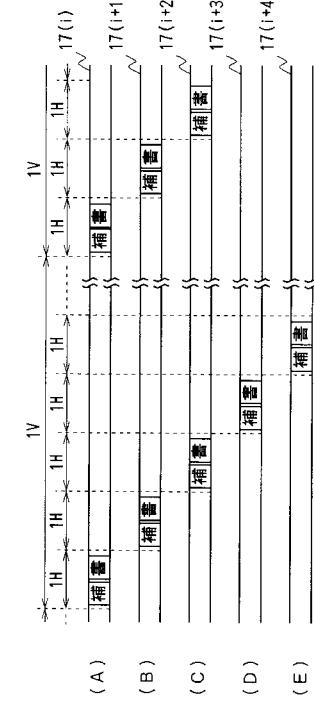
【図 1 8】



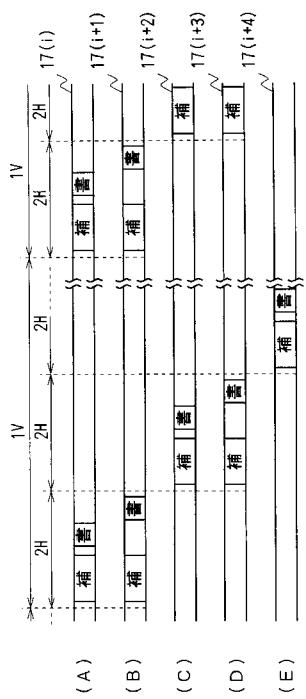
【図 1 9】



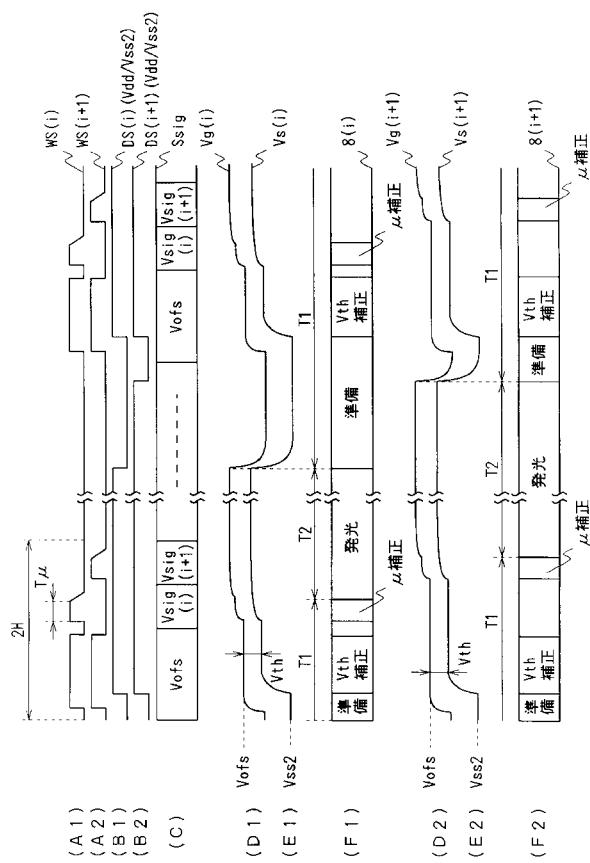
【図 2 0】



【図 2 1】



【図 2 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 2 R
H 0 5 B	33/14	A

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03 HH00 HH04 HH05

5C080 AA06 BB05 CC03 DD05 EE29 EE30 FF11 HH10 JJ02 JJ04
JJ06

专利名称(译)	图像显示装置和图像显示方法		
公开(公告)号	JP2009237041A	公开(公告)日	2009-10-15
申请号	JP2008080097	申请日	2008-03-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎 山本哲郎 内野勝秀		
发明人	浅野 慎 山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/043 G09G2310/0208 G09G2310/0251 G09G2310/0262 G09G2320/0233 G09G2320/0247		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.621.A G09G3/20.612.F G09G3/20.612.T G09G3/20.622.D G09G3/20.641.D G09G3/20.642.A G09G3/20.623.U G09G3/20.622.R H05B33/14.A G09G3/20.624.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/ /HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB31 5C380/ /AB34 5C380/AB41 5C380/AB45 5C380/AB46 5C380/BA11 5C380/BA13 5C380/BA31 5C380/ /BA32 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC20 5C380/CA04 5C380/CA08 5C380/ /CA12 5C380/CA26 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB02 5C380/ /CB04 5C380/CB17 5C380/CB20 5C380/CB27 5C380/CB29 5C380/CB30 5C380/CB31 5C380/ /CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/ /CC33 5C380/CC39 5C380/CC41 5C380/CC57 5C380/CC61 5C380/CC62 5C380/CC63 5C380/ /CC71 5C380/CC77 5C380/CD022 5C380/CD023 5C380/CE04 5C380/CE20 5C380/CF09 5C380/ /CF48 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA47 5C380/HA03 5C380/ /HA05		
外部链接	Espacenet		

摘要(译)

本发明涉及图像显示装置和图像显示方法，并且被应用于例如使用有机EL元件的有源矩阵型显示装置，并且同时执行多行中的驱动晶体管的阈值电压的变化校正处理。在这种情况下，防止了水平条纹的出现，从而有效地避免了图像质量的下降。根据本发明，在同时执行驱动晶体管的阈值电压变化校正处理的多条线中的时间轴方向和/或扫描线方向上执行用于阈值电压变化校正处理的灰度设置处理。交换订单。[选型图]图1

