

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-541185
(P2008-541185A)

(43) 公表日 平成20年11月20日(2008.11.20)

| (51) Int. Cl. | F I | テーマコード (参考) |
|----------------------|----------------|-------------|
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| G09G 3/20 (2006.01) | G09G 3/20 642A | 5C080 |
| HO1L 51/50 (2006.01) | G09G 3/20 641D | |
| | G09G 3/20 624B | |
| | G09G 3/20 611H | |

審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2008-511843 (P2008-511843)
 (86) (22) 出願日 平成18年5月16日 (2006.5.16)
 (85) 翻訳文提出日 平成19年11月16日 (2007.11.16)
 (86) 国際出願番号 PCT/IB2006/051542
 (87) 国際公開番号 W02006/123293
 (87) 国際公開日 平成18年11月23日 (2006.11.23)
 (31) 優先権主張番号 05104273.7
 (32) 優先日 平成17年5月19日 (2005.5.19)
 (33) 優先権主張国 欧州特許庁 (EP)

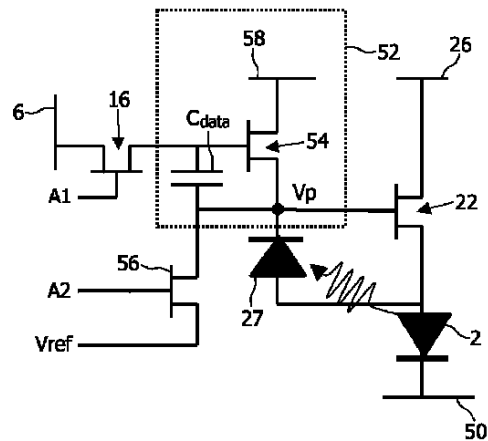
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 電子発光ディスプレイ装置

(57) 【要約】

アクティブマトリクス表示装置は、共通基板上に設けられた表示画素の配列を有する。夫々の画素は、電圧プログラム式電流源回路と、駆動トランジスタと、表示素子の光出力を検知する感光素子とを有する。感光素子は、表示素子の出力に依存して電流を供給し、感光素子及び前記電流源回路は、駆動トランジスタのゲートへ供給される電圧を制御するフィードバック制御ループを定める。この画素回路は、ゲート電圧を駆動トランジスタへ供給するために電流源回路を使用する。これは、電流源回路が、低電流レベルで、従って、低電圧ストレスの下で、動作することを可能にする。



【特許請求の範囲】**【請求項 1】**

共通基板上に設けられた表示画素の配列を有するアクティブマトリクスディスプレイ装置であって、

夫々の画素は：

電圧プログラム式電流源回路；

駆動トランジスタ；

前記駆動トランジスタによって駆動される電流駆動型発光表示素子；及び

前記表示素子の光出力を検知する第 1 の感光素子；

を有し、

前記第 1 の感光素子は、前記表示素子の出力に依存して電流を供給し、

前記第 1 の感光素子及び前記電流源回路は、前記駆動トランジスタのゲートへ供給される電圧を制御するフィードバック制御ループを定める、アクティブマトリクスディスプレイ装置。

10

【請求項 2】

前記第 1 の感光素子はフォトダイオードを有する、請求項 1 記載のアクティブマトリクスディスプレイ装置。

【請求項 3】

前記駆動トランジスタ及び前記表示素子は電力ライン間で直列である、請求項 1 又は 2 記載のアクティブマトリクスディスプレイ装置。

20

【請求項 4】

前記電流源は電流源トランジスタを有し、更に、該電流源トランジスタのゲート電圧を保持するデータ蓄積コンデンサを有する、請求項 1 乃至 3 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 5】

夫々の画素は、該画素へのデータ入力部と、前記電流源トランジスタのゲートとの間にアドレスタランジスタを更に有する、請求項 4 記載のアクティブマトリクスディスプレイ装置。

【請求項 6】

前記電流源トランジスタのソース及び前記第 1 の感光素子の出力部は、前記駆動トランジスタのゲートへ接続される、請求項 4 又は 5 記載のアクティブマトリクスディスプレイ装置。

30

【請求項 7】

夫々の画素は、基準電圧源と、前記駆動トランジスタのゲートとの間にリセットトランジスタを有する、請求項 4 乃至 6 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 8】

前記データ蓄積コンデンサは、前記電流源トランジスタのゲート - ソース間に設けられる、請求項 4 乃至 7 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

40

【請求項 9】

前記フィードバック制御ループは、前記第 1 の感光素子の電流と、前記電流源回路の出力電流とが等しくなるように、前記駆動トランジスタのゲート電圧を制御するように配置される、請求項 1 乃至 8 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 10】

夫々の画素は第 2 の感光素子を更に有し、

前記フィードバック制御ループは、前記第 1 及び第 2 の感光素子の電流の間の差と、前記電流源回路の出力電流とが等しくなるように、前記駆動トランジスタのゲート電圧を制御するように配置される、請求項 1 乃至 8 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

50

【請求項 1 1】

前記第 1 及び第 2 の感光素子は、夫々、実質的に同一のフォトダイオードを有する、請求項 1 0 記載のアクティブマトリクスディスプレイ装置。

【請求項 1 2】

前記第 2 の感光素子は周辺光にさらされるが、前記表示素子の光出力からは遮蔽される、請求項 1 0 又は 1 1 記載のアクティブマトリクスディスプレイ装置。

【請求項 1 3】

前記電流源回路は電流源トランジスタを有し、

前記第 2 の感光素子は、前記電流源トランジスタに電氣的に並列に設けられる、請求項 1 0 乃至 1 2 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

10

【請求項 1 4】

前記電流源回路は第 2 の蓄積コンデンサを更に有し、

前記データ蓄積コンデンサ及び前記第 2 の蓄積コンデンサは、前記電流源トランジスタのゲート - ソース間で直列である、請求項 4 乃至 6 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 1 5】

夫々の画素は、前記データ蓄積コンデンサと前記第 2 の蓄積コンデンサとの間の接続部と、基準電圧源との間にリセットトランジスタを有する、請求項 1 4 記載のアクティブマトリクスディスプレイ装置。

【請求項 1 6】

前記第 2 の蓄積コンデンサは、周辺光の状態に関して前記第 1 の感光素子の出力から得られる電圧を蓄積することを目的とする、請求項 1 4 又は 1 5 記載のアクティブマトリクスディスプレイ装置。

20

【請求項 1 7】

共通基板上に設けられた表示画素の配列を有するアクティブマトリクスディスプレイ装置を駆動する方法であって、

夫々の画素に関して：

データ蓄積コンデンサの一方の端子を基準電圧へと駆動するステップ；

前記データ蓄積コンデンサの他方の端子をデータ電圧へと駆動するステップ；

前記データ蓄積コンデンサの両端の電圧により電流源回路を駆動するステップ；

30

駆動トランジスタのゲート電圧を変更して、発光表示素子をオンするために、前記電流源回路を使用するステップ；

前記表示素子の出力に依存して電流を供給する第 1 の感光素子により前記表示素子の光出力を検知するステップ；及び

前記駆動トランジスタのゲートへ供給される電圧を制御するよう前記第 1 の感光素子の電流及び前記電流源回路の電流を結合するステップ；

を有する方法。

【請求項 1 8】

前記第 1 の感光素子の電流及び前記電流源回路の電流は、前記駆動トランジスタのゲート及び前記データ蓄積コンデンサの前記他方の端子へ接続される共通ノードへと流れる、請求項 1 7 記載の方法。

40

【請求項 1 9】

前記第 1 の感光素子の電流及び前記電流源回路の電流を結合するステップは、前記第 1 の感光素子の電流と、前記電流源回路の出力電流とが等しくなるように、前記駆動トランジスタのゲート電圧を制御する、請求項 1 7 又は 1 8 記載の方法。

【請求項 2 0】

周辺光を検出するために第 2 の感光素子を使用するステップを更に有し、

前記駆動トランジスタのゲートへ供給される電圧を制御するよう前記第 1 の感光素子の電流及び前記電流源回路の電流を結合するステップは、前記第 2 の感光素子の電流の結合を更に有する、請求項 1 7 記載の方法。

50

【請求項 2 1】

前記第 1 の感光素子及び前記第 2 の感光素子の電流並びに前記電流源回路の電流を結合するステップは、前記第 1 及び第 2 の感光素子の電流の間の差と、前記電流源回路の出力電流とが等しくなるように、前記駆動トランジスタのゲート電圧を制御する、請求項 2 0 記載の方法。

【請求項 2 2】

第 2 の蓄積コンデンサに周辺光の状態に関して前記第 1 の感光素子の出力から得られる電圧を蓄積するステップを更に有する、請求項 1 7 記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0 0 0 1】

本発明は、電界発光ディスプレイ装置、具体的に、電界発光表示素子及び薄膜トランジスタを含む画素の配列を有するアクティブマトリクスディスプレイ装置に関する。より具体的には、しかし、それに限定されずに、本発明は、表示素子によって放射された光に回答し、表示素子の通電の制御に使用されるところの光検知素子を含む画素を有するアクティブマトリクス電界発光ディスプレイ装置に関する。

【背景技術】

【0 0 0 2】

電界発光や光放射型の表示素子を用いるマトリクスディスプレイ装置が良く知られる。表示素子は、一般的に、ポリマー材料 (PLED) や発光ダイオード (LED) を含む、有機薄膜電界発光素子 (OLED) を有する。以下で使用される用語「LED」は、かかる可能性の全てを包含するよう意図される。かかる材料は、通常、一对の電極の間に挟まれた半導体共役高分子の 1 又はそれ以上の層を有する。一对の電極の 1 つは透明であり、他は空孔又は電子を高分子層に入れるのに適した物質から成る。

20

【0 0 0 3】

このようなディスプレイ装置における表示素子は電流により駆動され、従来のアナログ駆動方式は、表示素子へ制御可能な電流を供給する。通常、電流源トランジスタが画素構造の一部として設けられ、この電流源トランジスタへ供給されるゲート電圧は、電界発光 (EL) 表示素子を通る電流を決める。蓄積コンデンサは、アドレス指定相の後にゲート電圧を保持する。このような画素回路の例が EP - A - 0 7 1 7 4 4 6 (特許文献 1) に記載されている。

30

【0 0 0 4】

このようにして、夫々の画素は、EL 表示素子と、関連するドライバ回路とを有する。ドライバ回路は、行導電体上の行アドレスパルスによってオンされるアドレストランジスタを有する。アドレストランジスタがオンされると、列導電体上のデータ電圧は残りの画素へ伝わる事ができる。具体的に、アドレストランジスタは、列導電体電圧を、駆動トランジスタと、駆動トランジスタのゲートへ接続された蓄積コンデンサとを有する電流源へ供給する。列データ電圧は駆動トランジスタのゲートへ供給され、ゲートは、行アドレスパルスが終了した後でさえ、蓄積コンデンサによってこの電圧に保たれる。駆動トランジスタは p 形 TFT (薄膜トランジスタ) として実施され得るので、蓄積コンデンサはゲート - ソース間電圧を一定に保つ。これにより、駆動トランジスタを通る一定のソース - ドレイン間電流が得られる。従って、駆動トランジスタは、画素の所望の電流源動作を提供する。EL 表示素子の輝度は、表示素子を通る電流にほぼ比例する。

40

【0 0 0 5】

上記基本的な画素回路で、所与の電流に関して画素の輝度レベルの低減をもたらす、LED 材料の差異エージング又は劣化は、ディスプレイ全体で画像品質の変動を生じさせる。頻繁に使用されてきた表示素子は、めったに使用されない表示素子よりも、ずっと薄暗い。また、表示不均一性の問題が、駆動トランジスタの特性、特に閾値レベルのばらつきに起因して起こり得る。

【0 0 0 6】

50

LED材料のエージング及びトランジスタ特性のばらつきを補償可能な改善された電圧アドレス型画素回路が提案されてきた。これらは、表示素子の光出力に応答する光検知素子を有する。光検知素子は、画素の最初のアドレス指定の後の駆動期間の間に表示素子の総体的な光出力を制御するように、光出力に応答して蓄積コンデンサに蓄えられた電荷を漏出するよう動作する。このような形式の画素構造の例は、W001/20591（特許文献2）及びEP1,096,466（特許文献3）に詳細に記載されている。例となる実施形態で、画素内のフォトダイオードは、蓄積コンデンサに蓄積されているゲート電圧を放電し、駆動トランジスタのゲート電圧が閾値電圧に達すると、蓄積コンデンサは放電を停止し、EL表示素子は発光をやめる。電荷がフォトダイオードから漏出する速度は表示素子出力の関数であり、従って、フォトダイオードは感光性フィードバックデバイスとして働く。

10

【0007】

光フィードバック配置は、TFTと表示素子との間の最初の不均一性と、かかる不均一性の経時変化とを補償することを可能にする。表示素子からの光出力はEL表示素子の効率とは無関係であり、それによって、エージング補償が提供される。このような技術は、時間期間にわたる不均一性をそれほど欠点としない高品位ディスプレイの実現において有効であることが示されてきた。しかし、この方法は、フレーム時間において画素からの適当な平均輝度を達成するために、高い瞬時ピーク輝度レベルを必要とする。これは、LED材料が結果としてより急速に劣化する可能性が高いので、ディスプレイの動作に有益でない。

20

【0008】

代替のアプローチで、光フィードバックシステムは、表示素子が動作するデューティサイクルを変更するために使用される。表示素子は一定輝度へと駆動され、光フィードバックは、即座に駆動トランジスタをオフするトランジスタスイッチをトリガするために使用される。これは、高い瞬時輝度レベルの必要性を除くが、更なる複雑性を画素に導入する。

【0009】

光フィードバックシステムの使用は、LED表示素子の差異エージングを解消する有効な方法として考えられる。

【0010】

かかる既知の技術は、アモルファスシリコントランジスタにおける閾値電圧シフトの補償とともに、及び発光材料の劣化に対する鈍化とともに、所望の表示素子光出力へのプログラム電圧の正確且つ再現可能な変換を可能にする。

30

【特許文献1】EP-A-0717446

【特許文献2】W001/20591

【特許文献3】EP1,096,466

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、依然として、上記必要条件を満足し、簡単な駆動エレクトロニクスを有し、且つ、複雑でない画素設計を有する回路が必要とされる。

40

【課題を解決するための手段】

【0012】

本発明に従って、共通基板上に設けられた表示画素の配列を有するアクティブマトリクスディスプレイ装置であって、夫々の画素は：

電圧プログラム式電流源回路；

駆動トランジスタ；

前記駆動トランジスタによって駆動される電流駆動型発光表示素子；及び

前記表示素子の光出力を検知する第1の感光素子；

を有し、

50

前記第1の感光素子は、前記表示素子の出力に依存して電流を供給し、前記第1の感光素子及び前記電流源回路は、前記駆動トランジスタのゲートへ供給される電圧を制御するフィードバック制御ループを定めるところのアクティブマトリクスディスプレイ装置が提供される。

【0013】

かかる画素回路は、ゲート電圧を駆動トランジスタへ供給するために電流源回路を使用する。これは、電流源回路が、低電流レベルで、従って、低電圧ストレスの下で、動作することを可能にする。従って、前記電流源回路における駆動トランジスタは、小さな閾値電圧ドリフトを有しており、長期間にわたって正確な電流源として使用され得る。前記電流源回路によって供給されるべき電流のレベルは、感光素子（例えば、フォトダイオード）の電流出力に比例する。

10

【0014】

望ましくは、前記電流源の出力と、前記フォトダイオードの電流との間には、差分信号がフィードバック信号として使用され、この差分信号が安定状態において零になるように、減算が存在する。

【0015】

画素の伝達特性は前記電流源回路によって決定され、一段式トランジスタが使用されるならば、これは2のガンマに対応する（これは、出力電流がゲート-ソース間電圧の二乗に比例するためである。）。これは、良好な低グレースケールの再現をもたらす。

20

【0016】

望ましくは、前記電流源回路は電流源トランジスタを有し、更に、該電流源トランジスタのゲート電圧を保持するデータ蓄積コンデンサを有する。これは、トランジスタの電流源動作を提供する。望ましくは、前記データ蓄積コンデンサは、前記電流源トランジスタのゲート-ソース間に設けられる。

【0017】

前記フィードバック制御ループは、前記第1の感光素子の電流と、前記電流源回路の出力電流とが等しくなるように、前記駆動トランジスタのゲート電圧を制御するよう配置され得る。このようにして、前記フィードバックループは、光出力が対応する感光素子出力になるまで、前記駆動トランジスタを制御する。このようにして、このフィードバックは、該フィードバックが前記光出力に基づくので、前記駆動トランジスタの如何なる閾値電圧ドリフト及び前記表示素子の出力劣化も解消する。

30

【0018】

代わりに、夫々の画素は第2の感光素子を更に有しても良く、その場合に、前記フィードバック制御ループは、前記第1及び第2の感光素子の電流の間の差と、前記電流源回路の出力電流とが等しくなるように、前記駆動トランジスタのゲート電圧を制御するよう配置される。この第2の感光素子は、その場合に、周辺光レベルの補償を提供する。望ましくは、前記第1及び第2の感光素子は、夫々、実質的に同一のフォトダイオードを有し、前記第2の感光素子は周辺光にさらされるが、前記表示素子の光出力からは遮蔽される。

【0019】

他の配置で、前記電流源回路は第2の蓄積コンデンサを更に有し、前記データ蓄積コンデンサ及び前記第2の蓄積コンデンサは、前記電流源トランジスタのゲート-ソース間で直列である。その場合に、この第2の蓄積コンデンサは、周辺光の状態に関して前記第1の感光素子の出力から得られる電圧を蓄積するために使用され得る。

40

【0020】

本発明は、また、共通基板上に設けられた表示画素の配列を有するアクティブマトリクスディスプレイ装置を駆動する方法であって、夫々の画素に関して：

データ蓄積コンデンサの一方の端子を基準電圧へと駆動するステップ；

前記データ蓄積コンデンサの他方の端子をデータ電圧へと駆動するステップ；

前記データ蓄積コンデンサの両端の電圧により電流源回路を駆動するステップ；

駆動トランジスタのゲート電圧を変更して、発光表示素子をオンするために、前記電流

50

源回路を使用するステップ；

前記表示素子の出力に依存して電流を供給する第1の感光素子により前記表示素子の光出力を検知するステップ；及び

前記駆動トランジスタのゲートへ供給される電圧を制御するよう、前記第1の感光素子の電流及び前記電流源回路の電流を結合するステップ；

を有する方法を提供する。

【発明を実施するための最良の形態】

【0021】

ここで、本発明の実施例について、添付の図面を参照して詳細に記載する。

【0022】

全ての図面を通して、同じ参照番号は同一の又は類似する部品を表すために使用される。

【0023】

図1は、既知のアクティブマトリクス電界発光ディスプレイ装置を示す。ディスプレイ装置は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有するパネルを有する。画素は、ブロック1によって表わされ、結合される切り替え手段と共に電界発光表示素子2を有し、行（選択）及び列（データ）のアドレス導電体4及び6の交差する組の間の共通部分に置かれている。簡単のため、数個の画素しか図1には示されていない。実際には、画素の数百の行及び列が存在しうる。画素1は、行走査ドライバ回路8及び列データドライバ回路9を含む周辺の駆動回路によって、行及び列のアドレス導電体の組を介してアドレス指定される。これらのドライバ回路は、導電体の夫々の組の終端に接続されている。

【0024】

電界発光表示素子2は、ここではダイオード素子（LED）として表わされ、有機電界発光物質の1又はそれ以上のアクティブ層がその間に挟まれた一対の電極を有する有機発光ダイオードを有する。配列の表示素子は、結合されるアクティブマトリクス回路と共に絶縁支持材の一方の側に載せられている。表示素子の陰極又は陽極のいずれか一方は、透明な導電物質で形成されている。支持材は、例えばガラスのような透明な物質から作られ、基板に最も近い表示素子2の電極は、例えばITOのような透明な導電物質から成っても良い。従って、電界発光層より発せられる光は、支持材の他の側において観測者に対して可視的であるように、これらの電極及び支持材を介して伝達される。

【0025】

図2は、電圧アドレス式動作を提供する最も基本的な画素及び駆動回路配置を簡単な回路図形式で示す。夫々の画素1は、EL表示素子2と、結合されるドライバ回路とを有する。ドライバ回路は、行導電体4の行アドレスパルスによりオンされるアドレストランジスタ16を有する。アドレストランジスタ16がオンされると、列導電体6の電圧は、残りの画素へ伝わることができる。具体的には、アドレストランジスタ16は、列導電体電圧を電流源20へ供給する。電流源20は、駆動トランジスタ22と、蓄積コンデンサ24とを有する。列電圧は、駆動トランジスタ22のゲートへ供給され、ゲートは、行アドレスパルスが終了した後でさえ、蓄積コンデンサ24によってこの電圧に保たれる。

【0026】

この回路内の駆動トランジスタ22はp形TFTとして実施されているので、蓄積コンデンサ24はゲート-ソース間電圧を一定に保つ。これにより、トランジスタ22を流れる一定のソース-ドレイン間電流が得られる。従って、トランジスタ22は、画素の所望の電流源動作を提供する。

【0027】

上記基本的な画素回路では、ポリシリコンに基づく回路に関して、トランジスタのチャネルにおけるポリシリコン粒子の統計的分布に起因して、トランジスタの閾値電圧にばらつきが存在する。しかし、ポリシリコントランジスタは、電流及び電圧ストレスの下で極めて安定しているので、閾値電圧は実質的に一定のままである。

10

20

30

40

50

【 0 0 2 8 】

閾値電圧のばらつきは、少なくとも基板上の短距離に亘って、アモルファスシリコントランジスタでは小さいが、閾値電圧は電圧ストレスに対して極めて敏感である。駆動トランジスタに必要とされる閾値を超える高電圧の印加は、閾値電圧において大きな変化を引き起こす。この変化は、表示される画像の情報コンテンツに依存する。従って、常にオンであるアモルファスシリコントランジスタの閾値電圧では、そうではないトランジスタに比べて大きな差異が存在しうる。この差異エージングは、アモルファスシリコントランジスタにより駆動されるLEDディスプレイでは深刻な問題である。

【 0 0 2 9 】

トランジスタ特性のばらつきに加えて、LED自体の差異エージングも存在する。これは、電流ストレス後に発光物質の効率が下がることに起因する。ほとんどの場合において、LEDを流れる電流及び電荷が多くなればなるほど、効率はますます低くなる。

10

【 0 0 3 0 】

図3及び4は、エージング補償を提供するよう光フィードバックを備えた画素レイアウトの例を示す。

【 0 0 3 1 】

図3の画素回路で、フォトダイオード27は、コンデンサ24 (C_{data})に蓄積されたゲート電圧を放電し、輝度を低減させる。表示素子2は、駆動トランジスタ22 (T_{drive})のゲート電圧が閾値電圧に達すると、もはや発光しない。次いで、蓄積コンデンサ24は放電をやめる。電荷がフォトダイオード27から放出される割合は表示素子出力の関数であるから、フォトダイオード27は光受フィードバックデバイスとして機能する。駆動トランジスタ22がオフに切り替えられると、表示素子の陽極電圧は下がり、放電トランジスタ29 (T_{discharge})はオンする。従って、蓄積コンデンサ24の残りの電荷は急速に失われ、発光はオフされる。

20

【 0 0 3 2 】

駆動トランジスタ22のゲート-ソース間電圧を保持するコンデンサが放電されるので、表示素子2に対する駆動電流は徐々に下がる。従って、輝度は次第に小さくなる。このことは、より低い平均光度をもたらす。

【 0 0 3 3 】

図4は、本願出願人によって提案された回路を示す。かかる回路は一定の光出力を有し、光出力に依存して1度に電源を切る。

30

【 0 0 3 4 】

駆動トランジスタ22のゲート-ソース間電圧は、先と同じく、蓄積コンデンサ24 (C_{store})に保持される。しかし、この回路では、このコンデンサ24は、充電トランジスタ34を用いて、充電ライン32から一定電圧へと充電される。従って、駆動トランジスタ22は、表示素子2が光るべき場合に、画素へ入力されるデータとは無関係な一定レベルへと駆動される。輝度は、デューティサイクルを変えることによって、具体的に、駆動トランジスタ22がオフされる時間を変えることによって、制御される。

【 0 0 3 5 】

駆動トランジスタ22は、蓄積コンデンサ24を放電する放電トランジスタ36 (T_{discharge})を用いてオフされる。放電トランジスタ36がオンされると、コンデンサ24は急速に放電され、駆動トランジスタ22はオフされる。

40

【 0 0 3 6 】

放電トランジスタ36は、そのゲート電圧が十分な電圧に達する場合にオンされる。フォトダイオード27は表示素子2によって照射され、先と同じく、表示素子2の光出力に依存して光電流を発生させる。この光電流は放電コンデンサ40 (C_{data})を充電し、ある時点で、コンデンサ40の両端の電圧は、放電トランジスタ36の閾値電圧に達して、放電トランジスタ36をオンに切り替える。この時間は、コンデンサ40にもともと蓄積されている電荷と、光電流とに依存する。言い換えると、これは、表示素子2の光出力に依存する。最初に、放電コンデンサ40はデータ電圧を蓄える。従って、初期データ

50

及び光フィードバックは、両方とも、回路のデューティサイクルに影響を及ぼす。

【0037】

光フィードバックを備えた画素回路について多数の代替の実施形態が存在する。図3及び図4はp形トランジスタによる実施を示すが、例えばアモルファスシリコントランジスタに関して、n形トランジスタによる実施も存在する。

【0038】

図5は、n形トランジスタを用いて実施される、本発明の画素回路の第1の例を示す。従って、当該回路は、アモルファスシリコントランジスタを用いる実施に適する。

【0039】

図2乃至4の回路と同様に、駆動トランジスタ22及び電流駆動型発光表示素子2は、電力ライン26、50の間に直列に置かれる。アドレストランジスタ16は、画素のデータ入力6と、画素回路の入力との間に設けられている。

【0040】

回路は、電圧プログラム式電流源回路52を有するが、駆動トランジスタではない電流源回路トランジスタ54を用いる。従って、このトランジスタ54は表示素子の負荷を駆動しない。

【0041】

フォトダイオード27は、先と同じく、表示素子の光出力を検知し、表示素子の出力に依存して電流を供給する。電流源回路52及びフォトダイオード27の電流は共通ノードVpへと流れる。回路は、駆動トランジスタ22のゲートへ供給される電圧を制御するフィードバック制御ループを実装するように設計される。具体的に、ノードVpは、駆動トランジスタ22のゲートへ接続されている。ノードへの2つの電流が等しい場合、ノードVpでの電圧は安定しており、フィードバックループはその平衡に達している。この平衡は、駆動トランジスタ22の動作点を定める。

【0042】

このことは、電流源回路52が低電流レベルで、従って、低電圧ストレスの下で、動作することを可能にする。従って、電流源トランジスタ54は小さな閾値電圧ドリフトを有し、長期間にわたって正確な電流源として使用され得る。

【0043】

データ蓄積コンデンサC_{data}は、電流源トランジスタ54のゲート-ソース間に設けられている。

【0044】

リセットトランジスタ56は、基準電圧源V_{ref}と、(電流源トランジスタ54のソースへ接続された)駆動トランジスタ22のゲートとの間に設けられている。このことは、データ蓄積コンデンサC_{data}の一方の側における電圧が一定となることを可能にする。従って、正確に知られたデータ電圧が、画素プログラム段階でコンデンサの両端に蓄積され得る。

【0045】

画素の伝達特性(即ち、データ入力と輝度出力との間の関係。)は、電流源回路、具体的にはトランジスタ54の電圧-電流特性によって決定される。これは、出力電流が(閾値を上回る)ゲート-ソース間電圧の二乗に比例するので、2のガンマに対応する。

【0046】

フィードバック制御は、選択された電流がフォトダイオードを流れるまで輝度を変更する。従って、このフィードバックは、フィードバックが光出力に基づくので、駆動トランジスタ22における如何なる閾値電圧ドリフト及び表示素子出力の劣化も解消する。

【0047】

ここで、図5の回路の動作について、より詳細に説明する。

【0048】

アドレス指定(プログラミング)段階は、所望のフォトダイオード電流に対応する電流源回路出力を与えうるコンデンサC_{data}の電圧を正確に蓄積する。

10

20

30

40

50

【 0 0 4 9 】

これを達成するために、リセットトランジスタ 5 6 はオンされ、このことはノード V_p を基準電圧 V_{ref} へと駆動する。この基準電圧は、駆動トランジスタ 2 2 がオフされることを確実にする。従って、光は発生しない。次いで、ノード V_p は、データコンデンサ C_{data} の充電を可能にするよう安定した基準電圧に保たれる。

【 0 0 5 0 】

次いで、グレーレベル画素データはデータライン 6 へ適用され、このデータ電圧は基準電圧 V_{ref} を基準とする。アドレストラジスタ 1 6 は、データコンデンサ C_{data} に所望の電圧を蓄積するようオンされる。

【 0 0 5 1 】

次いで、アドレストラジスタ 1 6 は、データコンデンサ C_{data} の電圧が一定となるようにオフされる。

【 0 0 5 2 】

その場合に、電流源トランジスタ 5 4 のゲート - ソース間電圧は安定している。電流源トランジスタ 5 4 が動作しうる動作範囲で、この電圧は、式：

【 数 1 】

$$I_{ds} = \frac{\mu_n \epsilon_{ox}}{2t_{ox}} \frac{W}{L} (V_{gs} - V_t)^2$$

によって定義されるドレイン - ソース電流 (I_{ds}) を生じさせる。

【 0 0 5 3 】

この電流は、上述されたように、ゲート - ソース間電圧の二乗に比例し、2 のガンマ特性をもたらす。

【 0 0 5 4 】

画素アドレス / プログラミング段階の間、電流は電流源トランジスタ 5 4 を流れ、これは基準電圧ラインまで至る。

【 0 0 5 5 】

アドレス / プログラミング段階は、リセットトランジスタ 5 6 をオフして、ノード V_p から基準電圧 V_{ref} を切り離すことによって完了する。

【 0 0 5 6 】

アドレス指定相の後、光が発生する。この相の開始時に、ノード V_p の電圧は依然として基準電圧 V_{ref} であり、最初は、光は発生していない。なお、基準電圧 V_{ref} は、駆動トランジスタ 2 2 が導通しないように選択されている。しかし、電流源トランジスタ 5 4 は導通し、電流はノード V_p に流れ込む。ノード V_p での電圧は極めて急激に増大し、最終的に、駆動トランジスタ 2 2 は導通し始める。

【 0 0 5 7 】

表示素子 2 に電流が流れることで、光が発生する。光の一部はフォトダイオード 2 7 に当たる。フォトダイオード 2 7 は、受けた光に比例する電流を発生させる。これは電流源回路の電流に反対に作用し、それによって、ノード V_p での電圧の増大を緩める。

【 0 0 5 8 】

しばらくの後、安定した状態に達する。この状態で、(依然としてプログラミング電圧によって決まる電流である)電流源回路 5 2 によって供給される電流と、(受けた光によって決まる)フォトダイオード 2 7 を流れる電流とは等しく、ノード V_p での電圧は安定する。

【 0 0 5 9 】

このようにして、当該回路は、フィードバック制御のために、(A 1 及び A 2 とラベルを付された) たった 2 つのアドレスラインと、単一の付加的なトランジスタとを備えた光フィードバック制御回路を提供する。2 つのアドレスラインは、アドレス指定、画素オン及び画素オフの 3 つのアドレス相を実施するために必要とされる最低限である。画素回路の特性は、正確に設計され得る電流源トランジスタによって決定され、回路は低いゲート

10

20

30

40

50

- ソース間電圧レベルで動作する。従って、回路は、高い電圧ストレスを受けない。特に、かかる特性は、電流源トランジスタの移動度及び閾値電圧によって決定される。

【0060】

画素回路には、たった4つのn形TFTと、1つのコンデンサと、1つのフォトダイオードしか存在しない。TFTのうちのみが、大きな電流を搬送することができれば良く、比較的大きい必要がある。他のトランジスタは全て極めて小さくて良い。

【0061】

回路は、また、電流ライン電圧の変動が光出力にほとんど影響を与えないので、このような変動を許容することもできる。唯一の決定的な電圧は、プログラミング相の間、基準電圧 V_{ref} である。

【0062】

当該回路に対する多数の変形は、機能又は性能に影響を与えることなくなされ得る。

【0063】

感光TFTが、示されるフォトダイオードの代わりに使用され得る。

【0064】

図5の例で、電流源回路52はそれ自体の電力ライン58を有するように示されているが、これは主電力ライン26へ接続されても良く、あるいは、それは別個の電力供給ラインであっても良い。電力消費に関して、示されるように別々の電力ライン26、58を設けることは有利である。実際には、別々の電流源電力ライン58が夫々の色に関して使用されても良い。表示素子の両端の電圧は著しく異なり、駆動トランジスタ22のドレイン-ソース間電圧は、損失を低減するよう最小にされるべきである。理想的には、電力ライン58の電圧は、電流源トランジスタが(ドレイン-ソース間電圧よりも小さいか、又は等しい $V_{GS} - V_t$ を有する)その飽和領域で動作することができるように、電力ライン26の電圧よりもいくらか高くあるべきであり、その場合に、ドレイン電流は、ドレイン-ソース間電圧とは実質的に無関係であり、ゲート-ソース間電圧によってのみ決定される。

【0065】

基準電圧 V_{ref} は、また、陰極ライン50へ接続されても良く、あるいは、独立した基準ラインであっても良い。

【0066】

画素回路は、デューティサイクル制御が導入されることを可能にする(これは、動画描画(motion rendition)を改善するための既知の手段である。)。リセットトランジスタ56は、この目的のために使用され得る。フィールド期間の終了前にリセットトランジスタ56をオンに切り替えることによって、ノード V_p での電圧は基準電圧 V_{ref} へと急速に下がり、従って、画素はオフされる。次いで、電流源出力電流は、リセットトランジスタ56を介して基準電圧ラインへと流れる。

【0067】

重要な設計パラメータは、表示素子電流とフォトダイオード(又はフォトトランジスタ)電流との間の比である。エネルギー効率のために、フォトダイオード電流は可能な限り低く保たなければならない。しかし、このフォトダイオード電流の低下は、ノード V_p での電圧を安定させるためのより長い期間をもたらす。

【0068】

当該回路の様々な要素の寸法決定(dimensioning)における最も重大な側面はフォトダイオードである。典型的なフォトダイオードは、非常に低い光-電流変換比を有し、極めて低い電流しか発生しない。電流源トランジスタは同じ大きさの電流を伝送し、従って、フォトダイオードは、適切な範囲でトランジスタ54を動作させるよう設計される必要がある。具体的に、トランジスタ54は、十分に低い電流を供給し且つドリフトを回避するよう、閾値下の電圧範囲で動作すべきである。大きなドリフトは、閾値を上回る動作に関して生ずる。

【0069】

10

20

30

40

50

上記回路設計は、電流源トランジスタの閾値電圧ドリフトを回避するために、電流源トランジスタの低電圧ストレスに依存する。また、光フィードバックが正確に機能すると仮定する。当該回路に対する改良について、これらの問題に対処するべく以下に記載される。

【0070】

図6は、回路の第2の例を示す。同じ参照番号が使用されており、回路は同じ段階を有して動作する。

【0071】

付加的なフォトダイオード60が電流源トランジスタ54に並列に設けられ、これは周辺光を補償するよう配置される。フォトダイオード60はフォトダイオード27と同一であって、同じ特性を有する。フォトダイオード60は、発光領域の外に置かれている。フォトダイオード27、60は両方とも、周辺光の変化に従って同じように動作する。このことは、フォトダイオード27の総体的な光電流はもはや平衡状態ではなく、その一部のみが表示素子出力から発生することを意味する。このことは、フィードバックのメカニズムを改善する。

10

【0072】

図6の回路は、周辺光の実時間補正を与え、周辺光の速い変化を許容することができる。依然として電流源トランジスタの閾値変動の補正は存在せず、1つの更なる起こり得る問題は、第2のフォトダイオードが画素アパーチャ(aperture)を用いることである。これは、第2のフォトダイオードが周辺光にのみさらされなければならないためである。

20

【0073】

図7は、回路の第3の例を示す。先と同じく、同じ参照番号が使用されており、回路は同じ基本原理を有して動作する。

【0074】

この回路は、周辺光のみならず、電流源トランジスタ54の閾値変動を補償する。

【0075】

回路は第2の蓄積コンデンサ70を有し、データコンデンサ C_{data} 及び第2の蓄積コンデンサ70は、電流源トランジスタ54のゲート-ソース間に直列に接続されている。リセットトランジスタ56は、データコンデンサ C_{data} と第2の蓄積コンデンサ70との間の接続部へ接続されている。従って、画素へのデータのプログラミングはデータコンデンサ C_{data} に対してのみである。第2の蓄積コンデンサ70は、周辺光の状態に関して感光素子の出力から得られる電圧を蓄積するために使用される。

30

【0076】

回路の変形された方法動作は、当該回路が周辺光の状態はもちろん、閾値電圧の変動をも補償することを可能にする。

【0077】

画素プログラミング段階の間、アドレストランジスタ16及びリセットトランジスタ56はオンされており、基準電圧 V_{ref} はデータコンデンサ C_{data} の一方の端部へ印加され、ブラック出力に対応するデータ電圧($V_{data} = V_{black}$)が印加される。上記のように、データ電圧は、駆動トランジスタ22が表示素子2に電流を供給しないことを確実にするほど十分に低い。この必要条件は、 $V_{data} - V_{t(54)}$ が駆動トランジスタ22のオンセットを下回る場合に満たされる。なお、 $V_{t(54)}$ は、電流源トランジスタ54の閾値電圧である。

40

【0078】

トランジスタ54を流れる電流が光電流よりも高いならば、第2の蓄積コンデンサ70は充電し、それにより、トランジスタ54のソースでの電圧は高まる。同様に、トランジスタ54を流れる電流が光電流を下回るならば、第2の蓄積コンデンサ70は放電し、それにより、トランジスタ54のソースでの電圧は下がる。

【0079】

50

トランジスタ54のゲートは一定電圧にあるので、これにより、ゲート-ソース間電圧は減少又は増大し、それにより、電流源の出力電流は変化する。このプロセスは、電流源出力電流がブラック駆動レベルに対応する光電流に等しくなるまで続くフィードバック制御ループを実施する。結果として、オフセットを含む、暗状態での光電流に対応するオフセット電圧は、直列コンデンサ配置に蓄えられる。データコンデンサ C_{data} はブラック状態の画素駆動レベルを蓄積し、第2のコンデンサは、電流源トランジスタの閾値電圧を考慮しながら周辺光を補償するオフセットを蓄積する。

【0080】

次いで、データ電圧は V だけ変化し、これにより、電流源トランジスタ54のゲート-ソース間電圧は、閾値及び暗電流において予め決定されたオフセットを V 上回って正確に設定される。

10

【0081】

回路は、電流源トランジスタの電流及び光電流の平衡を保ち続ける。これはアドレス後に行われ、リセットトランジスタは、データライン6で所望の電圧ステップ変化 V を適用した直後に、オフされる。

【0082】

電流源トランジスタのゲート-ソース間電圧は、浮遊コンデンサ配置によって一定に保たれ、従って、電流は、(光電流よりも高い電流で)一定である。前の回路と同様に、ノード V_p での電圧は増大し、表示素子は発光し始め、光電流は増大する。先と同じく、回路は、光電流が電流源回路の出力まで増大する場合に安定する。

20

【0083】

図7の回路は、(特に、上部放射構造に関して)如何なるアパーチャ損失ももたらさない。付加的なアドレス指定段階は、暗状態オフセットを測定するために必要とされ、駆動信号のタイミングはより重要である。電流源トランジスタ54の作用点は光の状態とともに変化し、これは駆動特性にわずかに影響を及ぼしうる。

【0084】

本発明の例は、 n 形トランジスタしか用いないが、同じ回路動作が、 p 形トランジスタ又は p 形及び n 形トランジスタの組合せを用いて達成され得る。

【0085】

表示素子の詳細設計は詳細には記載されておらず、あるいは、制御回路は画素の制御を実施するために必要とされる。これらは標準的な実施方式を用いて達成され得、本発明は上述された画素設計及び制御に属する。

30

【0086】

本開示を読むことで、他の変形例が所謂当業者には明らかであろう。

【図面の簡単な説明】

【0087】

【図1】アクティブマトリクスELディスプレイ装置の実施形態の簡単化された概要図である。

【図2】画素回路の既知の形態を表す。

【図3】第1の既知の光フィードバック画素設計を示す。

40

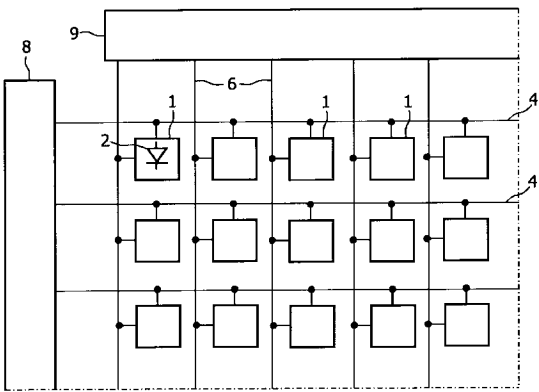
【図4】第2の既知の光フィードバック画素設計を示す。

【図5】本発明の画素回路の第1の例を示す。

【図6】本発明の画素回路の第2の例を示す。

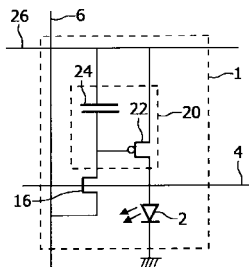
【図7】本発明の画素回路の第3の例を示す。

【 図 1 】



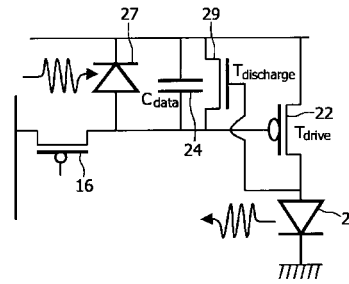
従来技術

【 図 2 】



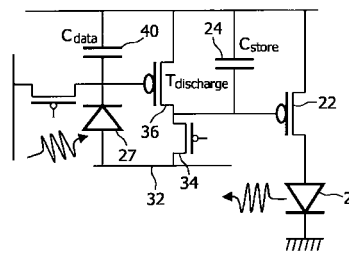
従来技術

【 図 3 】



従来技術

【 図 4 】



従来技術

【 図 5 】

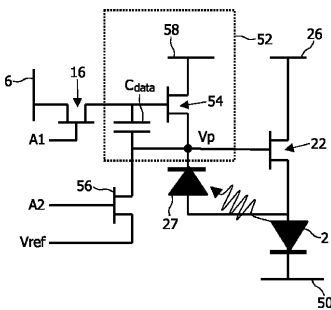


FIG. 5

【 図 7 】

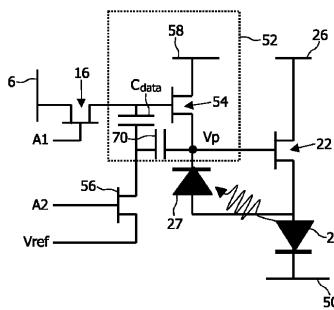


FIG. 7

【 図 6 】

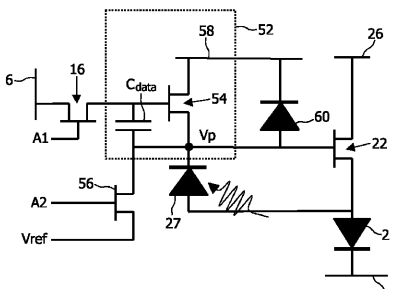


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/051542

| A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/32 | | |
|---|---|--|
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G H01L | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | WO 03/038790 A (CAMBRIDGE DISPLAY TECHNOLOGY LIMITED; SMITH, EVAN, CHRISTOPHER; ROUTLE) 8 May 2003 (2003-05-08) page 11, line 1 - line 10; figure 3a page 9, line 27 - line 29 | 1-8 |
| A | US 2003/063081 A1 (KIMURA MUTSUMI ET AL) 3 April 2003 (2003-04-03) figure 16 | 1 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. | | |
| <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents : | | |
| "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | | |
| "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family | | |
| Date of the actual completion of the international search 9 October 2006 | | Date of mailing of the international search report 18/10/2006 |
| Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016 | | Authorized officer LE CHAPELAIN, B |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2006/051542

| Patent document cited in search report | | Publication date | Patent family member(s) | Publication date |
|--|----|------------------|-------------------------|------------------|
| WO 03038790 | A | 08-05-2003 | CN 1582463 A | 16-02-2005 |
| | | | EP 1442449 A2 | 04-08-2004 |
| | | | GB 2381643 A | 07-05-2003 |
| | | | JP 2005507511 T | 17-03-2005 |
| | | | US 2005007320 A1 | 13-01-2005 |
| US 2003063081 | A1 | 03-04-2003 | NONE | |

フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
H 0 5 B 33/14 A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ビュゼラール, フランシスキュス ペー エム
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクトチュアル プロパティ アンド スタンダーズ内 (番地なし)

(72) 発明者 ヒディンク, マルティン ヘー ハー
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクトチュアル プロパティ アンド スタンダーズ内 (番地なし)

(72) 発明者 フィッシュ, デイヴィッド エー
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクトチュアル プロパティ アンド スタンダーズ内 (番地なし)

(72) 発明者 チャイルズ, マーク ジェイ
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクトチュアル プロパティ アンド スタンダーズ内 (番地なし)

F ターム (参考) 3K107 AA01 BB01 CC31 CC45 EE04 EE27 EE68 HH04 HH05
5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 电致发光显示装置 | | |
| 公开(公告)号 | JP2008541185A | 公开(公告)日 | 2008-11-20 |
| 申请号 | JP2008511843 | 申请日 | 2006-05-16 |
| [标]申请(专利权)人(译) | 皇家飞利浦电子股份有限公司 | | |
| 申请(专利权)人(译) | 皇家飞利浦电子股份有限公司的Vie | | |
| [标]发明人 | ビュゼラルフランシスキュスペーエム ヒデインクマルティンヘーハー フィッシュデイヴィッドエー チャイルズマークジェイ | | |
| 发明人 | ビュゼラル, フランシスキュスペーエム ヒデインク, マルティンヘーハー フィッシュ, デイヴィッドエー チャイルズ, マークジェイ | | |
| IPC分类号 | G09G3/30 G09G3/20 H01L51/50 | | |
| CPC分类号 | G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2320/043 G09G2320/045 G09G2360/148 | | |
| FI分类号 | G09G3/30.J G09G3/20.642.A G09G3/20.641.D G09G3/20.624.B G09G3/20.611.H H05B33/14.A | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE04 3K107/EE27 3K107/EE68 3K107 /HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 | | |
| 代理人(译) | 伊藤忠彦 | | |
| 优先权 | 2005104273 2005-05-19 EP | | |
| 外部链接 | Espacenet | | |

摘要(译)

有源矩阵显示器具有在公共衬底上提供的显示像素阵列。每个像素具有电压编程的电流源电路，驱动晶体管和感测显示元件的光输出的光敏元件。光敏元件根据显示元件的输出提供电流，并且光敏元件和电流源电路限定反馈控制回路，其控制提供给驱动晶体管的栅极的电压。该像素电路使用电流源电路将栅极电压提供给驱动晶体管。这允许电流源电路在低电流水平下工作，因此在低电压应力下工作。

