

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-18167
(P2006-18167A)

(43) 公開日 平成18年1月19日(2006.1.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 642A	
	G09G 3/20 642P	
	G09G 3/20 670J	
審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2004-198056 (P2004-198056)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年7月5日(2004.7.5)	(74) 代理人	100092336 弁理士 鈴木 晴敏
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		F ターム (参考)	3K007 BA06 DB03 GA00 5C080 AA06 BB05 DD05 DD28 DD29 EE28 FF11 JJ02 JJ03 JJ04

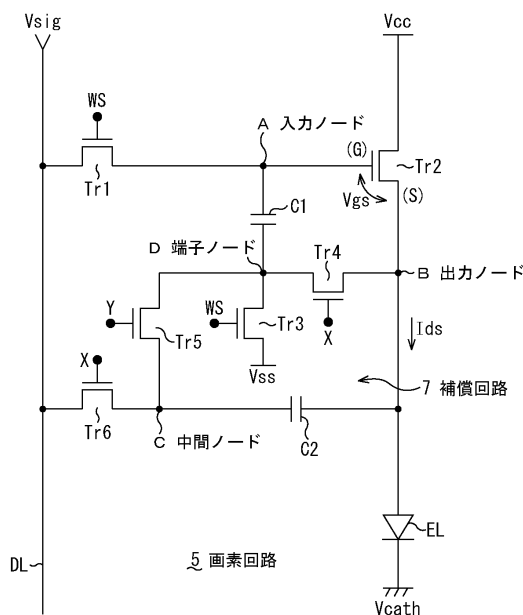
(54) 【発明の名称】 画素回路及び表示装置とこれらの駆動方法

(57) 【要約】

【課題】 ドライブトランジスタのドレイン電流の経時変化を補償可能な画素回路を提供する。

【解決手段】 ドライブトランジスタTr2は、ゲートGが入力ノードAにつながり、ソースSが出力ノードBにつながり、ドレインが電源電位Vccに接続している。サンプリングトランジスタTr1は、入力ノードAと信号線DLとの間に接続している。保持容量C1は、入力ノードAに接続している。サンプリングトランジスタTr1は信号線DLから入力信号Vsigをサンプリングして保持容量C1に保持する。ドライブトランジスタTr2は、保持容量C1に保持された信号電位に応じて発光素子ELに駆動電流Idsを供給する。ドライブトランジスタTr2の経時的変化に伴う駆動電流Idsの低下を補うため補償回路7を備えている。補償回路7は、出力ノードB側から駆動電流Idsの低下を検出し、その結果を入力ノードA側にフィードバックする。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、

該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、

該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、

該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、

該保持容量は、該入力ノードに接続しており、

前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、 10

前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給する画素回路において、

該ドライブトランジスタの経時的变化に伴う駆動電流の低下を補うための補償回路を備えており、

前記補償回路は、該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックすることを特徴とする画素回路。

【請求項 2】

前記補償回路は、該駆動電流によって該電気光学素子に生じる電圧降下を該出力ノード側から検出し、該入力信号のレベルと該検出された電圧降下のレベルとを比較して差分を求め、該差分に応じた電位を該保持容量に保持された該信号電位に加えることを特徴とする請求項 1 記載の画素回路。 20

【請求項 3】

前記補償回路は、該出力ノードと所定の中間ノードとの間に接続された検出容量と、該中間ノードと該信号線との間に挿入されたスイッチングトランジスタと、該保持容量の一端につながる端子ノードと所定の接地電位との間に挿入されたスイッチングトランジスタと、該端子ノードと該出力ノードとの間に挿入されたスイッチングトランジスタと、該端子ノードと該中間ノードとの間に挿入されたスイッチングトランジスタとで構成されていることを特徴とする請求項 1 記載の画素回路。

【請求項 4】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、 30

前記画素回路は、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、

該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、

該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、

該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、

該保持容量は、該入力ノードに接続しており、

前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、 40

前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給し、以って表示を行う表示装置において、

前記画素回路は、該ドライブトランジスタの経時的变化に伴う駆動電流の低下を補うための補償回路を備えており、

前記補償回路は、該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックすることを特徴とする表示装置。

【請求項 5】

前記補償回路は、該駆動電流によって該電気光学素子に生じる電圧降下を該出力ノード側から検出し、該入力信号のレベルと該検出された電圧降下のレベルとを比較して差分を 50

求め、該差分に応じた電位を該保持容量に保持された該信号電位に加えることを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記補償回路は、該出力ノードと所定の中間ノードとの間に接続された検出容量と、該中間ノードと該信号線との間に挿入されたスイッチングトランジスタと、該保持容量の一端につながる端子ノードと所定の接地電位との間に挿入されたスイッチングトランジスタと、該端子ノードと該出力ノードとの間に挿入されたスイッチングトランジスタと、該端子ノードと該中間ノードとの間に挿入されたスイッチングトランジスタとで構成されていることを特徴とする請求項 4 記載の表示装置。

【請求項 7】

走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、該保持容量は、該入力ノードに接続している画素回路の駆動方法であって、

前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、

前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給し、

該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックして、該ドライブトランジスタの経時的変化に伴う駆動電流の低下を補うことを特徴とする画素回路の駆動方法。

【請求項 8】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、該保持容量は、

該入力ノードに接続している表示装置の駆動方法において、

前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、

前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給し以って表示を行なう際、

該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックして、該ドライブトランジスタの経時的変化に伴う駆動電流の低下を補うことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した負荷素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL 発光素子などの負荷素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイな

10

20

30

40

50

どにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ, TFT)によって制御するものであり、以下の特許文献に記載がある。

10

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来画素回路は、行状の走査線と列状の信号線とが交差する部分に各々配されている。各画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライフトランジスタと発光素子などの負荷素子とを含んでいる。サンプリングトランジスタは、そのゲートが走査線によって選択された時ソース/ドレイン間が導通して信号線から映像信号をサンプリングする。サンプリングされた信号は保持容量に書き込まれ保持される。ドライフトランジスタは、そのゲートが保持容量に接続され、ソース/ドレインの片方が発光素子などの負荷素子に接続している。ドライフトランジスタのゲートは、保持容量に保持された信号電位によってソース基準のゲート電圧を受ける。ドライフトランジスタはこのゲート電圧に応じてソース/ドレイン間に電流を流し、発光素子に通電する。一般に発光素子の輝度は通電量に比例している。更にドライフトランジスタの通電量はゲート電圧即ち保持容量に書き込まれた信号電位によって制御される。従って、発光素子は映像信号に応じた輝度で発光することになる。

20

【0005】

ドライフトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 I_{ds} はドレイン電流を表わしている。 V_{gs} はソースを基準としてゲートに印加される電圧を表わしている。 V_{th} はトランジスタの閾電圧である。その他 μ はトランジスタのチャンネルを構成する半導体薄膜の移動度を表わし、 W はチャンネル幅を表わし、 L はチャンネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。上記のトランジスタ特性式から明らかな様に、ゲート電圧 V_{gs} が一定であれば、常に同じ量のドレイン電流 I_{ds} が発光素子に流れるはずである。しかしながら、ドライフトランジスタは経時的に特性が変化し、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が徐々に低下していく傾向にある。この為、時間の経過とともに輝度劣化が生じるとい問題がある。ドレイン電流の低下傾向は画素毎に異なる為、画面のユニフォームリティが損なわれるという問題がある。

30

40

【0006】

ドライフトランジスタやサンプリングトランジスタを構成する薄膜トランジスタは現在ポリシリコントランジスタとアモルファスシリコントランジスタが普及している。コストの面からはポリシリコントランジスタよりもアモルファスシリコントランジスタの方が有利である。但し、アモルファスシリコントランジスタで画素回路を構成する場合、移動度などの制限から全てNチャンネル型のトランジスタが使われる。しかしながら、アモルファ

50

スシリコントランジスタの移動度 μ は経時的に低下していく傾向にある。前述したトランジスタ特性式から明らかな様に、移動度 μ が低下すると、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が低下し、輝度劣化をもたらす。アモルファスシリコン型のトランジスタで構成した画素回路はコスト的に有利であるが、移動度の経時的な変化に伴い輝度劣化が生じ、画面のユニフォームティを損なうという課題がある。

【課題を解決するための手段】

【0007】

上述した従来技術の課題に鑑み、本発明はドライブトランジスタのドレイン電流の経時変化を補償可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、該保持容量は、該入力ノードに接続しており、前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給する画素回路において、該ドライブトランジスタの経時変化に伴う駆動電流の低下を補うための補償回路を備えており、前記補償回路は、該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックすることを特徴とする。

【0008】

好ましくは、前記補償回路は、該駆動電流によって該電気光学素子に生じる電圧降下を該出力ノード側から検出し、該入力信号のレベルと該検出された電圧降下のレベルとを比較して差分を求め、該差分に応じた電位を該保持容量に保持された該信号電位に加える。具体的には、前記補償回路は、該出力ノードと所定の中間ノードとの間に接続された検出容量と、該中間ノードと該信号線との間に挿入されたスイッチングトランジスタと、該保持容量の一端につながる端子ノードと所定の接地電位との間に挿入されたスイッチングトランジスタと、該端子ノードと該出力ノードとの間に挿入されたスイッチングトランジスタと、該端子ノードと該中間ノードとの間に挿入されたスイッチングトランジスタとで構成されている。

【0009】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなる表示装置を包含する。各画素回路は、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、該保持容量は、該入力ノードに接続しており、前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給し、以って表示を行う。特徴事項として、前記画素回路は、該ドライブトランジスタの経時変化に伴う駆動電流の低下を補うための補償回路を備えている。前記補償回路は、該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックする。

【0010】

好ましくは、前記補償回路は、該駆動電流によって該電気光学素子に生じる電圧降下を該出力ノード側から検出し、該入力信号のレベルと該検出された電圧降下のレベルとを比較して差分を求め、該差分に応じた電位を該保持容量に保持された該信号電位に加える。

具体的には、前記補償回路は、該出力ノードと所定の中間ノードとの間に接続された検出容量と、該中間ノードと該信号線との間に挿入されたスイッチングトランジスタと、該保持容量の一端につながる端子ノードと所定の接地電位との間に挿入されたスイッチングトランジスタと、該端子ノードと該出力ノードとの間に挿入されたスイッチングトランジスタと、該端子ノードと該中間ノードとの間に挿入されたスイッチングトランジスタとで構成されている。

【0011】

又本発明は、走査線と信号線とが交差する部分に配されており、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、該保持容量は、該入力ノードに接続している画素回路の駆動方法であって、前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給し、該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックして、該ドライブトランジスタの経時的変化に伴う駆動電流の低下を補うことを特徴とする。

10

【0012】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、少なくとも電気光学素子とドライブトランジスタとサンプリングトランジスタと保持容量とを備え、該ドライブトランジスタは、そのゲートが入力ノードにつながり、そのソースが出力ノードにつながり、そのドレインが所定の電源電位に接続し、該電気光学素子は、その一端が出力ノードに接続し、他端が所定の電位に接続し、該サンプリングトランジスタは、該入力ノードと該信号線との間に接続し、該保持容量は、該入力ノードに接続している表示装置の駆動方法において、前記サンプリングトランジスタは走査線によって選択された時動作し、該信号線から入力信号をサンプリングして該保持容量に保持し、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該電気光学素子に駆動電流を供給し以って表示を行なう際、該出力ノード側から該駆動電流の低下を検出し、その結果を該入力ノード側にフィードバックして、該ドライブトランジスタの経時的変化に伴う駆動電流の低下を補うことを特徴とする。

20

30

【発明の効果】

【0013】

本発明によれば、画素回路は補償回路を組み込んであり、ドライブトランジスタの経時的変化に伴う駆動電流の低下を補っている。この補償回路は出力ノード側から駆動電流の低下を検出し、その結果を入力ノード側にフィードバックすることで、駆動電流の低下を回路的にキャンセルしている。従って、ドライブトランジスタの移動度が低下して駆動能力が下がっても、これを補う様に入力ノード側にフィードバックがかかる為、結果的に駆動電流は長期間初期と同様に一定のレベルを保持できる。これによりドライブトランジスタ起因の輝度劣化を防止でき、画面のユニフォーミティを長期間に亘り維持することが可能である。

40

【発明を実施するための最良の形態】

【0014】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してアクティブマトリクス表示装置及びこれに含まれる画素回路の一般的な構成を参考例として説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路群とで構成されている。周辺の回路群は水平セクタ2、ドライブスキャナ3、ライトスキャナ4などを含んでいる。

【0015】

50

画素アレイ 1 は行状の走査線 $W S$ と列状の信号線 $D L$ と両者の交差する部分にマトリクス状に配列した画素回路 5 とで構成されている。信号線 $D L$ は水平セクタ 2 によって駆動される。走査線 $W S$ はライトスキャナ 4 によって走査される。尚、走査線 $W S$ と平行に別の走査線 $D S$ も配線されており、これはドライブスキャナ 3 によって走査される。各画素回路 5 は、走査線 $W S$ によって選択された時信号線 $D L$ から信号をサンプリングする。更に走査線 $D S$ によって選択された時、該サンプリングされた信号に応じて負荷素子を駆動する。この負荷素子は各画素回路 5 に形成された電流駆動型の発光素子などである。

【 0 0 1 6 】

図 2 は、図 1 に示した画素回路 5 の基本的な構成を示す参考図である。本画素回路 5 は、サンプリング用薄膜トランジスタ (サンプリングトランジスタ $T r 1$)、ドライブ用薄膜トランジスタ (ドライブトランジスタ $T r 2$)、スイッチング用薄膜トランジスタ (スイッチングトランジスタ $T r 3$)、保持容量 $C 1$ 、負荷素子 (有機 $E L$ 発光素子) などで構成されている。

10

【 0 0 1 7 】

サンプリングトランジスタ $T r 1$ は走査線 $W S$ によって選択された時導通し、信号線 $D L$ から映像信号をサンプリングして保持容量 $C 1$ に保持する。ドライブトランジスタ $T r 2$ は保持容量 $C 1$ に保持された信号電位に応じて発光素子 $E L$ に対する通電量を制御する。スイッチングトランジスタ $T r 3$ は走査線 $D S$ によって制御され、発光素子 $E L$ に対する通電をオン/オフする。すなわち、ドライブトランジスタ $T r 2$ は通電量に応じて発光素子 $E L$ の発光輝度 (明るさ) を制御する一方、スイッチングトランジスタ $T r 3$ は発光素子 $E L$ の発光時間を制御している。これらの制御により、各画素回路 5 に含まれる発光素子 $E L$ は映像信号に応じた輝度を呈し、画素アレイ 1 に所望の表示が映し出される。

20

【 0 0 1 8 】

図 3 は、図 2 に示した画素アレイ 1 及び画素回路 5 の動作説明に供するタイミングチャートである。1 フィールド期間 ($1 f$) の先頭で、1 水平期間 ($1 H$) の間 1 行目の画素回路 5 に走査線 $W S$ を介して選択パルス $w s [1]$ が印加され、サンプリングトランジスタ $T r 1$ が導通する。これにより信号線 $D L$ から映像信号がサンプリングされ、保持容量 $C 1$ に書き込まれる。保持容量 $C 1$ の一端はドライブトランジスタ $T r 2$ のゲートに接続している。従って、映像信号が保持容量 $C 1$ に書き込まれると、ドライブトランジスタ $T r 2$ のゲート電位が、書き込まれた信号電位に応じて上昇する。この時、他の走査線 $D S$ を介してスイッチングトランジスタ $T r 3$ に選択パルス $d s [1]$ が印加される。この間発光素子 $E L$ は発光を続ける。1 フィールド期間 $1 f$ の後半は $d s [1]$ がローレベルになるので発光素子 $E L$ は非発光状態となる。パルス $d s [1]$ のデューティを調整することで、発光期間と非発光期間の割合を調整でき、所望の画面輝度が得られる。次の水平期間に移行すると、2 行目の画素回路に対し、各走査線 $W S$, $D S$ からそれぞれ走査用の信号パルス $w s [2]$, $d s [2]$ が印加される。

30

【 0 0 1 9 】

図 4 は、発光素子として画素回路 5 に組み込まれる有機 $E L$ 素子の電流 - 電圧 ($I - V$) 特性の経時変化を示すグラフである。グラフにおいて、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機 $E L$ 素子の $I - V$ 特性は、グラフに示す様に時間が経過すると劣化してしまう。図 2 に示した参考例の画素回路はドライブトランジスタがソースフォロワ構成となっており、 $E L$ 素子の $I - V$ 特性の経時変化に対処できず、発光輝度の劣化が生じるという問題がある。

40

【 0 0 2 0 】

図 5 の (A) は、初期状態におけるドライブトランジスタ $T r 2$ と発光素子 $E L$ の動作点を示すグラフである。図において、縦軸はドライブトランジスタ $T r 2$ のドレイン・ソース間電圧 $V d s$ を示し、縦軸はドレイン・ソース間電流 $I d s$ を示している。図示する様に、ソース電位はドライブトランジスタ $T r 2$ と発光素子 $E L$ との動作点で決まり、その電圧値はゲート電圧によって異なる値を持つ。ドライブトランジスタ $T r 2$ は飽和領域で動作するので、動作点のソース電圧に対応した $V g s$ に関し、前述のトランジスタ特性

50

式で規定された電流値の駆動電流 I_{ds} を流す。

【0021】

しかしながら発光素子 E_L の $I-V$ 特性は図4に示した様に経時劣化する。図5の(B)に示す様に、この経時劣化により動作点が変わってしまい、同じゲート電圧を印加してもトランジスタのソース電圧は変化してしまう。これによりドライブトランジスタ Tr_2 のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時に発光素子 E_L に流れる電流値も変化する。この様に発光素子 E_L の $I-V$ 特性が変化すると、図2に示した参考例のソースフォロワ構成の画素回路では、発光素子 E_L の輝度が経時的に変化してしまうという問題がある。

【0022】

図6は画素回路の他の参考例を表わしており、図2に示した先の参考例の問題点に対処したものである。理解を容易にする為、図2の参考例と対応する部分には対応する参照符号を付けてある。改良点は、スイッチングトランジスタ Tr_3 の結線を代えたことであり、これによりブートストラップ機能を実現している。具体的には、スイッチングトランジスタ Tr_3 のソースは接地され、ドレインはドライブトランジスタ Tr_2 のソース (S) と保持容量 C_1 の一方の電極とに接続され、ゲートには走査線 DS が接続している。尚保持容量 C_1 の他方の電極はドライブトランジスタ Tr_2 のゲート (G) に接続されている。

10

【0023】

図7は、図6に示した画素回路5の動作説明に供するタイミングチャートである。フィールド期間 $1f$ のうち最初の水平期間 $1H$ で、ライトスキャナ4から走査線 WS を介して1行目の画素回路5に選択パルス $ws[1]$ が送られる。尚 [] の中の数字は、マトリクス配置された画素回路の行番号に対応している。選択パルスが印加されるとサンプリングトランジスタ Tr_1 が導通し、信号線 DL から入力信号 V_{in} がサンプリングされ、保持容量 C_1 に書き込まれる。この時スイッチングトランジスタ Tr_3 にはドライブスキャナ3から走査線 DS を介して選択パルス $ds[1]$ が印加されており、オン状態となっている。従って保持容量 C_1 の片方の電極並びにドライブトランジスタ Tr_2 のソース (S) は GND レベルとなっている。この GND レベルを基準として保持容量 C_1 に入力信号 V_{in} が書き込まれる為、ドライブトランジスタ Tr_2 のゲート電位 (G) は V_{in} になる。

20

30

【0024】

この後サンプリングトランジスタ Tr_1 に対する選択パルス $ws[1]$ が解除され、続いてスイッチングトランジスタ Tr_3 に対する選択パルス $ds[1]$ も解除される。これによりサンプリングトランジスタ Tr_1 及びスイッチングトランジスタ Tr_3 はオフする。従ってドライブトランジスタ Tr_2 のソース (S) は GND から切り離され、発光素子 E_L のアノードに対する接続ノードとなる。

【0025】

ドライブトランジスタ Tr_2 は保持容量 C_1 に保持された入力信号 V_{in} をゲートに受け、その値に応じてドレイン電流を V_{cc} 側から GND 側に向かって流す。この通電により発光素子 E_L は発光を行なう。その際、発光素子 E_L に対する通電により電圧降下が生じるが、その分だけソース電位 (S) が GND 側から V_{cc} 側に向かって上昇する。図7のタイミングチャートではこの上昇分を V で表わしている。保持容量 C_1 の一端は Tr_2 のソース (S) に接続され、他端はハイインピーダンスのゲート (G) に接続されている。従ってソース電位 (S) が V だけ上昇するとその分だけゲート電位 (G) も持ち上がり、正味の入力信号 V_{in} はそのまま維持される。従って、発光素子 E_L の電流-電圧特性に応じてソース電位 (S) が V だけ変動しても、常にゲート電圧 $V_{gs} = V_{in}$ が成立し、ドレイン電流は一定に保たれる。すなわちドライブトランジスタ Tr_2 はソースフォロワ構成であるにも関わらず、上述したブートストラップ機能により、発光素子 E_L に対し定電流源として機能する。

40

【0026】

50

この後選択パルス $d s [1]$ がハイレベルに復帰するとスイッチングトランジスタ $T r 3$ が導通し、発光素子 $E L$ に供給されるべき電流はバイパスされるので非発光状態になる。この様にしてフィールド期間 $1 f$ が終了すると、次のフィールド期間に入り、再びサンプリングトランジスタ $T r 1$ に選択パルス $w s [1]$ が印加され入力映像信号 $V i n *$ のサンプリングが行なわれる。先のフィールド期間と今回のフィールド期間ではサンプリングされる映像信号のレベルが異なる場合があるので、これを区別する為入力映像信号 $V i n$ に * 印を付してある。尚、この様な映像信号の書き込み及び発光動作は線順次（行単位）で行なわれる。この為画素の各行に対し選択パルス $w s [1]$ 、 $w s [2] \cdots$ が順次印加されることになる。同様に選択パルス $d s [1]$ 、 $d s [2] \cdots$ も順次印加されることになる。

10

【 0 0 2 7 】

以上の様に図 6 の画素回路は、ドライブトランジスタ $T r 2$ が N チャネル型であっても発光素子 $E L$ を定電流駆動でき、発光素子 $E L$ の $I - V$ 特性の経時変化による輝度劣化を防ぐことができた。しかしながら、エージングによる経時変化は発光素子 $E L$ だけではなくアモルファスシリコンの薄膜を素子領域とする薄膜トランジスタも、動作特性が経時変化する。特に、N チャネル型の薄膜トランジスタの場合、移動度 μ が経時的に低下する傾向にある。これによりドライブトランジスタ $T r 2$ の駆動能力が低下する為、ゲートに印加される入力信号のレベルが一定であっても、発光素子に供給するドレイン電流が少なくなり、輝度劣化を起こす恐れがある。そこで本発明は、図 6 に示した画素回路を改良して、駆動電流の補償機能を組み込んだ。以下、本発明に係る画素回路の実施形態を詳細に説明する。尚、この画素回路は図 1 に示した表示装置の画素回路として組み込むことができる。

20

【 0 0 2 8 】

図 8 は本発明に係る画素回路の実施形態を示す模式的な回路図である。理解を容易にする為図 6 に示した参考例に係る画素回路と対応する部分については可能な限り対応する参照符号を用いている。図示する様に、本画素回路 5 は、走査線と信号線とが交差する部分に配されている。信号線 $D L$ は 1 本であるが、走査線は $W S$ 、 X 、 Y の 3 本を束ねて平行に配列してある。画素回路 5 は、基本的な構成要素として電気光学素子 $E L$ とドライブトランジスタ $T r 2$ とサンプリングトランジスタ $T r 1$ と保持容量 $C 1$ とを備えている。ドライブトランジスタ $T r 2$ は N チャネル型の薄膜トランジスタからなり、そのゲート (G) が入力ノード A につながり、そのソース (S) が出力ノード B につながり、そのドレインが所定の電源電位 $V c c$ に接続している。尚ドライブトランジスタ $T r 2$ のゲート電圧を $V g s$ で表わし、ドレイン電流を $I d s$ で表わしてある。電気光学素子 $E L$ は有機 $E L$ 素子などの 2 端子型発光素子からなり、その一端アノードが出力ノード B に接続し、他端カソードが所定のカソード電位 $V c a t h$ に接続している。サンプリングトランジスタ $T r 1$ は入力ノード A と信号線 $D L$ との間に接続している。サンプリングトランジスタ $T r 1$ のゲートは走査線 $W S$ に接続している。保持容量 $C 1$ は、入力ノード A に接続している。

30

【 0 0 2 9 】

係る構成において、サンプリングトランジスタ $T r 1$ は走査線 $W S$ によって選択された時動作し、信号線 $D L$ から入力信号 $V s i g$ をサンプリングして保持容量 $C 1$ に保持する。ドライブトランジスタ $T r 2$ は保持容量 $C 1$ に保持された信号電位 $V i n$ に応じて電気光学素子 $E L$ に駆動電流（ドレイン電流 $I d s$ ）を供給する。

40

【 0 0 3 0 】

本発明の特徴事項として、画素回路 5 はドライブトランジスタ $T r 2$ の経時変化に伴う駆動電流（ドレイン電流 $I d s$ ）の低下を補う為の補償回路 7 を備えている。この補償回路 7 は、出力ノード B 側から駆動電流（ドレイン電流 $I d s$ ）の低下を検出し、その結果を入力ノード A 側にフィードバックしている。これにより、経時的にドレイン電流 $I d s$ が低下してもこれを打ち消す様にフィードバックがかかる為、ドライブトランジスタ $T r 2$ の経時的な駆動能力の低下にも関わらず、初期と同じレベルのドレイン電流 $I d s$ を

50

長期間経過後でも保証することができる。

【0031】

フィードバックの具体的な構成であるが、本補償回路7は、ドレイン電流 I_{ds} によって電気光学素子 E_L に生じる電圧降下を出力ノード B 側から検出し、入力信号 V_{sig} のレベルとこの検出された電圧降下のレベルとを比較して差分を求め、差分に応じた電位を保持容量 C_1 に保持された信号電位 V_{in} に加えている。補足すると、発光素子 E_L に駆動電流が流れると電圧降下が生じる。この電圧降下は駆動電流の大きさに比例している。従って、駆動電流の変化は電圧降下をモニタすることにより検出可能である。この検出された電圧降下は、入力信号 V_{sig} を参照レベルにして比較評価される。この比較評価された結果を入力ノード A 側にフィードバックすることでドレイン電流 I_{ds} の低下をキャンセルする。

10

【0032】

具体的な構成であるが、補償回路7は、図6に示した参考例の画素回路に対して追加された4個の N チャネル型の薄膜トランジスタと1個の容量素子とで構成されている。すなわち補償回路7は、出力ノード B と所定の中間ノード C との間に接続された検出容量 C_2 と、中間ノード C と信号線 DL との間に挿入されたスイッチングトランジスタ Tr_6 と、保持容量 C_1 の一端につながる端子ノード D と所定の接地電位 V_{ss} との間に挿入されたスイッチングトランジスタ Tr_3 と、端子ノード D と出力ノード B との間に挿入されたスイッチングトランジスタ Tr_4 と、端子ノード D と中間ノード C との間に挿入されたスイッチングトランジスタ Tr_5 とで構成されている。このうち、スイッチングトランジスタ Tr_4 , Tr_5 , Tr_6 は、図6に示した参考例に係る画素回路と比較して増えたトランジスタ素子である。

20

【0033】

スイッチングトランジスタ Tr_3 のゲートは走査線 WS に接続している。スイッチングトランジスタ Tr_4 のゲートは走査線 X に接続している。スイッチングトランジスタ Tr_5 のゲートは走査線 Y に接続している。スイッチングトランジスタ Tr_6 のゲートは走査線 X に接続している。これから明らかな様に、サンプリングトランジスタ Tr_1 とスイッチングトランジスタ Tr_3 は共通の走査線 WS を介して同一タイミングでオンオフ制御される。又スイッチングトランジスタ Tr_4 と Tr_6 も共通の走査線 X を介して同一のタイミングでオンオフ制御される。残りのスイッチングトランジスタ Tr_5 は走査線 Y を介して他のスイッチングトランジスタとは別のタイミングでオンオフ制御される。

30

【0034】

図9のタイミングチャートを参照して、図8に示した画素回路の動作を詳細に説明する。図示のタイミングチャートは、タイミング T_1 で1フィールド ($1f$) がスタートし、タイミング T_6 で1フィールドが終わる様に表わしてある。時間軸 T に沿って、走査線 WS に印加されるパルス w_s 、走査線 X に印加されるパルス x 、走査線 Y に印加されるパルス y の波形を表わしてある。又同じ時間軸 T に沿って、入力ノード A 、中間ノード C 及び出力ノード B の電位変化を表わしてある。入力ノード A の電位変化と出力ノード B の電位変化は実線で表わし、これと区別する為中間ノード C の電位変化は点線で表わしてある。

【0035】

当該フィールドに入る前のタイミング T_0 で、走査線 WS 及び X はローレベルに保持されている一方、走査線 Y はハイレベルにある。従って、サンプリングトランジスタ Tr_1 、スイッチングトランジスタ Tr_3 、 Tr_4 及び Tr_6 はオフになっており、スイッチングトランジスタ Tr_5 のみオン状態である。この時、タイミングチャートに示す様に、入力ノード A の電位と出力ノード B の電位との間には入力電位 V_{in} にほぼ等しい電位差がある為、ドライブトランジスタ Tr_2 はオン状態にあり、駆動電流 (ドレイン電流) I_{ds} を発光素子 E_L に供給している。

40

【0036】

当該フィールドに入るとタイミング T_1 で走査線 Y がローレベルに切り替わる。これによりスイッチングトランジスタ Tr_5 がオフする。タイミング T_1 ではスイッチングトラ

50

ンジスタTr3及びTr4もオフになっている。従って保持容量C1の端子ノードDはハイインピーダンスとなるが、引続き入力ノードAの電位は維持される為、発光を続ける。タイミングT1における動作は、当該フィールドにおける入力信号のサンプリングの為の準備に相当する。

【0037】

続いてタイミングT2になると実際に入力信号Vsigのサンプリング(信号書込)が行なわれる。すなわち選択パルスwsが走査線WSに印加され、選択パルスxが走査線Xに印加される。この結果、走査線WS及び走査線Xは共にハイレベルに切り替わる。これによりサンプリングトランジスタTr1がオンするとともにスイッチングトランジスタTr3もオンする。又スイッチングトランジスタTr4及びTr6もオンする。この結果、保持容量C1の端子ノードDは接地電位Vssにプルダウンされるとともに、出力ノードBも接地レベルVssまで急激に低下する。同時にオン状態に切り替わったサンプリングトランジスタTr1を介して信号線DLから入力信号Vsigが保持容量C1に新たにサンプリングされる。この結果、保持容量C1に信号電位Vinが書き込まれる。換言すると、接地電位Vssにある出力ノードBを基準にして入力ノードAの電位がVinになる。

10

【0038】

入力信号の書込に割り当てられた1水平期間(1H)が経過すると、タイミングT3で選択パルスwsが解除され、走査線WSはローレベルに戻る。これによりサンプリングトランジスタTr1がオフするとともに、スイッチングトランジスタTr3もオフする為、保持容量C1の端子ノードDは接地電位Vssから切り離される。その代わりにスイッチングトランジスタTr4は引続きオンされているので、保持容量C1の端子ノードDは出力ノードBに直接接続される。これによりドライブトランジスタTr2のゲート/ソース間(入力ノードAと出力ノードBの間)には信号電位Vinが印加されるので、これに応じたドレイン電流Idsが発光素子ELに流れ込む。これにより発光素子ELは仮発光する。

20

【0039】

タイミングT3でドレイン電流Idsが発光素子ELに流れると、電圧降下V_{e1}が生じ、その分出力ノードBの電位が上昇する。この時ブートストラップ動作により入力ノードAの電位も出力ノードBの電位に連動してV_{e1}分だけ上昇する。

30

【0040】

ドレイン電流Idsは発光素子ELに流れると同時に、検出容量C2にも流れ込み、その一方の端子は電位V_{e1}となる。この検出容量C2の他方の端子は中間ノードCを介してオン状態にあるスイッチングトランジスタTr6により信号線DLに接続している。従って、検出容量C2の他方の端子の電位はほぼVinになる。従って検出容量C2には両者の差分V_μ = Vin - V_{e1}が保持される。図9のタイミングチャートでは、この差分V_μは中間ノードCと出力ノードBとの間の電位差として現われる。ドライブトランジスタTr2の特性が経時的に劣化し、その移動度μが小さくなると、ドレイン電流Idsもこれに応じて小さくなる。この結果発光素子ELに生じる電圧降下V_{e1}が小さくなる。従って、差分V_μはVinを基準とした場合V_{e1}が小さくなる分、差分V_μの値は大きくなる。すなわち、ドライブトランジスタの経時劣化によりドレイン電流Idsが小さくなると、差分V_μは逆に大きくなる。この差分V_μを入力ノードA側にフィードバックすることで、ドレイン電流Idsの低下をキャンセルし、初期と同じ様に一定に保つことが可能になる。

40

【0041】

ドレイン電流Idsの低下分の検出が終わってタイミングT4に至ると、走査線Xがハイレベルからローレベルに切り替わる。これによりスイッチングトランジスタTr4とTr6がオフする。すなわち保持容量C1の端子ノードDは出力ノードBから切り離される。又検出容量C2の端子に連なる中間ノードCも信号線DLから切り離される。これにより、本発光動作の準備が完了する。

50

【0042】

この後タイミングT5になると走査線Yがローレベルからハイレベルに立ち上がる。これによりスイッチングトランジスタTr5がオンし、端子ノードDと中間ノードCが直接接続される。従って入力ノードAと出力ノードBとの間で保持容量C1と検出容量C2が直列に接続されることになる。入力ノードAと出力ノードBの間にはC1に保持されたVinに加えC2に保持されたVμが印加される。ドライブトランジスタTr2はVin+Vμに応じたドレイン電流Idsを発光素子ELに供給し、本発光を開始する。発光素子ELに生じる電圧降下により出力ノードBは上昇する。これと連動して入力ノードAの電位も上昇する。このブートストラップ動作により、入力ノードAと出力ノードBとの間の電位差はVin+Vμの値に保持される。前述した様に、ドライブトランジスタTr2の劣化によりドレイン電流Idsが低下すると、これを補う様にVμが大きくなる。このフィードバック動作により、ドレイン電流Idsの変動は抑制され、ドライブトランジスタTr2の移動度μの変化に関わらず初期と同じレベルのドレイン電流Idsを流すことができる。

10

【0043】

この後タイミングT6に至ると走査線Yがローレベルに立ち下がり、本発光を終了する。以上により当該フィールドの一連の動作が完了するとともに、次のフィールドが始まる。

【図面の簡単な説明】

【0044】

20

【図1】アクティブマトリクス表示装置及び画素回路の一般的な構成を示すブロック図である。

【図2】画素回路の参考例を示す回路図である。

【図3】図2に示した画素回路の動作説明に供するタイミングチャートである。

【図4】有機EL素子のI-V特性の経時変化を示すグラフである。

【図5】ドライブトランジスタと有機EL素子の動作点の経時変化を示すグラフである。

【図6】画素回路の他の参考例を示す回路図である。

【図7】図6に示した画素回路の動作説明に供するタイミングチャートである。

【図8】本発明に係る画素回路の実施形態を示す回路図である。

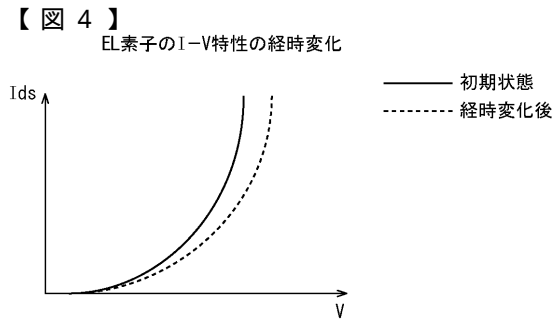
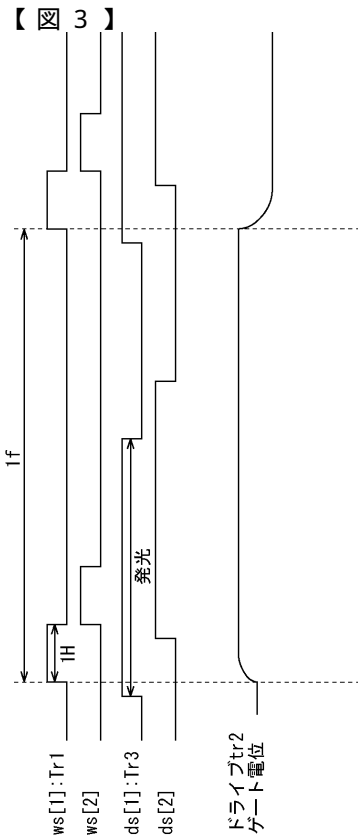
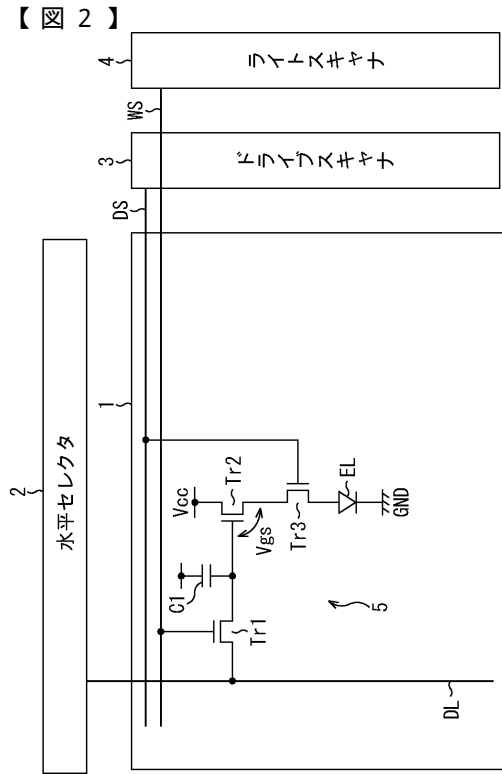
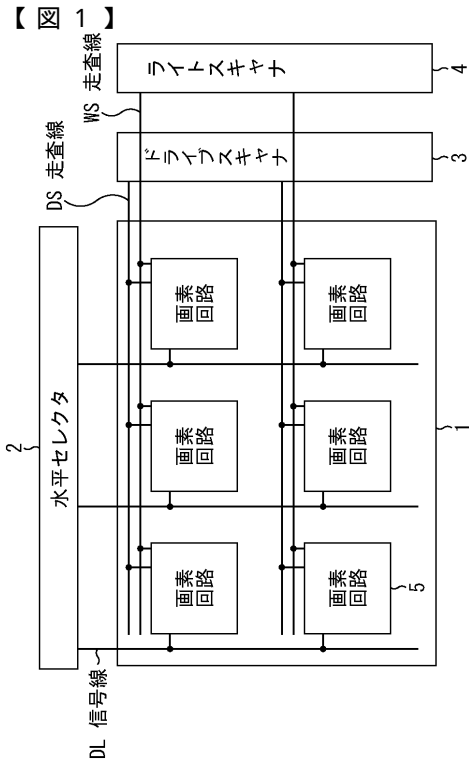
【図9】図8に示した実施形態の動作説明に供するタイミングチャートである。

30

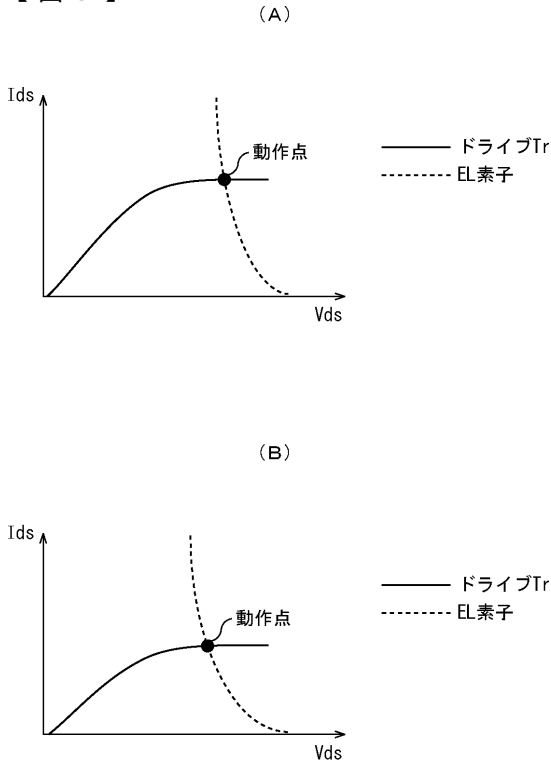
【符号の説明】

【0045】

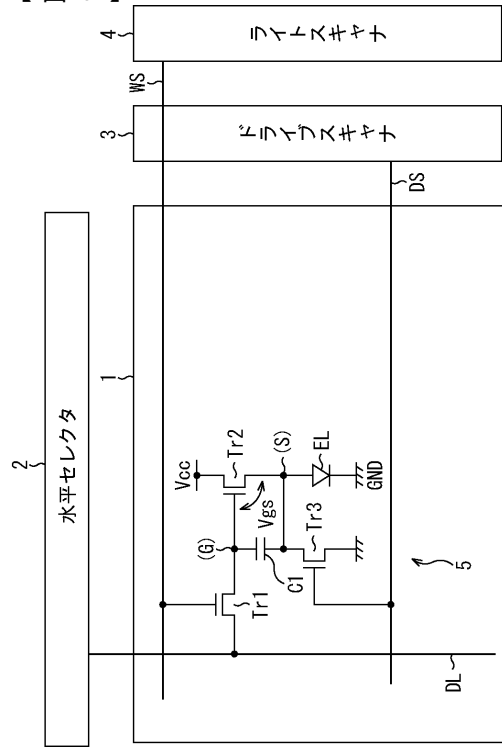
1・・・画素アレイ、2・・・水平セレクタ、3・・・ドライブスキャナ、4・・・ライトスキャナ、5・・・画素回路、7・・・補償回路



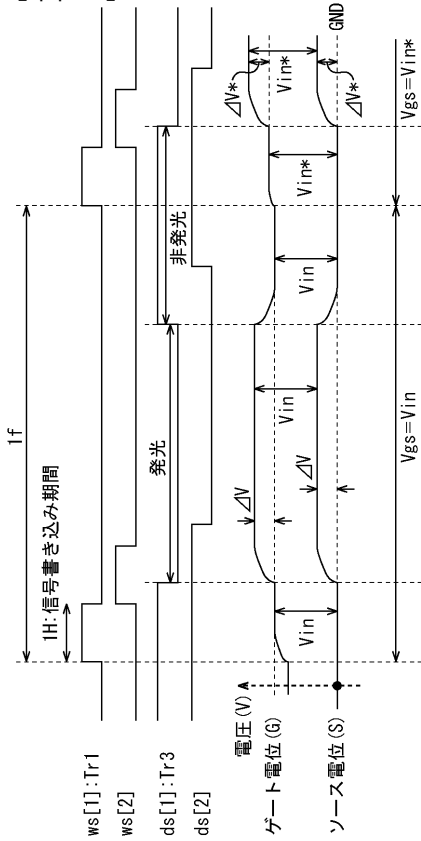
【図5】



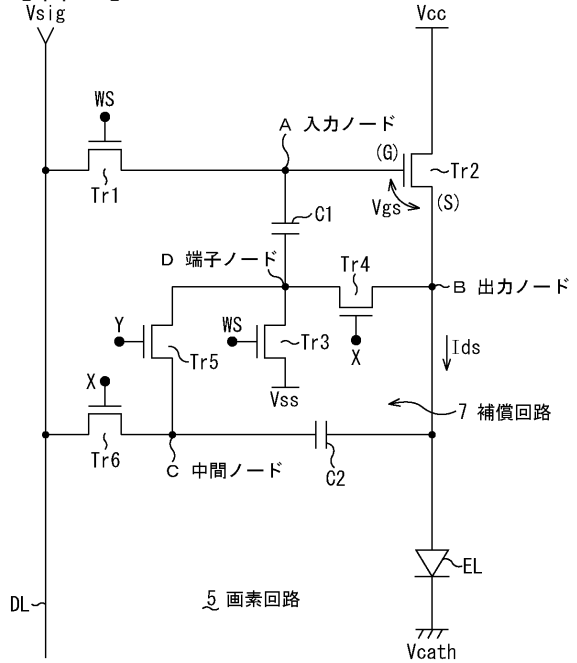
【図6】



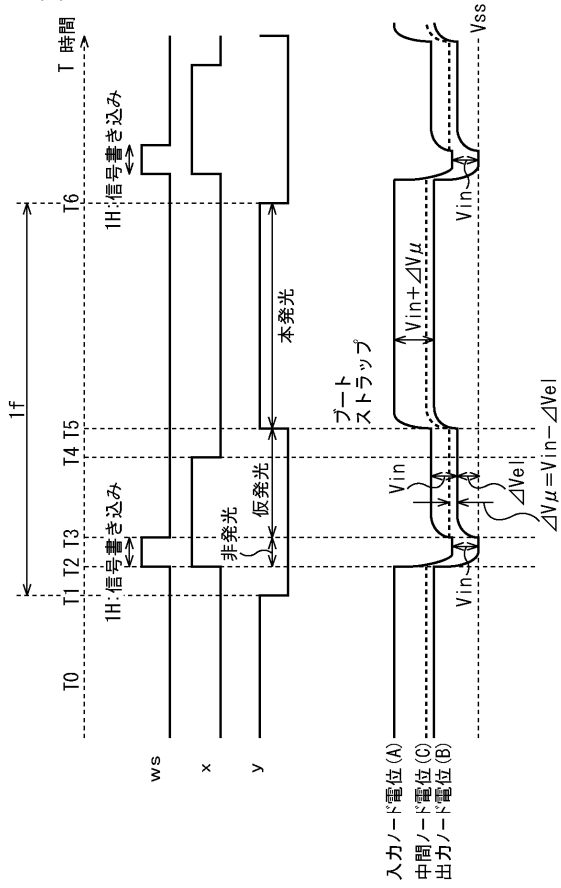
【図7】



【図8】



【図 9】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

专利名称(译)	像素电路和显示装置及其驱动方法		
公开(公告)号	JP2006018167A	公开(公告)日	2006-01-19
申请号	JP2004198056	申请日	2004-07-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野 勝秀 山下 淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A G09G3/20.642.P G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC21 3K107/CC33 3K107/EE03 3K107/HH03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/BD04 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB18 5C380/CB27 5C380/CB31 5C380/CC09 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD026 5C380/CF43 5C380/DA02 5C380/DA19 5C380/DA35 5C380/DA50 5C380/FA02 5C380/FA03 5C380/FA21		
其他公开文献	JP4831392B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一个像素电路，用于补偿驱动晶体管中漏极电流随时间的变化。
 ΣSOLUTION：在驱动晶体管Tr2中，栅极G连接到输入节点A，源极S连接到输出节点B，漏极连接到电源电压Vcc。采样晶体管Tr1连接在输入节点A和信号线DL之间。保持电容C1连接到输入节点A。采样晶体管Tr1对来自信号线DL的输入信号Vsig进行采样并保持在保持电容C1中。驱动晶体管Tr2根据保持电容C1保持的信号电压向发光元件EL提供驱动电流Ids。像素电路配备有补偿电路7，以补偿由驱动晶体管Tr2随时间的变化引起的驱动电流Ids的减小。补偿电路7检测通过输出节点B侧的驱动电流Ids的减小，并将检测结果反馈到输入节点A侧。Z

