

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-134838

(P2005-134838A)

(43) 公開日 平成17年5月26日(2005.5.26)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 624B	
	G09G 3/20 680G	
	H05B 33/14 A	
審査請求 未請求 請求項の数 3 O L (全 9 頁)		

(21) 出願番号 特願2003-373615 (P2003-373615)
 (22) 出願日 平成15年10月31日 (2003.10.31)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 松本 昭一郎
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA00
 5C080 AA06 BB05 DD05 EE29 FF11
 HH09 JJ03 JJ04 JJ06

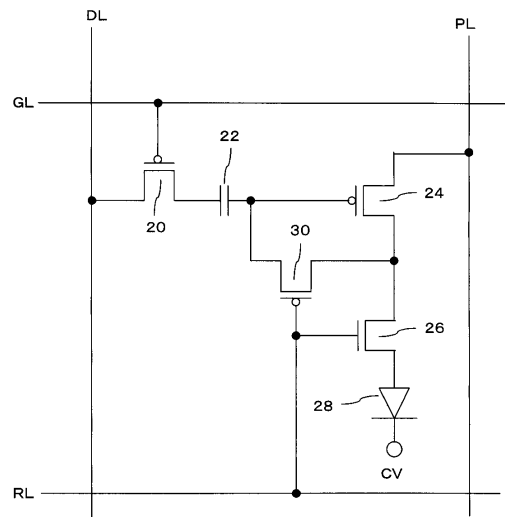
(54) 【発明の名称】 画素回路

(57) 【要約】

【課題】 駆動TFTのしきい値変動の悪影響を減少し、全体を効率的な配置とする。

【解決手段】 データラインを基準電圧に保持した状態で、スイッチングTFT20がオンし、リセットTFT30をオン、電流制御TFT26をオフすることで、駆動TFT24のゲートにしきい値電圧をセットする。次に、リセットTFT30をオフ、電流制御TFT26をオンし、データラインにビデオデータを供給することで、しきい値電圧からビデオデータの電圧だけ高い電圧を駆動TFT24のゲートに印加し、これに対応する電流を有機EL素子28に供給する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一端がデータラインに接続され、ゲートがゲートラインに接続された選択トランジスタと、

この選択トランジスタの他端に接続された容量と、

この容量の他端がゲートに接続され、一端が電源ラインに接続された駆動トランジスタと、

この駆動トランジスタに流れる電流によって発光する発光素子と、

前記駆動トランジスタの他端と、発光素子との間に挿入配置された電流制御トランジスタと、

前記駆動トランジスタのゲートに一端が接続され、他端が前記駆動トランジスタと、前記電流制御トランジスタの間に接続されたリセットトランジスタと、

を有し、

前記電流制御トランジスタと、前記リセットトランジスタとは逆極性のトランジスタであって、両トランジスタのゲートはリセットラインに共通接続されており、

データラインを一定の基準電圧にセットした状態で、選択トランジスタをオンし、その状態でリセットラインの電圧設定によって、リセットトランジスタをオン、電流制御トランジスタをオフすることで、前記駆動トランジスタのゲートに駆動トランジスタのしきい値電圧に対応した電圧をセットし、

その後、リセットラインの電圧設定を変更することでリセットトランジスタをオフ、電流制御トランジスタをオンし、かつデータラインにデータ電圧をセットすることで、駆動トランジスタのゲート電圧をデータ電圧に応じてシフトさせ、データ電圧に応じた電流を駆動トランジスタおよび電流制御トランジスタを介し、発光素子に供給することを特徴とする画素回路。

【請求項 2】

請求項 1 に記載の画素回路において、

前記リセットラインは、水平方向に伸び、

このリセットラインから垂直方向にゲート電極が伸び、この垂直方向に伸びる単一のゲート電極が前記電流制御トランジスタと、リセットトランジスタのチャンネル領域に重畳されていることを特徴とする画素回路。

【請求項 3】

請求項 2 に記載の画素回路において、

前記駆動トランジスタを形成する半導体層は、そのまま垂直方向に伸び、その延長部分からリセットラインに平行に伸びる 2 本の分岐部が形成され、

この 2 本の分岐部が前記電流制御トランジスタと、リセットトランジスタを構成することを特徴とする画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL 素子などの発光素子を含む画素回路に関する。

【背景技術】

【0002】

従来より、発光素子として有機 EL 素子を用いた有機 EL パネルが知られており、その開発が進んでいる。この有機 EL パネルにおいては、有機 EL 素子をマトリクス状に配置し、この有機 EL 素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機 EL パネルでは、画素毎に表示制御用の TFT を有し、この TFT の動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

【0003】

図 4 に、アクティブマトリクスタイプの有機 EL パネルにおける画素回路の一例を示す

10

20

30

40

50

。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインGLに接続されたnチャンネルのスイッチングTFT10を介し、駆動TFT12のゲートに接続されている。また、駆動TFT12のゲートには、他端がEL電源ラインPLに接続された保持容量14の一端が接続され、駆動TFT12のゲート電圧を保持する。

【0004】

駆動TFT12のソースは、EL電源ラインPLに接続され、ドレインは有機EL素子16のアノードに接続され、有機EL素子16のカソードがカソード電源CVに接続されている。

【0005】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインGLがH（ハイ：High）となり、その行のスイッチングTFT10がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量14に供給保持され、ゲートラインGLがL（ロウ：Low）となってもその時の電圧を保持する。 10

【0006】

そして、この保持容量14に保持された電圧に応じて、駆動TFT12が動作して対応する駆動電流がEL電源から有機EL素子16を介し、カソード電源CVに流れ、有機EL素子16がデータ電圧に応じて発光する。

【0007】

そして、ゲートラインGLを順次Hとして、入力されてくるビデオ信号に対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機EL素子16がデータ電圧に応じて発光し、ビデオ信号に対応した表示が行われる。 20

【0008】

【特許文献1】特表2002-514320号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくこと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値電圧がばらつくことを防止することは難しい。 30

【0010】

そこで、駆動TFTにおけるしきい値電圧のバラツキの表示に対する影響を防止することが望まれる。

【0011】

ここで、TFTのしきい値電圧の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献1）。

【0012】

しかし、この提案では、しきい値電圧変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。 40

【0013】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【0014】

本発明は、一端がデータラインに接続され、ゲートがゲートラインに接続された選択トランジスタと、この選択トランジスタの他端に接続された容量と、この容量の他端がゲ 50

トに接続され、一端が電源ラインに接続された駆動トランジスタと、この駆動トランジスタに流れる電流によって発光する発光素子と、前記駆動トランジスタの他端と、発光素子との間に挿入配置された電流制御トランジスタと、前記駆動トランジスタのゲートに一端が接続され、他端が前記駆動トランジスタと、前記電流制御トランジスタの間に接続されたりセットトランジスタと、を有し、前記電流制御トランジスタと、前記リセットトランジスタとは逆極性のトランジスタであって、両トランジスタのゲートはリセットラインに共通接続されており、データラインを一定の基準電圧にセットした状態で、選択トランジスタをオンし、その状態でリセットラインの電圧設定によって、リセットトランジスタをオン、電流制御トランジスタをオフすることで、前記駆動トランジスタのゲートに駆動トランジスタのしきい値電圧に対応した電圧をセットし、その後、リセットラインの電圧設定を変更することでリセットトランジスタをオフ、電流制御トランジスタをオンし、かつデータラインにデータ電圧をセットすることで、駆動トランジスタのゲート電圧をデータ電圧に応じてシフトさせ、データ電圧に応じた電流を駆動トランジスタおよび電流制御トランジスタを介し、発光素子に供給することを特徴とする。

10

【0015】

また、前記リセットラインは、水平方向に伸び、このリセットラインから垂直方向にゲート電極が伸び、この垂直方向に伸びる単一のゲート電極が前記電流制御トランジスタと、リセットトランジスタのチャンネル領域に重畳されていることが好適である。

【0016】

また、前記駆動トランジスタを形成する半導体層は、そのまま垂直方向に伸び、その延長部分からリセットラインに平行に伸びる2本の分岐部が形成され、この2本の分岐部が前記電流制御トランジスタと、リセットトランジスタを構成することが好適である。

20

【発明の効果】**【0017】**

このように、本発明では、データラインを一定の基準電圧にセットした状態で、選択トランジスタをオンし、その状態でリセットラインの電圧設定によって、リセットトランジスタをオン、電流制御トランジスタをオフすることで、前記駆動トランジスタのゲートに駆動トランジスタのしきい値電圧に対応した電圧をセットし、その後、リセットラインの電圧設定を変更することでリセットトランジスタをオフ、電流制御トランジスタをオンし、かつデータラインにデータ電圧をセットすることで、駆動トランジスタのゲート電圧をデータ電圧に応じてシフトさせ、データ電圧に応じた電流を駆動トランジスタおよび電流制御トランジスタを介し、発光素子に供給する。従って、駆動トランジスタのしきい値電圧に画素毎のバラツキがあっても、そのバラツキを補償してデータ電圧に基づく表示が行える。

30

【0018】

また、このリセットラインから垂直方向にゲート電極が伸び、この垂直方向に伸びる単一のゲート電極が前記電流制御トランジスタと、リセットトランジスタのチャンネル領域に重畳されるように、平面的配置をおこなうことで、トランジスタの配置およびゲート配線の効率化を図ることができ、発光領域を大きく確保できる。

【0019】

また、前記駆動トランジスタを形成する半導体層は、そのまま垂直方向に伸び、その延長部分からリセットラインに平行に伸びる2本の分岐部が形成され、この2本の分岐部が前記電流制御トランジスタと、リセットトランジスタを構成することで、トランジスタの配置およびゲート配線の効率化を図ることができ、発光領域を大きく確保できる。

40

【発明を実施するための最良の形態】**【0020】**

以下、本発明の実施形態について、図面に基づいて説明する。

【0021】

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直方向に伸びるデータラインには、pチャンネルのスイッチングTFT20のドレインが接続されている。

50

このスイッチングTFT20のゲートは水平方向に伸びるゲートラインGLに接続され、ソースは、コンデンサ22を介しpチャンネルの駆動TFT24のゲートに接続されている。なお、このスイッチングTFT20は、nチャンネルTFTでもよく、その場合には、ゲートラインGLの極性を反転し、pチャンネルの場合と同様のタイミングでオンオフできるようにすればよい。

【0022】

駆動TFT24のソースは、垂直方向に伸びる電源ラインPLに接続され、ドレインは、nチャンネルの電流制御TFT26のドレインに接続されている。電流制御TFT26のソースは、有機EL素子28のアノードに接続され、この有機EL素子28のカソードがカソード電源CVに接続されている。また、駆動TFT24のゲートには、pチャンネルのリセットTFT30のソースが接続され、このリセットTFT30のドレインは、駆動TFT24のソースに接続されている。そして、電流制御TFT26およびリセットTFT30のゲートは水平方向に伸びるリセットラインRLに共通接続されている。

10

【0023】

1画素分の画素回路はこのように構成されており、これがマトリクス状に配置され、それぞれゲートラインGL、電源ラインPL、リセットラインRLに接続されている。

【0024】

ここで、本実施形態の回路の動作について、図2に基づいて説明する。ビデオデータは、外部から供給され、これが水平ドライバによって、各データラインに順次供給される。ビデオデータは、各画素の輝度についての電圧値であり、各水平期間において当該水平ラインの各画素毎の輝度値を順次供給する。図において、D1が最初の列である1列目の画素のビデオデータであり、Dnが最終列n列目のデータであり、Dnと、D1の出力の間が水平帰線期間である。なお、通常はカラー表示であり、ビデオデータはRGB毎に別々に供給され、これらが別々にデータラインに供給される。

20

【0025】

STHは、水平期間毎の表示開始を示す信号であり、ビデオデータD1が供給される前にSTHがHレベルになる。CK1、CK2は、相補的な信号であり、ビデオ信号の画素毎のデータと同期している画素クロックに対応している。そして、水平ドライバは、この画素クロックを用いてビデオ信号をデータラインに供給するスイッチを制御する。本実施形態では、STHがHレベルの状態でのCKH1の立ち下がり、1列目のスイッチがオンして、その後CKH1の立ち下がり毎に、ビデオデータがデータラインに順次供給される。

30

【0026】

ここで、1水平ラインの帰線期間において、ゲートラインGLがL(アクティブ)にならないようにイネーブルENBをL(非アクティブ)にし、その後イネーブルがLの状態、プリセットPREをL(アクティブ)にする。これによって、データラインにプリセット電圧が供給される。そして、イネーブルENBがHに戻った段階で、リセットラインRLをL(アクティブ)にする。

【0027】

このリセットラインRLがLの期間は、データラインがプリセット電圧に設定されており、かつゲートラインGLがLにセットされてスイッチングTFT20がオンしている。従って、コンデンサ22の一端側がプリセット電圧にセットされる。一方、リセットラインRLがLであることによって、電流制御TFT26はオフ、リセットTFT30がオンになっている。そこで、駆動TFT24のゲートにそのしきい値電圧($V_t - V_{gd}$)に対応する電圧がセットされる。

40

【0028】

次に、リセットラインRLがHに戻り、リセットTFT30がオフ、電流制御TFT26がオンする。この状態で、ゲートラインGLはLのまま、ビデオ信号に同期して、CK1が立ち下がることで、D1が1列目の画素におけるコンデンサ22の一端に印加される。これによって、駆動TFT24のゲート電圧がビデオデータ分だけシフトし、ビデオ

50

データに応じた電流が有機EL素子28に流れ、ビデオデータに応じた発光が生起される。そして、ビデオデータが順次各列のデータラインを介し、コンデンサ22の一端に印加され、同様に、ビデオデータに応じた有機EL素子28の発光を起こさせることができ、マトリクス状の全画素において、ビデオデータに応じた表示が行われる。

【0029】

本回路を正常に動作させるには、図1におけるリセットTF T 30と電流制御TF T 26を同時にオンさせ、駆動TF T 24のゲート電位を一旦下げる必要がある。これは、駆動TF T 24のゲート電位をリセット時に電源ラインPLより閾値(Vgd)だけ低い値に設定するために、予め、駆動TF T 24のゲート電位を電源ラインPLより閾値(Vgd)だけ低い値よりさらに低い値に設定しておかないと、正常にリセットが行われな

10

【0030】

これを実現するために、本発明では、

立ち下がり時間(T_r) > 立ち上がり時間(T_f)

とし、立ち下がりには十分時間をかけ、立ち上がりは設定電位(電源ラインPLより閾値だけ低い値)を逃さないために早く行うようにしている。すなわち、リセットラインRLの立ち下がり時間(T_r)を十分長い時間にすることで、リセットTF T 30と電流制御TF T 26の両方がオンし、これによって、駆動TF T 24のゲート電位が、設定した電圧($PVDD - Vgd$)より、低い電圧になる。リセットラインRLの立ち上がり時は、立ち上がり時間を短くすることで、駆動TF T 24のゲート電圧の変化がないようにして

20

【0031】

特に、本実施形態においては、1水平ラインの最初に駆動TF T 24のゲートドレイン間を短絡し、すなわち、駆動TF T 24は、リセットTF T 30によって、ゲートドレイン間が短絡する。これによって、ソースが電源ラインPL(電圧PVDD)に接続されており、ゲート電圧が電源ラインPLより1Vgd分だけ下がった電圧、すなわちゲートに駆動TF T 24のしきい値電圧に対応する電圧にセットされる。そして、データラインの電圧をビデオデータに応じて変更することで、駆動TF T 24のしきい値電圧の値によらず、ビデオデータ分の電圧が駆動TF T 24のゲートに印加される。従って、駆動TF T 24のしきい値電圧が変化しても、この変化によらず、全画素においてビデオデータに応じた有機EL素子28の発光が行える。

30

【0032】

次に、このような画素回路を備える画素のレイアウトについて、図3に基づいて説明する。なお、この図においては、半導体層を破線、ゲートラインGLの層を二点鎖線で示している。また、コンタクトについては、実線で示してある。

【0033】

1つの画素は、垂直方向に伸びる電源ラインPL(図における左)およびデータラインDL(図における右)、垂直方向に伸びるゲートラインGL(図における上)およびリセットラインRL(図における下)によって囲まれたほぼ四角形の領域で形成されている。

【0034】

データラインDLには、コンタクトを介し厚み方向下方の半導体層が接続されており、この半導体層はpチャネルトランジスタであるスイッチングTF T 20のソース20sとなっている。半導体層は、ゲートラインGLに沿って図における左側に伸びており、ソース領域20sに隣接する領域は不純物ドーピングのないチャンネル領域20cになっている。このチャンネル領域20cの厚み方向上方には、ゲートラインGLからゲート電極20gが伸びている。半導体層のチャンネル領域の図における左側には、ドレイン領域20dが形成され、これによってスイッチングTF T 20が形成されている。半導体層は電源ラインPLの厚み方向下側の部分で直角に図における下方向に曲がり、電源ラインPLの厚み方向下方を図における下方に向けて画素の半分くらいまで伸びて終端する。この電源ラインPLの厚み方向下方においては、半導体層の厚み方向上方には、ゲートラインGLと一緒に形

40

50

成された容量電極が絶縁膜を介し形成され、この部分がコンデンサ 22 となっている。なお、コンデンサ 22 は、ゲートライン G L に沿った半導体層についても形成してもよい。

【0035】

このコンデンサ 22 を形成する半導体層の終端部から若干離れた部分から、別の半導体層が図における下方に向けて形成されている。この半導体層の上端部は、図における右方向に伸び、ここが駆動 T F T 24 のソース領域 24 s となっている。そして、このソース領域 24 s は、コンタクトを介し厚み方向上方の電源ライン P L に接続されている。なお、電源ライン P L は、その一部が右側に突出して、そこにコンタクトが設けられてソース領域 24 s と接続されている。この半導体層の厚み方向上方には、コンデンサ 22 の容量電極がそのまま伸び、駆動 T F T 24 のゲート電極 24 g となっている。そして、このゲート電極 24 g は、図における下方の終端位置から右方向に直角に曲がっており、この終端位置の図における下方の半導体層がドレイン領域 24 d となっている。このようにして、駆動 T F T 24 が電源ライン P L に沿って形成されている。

10

【0036】

半導体層は、そのまま図における下方に伸び、逆コ字型となっている。すなわち、2本の分岐が図における右側に伸びている。そして、半導体層は、1本目の分岐がリセット T F T 30 を構成する。

【0037】

電源ライン P L の厚み方向下方の部分がソース領域 30 s になり、その右側がチャンネル領域 30 c、その右側がドレイン領域 30 d となっている。そして、リセット T F T 30 のドレイン領域 30 d が駆動 T F T 24 のドレイン領域とそれぞれのコンタクトを介し、接続されている。

20

【0038】

さらに、半導体層の2本目の分岐が電流制御 T F T 26 を構成する。すなわち、左側の部分がドレイン領域 26 d になり、その右側がチャンネル領域 26 c、その右側がソース領域 26 s となっている。そして、電流制御 T F T 26 のソース領域 26 s が有機 E L 素子 28 の陽極にコンタクトを介し接続されている。24 のドレイン領域とそれぞれのコンタクトを介し、接続されている。

【0039】

また、リセットライン R L から、図における上方に伸びる突起部分が、リセット T F T 30 のチャンネル領域 30 c と、電流制御 T F T 26 のチャンネル領域 26 c の厚み方向上方に伸び、両者のゲート電極 30 g、26 g になっている。このように、図における下方の半導体層は、駆動 T F T 24、リセット T F T 30、および電流制御 T F T 26 を構成しており、それぞれを接続する役割も担っている。

30

【0040】

このように、本実施形態の構成では、スイッチング T F T 20 がゲートライン G L に沿って水平方向に形成され、コンデンサ 22、駆動 T F T 24 が、電源ライン P L に沿って形成され、かつリセット T F T 30、電流制御 T F T 26 は、チャンネルの方向は水平方向ではあるが、電源ライン P L に沿って、並んで形成される。従って、コンデンサおよび T F T をまとめて配置できるとともに、ゲートライン G L およびリセットライン R L からのゲート電極も直接突出させることで形成することができる。従って、コンデンサ、T F T の形成および配線の領域をコンパクトにまとめることができ、有機 E L 素子 28 の形成領域を大きくとることができ、画素領域中の発光領域の割合（開口率）を大きくとることができる。

40

【図面の簡単な説明】

【0041】

【図1】実施形態の画素回路の構成を示す図である。

【図2】動作を示すタイミングチャートである。

【図3】画素の平面構成を示す図である。

【図4】従来例の画素回路の構成を示す図である。

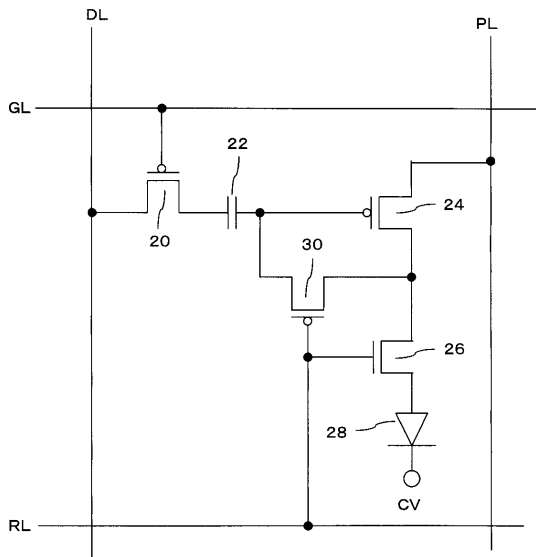
50

【符号の説明】

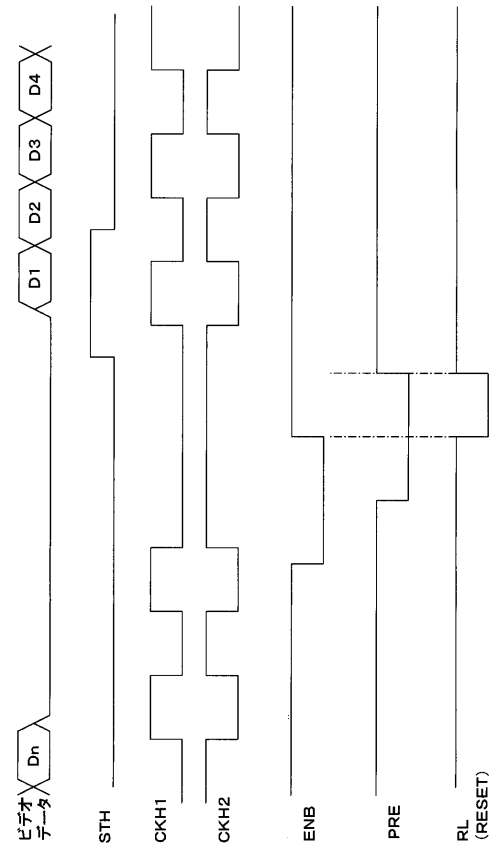
【0042】

20 スイッチングTFT、22 コンデンサ、24 駆動TFT、26 電流制御TFT、28 有機EL素子、30 リセットTFT。

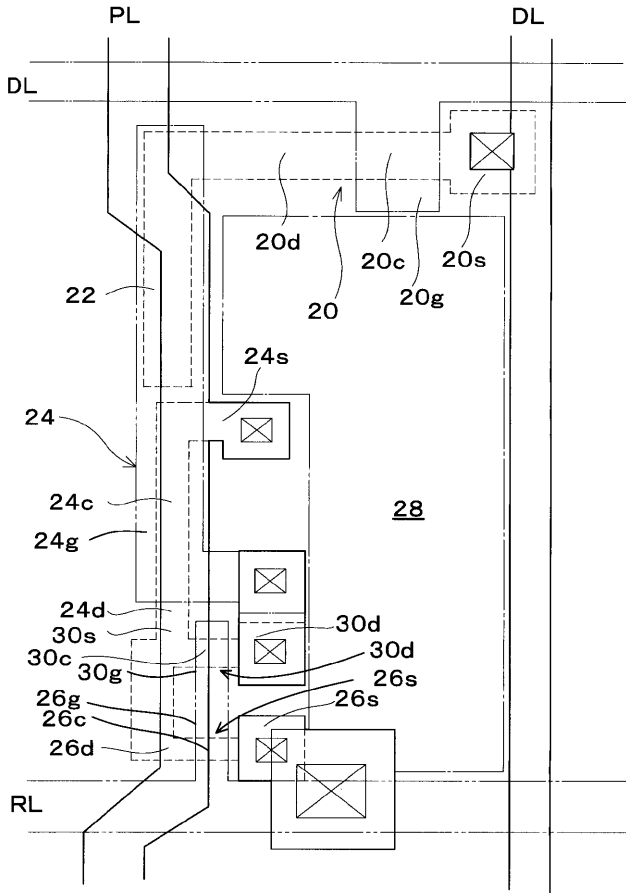
【図1】



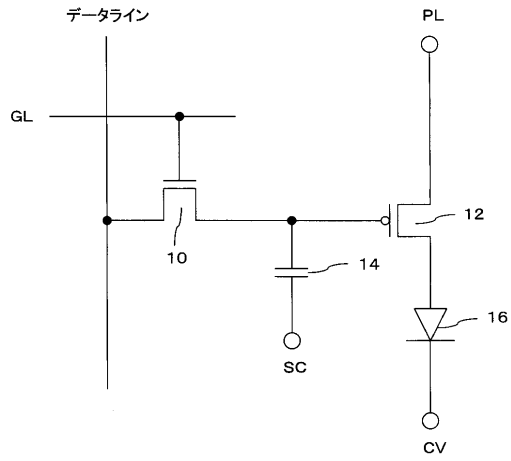
【図2】



【図3】



【図4】



专利名称(译)	画素回路		
公开(公告)号	JP2005134838A	公开(公告)日	2005-05-26
申请号	JP2003373615	申请日	2003-10-31
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	松本昭一郎		
发明人	松本 昭一郎		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.680.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC05 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC03 5C380/BC13 5C380/BD02 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC04 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC62 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD014 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/HA03 5C380/HA11		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP2005134838A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减少驱动TFT的阈值电平波动的不利影响，在整个部件上提供有效的布置。解决方案：在将数据线保持在参考电压的状态下，开关TFT 20导通以使复位TFT 30导通并且电流控制TFT 26截止，从而在驱动TFT 24的栅极处设置阈值电平电压。接下来，关闭复位TFT 30并关闭电流控制TFT 26以将视频数据提供给数据线，从而将视频数据的电压高于阈值电平电压的电压施加到数据线。驱动TFT24的栅极和与其对应的电流被提供给有机EL元件28

