

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-109991

(P2004-109991A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

G09G 3/30

G09G 3/20 621A

G09G 3/20 624B

G09G 3/20 641A

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-285363 (P2003-285363)
 (22) 出願日 平成15年8月1日(2003.8.1)
 (31) 優先権主張番号 特願2002-254682 (P2002-254682)
 (32) 優先日 平成14年8月30日(2002.8.30)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 松本 昭一郎
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 Fターム(参考) 3K007 AB17 BA06 DB03 GA04
 5C080 AA06 BB05 CC03 DD01 DD24
 EE28 FF11 JJ03 JJ04

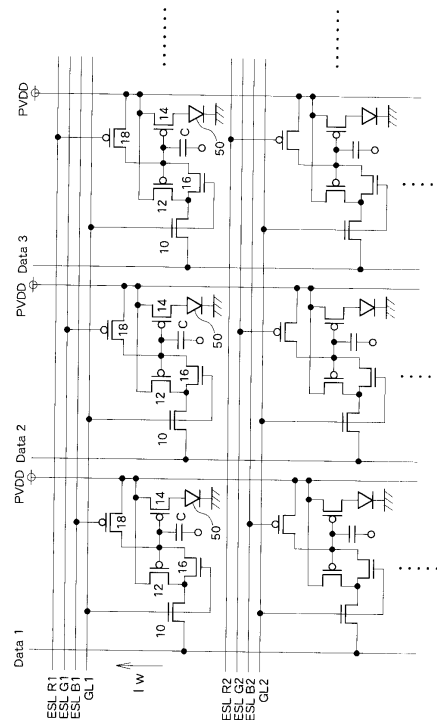
(54) 【発明の名称】 表示駆動回路

(57) 【要約】

【課題】 電源およびドライバの負担を軽減し、かつ黒表示を確実に行う。

【解決手段】 ゲートラインGLをHにして、選択TFT10および短絡TFT16をオンとし、データラインDataにデータに応じた電流(データ電流(負))を流す。これによって、この電圧変換TFT12、駆動TFT14にデータ電流に応じた電流が流れ、有機EL素子50が発光する。そして、この際の電圧変換TFT12、駆動TFT14のゲート電圧が保持容量Cに保持される。そこで、データ電流がオフされ、選択TFT10、短絡TFT16がオフした後も、駆動TFT14は電流を流し続ける。そして、所定の発光期間後イレーズラインESLを駆動して、イレーズTFT18をオンして、保持容量Cを放電し、駆動TFT14をオフする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源からの電流を E L 素子に供給する駆動トランジスタを有し、この駆動トランジスタを制御して E L 素子の発光を制御する表示駆動回路であって、

発光量についてのデータに応じた電流により駆動されるデータラインと、

発光させる E L 素子を選択する選択信号により駆動されるゲートラインと、

前記データラインに一端が接続され、ゲートが前記ゲートラインに接続された選択トランジスタと、

この選択トランジスタの他端に一端が接続され、他端が電源に接続されるとともに、ゲートが前記駆動トランジスタのゲートに接続された電圧変換トランジスタと、

10

前記選択トランジスタの他端と、前記電圧変換トランジスタのゲートとを接続するとともに、ゲートが前記ゲートラインに接続された短絡トランジスタと、

前記駆動トランジスタのゲートに一端が接続され、他端が電源に接続され、ゲートがイレーズラインに接続されたイレーズトランジスタと、

駆動トランジスタのゲートに接続され電圧を保持するコンデンサと、

を有し、

前記データラインをデータに応じた電流で駆動するとともに、前記ゲートラインを駆動して前記選択トランジスタ、短絡トランジスタをオンして前記電圧変換トランジスタにデータに応じた電流を流し、これによって前記コンデンサをデータに応じた電圧に充電し、このコンデンサの充電電圧に応じた電流を駆動トランジスタを介し E L 素子に流し、かつ

20

【請求項 2】

電源からの電流を E L 素子に供給する駆動トランジスタを有し、この駆動トランジスタを制御して E L 素子の発光を制御する表示駆動回路であって、

発光量についてのデータに応じた電流により駆動されるデータラインと、

発光させる E L 素子を選択する選択信号により駆動されるゲートラインと、

前記データラインに一端が接続され、ゲートが前記ゲートラインに接続された選択トランジスタと、

この選択トランジスタの他端に一端が接続され、他端が電源に接続されるとともに、ゲートが前記駆動トランジスタのゲートに接続された電圧変換トランジスタと、

30

前記選択トランジスタの他端と、前記電圧変換トランジスタのゲートとを接続するとともに、ゲートに書き込みタイミング信号を受け入れる短絡トランジスタと、

前記駆動トランジスタのゲートに一端が接続され、他端が電源に接続され、ゲートがイレーズラインに接続されたイレーズトランジスタと、

駆動トランジスタのゲートに接続され電圧を保持するコンデンサと、

を有し、

前記データラインをデータに応じた電流で駆動するとともに、前記ゲートラインを駆動して前記選択トランジスタをオンし、かつ書き込みタイミング信号により短絡トランジスタをオンして前記電圧変換トランジスタにデータに応じた電流を流し、これによって前記コンデンサをデータに応じた電圧に充電し、このコンデンサの充電電圧に応じた電流を駆動トランジスタを介し E L 素子に流し、かつ所定の発光期間の経過後に前記イレーズラインを駆動することで前記イレーズトランジスタをオンして前記コンデンサから放電する表示駆動回路。

40

【請求項 3】

請求項 2 に記載の回路において、

前記書き込みタイミング信号は、前記選択信号による選択と同タイミングで、書き込みレベルになり、かつ選択信号が選択状態を維持している期間内の終了以前に非書き込みレベルに変化する表示駆動回路。

【請求項 4】

50

請求項 2 または 3 のいずれか 1 つに記載の回路において、

前記書き込みタイミング信号は、前記ゲートラインと併設される書き込みラインから供給される表示駆動回路。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 つに記載の回路において、

前記駆動トランジスタ、電圧変換トランジスタ、およびイレーズトランジスタは p チャンネルトランジスタであり、前記選択トランジスタおよび短絡トランジスタは n チャンネルトランジスタである表示駆動回路。

【請求項 6】

請求項 1 ~ 4 のいずれか 1 つに記載の回路において、

前記駆動トランジスタ、電圧変換トランジスタ、イレーズトランジスタ、選択トランジスタおよび短絡トランジスタは、すべて n チャンネルトランジスタである表示駆動回路。

【請求項 7】

請求項 1 ~ 4 のいずれか 1 つに記載の回路において、

前記駆動トランジスタ、電圧変換トランジスタ、イレーズトランジスタ、選択トランジスタおよび短絡トランジスタは、すべて p チャンネルトランジスタである表示駆動回路。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 つに記載の回路において、

前記駆動トランジスタ、電圧変換トランジスタ、イレーズトランジスタ、選択トランジスタおよび短絡トランジスタは、すべて画素毎に設けられた E L 素子に対応して、画素毎に設けられ、かつ画素がマトリクス状に配置され、ゲートラインが行方向に配置され、データラインが列方向に配置されている表示駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源からの電流を E L 素子に供給する駆動トランジスタを有し、この駆動トランジスタを制御して E L 素子の発光を制御する表示駆動回路に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 E L) 素子を各画素に発光素子として用いた E L 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (LCD) や CRT などの表示装置に代わる表示装置として注目されている。

【0003】

特に、E L 素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎に E L 素子を制御するアクティブマトリクス型 E L 表示装置では、高精細な表示が可能である。

【0004】

このアクティブマトリクス型 E L 表示装置では、基板上に複数本のゲートラインが行方向に延び、複数本のデータライン及び電源ラインが列方向に延びており、各画素は有機 E L 素子と、選択 TFT、駆動用 TFT 及び保持容量を備えている。ゲートラインを選択することで選択 TFT をオンし、データライン上のデータ電圧を保持容量に充電し、この電圧で駆動 TFT をオンして電源ラインからの電力を有機 E L 素子に流している。

【0005】

また、特許文献 1 には、各画素において、制御用のトランジスタとして p チャンネルの 2 つの TFT を追加し、データラインに信号電流を流す回路が示されている。

【0006】

この特許文献 1 に記載の画素回路を図 4 に示す。このように、scan A にゲートが接続された n チャンネル TFT (選択 TFT) 3 の一端が電流 I_w を流すデータライン data に接続され、他端は p チャンネル TFT 1 および p チャンネル TFT (駆動 TFT)

10

20

30

40

50

4の一旦に接続されている。TFT1は、他端が電源ラインV_{dd}に接続され、ゲートが有機EL素子(OLED)駆動用のpチャンネルTFT2のゲートに接続されている。また、TFT4は、他端がTFT1およびTFT2のゲートに接続されている。そして、TFT4のゲートは、scanBに接続されている。

【0007】

この構成では、scanAをHとしてTFT3をオンするとともに、scanBをLとしてTFT4をオンする。そして、dataにデータに応じた電流I_wを流す。これによって、TFT1はそのゲートソース間が短絡され、電流I_wが電圧に変換され、その電圧がTFT1、2のゲートに設定される。そして、TFT3、4がオフされた後は、TFT2のゲート電圧はコンデンサCによって保持されるため、その後も電流I_wに対応した電流がTFT2に流れ、この電流により有機EL(OLED)が発光する。そして、scanBをLとすることで、TFT1がオンして、そのゲート電圧が上昇し、コンデンサCが放電されてデータがイレースされ、TFT1、TFT2がオフする。

10

【0008】

この回路によれば、TFT1に電流が流れることで、この電流が電圧に変換されてゲート電圧が決定され、そのゲート電圧に応じてTFT2の電流量が決定される。従って、TFT2の電流量を信号電流I_wに対し設定できる。

【0009】

【特許文献1】特開2001-147659号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0010】

しかし、この回路では、TFT4を制御するためのscanBが必要であり、このscanBをデータ書き込み時およびデータイレース時の両方に駆動しなければならない。

【0011】

特に、データ書き込み時には、scanA、Bの両方のラインを駆動しなければならない。ドライバに負担がかかるという問題があった。また、イレースの際には、TFT4をオンしてTFT1のゲート電圧を上昇させるが、TFT1を介して、そのゲート電圧を上昇させるため、十分ゲート電圧が上昇しない場合もある。この場合、TFT2に若干の電流が流れて続けてしまい、黒表示が十分でなくなるという問題もあった。

30

【0012】

本発明は、上記課題に鑑みなされたものであり、電源およびドライバの負担を軽減し、かつ黒表示を確実にできる画素回路を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明は、電源からの電流をEL素子に供給する駆動トランジスタを有し、この駆動トランジスタを制御してEL素子の発光を制御する表示駆動回路であって、発光量についてのデータに応じた電流により駆動されるデータラインと、発光させるEL素子を選択する選択信号により駆動されるゲートラインと、前記データラインに一端が接続され、ゲートが前記ゲートラインに接続された選択トランジスタと、この選択トランジスタの他端に一端が接続され、他端が電源に接続されるとともに、ゲートが前記駆動トランジスタのゲートに接続された電圧変換トランジスタと、前記選択トランジスタの他端と、前記電圧変換トランジスタのゲートとを接続するとともに、ゲートが前記ゲートラインに接続された短絡トランジスタと、前記駆動トランジスタのゲートに一端が接続され、他端が電源に接続され、ゲートがイレースラインに接続されたイレーストランジスタと、駆動トランジスタのゲートに接続され電圧を保持するコンデンサと、を有し、前記データラインをデータに応じた電流で駆動するとともに、前記ゲートラインを駆動して前記選択トランジスタ、短絡トランジスタをオンして前記電圧変換トランジスタにデータに応じた電流を流し、これによって前記コンデンサをデータに応じた電圧に充電し、このコンデンサの充電電圧に応じた電流を駆動トランジスタを介しEL素子に流し、かつ所定の発光期間の経過後に前記

40

50

イレースラインを駆動することで前記イレーストランジスタをオンして前記コンデンサから放電することを特徴とする。

【0014】

本発明は、電源からの電流をEL素子に供給する駆動トランジスタを有し、この駆動トランジスタを制御してEL素子の発光を制御する表示駆動回路であって、発光量についてのデータに応じた電流により駆動されるデータラインと、発光させるEL素子を選択する選択信号により駆動されるゲートラインと、前記データラインに一端が接続され、ゲートが前記ゲートラインに接続された選択トランジスタと、この選択トランジスタの他端に一端が接続され、他端が電源に接続されるとともに、ゲートが前記駆動トランジスタのゲートに接続された電圧変換トランジスタと、前記選択トランジスタの他端と、前記電圧変換トランジスタのゲートとを接続するとともに、ゲートに書き込みタイミング信号を受け入れる短絡トランジスタと、前記駆動トランジスタのゲートに一端が接続され、他端が電源に接続され、ゲートがイレースラインに接続されたイレーストランジスタと、駆動トランジスタのゲートに接続され電圧を保持するコンデンサと、を有し、前記データラインをデータに応じた電流で駆動するとともに、前記ゲートラインを駆動して前記選択トランジスタをオンし、かつ書き込みタイミング信号により短絡トランジスタをオンして前記電圧変換トランジスタにデータに応じた電流を流し、これによって前記コンデンサをデータに応じた電圧に充電し、このコンデンサの充電電圧に応じた電流を駆動トランジスタを介しEL素子に流し、かつ所定の発光期間の経過後に前記イレースラインを駆動することで前記イレーストランジスタをオンして前記コンデンサから放電することを特徴とする。

【0015】

また、前記書き込みタイミング信号は、前記選択信号による選択と同タイミングで、書き込みレベルになり、かつ選択信号が選択状態を維持している期間内の終了以前に非書き込みレベルに変化することが好適である。

【0016】

また、前記書き込みタイミング信号は、前記ゲートラインと併設される書き込みラインから供給されることが好適である。

【0017】

また、前記駆動トランジスタ、電圧変換トランジスタ、およびイレーストランジスタはpチャンネルトランジスタであり、前記選択トランジスタおよび短絡トランジスタはnチャンネルトランジスタであることが好適である。

【0018】

また、前記駆動トランジスタ、電圧変換トランジスタ、イレーストランジスタ、選択トランジスタおよび短絡トランジスタは、すべてnチャンネルトランジスタであることが好適である。

【0019】

また、前記駆動トランジスタ、電圧変換トランジスタ、イレーストランジスタ、選択トランジスタおよび短絡トランジスタは、すべてpチャンネルトランジスタであることが好適である。

【0020】

また、前記駆動トランジスタ、電圧変換トランジスタ、イレーストランジスタ、選択トランジスタおよび短絡トランジスタは、すべて画素毎に設けられたEL素子に対応して、画素毎に設けられ、かつ画素がマトリクス状に配置され、ゲートラインが行方向に配置され、データラインが列方向に配置されていることが好適である。

【発明の効果】

【0021】

以上説明したように、本発明によれば、データラインのデータに応じた電流（データ電流）が電圧変換トランジスタに電流が流れることで、そのゲート電圧が決定され、そのゲート電圧に応じて駆動トランジスタの電流量が決定される。そして、電圧変換トランジスタと、駆動トランジスタの不純物濃度などはほぼ同一にできるため、その電圧変換トラン

10

20

30

40

50

ジスタと、駆動トランジスタのゲートサイズ比によって、駆動トランジスタの電流量をデータ電流に対し設定できる。そこで、パネル全体におけるトランジスタの特性のバラツキの影響を排除して均質な表示が行えるという利点がある。そして、データラインからのデータ電流の取り込みの際には、ゲートラインのみを駆動すればよく、電源、ドライバの負担を軽減することができる。さらに、イレースラインにより、駆動TFTのゲートを電源まで確実に設定することができるため、駆動トランジスタを確実にオフして、有機EL素子50の黒表示を確実にできる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態について、図面に基づいて説明する。

10

【0023】

図1は、実施形態の構成を示す図であり、m行n列のアクティブマトリクス型EL表示装置における各画素の回路構成を示している。基板上にゲートラインGL、RGBの3色のイレースキャンラインESLR、ESLG、ESLBの4本が画素の区切り毎に行方向に伸び、データラインData及び電源ラインPVDDの2本が画素の区切り毎に列方向に伸びている。なお、この例では、各画素の上側のゲートラインGLと、イレースキャンラインESLR、ESLG、ESLBの1本がその画素のTFTに接続され、各画素の左側のデータラインDataと、右側の電源ラインPVDDがその画素に接続されている。図においては、左から1番目の列が青(B)、2番目の列がグリーン(G)、3番目の列が赤(R)となっており、各列の画素にはイレースラインESLB、ESLG、ESLRがそれぞれ接続されている。

20

【0024】

各画素は、有機EL素子50の他に、3つのpチャンネルTFTと、2つのnチャンネルTFTと、保持容量Cを備えている。

【0025】

nチャンネルの選択TFT10は、ドレインがデータラインDataと接続され、ゲートがゲートラインGLとに接続されており、そのソースはpチャンネルの電圧変換TFT12のドレインに接続されている。この電圧変換TFT12のソースは、電源ラインPVDDに接続され、そのゲートは、駆動TFT14のゲートに接続されている。さらに、電圧変換TFT12のドレインにはnチャンネル短絡TFT16のソースが接続され、短絡TFT16のドレインは、電圧変換TFT12のゲートに接続されている。また、短絡TFT16のゲートは、選択TFT10と同様にゲートラインGLに接続されている。

30

【0026】

駆動TFT14のソースは、電源ラインPVDDに接続され、ドレインは有機EL素子50の陽極に接続されている。そして、有機EL素子50の陰極がグランドに接続されている。そこで、駆動TFT14がオンすることで、その電流が有機EL素子50に流れ、有機EL素子50が発光する。

【0027】

さらに、電圧変換TFT12および駆動TFT14のゲートには、ソースが電源ラインPVDDに接続されたpチャンネルのイレースTFT18のドレインが接続されている。このイレースTFT18のゲートは、イレースラインESLの内の1本が画素の色に応じて接続されている。図における左上(1番左の列)の画素では、イレースラインESLB(青)が接続されている。

40

【0028】

また、電圧変換TFT12および駆動TFT14のゲートには、他端が電源ラインPVDDに接続された保持容量Cの一端が接続されている。

【0029】

この構成において、1つの画素を発光させる場合、その行のゲートラインをHとして選択TFT10および短絡TFT16をオンする。そして、データラインにデータに応じたデータ電流Iwを流す。

50

【0030】

これによって、電圧変換TFT12は短絡TFT16のオンによりゲートドレイン間が短絡され、電圧変換TFT12にデータ電流Iwが流れる。また、電圧変換TFT12と駆動TFT14はカレントミラーを構成するため、この駆動TFT14にもデータ電流Iwが流れる。なお、電圧変換TFT12と駆動TFT14のゲートサイズを変更すれば、そのサイズ比に応じた電流が駆動TFT14に流れる。

【0031】

有機EL素子50は陽極から注入される正孔と陰極から注入される電子とが発光層内で再結合して発光分子が励起され、この発光分子が励起状態から基底状態に戻る際に発光する。有機EL素子50の発光輝度は有機EL素子50に供給される電流にほぼ比例しており、上述のように各画素ごとに決定されるデータ電流Iwを有機EL素子50に流す電流を流すことで、データ信号に応じた輝度で有機EL素子を発光し、表示装置全体で所望のイメージ表示が行われる。

10

【0032】

そして、この際に、電圧変換TFT12および駆動TFT14のゲート電圧がデータ電流Iwに対応するものに設定され、保持容量Cがその電圧（電圧PVDDに対し、低く電圧）に充電される。データラインDataに電流が流れなくなり、またその後にゲートラインGLがLになることによって選択TFT10、短絡TFT16がオフされ、また電圧変換TFT12もオフするが、電圧変換TFT12および駆動TFT14のゲート電圧は保持容量Cによって保持される。従って、駆動TFT14には、同一の電流が流れ続け、有機EL素子50の発光が継続される。

20

【0033】

次に、所定の発光時間が経過した場合には、イレーズラインESL（例えば、ESLB）がLにセットされる。これによって、イレーズTFT18がオンし、保持容量Cの両端はともに電源ラインPVDDに接続されて放電され、駆動TFT14のゲートはPVDDとなりオフされる。これによって、有機EL素子50の発光が停止される。

【0034】

なお、ゲートラインGLは、1フレームの表示期間に順次1つずつオンされ、これによって、そのゲートラインGLに接続されているその行の選択TFT10、短絡TFT16がオンする。この状態で、データラインDataは、1本ずつ順次駆動される。すなわち、駆動された1本のデータラインDataが表示データ（輝度データ）に応じたデータ電流Iwを流す。これによって、データ電流Iwが流れているデータラインDataに接続されている画素の電圧変換TFT12および駆動TFT14に電流が流れ、その画素の有機EL素子50が発光を開始する。そして、このデータ電流Iwが流れることによって、対応する電圧が保持容量Cに保持され、データ電流Iwが停止された後にも駆動TFT14の電流は維持される。さらに、ゲートラインGLがLとなり、選択TFT10、短絡TFT14がオフになった後も、駆動TFT14は電流を流し続ける。

30

【0035】

そして、上述のように、接続されているイレーズラインESLがLにセットされることによって、駆動TFT14がオフされる。ここで、イレーズラインESLR、ESLG、ESLBは、それぞれ別々のタイミングでLにセットされる。これによって、R、G、Bの色別に従って、発光時間が制御される。すなわち、1画素の有機EL素子が発光できるのは、1フレームにおいて、次に対応するゲートラインGLがHになるまでの期間（1フレームの期間）である。本実施形態では、まずイレーズラインESLG（グリーン）、その後イレーズラインESLB（ブルー）、最後にイレーズラインESLRの順でLにセットされ画素の発光が停止される。これによって、各色において発光時間が異なる時間に設定される。これは、各色において、発光効率が異なるからであり、このように時間を異ならせることで、各色のバランスをとり、発光のホワイトバランスを設定することができる。従って、本実施形態においては、画素の発光面積はどの色でも同一でよい。なお、発光効率は発光材料に依存しており、その表示装置において用いた各色の発光効率に応じて

40

50

発光時間を設定すればよい。

【0036】

図5には、ゲートラインGL1と、3本のイレーズラインESLR1、ESLG1、ESLB1についてのタイミングチャートが示されている。このように、ゲートラインGL1は、1フレームごとに一定期間Hとなる。そして、3本のイレーズラインESLR1、ESLG1、ESLB1は、ゲートラインGL1がHからLになるタイミングでHとなり、イレーズTFT18をオフし、それぞれ異なるタイミングでLになり、イレーズTFT18をオンしてイレーズを行う。この例では、3本のイレーズラインESLR1、ESLG1、ESLB1は、順次この順序でLに移行するため、レッドが発光期間が最も短く、次にグリーン、ブルーが最も発光期間が長くなっている。

10

【0037】

このように、本実施形態によれば、データラインDataのデータ電流Iwが電圧変換TFT12に電流が流れることで、そのゲート電圧が決定され、そのゲート電圧に応じて駆動TFT14の電流量が決定される。そして、電圧変換TFT12と、駆動TFT14の不純物濃度などはほぼ同一にできるため、その電圧変換TFT12と、駆動TFT14のゲートサイズ比によって、駆動TFT14の電流量を信号データ電流Iwに対し設定できる。そこで、パネル全体におけるTFTの特性のバラツキの影響を排除して均質な表示が行えるという利点がある。そして、データラインDataからのデータ取り込みの際には、ゲートラインGLのみを駆動すればよく、電源、ドライバの負担を軽減することができる。さらに、イレーズラインESLにより、駆動TFT14のゲートを電源PVDまで確実に引き上げることができるため、駆動TFT14を確実にオフして、有機EL素子50の黒表示を確実に行える。

20

【0038】

図2は、他の実施形態の構成を示す図であり、この例では、選択TFT10および短絡TFT16をpチャンネルTFTで形成してある。従って、ゲートラインGLをLにすることによって、そのゲートラインGLが選択され、対応する選択TFT10および短絡TFT16がオンされる。その他の点は、上述の実施形態と同様である。

【0039】

この構成により、使用するTFTがすべてpチャンネルとなる。そこで、TFTを基板上に形成する時に、これを同一プロセスで作製することが可能になり、マスクの枚数を減少しコストダウンすることができる。この場合、画素領域の周辺に配置されるドライバ回路など周辺回路もすべてpチャンネルTFTで構成することが好適である。

30

【0040】

図3は、さらに他の実施形態の構成を示す図である。この例では、選択TFT10、電圧変換TFT12、駆動TFT14、短絡TFT16、イレーズTFT18のすべてをnチャンネルTFTで構成している。そこで、電圧変換TFT12およびイレーズTFT18のソースは、ともにグランドに接続され、保持容量Cの他端もグランドに接続されている。そして、データラインDataは、そのデータラインDataが選択されたときに、データに応じた定電流であるデータ電流Iwを出力する。

【0041】

従って、ゲートラインGLをHとして選択した状態で、データラインDLにデータ電流Iwを流すと、このデータ電流Iwが電圧変換TFT12に流れ、これに対応した電流が駆動TFT14に流れる。そして、このときの電圧変換TFT12のゲート電圧が保持容量Cによって保持され、駆動TFT14に流れる有機EL素子50の駆動電流が決定される。このように、電圧変換TFT12によりゲート電圧を設定する際の基準がグランドに対する電圧になるだけであって、他は上述の実施形態と同一である。

40

【0042】

この構成により、使用するTFTがすべてnチャンネルとなる。そこで、TFTを基板上に形成する時に、これを同一プロセスで作製することが可能になり、マスクの枚数を減少しコストダウンすることができる。この場合、画素領域の周辺に配置されるドライバ回

50

路など周辺回路もすべてnチャンネルTFTで構成することが好適である。

【0043】

なお、図1の実施形態におけるTFTとは、反対に選択TFT10および短絡TFT16をpチャンネル、その他の電圧変換TFT12、駆動TFT14、イレーズTFT18をnチャンネルにすることも可能である。この場合、図3の構成で、ゲートラインGLの極性を反対にすればよい。

【0044】

また、上述の例では、色によって表示期間を変更するフルカラー表示を行うため、イレーズラインESLをRGB用に各行3本設けたが、画素の発光面積を変更するなど他の手段でホワイトバランスをとる構成としたり、白色発光の場合には、イレーズラインESLを1本とし、すべてのイレーズTFT18をイレーズラインESLに接続すればよい。なお、白色発光材料をEL素子50に用いても、カラーフィルタを配置することで、フルカラー表示が行える。

10

【0045】

図6には、図1の短絡TFT16のゲートにゲートラインGLに代えて、専用のライトラインWriteLineを接続する実施形態の構成を示す。すなわち、図6の構成では、各ゲートラインGLと平行してライトラインWriteLineが設けられており、このライトラインWriteLineにその行の各画素の短絡TFT16のゲートが接続されている。

【0046】

この構成によれば、ゲートラインGLの選択のタイミングと独立してライトラインWriteLineのレベルを制御することができる。

20

【0047】

図7には、ゲートラインGL1、ライトラインWriteLine1、イレーズラインESLR1、ESLG1、ESLB1のタイミングチャートが示してある。この例では、ゲートラインGL1と、ライトラインWriteLineは同時に立ち上がり、ライトラインWriteLineの方が先に立ち下がる。これによって、選択TFT10がオフした後に、短絡トランジスタ16がオフしており、これによって、コンデンサCに保持されたデータ電圧が放電されてしまうことを確実に防止できる。

【0048】

図8は、画素回路のTFTをすべてpチャンネルTFTにした、図2に対応する構成であり、図9は画素回路のTFTをすべてnチャンネルTFTにした、図3に対応する構成である。これら構成によっても同様の動作が可能である。

30

【図面の簡単な説明】

【0049】

【図1】実施形態の構成を示す図である。

【図2】他の実施形態の構成を示す図である。

【図3】さらに他の実施形態の構成を示す図である。

【図4】従来例の構成を示す図である。

【図5】図1の実施形態における動作を示すタイミングチャートである。

40

【図6】さらに他の実施形態の構成を示す図である。

【図7】図6の実施形態における動作を示すタイミングチャートである。

【図8】さらに他の実施形態の構成を示す図である。

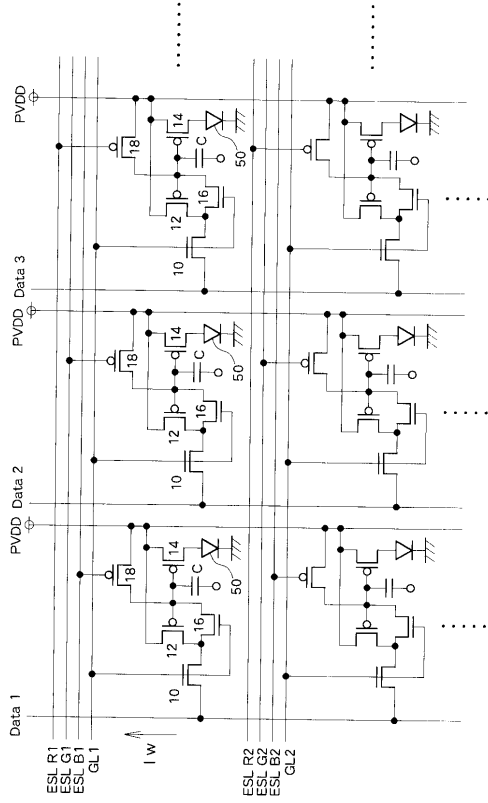
【図9】さらに他の実施形態の構成を示す図である。

【符号の説明】

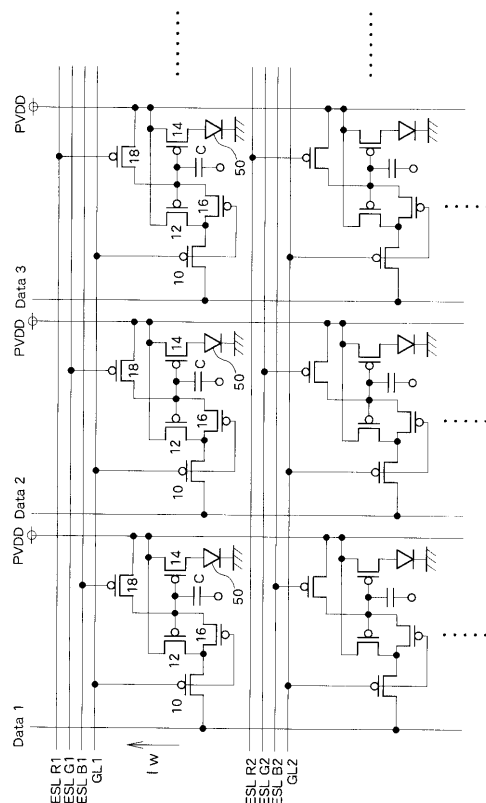
【0050】

10 選択TFT、12 電圧変換TFT、14 駆動TFT、16 短絡TFT、18 イレーズTFT、50 有機EL素子、C 保持容量。

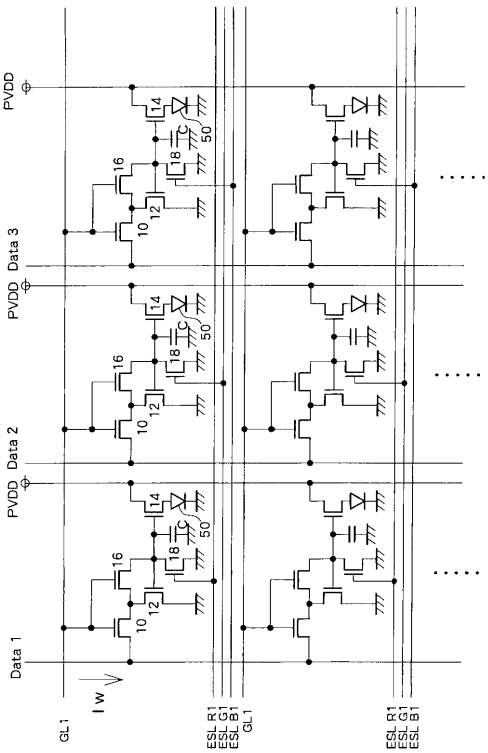
【 図 1 】



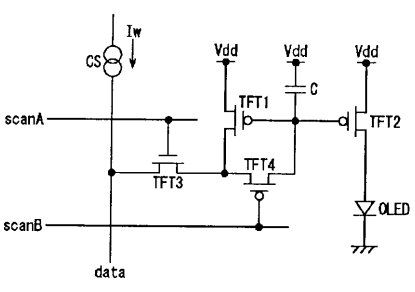
【 図 2 】



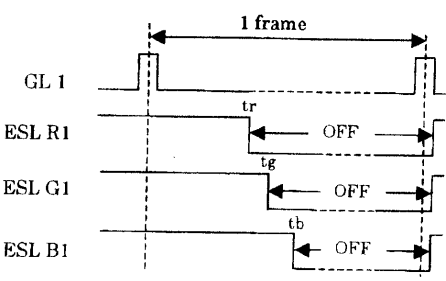
【 図 3 】



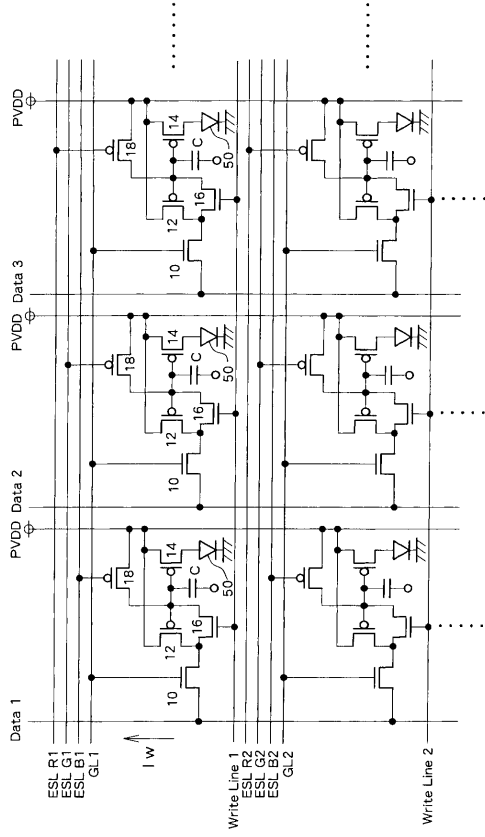
【 図 4 】



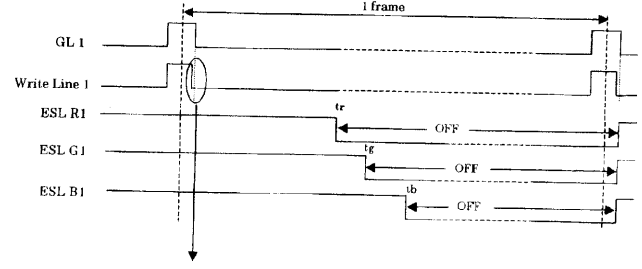
【 図 5 】



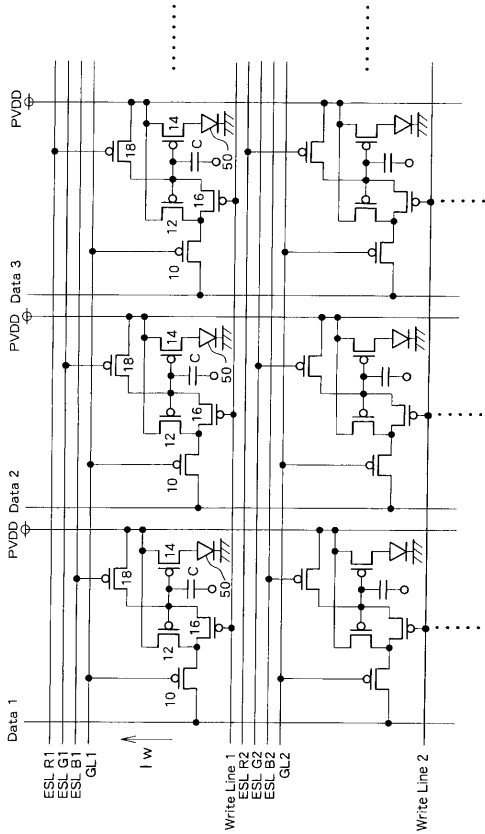
【 図 6 】



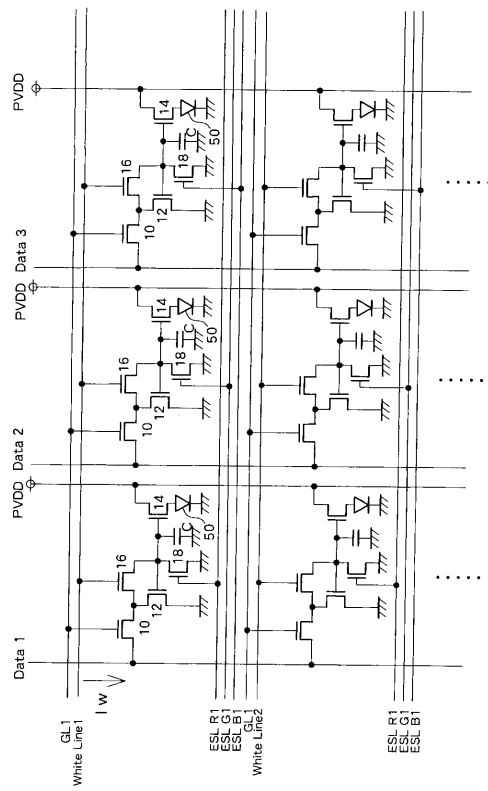
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 D

H 0 5 B 33/14 A

专利名称(译)	表示驱动回路		
公开(公告)号	JP2004109991A	公开(公告)日	2004-04-08
申请号	JP2003285363	申请日	2003-08-01
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	松本昭一郎		
发明人	松本 昭一郎		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3241 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2320/0238		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.A G09G3/20.624.B G09G3/20.641.A G09G3/20.641.D H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD24 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC31 3K107/CC32 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA10 5C380/BA12 5C380/BA28 5C380/BA38 5C380/BB02 5C380/BB12 5C380/BB14 5C380/BB17 5C380/BB23 5C380/CA09 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC14 5C380/CC15 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC37 5C380/CC38 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD015 5C380/CE20 5C380/DA02 5C380/DA06 5C380/DA33		
代理人(译)	吉田健治 石田 纯		
优先权	2002254682 2002-08-30 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少电源和驱动器的负载，并正确执行黑色显示。
 ΣSOLUTION：通过将栅极线GL设置为H并且进一步将选择TFT 10和短路TFT 16设置为ON，使与数据相对应的电流（数据电流（负））流过数据线Data。结果，使与数据电流对应的电流分别流过电压转换TFT12和驱动TFT14，并且有机EL元件50发光。此时TFT12和TFT14的栅极电压保持在存储电容器C上。然后，即使在数据电流关闭并且TFT10和TFT16截止之后，TFT14继续允许当前流动。此后，在规定的发光时段之后，通过驱动擦除线ESL，接通擦除TFT 18，使存储电容器放电并关闭TFT 14。Z

