

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5778545号
(P5778545)

(45) 発行日 平成27年9月16日 (2015. 9. 16)

(24) 登録日 平成27年7月17日 (2015. 7. 17)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/20 (2006.01)
 H01L 51/50 (2006.01)
 H05B 33/14 (2006.01)

G09G 3/30 J
 G09G 3/20 624B
 G09G 3/20 611A
 G09G 3/20 622M
 G09G 3/20 621M

請求項の数 7 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2011-229824 (P2011-229824)
 (22) 出願日 平成23年10月19日 (2011. 10. 19)
 (65) 公開番号 特開2013-88657 (P2013-88657A)
 (43) 公開日 平成25年5月13日 (2013. 5. 13)
 審査請求日 平成26年8月29日 (2014. 8. 29)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目23番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 若林 俊一
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

行列状に配置された複数の画素と、
 2画素行ごとに配置された走査線と、
 画素行ごとに配置された制御線と、
 画素列ごとに配置された信号線とを備え、
 前記複数の画素のうち、一の前記走査線と一の前記信号線との交点に対応する2画素の
 うちの第1の画素は、

第1発光素子と、

前記信号線のデータ電圧に対応した電圧を保持する第1コンデンサと、

前記第1コンデンサに保持された電圧がゲート電極とソース電極またはドレイン電極と
 の間に印加されることにより、当該電圧に応じたドレイン電流を前記第1発光素子に流し
 て前記第1発光素子を発光させる第1駆動素子と、

前記信号線と前記第1コンデンサとの導通及び非導通を切り換える第1スイッチ素子と

、
 前記第1駆動素子のソース電極またはドレイン電極と前記第1コンデンサとの導通及び
 非導通を切り換える第2スイッチ素子と、

前記第1スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える第3
 スイッチ素子とを備え、

前記複数の画素のうち、前記交点に対応する2画素のうちの、前記第1の画素の属する

10

20

画素行と異なる画素行に配置された第 2 の画素は、

第 2 発光素子と、

前記信号線のデータ電圧に対応した電圧を保持する第 2 コンデンサと、

前記第 2 コンデンサに保持された電圧がゲート電極とソース電極またはドレイン電極との間に印加されることにより、当該電圧に応じたドレイン電流を前記第 2 発光素子に流して前記第 2 発光素子を発光させる第 2 駆動素子と、

前記信号線と前記第 2 コンデンサとの導通及び非導通を切り換える第 4 スイッチ素子と

、
前記第 2 駆動素子のソース電極またはドレイン電極と前記第 2 コンデンサとの導通及び非導通を切り換える第 5 スイッチ素子と、

10

前記第 4 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える第 6 スイッチ素子とを備え、

前記第 2 スイッチ素子のゲート電極と前記第 6 スイッチ素子のゲート電極とは、前記画素行ごとに配置された制御線のうち、前記第 1 の画素及び前記第 2 の画素の一方が属する画素行に配置された第 1 の制御線に接続され、

前記第 3 スイッチ素子のゲート電極と前記第 5 スイッチ素子のゲート電極とは、前記画素行ごとに配置された制御線のうち、前記第 1 の画素及び前記第 2 の画素の他方が属する画素行に配置された第 2 の制御線に接続されている

表示装置。

【請求項 2】

20

さらに、

前記走査線、前記第 1 の制御線、前記第 2 の制御線及び前記信号線の電圧を制御する駆動部を備え、

前記駆動部は、

前記第 3 スイッチ素子及び前記第 5 スイッチ素子が導通状態であるように前記第 2 の制御線に、各スイッチ素子が導通状態となるゲート電圧である選択電圧を出力している状態で、

前記第 1 の制御線に、各スイッチ素子が非導通状態となるゲート電圧である非選択電圧を出力することにより、前記第 2 スイッチ素子及び前記第 6 スイッチ素子を非導通状態とし、

30

前記第 3 スイッチ素子が導通状態かつ前記第 6 スイッチ素子が非導通状態で、前記走査線に前記選択電圧を出力することにより、前記走査線の前記選択電圧が前記第 3 スイッチ素子を介して前記第 1 スイッチ素子のゲート電極に印加されて前記第 1 スイッチ素子を導通状態とし、

前記第 1 スイッチ素子が導通状態で、前記信号線に前記データ電圧を出力することにより、前記第 1 コンデンサに前記データ電圧に対応した電圧を保持させ、

前記第 2 スイッチ素子及び前記第 6 スイッチ素子が導通状態であるように前記第 1 の制御線に前記選択電圧を出力している状態で、前記第 2 の制御線に前記非選択電圧を出力することにより、前記第 3 スイッチ素子及び前記第 5 スイッチ素子を非導通状態とし、

前記第 6 スイッチ素子が導通状態かつ前記第 3 スイッチ素子が非導通状態で、前記走査線に前記選択電圧を出力することにより、前記走査線の前記選択電圧を、前記第 6 スイッチ素子を介して前記第 4 スイッチ素子のゲート電極に印加して前記第 4 スイッチ素子を導通状態とし、

40

前記第 4 スイッチ素子が導通状態で、前記信号線に前記データ電圧を出力することにより、前記第 2 コンデンサに前記データ電圧に対応した電圧を保持させる

請求項 1 に記載の表示装置。

【請求項 3】

さらに、

前記複数の画素の全てに同一の参照電圧を供給する参照電源線を備え、

前記第 1 の画素は、さらに、

50

前記第 1 コンデンサの一方の電極と前記参照電源線との導通及び非導通を切り換える第 7 スイッチ素子を備え、

前記第 2 の画素は、さらに、

前記第 2 コンデンサの一方の電極と前記参照電源線との導通及び非導通を切り換える第 8 スイッチ素子を備え、

前記第 1 コンデンサの一方の電極は、前記第 1 駆動素子のゲート電極に接続され、

前記第 2 コンデンサの一方の電極は、前記第 2 駆動素子のゲート電極に接続され、

前記第 1 スイッチ素子は、前記信号線と前記第 1 コンデンサの他方の電極との導通及び非導通を切り換え、

前記第 4 スイッチ素子は、前記信号線と前記第 2 コンデンサの他方の電極との導通及び非導通を切り換え、

前記第 2 スイッチ素子は、前記第 1 駆動素子のソース電極またはドレイン電極と前記第 1 コンデンサの他方の電極との導通及び非導通を切り換え、

前記第 5 スイッチ素子は、前記第 2 駆動素子のソース電極またはドレイン電極と前記第 2 コンデンサの他方の電極との導通及び非導通を切り換え、

前記第 3 スイッチ素子は、前記第 1 スイッチ素子のゲート電極及び前記第 7 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換え、

前記第 6 スイッチ素子は、前記第 4 スイッチ素子のゲート電極及び前記第 8 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える

請求項 1 または 2 に記載の表示装置。

【請求項 4】

さらに、

前記複数の画素の全てに同一の参照電圧を供給する参照電源線を備え、

前記第 1 スイッチ素子は、前記信号線と前記第 1 コンデンサの一方の電極との導通及び非導通を切り換え、

前記第 4 スイッチ素子は、前記信号線と前記第 2 コンデンサの一方の電極との導通及び非導通を切り換え、

前記第 1 の画素は、さらに、

前記第 1 コンデンサの他方の電極と前記参照電源線との導通及び非導通を切り換える第 7 スイッチ素子を備え、

前記第 2 の画素は、さらに、

前記第 2 コンデンサの他方の電極と前記参照電源線との導通及び非導通を切り換える第 8 スイッチ素子を備え、

前記第 1 コンデンサの一方の電極は、前記第 1 駆動素子のゲート電極に接続され、

前記第 2 コンデンサの一方の電極は、前記第 2 駆動素子のゲート電極に接続され、

前記第 2 スイッチ素子は、前記第 1 駆動素子のソース電極またはドレイン電極と前記第 1 コンデンサの他方の電極との導通及び非導通を切り換え、

前記第 5 スイッチ素子は、前記第 2 駆動素子のソース電極またはドレイン電極と前記第 2 コンデンサの他方の電極との導通及び非導通を切り換え、

前記第 3 スイッチ素子は、前記第 1 スイッチ素子のゲート電極及び前記第 7 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換え、

前記第 6 スイッチ素子は、前記第 4 スイッチ素子のゲート電極及び前記第 8 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える

請求項 1 または 2 に記載の表示装置。

【請求項 5】

前記第 1 発光素子及び前記第 2 発光素子は、有機 EL 発光素子である

請求項 1 ～ 4 のうちいずれか 1 項に記載の表示装置。

【請求項 6】

前記第 1 発光素子及び前記第 2 発光素子は、無機 EL 発光素子である

請求項 1 ～ 4 のうちいずれか 1 項に記載の表示装置。

【請求項 7】

行列状に配置された複数の画素と、2画素行ごとに配置された走査線と、画素行ごとに配置された制御線と、画素列ごとに配置された信号線とを備え、

前記複数の画素のうち、一の前記走査線と一の前記信号線との交点に対応する2画素のうちの第1の画素は、

第1発光素子と、

前記信号線のデータ電圧に対応した電圧を保持する第1コンデンサと、

前記第1コンデンサに保持された電圧がゲート電極とソース電極またはドレイン電極との間に印加されることにより、当該電圧に応じたドレイン電流を前記第1発光素子に流して前記第1発光素子を発光させる第1駆動素子と、

10

前記信号線と前記第1コンデンサとの導通及び非導通を切り換える第1スイッチ素子と、

前記第1駆動素子のソース電極またはドレイン電極と前記第1コンデンサとの導通及び非導通を切り換える第2スイッチ素子と、

前記第1スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える第3スイッチ素子とを備え、

前記複数の画素のうち、前記交点に対応する2画素のうちの、前記第1の画素の属する画素行と異なる画素行に配置された第2の画素は、

第2発光素子と、

前記信号線のデータ電圧に対応した電圧を保持する第2コンデンサと、

20

前記第2コンデンサに保持された電圧がゲート電極とソース電極またはドレイン電極との間に印加されることにより、当該電圧に応じたドレイン電流を前記第2発光素子に流して前記第2発光素子を発光させる第2駆動素子と、

前記信号線と前記第2コンデンサとの導通及び非導通を切り換える第4スイッチ素子と

、
前記第2駆動素子のソース電極またはドレイン電極と前記第2コンデンサとの導通及び非導通を切り換える第5スイッチ素子と、

前記第4スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える第6スイッチ素子とを備え、

前記第2スイッチ素子のゲート電極と前記第6スイッチ素子のゲート電極とは、前記画素行ごとに配置された制御線のうち、前記第1の画素及び前記第2の画素の一方が属する画素行に配置された第1の制御線に接続され、

30

前記第3スイッチ素子のゲート電極と前記第5スイッチ素子のゲート電極とは、前記画素行ごとに配置された制御線のうち、前記第1の画素及び前記第2の画素の他方が属する画素行に配置された第2の制御線に接続された、

表示装置の駆動方法であって、

前記第2の制御線に、各スイッチ素子が導通状態となるゲート電圧である選択電圧を出力している状態で、前記第2スイッチ素子及び前記第6スイッチ素子を非導通状態とするように、前記第1の制御線に、各スイッチ素子が非導通状態となるゲート電圧である非選択電圧を出力する第1ステップと、

40

前記第1ステップと同時又はその後に、前記第1スイッチ素子を導通状態とするように、前記走査線に前記選択電圧を出力する第2ステップと、

前記第2ステップと同時又はその後に、前記第1コンデンサに前記データ電圧に対応した電圧を保持させるように、前記信号線に前記データ電圧を出力する第3ステップと、

前記第1の制御線に前記選択電圧を出力している状態で、前記第3スイッチ素子及び前記第5スイッチ素子を非導通状態とするように、前記第2の制御線に前記非選択電圧を出力する第4ステップと、

前記第4ステップと同時又はその後に、前記第4スイッチ素子を導通状態とするように、前記走査線に前記選択電圧を出力する第5ステップと、

前記第5ステップと同時又はその後に、前記第2コンデンサに前記データ電圧に対応し

50

た電圧を保持させるように、前記信号線に前記データ電圧を出力する第6ステップとを含む

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に画素の電流駆動型の発光素子を用いた画像表示装置およびその制御方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた画像表示装置として、有機エレクトロルミネッセンス(EL)素子を用いた画像表示装置が知られている。この自発光する有機EL素子を用いた有機EL表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。

【0003】

また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのは異なる。

【0004】

有機EL表示装置では、通常、画素を構成する有機EL素子がマトリクス上に配置される。複数の行電極(走査線)と複数の列電極(データ線)との交点に有機EL素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機ELを駆動するものをパッシブマトリクス型の有機ELディスプレイと呼ぶ。

【0005】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ(TFT:Thin Film Transistor)を設け、このスイッチングTFTに駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチングTFTをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機EL素子を駆動するものをアクティブマトリクス型の有機EL表示装置と呼ぶ。

【0006】

アクティブマトリクス型の有機EL表示装置は、各行電極(走査線)を選択している期間のみ、それに接続された有機EL素子が発光するパッシブマトリクス型の有機EL表示装置とは異なり、次の走査(選択)まで有機EL素子を発光させることが可能であるため、走査線数が増大してもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機EL表示装置は、低電圧で駆動でき、低消費電力化が可能となる。

【0007】

特許文献1には、アクティブマトリクス型の有機EL表示装置における画素部の回路構成が開示されている。

【0008】

図9は、特許文献1に記載された従来の有機EL表示装置における画素部の回路構成図である。同図における有機EL表示装置500が有する複数の発光画素510のそれぞれは、スイッチトランジスタ511、512及び519と、コンデンサ513と、駆動トランジスタ514と、有機EL素子515と、信号線516と、走査線517及び518と、参照電源線520と、正電源線521と、負電源線522とを備える。また、周辺回路は、走査線駆動回路504と、信号線駆動回路505とを備える。

【0009】

発光画素510の画素回路において、走査線517がHIGHレベルの電位となるとスイッチトランジスタ511及び512が導通状態となる。この状態で信号線516にデー

10

20

30

40

50

タ電圧を与えると駆動トランジスタ514がオン状態となりゲート電位に応じたドレイン電流が流れる。このドレイン電流により有機EL素子515が発光動作すると同時に、駆動トランジスタ514のゲート電位とソース電位との電位差がコンデンサ513に保持される。上記電位差に応じた上記ドレイン電流により有機EL素子515を継続発光させるため、走査線518でスイッチトランジスタ519を導通状態とし、スイッチトランジスタ511及び512を非導通状態とする。上記ドレイン電流である発光電流を供給する駆動トランジスタ514のゲート-ソース間電圧をコンデンサ513に保持させることにより、発光電流による駆動トランジスタ514のソース電位変化に追従して駆動トランジスタ514のゲート-ソース間電圧が一定に保持されることにより安定的な発光動作が可能となる。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特許第4719821号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、特許文献1に記載された従来の有機EL表示装置500では、1つの発光画素510を制御するのに、行方向に2ライン（走査線517及び518）及び列方向に1ライン（信号線516）の計3ラインの制御配線を必要とする。画像の高精細化が進む中で、1発光画素を制御するのに3本の制御配線が必要であり、特に、行方向に2本ずつ必要となると、表示パネル内での配線幅が狭くなり、配線抵抗及び配線面積が増加する。これにより、画素回路に不要な容量が増え、消費電力の増加が懸念される。

20

【0012】

また、表示パネルの構造によっては、配線面積の増加により、発光の取り出し率が減少して、パネルそのものの発光効率の低下を引き起こしてしまう。

【0013】

上記課題に鑑み、本発明は、行方向の制御配線の数进行低減し、高精細化した場合においても消費電力の増加を抑制できる表示装置及びその駆動方法を提供することを目的とする。

30

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明の一態様に係る表示装置は、行列状に配置された複数の画素と、2画素行ごとに配置された走査線と、画素行ごとに配置された制御線と、画素列ごとに配置された信号線とを備え、前記複数の画素のうち、一の前記走査線と一の前記信号線との交点に対応する2画素のうちの第1の画素は、第1発光素子と、前記信号線のデータ電圧に対応した電圧を保持する第1コンデンサと、前記第1コンデンサに保持された電圧がゲート電極とソース電極またはドレイン電極との間に印加されることにより、当該電圧に応じたドレイン電流を前記第1発光素子に流して前記第1発光素子が発光させる第1駆動素子と、前記信号線と前記第1コンデンサとの導通及び非導通を切り換える第1スイッチ素子と、前記第1駆動素子のソース電極またはドレイン電極と前記第1コンデンサとの導通及び非導通を切り換える第2スイッチ素子と、前記第1スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える第3スイッチ素子とを備え、前記複数の画素のうち、前記交点に対応する2画素のうちの、前記第1の画素の属する画素行と異なる画素行に配置された第2の画素は、第2発光素子と、前記信号線のデータ電圧に対応した電圧を保持する第2コンデンサと、前記第2コンデンサに保持された電圧がゲート電極とソース電極またはドレイン電極との間に印加されることにより、当該電圧に応じたドレイン電流を前記第2発光素子に流して前記第2発光素子が発光させる第2駆動素子と、前記信号線と前記第2コンデンサとの導通及び非導通を切り換える第4スイッチ素子と、前記第2駆動素子のソース電極またはドレイン電極と前記第2コンデンサとの導通及び

40

50

非導通を切り換える第5スイッチ素子と、前記第4スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換える第6スイッチ素子とを備え、前記第2スイッチ素子のゲート電極と前記第6スイッチ素子のゲート電極とは、前記画素行ごとに配置された制御線のうち、前記第1の画素及び前記第2の画素の一方が属する画素行に配置された第1の制御線に接続され、前記第3スイッチ素子のゲート電極と前記第5スイッチ素子のゲート電極とは、前記画素行ごとに配置された制御線のうち、前記第1の画素及び前記第2の画素の他方が属する画素行に配置された第2の制御線に接続されていることを特徴とする。

【0015】

従来の表示装置では、駆動素子のゲート電極 - ソース電極間に印加すべき電圧を保持する機能を有するコンデンサに正確な電圧を記録させるため、1画素につき2本の走査線及び1本の信号線、つまり独立した3本の制御配線が必要であった。

10

【0016】

これに対して、本発明の上記構成によれば、隣接する2画素につき1本の走査線、2本の制御線及び1本の信号線が配置される。言い換えれば、本発明の表示装置では、1画素につき、0.5本の走査線及び1本の制御線及び1本の信号線、つまり独立した2.5本の制御配線を配置すればよい。よって、特に、画素行方向の制御配線の数を低減させることができ、配線損失を低減できる。よって、高精細化した場合においても省電力化を図ることが可能となる。

【0017】

また、さらに、前記走査線、前記第1の制御線、前記第2の制御線及び前記信号線の電圧を制御する駆動部を備え、前記駆動部は、前記第3スイッチ素子及び前記第5スイッチ素子が導通状態であるように前記第2の制御線に、各スイッチ素子が導通状態となるゲート電圧である選択電圧を出力している状態で、前記第1の制御線に、各スイッチ素子が非導通状態となるゲート電圧である非選択電圧を出力することにより、前記第2スイッチ素子及び前記第6スイッチ素子を非導通状態とし、前記第3スイッチ素子が導通状態かつ前記第6スイッチ素子が非導通状態で、前記走査線に前記選択電圧を出力することにより、前記走査線の前記選択電圧が前記第3スイッチ素子を介して前記第1スイッチ素子のゲート電極に印加されて前記第1スイッチ素子を導通状態とし、前記第1スイッチ素子が導通状態で、前記信号線に前記データ電圧を出力することにより、前記第1コンデンサに前記データ電圧に対応した電圧を保持させ、前記第2スイッチ素子及び前記第6スイッチ素子が導通状態であるように前記第1の制御線に前記選択電圧を出力している状態で、前記第2の制御線に前記非選択電圧を出力することにより、前記第3スイッチ素子及び前記第5スイッチ素子を非導通状態とし、前記第6スイッチ素子が導通状態かつ前記第3スイッチ素子が非導通状態で、前記走査線に前記選択電圧を出力することにより、前記走査線の前記選択電圧を、前記第6スイッチ素子を介して前記第4スイッチ素子のゲート電極に印加して前記第4スイッチ素子を導通状態とし、前記第4スイッチ素子が導通状態で、前記信号線に前記データ電圧を出力することにより、前記第2コンデンサに前記データ電圧に対応した電圧を保持させてもよい。

20

30

【0018】

これにより、隣接する画素間で走査線を共通化させ、奇数画素行を奇数行順次書き込む期間と偶数画素行を偶数行順次書き込む期間とを設けることにより、当該画素間で干渉することなく書き込み動作及び発光動作させることが可能となる。

40

【0019】

また、さらに、前記複数の画素の全てに同一の参照電圧を供給する参照電源線を備え、前記第1の画素は、さらに、前記第1コンデンサの一方の電極と前記参照電源線との導通及び非導通を切り換える第7スイッチ素子を備え、前記第2の画素は、さらに、前記第2コンデンサの一方の電極と前記参照電源線との導通及び非導通を切り換える第8スイッチ素子を備え、前記第1コンデンサの一方の電極は、前記第1駆動素子のゲート電極に接続され、前記第2コンデンサの一方の電極は、前記第2駆動素子のゲート電極に接続され、前記第1スイッチ素子は、前記信号線と前記第1コンデンサの他方の電極との導通及び非

50

導通を切り換え、前記第 4 スイッチ素子は、前記信号線と前記第 2 コンデンサの他方の電極との導通及び非導通を切り換え、前記第 2 スイッチ素子は、前記第 1 駆動素子のソース電極またはドレイン電極と前記第 1 コンデンサの他方の電極との導通及び非導通を切り換え、前記第 5 スイッチ素子は、前記第 2 駆動素子のソース電極またはドレイン電極と前記第 2 コンデンサの他方の電極との導通及び非導通を切り換え、前記第 3 スイッチ素子は、前記第 1 スイッチ素子のゲート電極及び前記第 7 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換え、前記第 6 スイッチ素子は、前記第 4 スイッチ素子のゲート電極及び前記第 8 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換えてもよい。

【 0 0 2 0 】

10

また、さらに、前記複数の画素の全てに同一の参照電圧を供給する参照電源線を備え、前記第 1 スイッチ素子は、前記信号線と前記第 1 コンデンサの一方の電極との導通及び非導通を切り換え、前記第 4 スイッチ素子は、前記信号線と前記第 2 コンデンサの一方の電極との導通及び非導通を切り換え、前記第 1 の画素は、さらに、前記第 1 コンデンサの他方の電極と前記参照電源線との導通及び非導通を切り換える第 7 スイッチ素子を備え、前記第 2 の画素は、さらに、前記第 2 コンデンサの他方の電極と前記参照電源線との導通及び非導通を切り換える第 8 スイッチ素子を備え、前記第 1 コンデンサの一方の電極は、前記第 1 駆動素子のゲート電極に接続され、前記第 2 コンデンサの一方の電極は、前記第 2 駆動素子のゲート電極に接続され、前記第 2 スイッチ素子は、前記第 1 駆動素子のソース電極またはドレイン電極と前記第 1 コンデンサの他方の電極との導通及び非導通を切り換え、前記第 5 スイッチ素子は、前記第 2 駆動素子のソース電極またはドレイン電極と前記第 2 コンデンサの他方の電極との導通及び非導通を切り換え、前記第 3 スイッチ素子は、前記第 1 スイッチ素子のゲート電極及び前記第 7 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換え、前記第 6 スイッチ素子は、前記第 4 スイッチ素子のゲート電極及び前記第 8 スイッチ素子のゲート電極と前記走査線との導通及び非導通を切り換えてもよい。

20

【 0 0 2 1 】

これらにより、駆動素子に流れる電流は、常に発光素子経由のみとなるので、参照電源線及び信号線には定常電流は流れない。よって、駆動素子のゲート電極 - ソース電極間に印加すべき電圧を保持する機能を有するコンデンサの両端電極に、正確な電位を記録することができ、映像信号を反映した高精度な画像表示をすることが可能となる。

30

【 0 0 2 2 】

また、前記第 1 発光素子及び前記第 2 発光素子は、有機 EL 発光素子であってもよい。

【 0 0 2 3 】

また、前記第 1 発光素子及び前記第 2 発光素子は、無機 EL 発光素子であってもよい。

【 0 0 2 4 】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

【発明の効果】

40

【 0 0 2 5 】

本発明の表示装置及びその駆動方法によれば、隣接する発光画素間で走査線を共通化させ、当該発光画素間で干渉することなく動作させることが可能となる。よって、行方向の制御配線の数を低減させることが可能となり、高精細化した場合においても省電力化を図ることが可能となる。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】本発明の表示装置の電気的な構成を示すブロック図である。

【図 2】本発明の実施の形態 1 に係る表示部の隣接する発光画素の回路構成及びその周辺回路との接続を示す図である。

50

【図 3】本発明の実施の形態 1 に係る表示装置の駆動方法を説明する動作タイミングチャートである。

【図 4 A】本発明の実施の形態 1 に係る表示装置の時刻 t_{01} 及び時刻 t_{03} における動作を説明する状態遷移図である。

【図 4 B】本発明の実施の形態 1 に係る表示装置の時刻 t_{02} における動作を説明する状態遷移図である。

【図 4 C】本発明の実施の形態 1 に係る表示装置の時刻 t_{04} における動作を説明する状態遷移図である。

【図 5】本発明の実施の形態 2 に係る表示部の隣接する発光画素の回路構成及びその周辺回路との接続を示す図である。

10

【図 6】本発明の実施の形態 2 に係る表示装置の駆動方法を説明する動作タイミングチャートである。

【図 7 A】本発明の実施の形態 2 に係る表示装置の時刻 t_{11} 及び時刻 t_{13} における動作を説明する状態遷移図である。

【図 7 B】本発明の実施の形態 2 に係る表示装置の時刻 t_{12} における動作を説明する状態遷移図である。

【図 7 C】本発明の実施の形態 2 に係る表示装置の時刻 t_{14} における動作を説明する状態遷移図である。

【図 8】本発明の表示装置を内蔵した薄型フラット TV の外観図である。

【図 9】特許文献 1 に記載された従来の有機 EL 表示装置における画素部の回路構成図である。

20

【発明を実施するための形態】

【0027】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、実施の形態 1 及び 2 を通じて、便宜上、トランジスタのゲート電極、ソース電極及びドレイン電極を、それぞれ、単に、ゲート、ソース及びドレインと記載し、有機 EL 素子のアノード電極及びカソード電極を、それぞれ、単に、アノード及びカソードと省略して記載する。

【0028】

(実施の形態 1)

図 1 は、本発明の表示装置の電気的な構成を示すブロック図である。同図における表示装置 1 は、制御回路 2 と、メモリ 3 と、走査線駆動回路 4 と、信号線駆動回路 5 と、表示部 6 とを備える。

30

【0029】

また、図 2 は、本発明の実施の形態 1 に係る表示部の隣接する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素 10A は、スイッチトランジスタ 11A、12A、19A 及び 23A と、コンデンサ 13A と、駆動トランジスタ 14A と、有機 EL 素子 15A とを備える第 1 の画素である。また、発光画素 10B は、発光画素 10A に隣接し、発光画素 10A と同一画素列であって発光画素 10A と異なる画素行に配置され、スイッチトランジスタ 11B、12B、19B 及び 23B と、コンデンサ 13B と、駆動トランジスタ 14B と、有機 EL 素子 15B とを備える第 2 の画素である。また、発光画素 10A 及び 10B の属する画素列には信号線 16 が配置されている。また、発光画素 10A の属する画素行には制御線 18A が配置され、発光画素 10B の属する画素行には制御線 18B が配置されている。また、発光画素 10A の属する画素行及び発光画素 10B の属する画素行に共通して、走査線 17 が配置されている。さらに、各発光画素には、参照電源線 20 と、正電源線 21 と、負電源線 22 とが配置されている。また、表示部 6 の周辺回路は、走査線駆動回路 4 と、信号線駆動回路 5 とを備える。

40

【0030】

発光画素 10A 及び 10B は、行列状に配置された複数の画素のうち、一の走査線 17 と一の信号線 16 との交点に対応する 2 画素である。

【0031】

50

図 1 及び図 2 に記載された構成要素について、以下、その接続関係および機能を説明する。

【 0 0 3 2 】

制御回路 2 は、走査線駆動回路 4、信号線駆動回路 5、及びメモリ 3 の制御を行う機能を有する。メモリ 3 には、各発光画素の補正データなどが記憶されており、制御回路 2 は、メモリ 3 に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、信号線駆動回路 5 へと出力する。

【 0 0 3 3 】

走査線駆動回路 4 は、走査線 1 7 ならびに制御線 1 8 A 及び 1 8 B に接続されている。走査線駆動回路 4 は、走査線 1 7 に対して、スイッチトランジスタ 1 1 A、1 1 B、1 2 A 及び 1 2 B のゲート信号となり得る走査信号を出力する。また、走査線駆動回路 4 は、制御線 1 8 A に対して、スイッチトランジスタ 1 9 A 及び 2 3 B の導通及び非導通を同時制御する制御信号を出力する。また、走査線駆動回路 4 は、制御線 1 8 B に対して、スイッチトランジスタ 1 9 B 及び 2 3 A の導通及び非導通を同時制御する制御信号を出力する。

【 0 0 3 4 】

信号線駆動回路 5 は、信号線 1 6 に接続されており、映像信号に基づいたデータ信号を発光画素 1 0 A 及び 1 0 B へ出力する。

【 0 0 3 5 】

表示部 6 は、行列状に配置された複数の画素を備え、外部から表示装置 1 へ入力された映像信号に基づいて画像を表示する。

【 0 0 3 6 】

スイッチトランジスタ 1 2 A 及び 1 2 B は、ゲートが、それぞれ、スイッチトランジスタ 2 3 A 及び 2 3 B のソース及びドレインの一方に接続され、ソース及びドレインの一方が、それぞれ、コンデンサ 1 3 A 及び 1 3 B の他方の電極に接続され、ソース及びドレインの他方が、信号線 1 6 に接続されている。スイッチトランジスタ 1 2 A 及び 1 2 B は、それぞれ、信号線 1 6 とコンデンサ 1 3 A 及び 1 3 B の他方の電極との導通及び非導通を切り換える機能を有する第 1 及び第 4 スイッチ素子である。

【 0 0 3 7 】

スイッチトランジスタ 1 1 A 及び 1 1 B は、ゲートが、それぞれ、スイッチトランジスタ 2 3 A 及び 2 3 B のソース及びドレインの一方に接続され、ソース及びドレインの一方が参照電源線 2 0 に接続され、ソース及びドレインの他方が、それぞれ、コンデンサ 1 3 A 及び 1 3 B の一方の電極に接続されている。スイッチトランジスタ 1 1 A 及び 1 1 B は、それぞれ、参照電源線 2 0 とコンデンサ 1 3 A 及び 1 3 B の一方の電極との導通及び非導通を切り換える機能を有する第 7 及び第 8 スイッチ素子である。スイッチトランジスタ 1 1 A、1 1 B、1 2 A 及び 1 2 B は、例えば、n 型の薄膜トランジスタ (n 型 T F T) で構成される。

【 0 0 3 8 】

コンデンサ 1 3 A 及び 1 3 B は、それぞれ、一方の電極が駆動トランジスタ 1 4 A 及び 1 4 B のゲートに接続され、他方の電極がスイッチトランジスタ 1 9 A 及び 1 9 B を介して駆動トランジスタ 1 4 A 及び 1 4 B のソースに接続される第 1 及び第 2 コンデンサである。コンデンサ 1 3 A は、信号線 1 6 から供給されるデータ信号に対応した電圧を保持し、スイッチトランジスタ 1 1 A 及び 1 2 A が非導通状態となった後に、駆動トランジスタ 1 4 A のゲート - ソース間電圧 V_{gs} を安定的に保持し、駆動トランジスタ 1 4 A から有機 E L 素子 1 5 A へ供給する電流を安定化する機能を有する。また、コンデンサ 1 3 B は、信号線 1 6 から供給されるデータ信号に対応した電圧を保持し、スイッチトランジスタ 1 1 B 及び 1 2 B が非導通状態となった後に、駆動トランジスタ 1 4 B の V_{gs} を安定的に保持し、駆動トランジスタ 1 4 B から有機 E L 素子 1 5 B へ供給する電流を安定化する機能を有する。

【 0 0 3 9 】

駆動トランジスタ14A及び14Bは、それぞれ、ドレインが正電源線21に接続され、ソースが有機EL素子15A及び15Bのアノードに接続された第1及び第2駆動素子である。駆動トランジスタ14A及び14Bは、データ信号であるデータ電圧に対応したゲート-ソース間電圧 V_{gs} を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を発光電流として有機EL素子15A及び15Bに供給する。駆動トランジスタ14A及び14Bは、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0040】

有機EL素子15A及び15Bは、それぞれ、カソードが負電源線22に接続された第1発光素子及び第2発光素子であり、駆動トランジスタ14A及び14Bにより上記発光電流が流れて発光する。

10

【0041】

スイッチトランジスタ19A及び19Bは、それぞれ、ゲートが制御線18A及び18Bに接続され、ソース及びドレインの一方がコンデンサ13A及び13Bの他方の電極に接続され、ソース及びドレインの他方が駆動トランジスタ14A及び14Bのソースに接続されている。スイッチトランジスタ19Aが導通状態となることにより、コンデンサ13Aに保持された電圧が駆動トランジスタ14Aのゲート-ソース間に印加される。また、スイッチトランジスタ19Bが導通状態となることにより、コンデンサ13Bに保持された電圧が駆動トランジスタ14Bのゲート-ソース間に印加される。スイッチトランジスタ19A及び19Bは、それぞれ、駆動トランジスタ14A及び14Bのソースとコンデンサ13A及び13Bとの導通及び非導通を切り換える第2及び第5スイッチ素子である。スイッチトランジスタ19A及び19Bは、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

20

【0042】

スイッチトランジスタ23Aは、ゲートが制御線18Bに接続され、ソース及びドレインの一方がスイッチトランジスタ11A及び12Aのゲートに接続され、ソース及びドレインの他方が走査線17に接続されている。また、スイッチトランジスタ23Bは、ゲートが制御線18Aに接続され、ソース及びドレインの一方がスイッチトランジスタ11B及び12Bのゲートに接続され、ソース及びドレインの他方が走査線17に接続されている。スイッチトランジスタ23Aが導通状態であり、かつ、ソース及びドレインの他方に、スイッチトランジスタを導通状態とするためのゲート電圧である選択電圧が印加されている場合、スイッチトランジスタ11A及び12Aが導通状態となり、コンデンサ13Aの一方の電極には参照電源線20の参照電圧 V_{REF} が印加され、コンデンサ13Aの他方の電極には信号線16のデータ電圧 V_{data} が印加される。また、スイッチトランジスタ23Bが導通状態であり、かつ、ソース及びドレインの他方に上記選択電圧が印加されている場合、スイッチトランジスタ11B及び12Bが導通状態となり、コンデンサ13Bの一方の電極には参照電源線20の参照電圧 V_{REF} が印加され、コンデンサ13Bの他方の電極には信号線16のデータ電圧 V_{data} が印加される。つまり、スイッチトランジスタ23A及び23Bは、それぞれ、スイッチトランジスタ12A及び12Bのゲートと走査線17との導通及び非導通を切り換える第3及び第6スイッチ素子である。スイッチトランジスタ23A及び23Bは、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

30

40

【0043】

信号線16は、信号線駆動回路5に接続され、発光画素10A及び10Bを含む画素列に属する各発光画素へ接続され、発光強度を決定するデータ電圧を供給する機能を有する。

【0044】

また、表示装置1は、画素列ごとに配置された画素列数分の信号線16を備える。

【0045】

走査線17は、走査線駆動回路4に接続され、発光画素10Aを含む画素行及び発光画

50

素 10 Bを含む画素行に属する各発光画素に共通して接続されている。つまり、走査線 17 は、2 画素行ごとに配置され、表示装置 1 は、画素行数の半数の走査線 17 を備える。これにより、走査線 17 は、隣接する発光画素 10 A 及び 10 B へ上記データ電圧を書き込むタイミングを供給する機能、及び駆動トランジスタ 14 A 及び 14 B のゲートに参照電圧 V_{REF} を印加するタイミングを供給する機能を有する。

【0046】

なお、走査線 17 が、隣接する画素行で共用されることで、データ電圧を書き込むタイミングを供給する走査線の本数を削減できるので、回路構成を簡素化できる。

【0047】

制御線 18 A は、走査線駆動回路 4 に接続され、スイッチトランジスタ 19 A のゲート及びスイッチトランジスタ 23 B のゲートに接続された第 1 の制御線である。これにより、制御線 18 A は、発光画素 10 A に対し、コンデンサ 13 A の他方の電極の電位を駆動トランジスタ 14 A のソースに印加するタイミングを供給する機能、及び、発光画素 10 B に対し、走査線 17 及び信号線 16 と同期することによりコンデンサ 13 B へデータ電圧に対応した電圧を書き込む機能を有する。

【0048】

制御線 18 B は、走査線駆動回路 4 に接続され、スイッチトランジスタ 19 B のゲート及びスイッチトランジスタ 23 A のゲートに接続された第 2 の制御線である。これにより、制御線 18 B は、発光画素 10 B に対し、コンデンサ 13 B の他方の電極の電位を駆動トランジスタ 14 B のソースに印加するタイミングを供給する機能、及び、発光画素 10 A に対し、走査線 17 及び信号線 16 と同期することによりコンデンサ 13 A へデータ電圧に対応した電圧を書き込む機能を有する。

【0049】

表示装置 1 は、画素行ごとに配置された画素行数分の制御線を備える。

【0050】

なお、図 1、図 2 には記載されていないが、参照電源線 20、正電源線 21 及び負電源線 22 は、それぞれ、他の発光画素にも接続されており電圧源に接続されている。

【0051】

以下、上述した回路構成による回路動作を説明する。

【0052】

まず、発光画素 10 A へのデータ電圧の書き込み動作時には、制御線 18 B からのハイレベルの選択電圧 V_H によるスイッチトランジスタ 23 A の導通により、走査線 17 からのハイレベルの選択電圧 V_H がスイッチトランジスタ 11 A 及び 12 A のゲートに印加される。これにより、スイッチトランジスタ 11 A 及び 12 A が導通状態となり、当該導通期間内に、コンデンサ 13 A の他方の電極に対して信号線 16 からデータ電圧 V_{data} が印加され、コンデンサ 13 A の一方の電極に対して参照電源線 20 から参照電圧 V_{REF} が印加される。これにより、コンデンサ 13 A には、データ電圧 V_{data} に対応した書き込み電圧が保持される。このとき、走査線 17 の選択電圧 V_H は、同時に発光画素 10 B のスイッチトランジスタ 23 B のソースにも印加されるが、制御線 18 A からのローレベルの非選択電圧 V_L により、スイッチトランジスタ 23 B は非導通状態となっているため、発光画素 10 B への書き込み動作は実行されない。ここで、上記選択電圧 V_H とは、各スイッチングトランジスタを導通状態とするためのゲート電極に印加される電圧であり、上記非選択電圧 V_L とは、各スイッチングトランジスタを非導通状態とするためのゲート電極に印加される電圧である。

【0053】

上述した発光画素 10 A へのデータ電圧の書き込み動作時において、発光画素 10 B では、制御線 18 B からのハイレベルの選択電圧 V_H によるスイッチトランジスタ 19 B の導通状態により、コンデンサ 13 B に保持されている書き込み電圧が駆動トランジスタ 14 B のゲート - ソース間に継続印加されており、当該書き込み電圧に対応した発光電流が有機 EL 素子 15 B に流れている。

10

20

30

40

50

【 0 0 5 4 】

一方、発光画素 1 0 B へのデータ電圧の書き込み動作時には、制御線 1 8 A からのハイレベルの選択電圧 V_H によるスイッチトランジスタ 2 3 B の導通により、走査線 1 7 からのハイレベルの選択電圧 V_H がスイッチトランジスタ 1 1 B 及び 1 2 B のゲートに印加される。これにより、スイッチトランジスタ 1 1 B 及び 1 2 B が導通状態となり、当該導通期間内に、コンデンサ 1 3 B の他方の電極に対して信号線 1 6 からデータ電圧 V_{data} が印加され、コンデンサ 1 3 B の一方の電極に対して参照電源線 2 0 から参照電圧 V_{REF} が印加される。これにより、コンデンサ 1 3 B には、データ電圧 V_{data} に対応した書き込み電圧が保持される。このとき、走査線 1 7 の選択電圧 V_H は、同時に発光画素 1 0 A のスイッチトランジスタ 2 3 A のソースにも印加されるが、制御線 1 8 B からのローレベルの非選択電圧 V_L により、スイッチトランジスタ 2 3 A は非導通状態となっているため、発光画素 1 0 A への書き込み動作は実行されない。

10

【 0 0 5 5 】

上述した発光画素 1 0 B への書き込み動作時において、発光画素 1 0 A では、制御線 1 8 A からの選択電圧 V_H によるスイッチトランジスタ 1 9 A の導通状態により、コンデンサ 1 3 A に保持されている書き込み電圧が駆動トランジスタ 1 4 A のゲート - ソース間に継続印加されており、当該書き込み電圧に対応した発光電流が有機 EL 素子 1 5 A に流れている。

【 0 0 5 6 】

以上のように、共通の走査線 1 7 が配置された、隣接する画素行では、走査線 1 7、制御線 1 8 A 及び 1 8 B、ならびに信号線 1 6 が所定のタイミングで制御されることにより、書き込み動作と書き込み電圧に対応した発光動作とが排他的に実行される。

20

【 0 0 5 7 】

次に、本実施の形態に係る表示装置 1 の走査線駆動回路 4 及び信号線駆動回路 5 が実行する駆動方法について図 3 ~ 図 4 C を用いて説明する。

【 0 0 5 8 】

図 3 は、本発明の実施の形態 1 に係る表示装置の駆動方法を説明する動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、信号線 1 6、走査線 1 7、制御線 1 8 A、及び制御線 1 8 B に発生する電圧の波形図が示されている。

30

【 0 0 5 9 】

まず、時刻 t_{01} において、走査線駆動回路 4 は、制御線 1 8 A の電圧を V_H から V_L に変化させ、スイッチトランジスタ 1 9 A を非導通状態とする。これにより、駆動トランジスタ 1 4 A のソースとコンデンサ 1 3 A の他方の電極とは非導通となる。なお、本実施の形態において、例えば、制御線 1 8 A の V_H は + 2 0 V、 V_L は - 1 0 V に設定されている。

【 0 0 6 0 】

図 4 A は、本発明の実施の形態 1 に係る表示装置の時刻 t_{01} 及び時刻 t_{03} における動作を説明する状態遷移図である。同図に記載されているように、時刻 t_{01} において、制御線 1 8 B の電圧が V_H を継続していることから、発光画素 1 0 A ではスイッチトランジスタ 2 3 A のみが導通状態となっている一方で、発光画素 1 0 B ではスイッチトランジスタ 1 9 B 及び駆動トランジスタ 1 4 B が導通状態となっており有機 EL 素子 1 5 B は発光している。

40

【 0 0 6 1 】

次に、時刻 t_{02} において、走査線駆動回路 4 は、走査線 1 7 の電圧を V_L から V_H に変化させ、スイッチトランジスタ 2 3 A 及び 2 3 B のソースに V_H を印加する。このとき、スイッチトランジスタ 2 3 A のゲート線である制御線 1 8 B の電圧は既に V_H となっているので、スイッチトランジスタ 2 3 A は導通状態となる。これにより、スイッチトランジスタ 2 3 A のソースの V_H がドレインを介してスイッチトランジスタ 1 1 A 及び 1 2 A のゲートに印加されるので、スイッチトランジスタ 1 1 A 及び 1 2 A は導通状態となる。

50

【 0 0 6 2 】

図 4 B は、本発明の実施の形態 1 に係る表示装置の時刻 t_{02} における動作を説明する状態遷移図である。同図に記載されているように、スイッチトランジスタ 11 A の導通により、コンデンサ 13 A の一方の電極には参照電源線 20 の参照電圧 V_{REF} が印加され、スイッチトランジスタ 12 A の導通により、コンデンサ 13 A の他方の電極には信号線 16 よりデータ電圧 V_{data} が印加される。つまり、時刻 t_{02} では、発光画素 10 A に書き込むべきデータ電圧に対応した電圧をコンデンサ 13 A に保持させている。また、駆動トランジスタ 14 A のソースとコンデンサ 13 A の他方の電極とは非導通となっている。ここで、駆動トランジスタ 14 A のゲート電極に印加される参照電圧 V_{REF} は、駆動トランジスタ 14 A がオフ状態となる電位に設定されていることが好ましい。これにより、駆動トランジスタ 14 A のドレイン電流は流れないので、有機 EL 素子 15 A は発光しない。なお、参照電圧 V_{REF} が駆動トランジスタ 14 A のゲートに印加されることにより有機 EL 素子 15 A が発光する場合であっても、ゲートの電圧に応じて有機 EL 素子 15 A が発光する期間である時刻 t_{02} から時刻 t_{04} は、時刻 t_{04} 以降における、駆動トランジスタ 14 A のゲート - ソース間電圧に応じた発光期間に比べて非常に短いため、時刻 t_{02} から時刻 t_{04} における発光動作は表示品質には影響しない。

10

【 0 0 6 3 】

なお、本実施の形態において、例えば、走査線 17 の V_H は +20 V、 V_L は -10 V に設定されている。また、例えば、 V_{REF} は 0 V に、 V_{data} は -5 V ~ 0 V に設定されている。

20

【 0 0 6 4 】

一方、時刻 t_{02} において、発光画素 10 B では、スイッチトランジスタ 23 B のゲート線である制御線 18 A の電圧が V_L を維持していることから、スイッチトランジスタ 23 B、11 B 及び 12 B は非導通状態であり、書き込み動作を実行していない。また、時刻 t_{01} と同様に、スイッチトランジスタ 19 B 及び駆動トランジスタ 14 B が導通状態となっており有機 EL 素子 15 B の発光動作を継続している。

【 0 0 6 5 】

時刻 t_{02} ~ 時刻 t_{03} の期間、走査線 17 の電圧は V_H であるので、発光画素 10 A と同様に、発光画素 10 A を含む画素行に属する各発光画素に対してもデータ電圧 V_{data} が供給される。

30

【 0 0 6 6 】

この期間において、参照電源線 20 には容量性負荷であるコンデンサ 13 A のみが接続されているので、定常電流による参照電源線 20 の電圧降下は発生しない。またスイッチトランジスタ 11 A のドレイン - ソース間に発生する電位差は、コンデンサ 13 A の充電が完了した際は 0 V となる。信号線 16 とスイッチトランジスタ 12 A についても同様である。よって、コンデンサ 13 A の両電極には、それぞれ、正確な電圧 V_{REF} 及び V_{data} が書き込まれる。

【 0 0 6 7 】

次に、時刻 t_{03} において、走査線駆動回路 4 は、走査線 17 の電圧を V_H から V_L に変化させ、スイッチトランジスタ 11 A 及び 12 A を非導通状態とする。これにより、コンデンサ 13 A の一方の電極と参照電源線 20 とは非導通となり、かつ、コンデンサ 13 A の他方の電極と信号線 16 とは非導通となる。これにより、発光画素 10 A が属する画素行への書き込み動作が完了する。図 4 A に記載されているように、時刻 t_{03} において、制御線 18 B の電圧が V_H を継続していることから、発光画素 10 A ではスイッチトランジスタ 23 A のみが導通状態となっている一方で、発光画素 10 B ではスイッチトランジスタ 19 B 及び駆動トランジスタ 14 B が導通状態となっており有機 EL 素子 15 B は発光している。

40

【 0 0 6 8 】

次に、時刻 t_{04} において、走査線駆動回路 4 は、制御線 18 A の電圧を V_L から V_H に変化させ、スイッチトランジスタ 19 A を導通状態とする。

50

【 0 0 6 9 】

図 4 C は、本発明の実施の形態 1 に係る表示装置の時刻 t_{04} における動作を説明する状態遷移図である。同図に記載されているように、時刻 t_{04} において、駆動トランジスタ 14 A のソースとコンデンサ 13 A の他方の電極とは導通する。また、時刻 t_{03} 以降、コンデンサ 13 A の一方の電極は参照電源線 20 と遮断され、他方の電極は信号線 16 と遮断されている。よって、駆動トランジスタ 14 A のゲート電位はソース電位の変動と共に変化し、かつ、ゲート - ソース間には、コンデンサ 13 A の両端電圧である ($V_{REF} - V_{data}$) が印加されるので、この両端電圧に対応した発光電流が有機 EL 素子 15 A に流れる。なお、本実施の形態において、例えば、駆動トランジスタ 14 A のソース電位はスイッチトランジスタ 19 A の導通により、0 V から 10 V に変化する。また、正電源線 21 の電圧 V_{DD} は +20 V、負電源線 22 の電圧 V_{EE} は 0 V に設定されている。

10

【 0 0 7 0 】

一方、時刻 t_{04} において、発光画素 10 B では、スイッチトランジスタ 23 B のゲート線である制御線 18 A の電圧が V_H に変化することから、スイッチトランジスタ 23 B は導通状態となるが、走査線 17 の電圧が V_L であることからスイッチトランジスタ 11 B 及び 12 B は非導通状態であり、書き込み動作を実行していない。また、スイッチトランジスタ 19 B 及び駆動トランジスタ 14 B は継続して導通状態となっており有機 EL 素子 15 B の発光動作を継続している。

20

【 0 0 7 1 】

時刻 t_{04} 以降において、駆動トランジスタ 14 A のゲート - ソース間には、コンデンサ 13 A の両端電圧である ($V_{REF} - V_{data}$) が印加され続け、上記発光電流が流れることにより有機 EL 素子 15 A は発光を持続する。

【 0 0 7 2 】

一方、時刻 t_{04} ~ 時刻 t_{05} の期間において、スイッチトランジスタ 19 B 及び駆動トランジスタ 14 B は継続して導通状態となっており有機 EL 素子 15 B の発光動作を継続している。

【 0 0 7 3 】

時刻 t_{01} ~ 時刻 t_{05} において、上述した発光画素 10 A の属する奇数画素行における書き込み動作と同様の書き込み動作が、奇数行順次に実行され、時刻 t_{05} までに、奇数行における全ての発光画素の書き込み動作が完了する。

30

【 0 0 7 4 】

次に、時刻 t_{05} 以降において、走査線駆動回路 4 及び信号線駆動回路 5 は、発光画素 10 B の属する画素行における書き込み動作及び発光動作を開始する。

【 0 0 7 5 】

まず、時刻 t_{05} において、走査線駆動回路 4 は、制御線 18 B の電圧を V_H から V_L に変化させ、スイッチトランジスタ 19 B を非導通状態とする。これにより、駆動トランジスタ 14 B のソース電極とコンデンサ 13 B の他方の電極とは非導通となる。なお、本実施の形態において、例えば、制御線 18 B の V_H は +20 V、 V_L は -10 V に設定されている。時刻 t_{05} において、制御線 18 A の電圧が V_H を継続していることから、発光画素 10 B ではスイッチトランジスタ 23 B のみが導通状態となっている一方で、発光画素 10 A ではスイッチトランジスタ 19 A 及び駆動トランジスタ 14 A が導通状態となっており有機 EL 素子 15 A は発光している。

40

【 0 0 7 6 】

次に、時刻 t_{06} において、走査線駆動回路 4 は、走査線 17 の電圧を V_L から V_H に変化させ、スイッチトランジスタ 23 A 及び 23 B のソースに V_H を印加する。このとき、制御線 18 A の電圧は既に V_H となっているので、スイッチトランジスタ 23 B は導通状態となる。これにより、スイッチトランジスタ 11 B 及び 12 B は導通状態となる。スイッチトランジスタ 11 B の導通により、コンデンサ 13 B の一方の電極には参照電源線 20 の参照電圧 V_{REF} が印加され、スイッチトランジスタ 12 B の導通により、コンデ

50

ンサ 13B の他方の電極には信号線 16 よりデータ電圧 V_{data} が印加される。つまり、時刻 t_{06} では、発光画素 10B に書き込むべきデータ電圧に対応した電圧をコンデンサ 13B に保持させている。また、駆動トランジスタ 14B のソースとコンデンサ 13B の他方の電極とは非導通となっている。

【0077】

一方、時刻 t_{06} において、発光画素 10A では、スイッチトランジスタ 23A、11A 及び 12A は非導通状態であり、書き込み動作を実行していない。また、時刻 t_{05} と同様に、スイッチトランジスタ 19A 及び駆動トランジスタ 14A が導通状態となっており有機 EL 素子 15A の発光動作を継続している。

【0078】

時刻 t_{06} ~ 時刻 t_{07} の期間、走査線 17 の電圧は V_H であるので、発光画素 10B と同様に、発光画素 10B を含む画素行に属する各発光画素に対してもデータ電圧 V_{data} が供給される。

【0079】

この期間において、コンデンサ 13B の両電極には、それぞれ、正確な電圧 V_{REF} 及び V_{data} が書き込まれる。

【0080】

次に、時刻 t_{07} において、走査線駆動回路 4 は、走査線 17 の電圧を V_H から V_L に変化させ、スイッチトランジスタ 11B 及び 12B を非導通状態とする。これにより、発光画素 10B が属する画素行への書き込み動作が完了する。時刻 t_{07} において、制御線 18A の電圧が V_H を継続していることから、発光画素 10B ではスイッチトランジスタ 23B のみが導通状態となっている一方で、発光画素 10A ではスイッチトランジスタ 19A 及び駆動トランジスタ 14A が導通状態となっており有機 EL 素子 15A は発光している。

【0081】

次に、時刻 t_{08} において、走査線駆動回路 4 は、制御線 18B の電圧を V_L から V_H に変化させ、スイッチトランジスタ 19B を導通状態とする。時刻 t_{08} において、駆動トランジスタ 14B のソースとコンデンサ 13B の他方の電極とは導通する。また、時刻 t_{07} 以降、コンデンサ 13B の一方の電極は参照電源線 20 と遮断され、他方の電極は信号線 16 と遮断されている。よって、駆動トランジスタ 14B のゲート電位はソース電位の変動と共に変化し、かつ、ゲート - ソース間には、コンデンサ 13B の両端電圧である ($V_{REF} - V_{data}$) が印加されるので、この両端電圧に対応した発光電流が有機 EL 素子 15B に流れる。

【0082】

一方、時刻 t_{08} において、発光画素 10A では、制御線 18B の電圧が V_H に変化することから、スイッチトランジスタ 23A は導通状態となるが、走査線 17 の電圧が V_L であることからスイッチトランジスタ 11A 及び 12A は非導通状態であり、書き込み動作を実行していない。また、スイッチトランジスタ 19A 及び駆動トランジスタ 14A は継続して導通状態となっており有機 EL 素子 15A の発光動作を継続している。

【0083】

時刻 t_{08} 以降において、駆動トランジスタ 14B のゲート - ソース間には、コンデンサ 13B の両端電圧である ($V_{REF} - V_{data}$) が印加され続け、上記発光電流が流れることにより有機 EL 素子 15B は発光を持続する。

【0084】

時刻 t_{04} 以降において、上述した発光画素 10B の属する偶数画素行における書き込み動作と同様の書き込み動作が、偶数行順次に行われる。

【0085】

時刻 t_{01} ~ 時刻 t_{04} における奇数行の書き込み期間及び時刻 t_{05} 以降における偶数行の書き込み期間を併せた期間は、表示装置 1 の有する全ての発光画素の発光強度が更新される 1 フレーム期間に相当し、当該期間の動作が繰り返される。

10

20

30

40

50

【0086】

なお、上述した表示装置の駆動方法では、例えば、発光画素10Aに書き込み動作を実行する場合、時刻01において制御線18Aを V_L に変化させた状態で、時刻 t_{02} において走査線17を V_H に変化させている。つまり、図3に記載された動作タイミングでは、制御線18Aの時刻 t_{01} 及び時刻 t_{04} における電圧変化タイミングならびに制御線18Bの時刻 t_{05} 及び時刻 t_{08} における電圧変化タイミングを、走査線17の電圧変化タイミングと独立に制御している。これにより、1フレーム期間内における発光時間、つまりDuty制御を任意に調整することができる。

【0087】

これに対し、発光画素10Aに書き込み動作を実行する場合、時刻01及び時刻 t_{04} での制御線18Aの電圧変化と走査線17の電圧変化とを同時に実行してもよい。つまり、走査線17の V_L から V_H への電位変化及び V_H から V_L への電位変化のタイミングと制御線18Aの V_H から V_L への電圧変化及び V_L から V_H への電位変化のタイミングとを同時に実行してもよい。また同様に、発光画素10Bに書き込み動作を実行する場合、走査線17の V_L から V_H への電位変化及び V_H から V_L への電位変化のタイミングと制御線18Bの V_H から V_L への電圧変化及び V_L から V_H への電位変化のタイミングとを同時に実行してもよい。これにより、走査線17と制御線18A及び18Bが連動するので、走査線駆動回路4が簡素になるため回路規模を小さくすることができる。

【0088】

以上のように、本発明の実施の形態1に係る表示装置及びその駆動方法によれば、発光画素の駆動トランジスタに流れる電流は、常に有機EL素子経由のみとなるので、参照電源線20及び信号線16には定常電流は流れない。よって、駆動トランジスタのゲートソース間に印加すべき電圧を保持する機能を有するコンデンサの両端電極に、正確な電位を記録することができ、映像信号を反映した高精度な画像表示をすることが可能となる。

【0089】

また、隣接する発光画素間で走査線を共通化させ奇数画素行を奇数行順次に書き込む期間と偶数画素行を偶数行順次に書き込む期間とを設けることにより、当該発光画素間で干渉することなく書き込み動作及び発光動作させることが可能となる。

【0090】

また、従来の表示装置では、1発光画素につき2本の走査線及び1本の信号線、つまり独立した3本の制御配線が必要であったのに対して、本発明の実施の形態1に係る表示装置1では、隣接する2発光画素につき1本の走査線、2本の制御線及び1本の信号線が必要となる。言い換えれば、本発明の実施の形態1に係る表示装置1では、1発光画素につき、0.5本の走査線及び1本の制御線及び1本の信号線、つまり独立した2.5本の制御配線を配置すればよい。よって、画素行方向の制御配線の数を低減させることが可能となり、高精細化した場合においても省電力化を図ることが可能となる。

【0091】

(実施の形態2)

本実施の形態では、実施の形態1に係る発光画素10A及び10Bと回路構成が異なる発光画素を有する表示装置及びその駆動方法について説明する。なお、図1に記載された表示装置の機能ブロック図は、本実施の形態にも適用される。

【0092】

図5は、本発明の実施の形態2に係る表示部の隣接する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素30Aは、スイッチトランジスタ31A、32A、19A及び23Aと、コンデンサ33Aと、駆動トランジスタ14Aと、有機EL素子15Aとを備える。また、発光画素30Bは、発光画素30Aに隣接し、発光画素30Aと同一画素列に配置され、スイッチトランジスタ31B、32B、19B及び23Bと、コンデンサ33Bと、駆動トランジスタ14Bと、有機EL素子15Bとを備える。また、発光画素30A及び30Bの属する画素列には信号線36が配置されている。また、発光画素30Aの属する画素行には制御線18Aが配置され、発光画素30

10

20

30

40

50

Bの属する画素行には制御線18Bが配置されている。また、発光画素30Aの属する画素行及び発光画素30Bの属する画素行に共通して、走査線17が配置されている。さらに、各発光画素には、参照電源線20と、正電源線21と、負電源線22とが配置されている。また、表示部6の周辺回路は、走査線駆動回路4と、信号線駆動回路5とを備える。本実施の形態に係る画素回路は、実施の形態1に係る画素回路と比較して、駆動トランジスタのゲートにデータ電圧が印加されること、及び、駆動トランジスタのゲート-ソース間電圧 V_{gs} を保持するコンデンサへ電圧を印加するための構成が異なる。以下、実施の形態1と同じ点は説明を省略し、異なる点のみ説明する。

【0093】

走査線駆動回路4は、走査線17ならびに制御線18A及び18Bに接続されている。走査線駆動回路4は、走査線17に対して、スイッチトランジスタ31A、31B、32A及び32Bのゲート信号となり得る走査信号を出力する。

【0094】

信号線駆動回路5は、信号線36に接続されており、映像信号に基づいたデータ信号を発光画素30A及び30Bへ出力する。

【0095】

スイッチトランジスタ32A及び32Bは、ゲートが、それぞれ、スイッチトランジスタ23A及び23Bのソース及びドレインの一方に接続され、ソース及びドレインの一方が、それぞれ、コンデンサ33A及び33Bの他方の電極に接続され、ソース及びドレインの他方が、参照電源線20に接続されたている。スイッチトランジスタ32A及び32Bは、それぞれ、参照電源線20とコンデンサ33A及び33Bの他方の電極との導通及び非導通を切り換える機能を有する第7及び第8スイッチ素子である。

【0096】

スイッチトランジスタ31A及び31Bは、ゲートが、それぞれ、スイッチトランジスタ23A及び23Bのソース及びドレインの一方に接続され、ソース及びドレインの一方が信号線36に接続され、ソース及びドレインの他方が、それぞれ、コンデンサ33A及び33Bの一方の電極に接続されている。スイッチトランジスタ31A及び31Bは、それぞれ、信号線36とコンデンサ33A及び33Bの一方の電極との導通及び非導通を切り換える機能を有する第1及び第2スイッチ素子である。スイッチトランジスタ31A、31B、32A及び32Bは、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0097】

コンデンサ33A及び33Bは、それぞれ、一方の電極が駆動トランジスタ14A及び14Bのゲートに接続され、他方の電極がスイッチトランジスタ19A及び19Bを介して駆動トランジスタ14A及び14Bのソースに接続された第1及び第2コンデンサである。コンデンサ33Aは、信号線36から供給されるデータ信号に対応した電圧を保持し、スイッチトランジスタ31A及び32Aが非導通状態となった後に、駆動トランジスタ14Aのゲート-ソース間電圧 V_{gs} を安定的に保持し、駆動トランジスタ14Aから有機EL素子15Aへ供給する電流を安定化する機能を有する。また、コンデンサ33Bは、信号線36から供給されるデータ信号に対応した電圧を保持し、スイッチトランジスタ31B及び32Bが非導通状態となった後に、駆動トランジスタ14Bの V_{gs} を安定的に保持し、駆動トランジスタ14Bから有機EL素子15Bへ供給する電流を安定化する機能を有する。

【0098】

スイッチトランジスタ19A及び19Bは、それぞれ、ゲートが制御線18A及び18Bに接続され、ソース及びドレインの一方がコンデンサ33A及び33Bの他方の電極に接続され、ソース及びドレインの他方が駆動トランジスタ14A及び14Bのソースに接続されている。スイッチトランジスタ19Aが導通状態となることにより、コンデンサ33Aに保持された電圧が駆動トランジスタ14Aのゲート-ソース間に印加される。また、スイッチトランジスタ19Bが導通状態となることにより、コンデンサ33Bに保持さ

れた電圧が駆動トランジスタ 14 B のゲート - ソース間に印加される。スイッチトランジスタ 19 A 及び 19 B は、それぞれ、駆動トランジスタ 14 A 及び 14 B のソースとコンデンサ 33 A 及び 33 B との導通及び非導通を切り換える第 2 及び第 5 スイッチ素子である。スイッチトランジスタ 19 A 及び 19 B は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

【0099】

スイッチトランジスタ 23 A は、ゲートが制御線 18 B に接続され、ソース及びドレインの一方がスイッチトランジスタ 31 A 及び 32 A のゲートに接続され、ソース及びドレインの他方が走査線 17 に接続されている。また、スイッチトランジスタ 23 B は、ゲートが制御線 18 A に接続され、ソース及びドレインの一方がスイッチトランジスタ 31 B 及び 32 B のゲートに接続され、ソース及びドレインの他方が走査線 17 に接続されている。スイッチトランジスタ 23 A が導通状態であり、かつ、ソース及びドレインの他方に、スイッチトランジスタを導通状態とするためのゲート電圧である選択電圧が印加されている場合、スイッチトランジスタ 31 A 及び 32 A が導通状態となり、コンデンサ 33 A の一方の電極には信号線 36 のデータ電圧 V_{data} が印加され、コンデンサ 33 A の他方の電極には参照電源線 20 の参照電圧 V_{REF} が印加される。また、スイッチトランジスタ 23 B が導通状態であり、かつ、ソース及びドレインの他方に上記選択電圧が印加されている場合、スイッチトランジスタ 31 B 及び 32 B が導通状態となり、コンデンサ 33 B の一方の電極には信号線 36 のデータ電圧 V_{data} が印加され、コンデンサ 33 B の他方の電極には参照電源線 20 の参照電圧 V_{REF} が印加される。つまり、スイッチトランジスタ 23 A 及び 23 B は、それぞれ、スイッチトランジスタ 31 A 及び 31 B のゲートと走査線 17 との導通及び非導通を切り換える第 3 及び第 6 スイッチ素子である。スイッチトランジスタ 23 A 及び 23 B は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

【0100】

信号線 36 は、信号線駆動回路 5 に接続され、発光画素 30 A 及び 30 B を含む画素列に属する各発光画素へ接続され、発光強度を決定するデータ電圧を供給する機能を有する。

【0101】

また、表示装置 1 は、画素列数分の信号線 36 を備える。

【0102】

走査線 17 は、走査線駆動回路 4 に接続され、発光画素 30 A を含む画素行及び発光画素 30 B を含む画素行に属する各発光画素に共通して接続されている。つまり、走査線 17 は、2 画素行ごとに配置され、表示装置 1 は、画素行数の半数の走査線 17 を備える。これにより、走査線 17 は、隣接する発光画素 30 A 及び 30 B へ上記データ電圧を書き込むタイミングを供給する機能、及び駆動トランジスタ 14 A 及び 14 B のゲートにデータ電圧 V_{data} を印加するタイミングを供給する機能を有する。

【0103】

制御線 18 A は、走査線駆動回路 4 に接続され、スイッチトランジスタ 19 A のゲート及びスイッチトランジスタ 23 B のゲートに接続された第 1 の制御線である。これにより、制御線 18 A は、発光画素 30 A に対し、コンデンサ 33 A の他方の電極の電位を駆動トランジスタ 14 A のソースに印加するタイミングを供給する機能、及び、発光画素 30 B に対し、走査線 17 及び信号線 36 と同期することによりコンデンサ 33 B へデータ電圧に対応した電圧を書き込む機能を有する。

【0104】

制御線 18 B は、走査線駆動回路 4 に接続され、スイッチトランジスタ 19 B のゲート及びスイッチトランジスタ 23 A のゲートに接続された第 2 の制御線である。これにより、制御線 18 B は、発光画素 30 B に対し、コンデンサ 33 B の他方の電極の電位を駆動トランジスタ 14 B のソースに印加するタイミングを供給する機能、及び、発光画素 30 A に対し、走査線 17 及び信号線 36 と同期することによりコンデンサ 33 A へデータ電

圧に対応した電圧を書き込む機能を有する。

【0105】

表示装置1は、画素行ごとに配置された画素行数分の制御線を備える。

【0106】

以下、上述した回路構成による回路動作を説明する。

【0107】

まず、発光画素30Aへのデータ電圧の書き込み動作時には、制御線18Bからのハイレベルの選択電圧 V_H によるスイッチトランジスタ23Aの導通により、走査線17からのハイレベルの選択電圧 V_H がスイッチトランジスタ31A及び32Aのゲートに印加される。これにより、スイッチトランジスタ31A及び32Aが導通状態となり、当該導通期間内に、コンデンサ33Aの一方の電極に対して信号線36からデータ電圧 V_{data} が印加され、コンデンサ33Aの他方の電極に対して参照電源線20から参照電圧 V_{REF} が印加される。これにより、コンデンサ33Aには、データ電圧 V_{data} に対応した書き込み電圧が保持される。このとき、走査線17の選択電圧 V_H は、同時に発光画素30Bのスイッチトランジスタ23Bのソースにも印加されるが、制御線18Aからのローレベルの非選択電圧 V_L により、スイッチトランジスタ23Bは非導通状態となっているため、発光画素30Bへの書き込み動作は実行されない。

10

【0108】

上述した発光画素30Aへのデータ電圧の書き込み動作時において、発光画素30Bでは、制御線18Bからのハイレベルの選択電圧 V_H によるスイッチトランジスタ19Bの導通状態により、コンデンサ33Bに保持されている書き込み電圧が駆動トランジスタ14Bのゲート-ソース間に継続印加されており、当該書き込み電圧に対応した発光電流が有機EL素子15Bに流れている。

20

【0109】

一方、発光画素30Bへのデータ電圧の書き込み動作時には、制御線18Aからのハイレベルの選択電圧 V_H によるスイッチトランジスタ23Bの導通により、走査線17からのハイレベルの選択電圧 V_H がスイッチトランジスタ31B及び32Bのゲートに印加される。これにより、スイッチトランジスタ31B及び32Bが導通状態となり、当該導通期間内に、コンデンサ33Bの一方の電極に対して信号線36からデータ電圧 V_{data} が印加され、コンデンサ33Bの他方の電極に対して参照電源線20から参照電圧 V_{REF} が印加される。これにより、コンデンサ33Bには、データ電圧 V_{data} に対応した書き込み電圧が保持される。このとき、走査線17の選択電圧 V_H は、同時に発光画素30Aのスイッチトランジスタ23Aのソースにも印加されるが、制御線18Bからのローレベルの非選択電圧 V_L により、スイッチトランジスタ23Aは非導通状態となっているため、発光画素30Aへの書き込み動作は実行されない。

30

【0110】

上述した発光画素30Bへの書き込み動作時において、発光画素30Aでは、制御線18Aからの選択電圧 V_H によるスイッチトランジスタ19Aの導通状態により、コンデンサ33Aに保持されている書き込み電圧が駆動トランジスタ14Aのゲート-ソース間に継続印加されており、当該書き込み電圧に対応した発光電流が有機EL素子15Aに流れている。

40

【0111】

以上のように、共通の走査線17が配置された、隣接する画素行では、走査線17、制御線18A及び18B、ならびに信号線36が所定のタイミングで制御されることにより、書き込み動作と書き込み電圧に対応した発光動作とが排他的に実行される。

【0112】

次に、本実施の形態に係る表示装置の走査線駆動回路4及び信号線駆動回路5が実行する駆動方法について図6～図7Cを用いて説明する。

【0113】

図6は、本発明の実施の形態2に係る表示装置の駆動方法を説明する動作タイミングチ

50

ャートである。同図において、縦方向には、上から順に、信号線 3 6、走査線 1 7、制御線 1 8 A、及び制御線 1 8 B に発生する電圧の波形図が示されている。

【 0 1 1 4 】

まず、時刻 t_{11} において、走査線駆動回路 4 は、制御線 1 8 A の電圧を V_H から V_L に変化させ、スイッチトランジスタ 1 9 A を非導通状態とする。これにより、駆動トランジスタ 1 4 A のソースとコンデンサ 1 3 A の他方の電極とは非導通となる。

【 0 1 1 5 】

図 7 A は、本発明の実施の形態 2 に係る表示装置の時刻 t_{11} 及び時刻 t_{13} における動作を説明する状態遷移図である。同図に記載されているように、時刻 t_{11} において、制御線 1 8 B の電圧が V_H を継続していることから、発光画素 3 0 A ではスイッチトランジスタ 2 3 A のみが導通状態となっている一方で、発光画素 3 0 B ではスイッチトランジスタ 1 9 B 及び駆動トランジスタ 1 4 B が導通状態となっており有機 EL 素子 1 5 B は発光している。

10

【 0 1 1 6 】

次に、時刻 t_{12} において、走査線駆動回路 4 は、走査線 1 7 の電圧を V_L から V_H に変化させ、スイッチトランジスタ 2 3 A 及び 2 3 B のソースに V_H を印加する。このとき、スイッチトランジスタ 2 3 A のゲート線である制御線 1 8 B の電圧は既に V_H となっているので、スイッチトランジスタ 2 3 A は導通状態となる。これにより、スイッチトランジスタ 2 3 A のソースの V_H がドレインを介してスイッチトランジスタ 3 1 A 及び 3 2 A のゲートに印加されるので、スイッチトランジスタ 3 1 A 及び 3 2 A は導通状態となる。

20

【 0 1 1 7 】

図 7 B は、本発明の実施の形態 2 に係る表示装置の時刻 t_{12} における動作を説明する状態遷移図である。同図に記載されているように、スイッチトランジスタ 3 1 A の導通により、コンデンサ 3 3 A の一方の電極には信号線 3 6 よりデータ電圧 V_{data} が印加され、スイッチトランジスタ 1 2 A の導通により、コンデンサ 1 3 A の他方の電極には参照電源線 2 0 の参照電圧 V_{REF} が印加される。つまり、時刻 t_{02} では、発光画素 3 0 A に書き込むべきデータ電圧に対応した電圧をコンデンサ 3 3 A に保持させている。また、駆動トランジスタ 1 4 A のソースとコンデンサ 3 3 A の他方の電極とは非導通となっている。ここで、駆動トランジスタ 1 4 A のゲート電極に印加されるデータ電圧 V_{data} は、駆動トランジスタ 1 4 A がオフ状態となる電位に設定されていることが好ましい。これにより、駆動トランジスタ 1 4 A のドレイン電流は流れないので、有機 EL 素子 1 5 A は発光しない。なお、データ電圧 V_{data} が駆動トランジスタ 1 4 A のゲートに印加されることにより有機 EL 素子 1 5 A が発光する場合であっても、ゲートの電圧に応じて有機 EL 素子 1 5 A が発光する期間である時刻 t_{12} から時刻 t_{14} は、時刻 t_{14} 以降における、駆動トランジスタ 1 4 A のゲート - ソース間電圧に応じた発光期間に比べて非常に短いため、時刻 t_{12} から時刻 t_{14} における発光動作は表示品質には影響しない。

30

【 0 1 1 8 】

一方、時刻 t_{12} において、発光画素 3 0 B では、スイッチトランジスタ 2 3 B のゲート線である制御線 1 8 A の電圧が V_L を維持していることから、スイッチトランジスタ 2 3 B、3 1 B 及び 3 2 B は非導通状態であり、書き込み動作を実行していない。また、時刻 t_{11} と同様に、スイッチトランジスタ 1 9 B 及び駆動トランジスタ 1 4 B が導通状態となっており有機 EL 素子 1 5 B の発光動作を継続している。

40

【 0 1 1 9 】

時刻 t_{12} ~ 時刻 t_{13} の期間、走査線 1 7 の電圧は V_H であるので、発光画素 3 0 A と同様に、発光画素 3 0 A を含む画素行に属する各発光画素に対してもデータ電圧 V_{data} が供給される。

【 0 1 2 0 】

この期間において、参照電源線 2 0 には容量性負荷であるコンデンサ 3 3 A のみが接続されているので、定常電流による参照電源線 2 0 の電圧降下（上昇）は発生しない。またスイッチトランジスタ 3 1 A のドレイン - ソース間に発生する電位差は、コンデンサ 3 3

50

Aの充電が完了した際は0Vとなる。信号線36とスイッチトランジスタ32Aについても同様である。よって、コンデンサ33Aの両電極には、それぞれ、正確な電圧 V_{REF} 及び V_{data} が書き込まれる。

【0121】

次に、時刻 t_{13} において、走査線駆動回路4は、走査線17の電圧を V_H から V_L に変化させ、スイッチトランジスタ31A及び32Aを非導通状態とする。これにより、コンデンサ33Aの他方の電極と参照電源線20とは非導通となり、かつ、コンデンサ13Aの一方の電極と信号線36とは非導通となる。これにより、発光画素30Aが属する画素行への書き込み動作が完了する。図7Aに記載されているように、時刻 t_{13} において、制御線18Bの電圧が V_H を継続していることから、発光画素30Aではスイッチトランジスタ23Aのみが導通状態となっている一方で、発光画素30Bではスイッチトランジスタ19B及び駆動トランジスタ14Bが導通状態となっており有機EL素子15Bは発光している。

10

【0122】

次に、時刻 t_{14} において、走査線駆動回路4は、制御線18Aの電圧を V_L から V_H に変化させ、スイッチトランジスタ19Aを導通状態とする。

【0123】

図7Cは、本発明の実施の形態2に係る表示装置の時刻 t_{14} における動作を説明する状態遷移図である。同図に記載されているように、時刻 t_{14} において、駆動トランジスタ14Aのソースとコンデンサ33Aの他方の電極とは導通する。また、時刻 t_{13} 以降、コンデンサ33Aの他方の電極は参照電源線20と遮断され、一方の電極は信号線36と遮断されている。よって、駆動トランジスタ14Aのゲート電位はソース電位の変動と共に変化し、かつ、ゲート-ソース間には、コンデンサ33Aの両端電圧である($V_{data} - V_{REF}$)が印加されるので、この両端電圧に対応した発光電流が有機EL素子15Aに流れる。

20

【0124】

一方、時刻 t_{14} において、発光画素30Bでは、スイッチトランジスタ23Bのゲート線である制御線18Aの電圧が V_H に変化することから、スイッチトランジスタ23Bは導通状態となるが、走査線17の電圧が V_L であることからスイッチトランジスタ31B及び32Bは非導通状態であり、書き込み動作を実行していない。また、スイッチトランジスタ19B及び駆動トランジスタ14Bは継続して導通状態となっており有機EL素子15Bの発光動作を継続している。

30

【0125】

時刻 t_{14} 以降において、駆動トランジスタ14Aのゲート-ソース間には、コンデンサ33Aの両端電圧である($V_{data} - V_{REF}$)が印加され続け、上記発光電流が流れることにより有機EL素子15Aは発光を持続する。

【0126】

一方、時刻 t_{14} ～時刻 t_{15} の期間において、スイッチトランジスタ19B及び駆動トランジスタ14Bは継続して導通状態となっており有機EL素子15Bの発光動作を継続している。

40

【0127】

時刻 t_{11} ～時刻 t_{15} において、上述した発光画素30Aの属する奇数画素行における書き込み動作と同様の書き込み動作が、奇数行順次に行われ、時刻 t_{15} までに、奇数行における全ての発光画素の書き込み動作が完了する。

【0128】

次に、時刻 t_{15} 以降において、走査線駆動回路4及び信号線駆動回路5は、発光画素30Bの属する画素行における書き込み動作及び発光動作を開始する。

【0129】

まず、時刻 t_{15} において、走査線駆動回路4は、制御線18Bの電圧を V_H から V_L に変化させ、スイッチトランジスタ19Bを非導通状態とする。これにより、駆動トラン

50

ジスタ 14 B のソース電極とコンデンサ 33 B の他方の電極とは非導通となる。時刻 t_15 において、制御線 18 A の電圧が V_H を継続していることから、発光画素 30 B ではスイッチトランジスタ 23 B のみが導通状態となっている一方で、発光画素 30 A ではスイッチトランジスタ 19 A 及び駆動トランジスタ 14 A が導通状態となっており有機 EL 素子 15 A は発光している。

【0130】

次に、時刻 t_16 において、走査線駆動回路 4 は、走査線 17 の電圧を V_L から V_H に変化させ、スイッチトランジスタ 23 A 及び 23 B のソースに V_H を印加する。このとき、制御線 18 A の電圧は既に V_H となっているので、スイッチトランジスタ 23 B は導通状態となる。これにより、スイッチトランジスタ 31 B 及び 32 B は導通状態となる。スイッチトランジスタ 31 B の導通により、コンデンサ 33 B の一方の電極には信号線 36 よりデータ電圧 V_{data} が印加され、スイッチトランジスタ 32 B の導通により、コンデンサ 33 B の他方の電極には参照電源線 20 の参照電圧 V_{REF} が印加される。つまり、時刻 t_16 では、発光画素 30 B に書き込むべきデータ電圧に対応した電圧をコンデンサ 33 B に保持させている。また、駆動トランジスタ 14 B のソースとコンデンサ 33 B の他方の電極とは非導通となっている。

【0131】

一方、時刻 t_16 において、発光画素 30 A では、スイッチトランジスタ 23 A、31 A 及び 32 A は非導通状態であり、書き込み動作を実行していない。また、時刻 t_15 と同様に、スイッチトランジスタ 19 A 及び駆動トランジスタ 14 A が導通状態となっており有機 EL 素子 15 A の発光動作を継続している。

【0132】

時刻 $t_16 \sim$ 時刻 t_17 の期間、走査線 17 の電圧は V_H であるので、発光画素 30 B と同様に、発光画素 30 B を含む画素行に属する各発光画素に対してもデータ電圧 V_{data} が供給される。

【0133】

この期間において、コンデンサ 33 B の両電極には、それぞれ、正確な電圧 V_{REF} 及び V_{data} が書き込まれる。

【0134】

次に、時刻 t_17 において、走査線駆動回路 4 は、走査線 17 の電圧を V_H から V_L に変化させ、スイッチトランジスタ 31 B 及び 32 B を非導通状態とする。これにより、発光画素 30 B が属する画素行への書き込み動作が完了する。時刻 t_17 において、制御線 18 A の電圧が V_H を継続していることから、発光画素 30 B ではスイッチトランジスタ 23 B のみが導通状態となっている一方で、発光画素 30 A ではスイッチトランジスタ 19 A 及び駆動トランジスタ 14 A が導通状態となっており有機 EL 素子 15 A は発光している。

【0135】

次に、時刻 t_18 において、走査線駆動回路 4 は、制御線 18 B の電圧を V_L から V_H に変化させ、スイッチトランジスタ 19 B を導通状態とする。時刻 t_18 において、駆動トランジスタ 14 B のソースとコンデンサ 33 B の他方の電極とは導通する。また、時刻 t_17 以降、コンデンサ 33 B の他方の電極は参照電源線 20 と遮断され、一方の電極は信号線 36 と遮断されている。よって、駆動トランジスタ 14 B のゲート電位はソース電位の変動と共に変化し、かつ、ゲート - ソース間には、コンデンサ 33 B の両端電圧である ($V_{data} - V_{REF}$) が印加されるので、この両端電圧に対応した発光電流が有機 EL 素子 15 B に流れる。

【0136】

一方、時刻 t_18 において、発光画素 30 A では、制御線 18 B の電圧が V_H に変化することから、スイッチトランジスタ 23 A は導通状態となるが、走査線 17 の電圧が V_L であることからスイッチトランジスタ 31 A 及び 32 A は非導通状態であり、書き込み動作を実行していない。また、スイッチトランジスタ 19 A 及び駆動トランジスタ 14 A は

継続して導通状態となっており有機 E L 素子 1 5 A の発光動作を継続している。

【 0 1 3 7 】

時刻 t_{18} 以降において、駆動トランジスタ 1 4 B のゲート - ソース間には、コンデンサ 3 3 B の両端電圧である ($V_{data} - V_{REF}$) が印加され続け、上記発光電流が流れることにより有機 E L 素子 1 5 B は発光を持続する。

【 0 1 3 8 】

時刻 t_{14} 以降において、上述した発光画素 3 0 B の属する偶数画素行における書き込み動作と同様の書き込み動作が、偶数行順次に行われる。

【 0 1 3 9 】

時刻 t_{11} ~ 時刻 t_{14} における奇数行の書き込み期間及び時刻 t_{15} 以降における偶数行の書き込み期間を併せた期間は、表示装置の有する全ての発光画素の発光強度が更新される 1 フレーム期間に相当し、当該期間の動作が繰り返される。

10

【 0 1 4 0 】

なお、上述した表示装置の駆動方法では、実施の形態 1 と同様に、発光画素 3 0 A に書き込み動作を実行する場合、走査線 1 7 の V_L から V_H への電位変化及び V_H から V_L への電位変化のタイミングと制御線 1 8 A の V_H から V_L への電圧変化及び V_L から V_H への電位変化のタイミングとを同時に実行してもよい。また同様に、発光画素 3 0 B に書き込み動作を実行する場合、走査線 1 7 の V_L から V_H への電位変化及び V_H から V_L への電位変化のタイミングと制御線 1 8 B の V_H から V_L への電圧変化及び V_L から V_H への電位変化のタイミングとを同時に実行してもよい。

20

【 0 1 4 1 】

以上のように、本発明の実施の形態 2 に係る表示装置及びその駆動方法によれば、発光画素の駆動トランジスタに流れる電流は、常に有機 E L 素子経路のみとなるので、参照電源線 2 0 及び信号線 3 6 には定常電流は流れない。よって、駆動トランジスタのゲート - ソース間に印加すべき電圧を保持する機能を有するコンデンサの両端電極に、正確な電位を記録することができ、映像信号を反映した高精度な画像表示をすることが可能となる。

【 0 1 4 2 】

また、隣接する発光画素間で走査線を共通化させ奇数画素行を奇数行順次に書き込む期間と偶数画素行を偶数行順次に書き込む期間とを設けることにより、当該発光画素間で干渉することなく書き込み動作及び発光動作させることが可能となる。

30

【 0 1 4 3 】

また、従来の表示装置では、1 発光画素につき 3 本の制御配線が必要であったのに対して、本発明の実施の形態 2 に係る表示装置では、1 発光画素につき 2 . 5 本の制御配線を配置すればよい。よって、画素行方向の制御配線の数を低減させることが可能となり、高精細化した場合においても省電力化を図ることが可能となる。

【 0 1 4 4 】

以上、本発明に係る表示装置及びその駆動方法について実施に形態 1 及び 2 に基づき説明したが、本発明に係る表示装置及びその駆動方法は、上述した実施の形態 1 及び 2 に限定されるものではない。上記実施の形態 1 及び 2 に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

40

【 0 1 4 5 】

なお、以上述べた実施の形態では、スイッチトランジスタのゲートの電圧レベルが H I G H の場合にオン状態になる n 型トランジスタとして記述しているが、これらを p 型トランジスタで形成し、走査線の極性を反転させた表示装置でも、上述した各実施の形態と同様の効果を奏する。

【 0 1 4 6 】

また、本発明に係る実施の形態 1 及び 2 では、スイッチトランジスタは、ゲート、ソース及びドレインを有する F E T であることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用され

50

てもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【 0 1 4 7 】

また、本発明に係る実施の形態 1 及び 2 では、発光素子として有機 E L 素子を用いているが、当該発光素子は電流駆動型の発光素子であればよく、例えば、無機 E L 素子であってもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【 0 1 4 8 】

また、例えば、本発明に係る表示装置は、図 8 に記載されたような薄型フラット T V に内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット T V が実現される。

【 0 1 4 9 】

また、本発明に係る実施の形態 1 及び 2 では、走査線を共用する隣接する発光画素行において、上段行が奇数画素行及び下段行が偶数画素行である場合を例示したが、隣接する発光画素行の組み合わせとして上段行が偶数画素行及び下段行が奇数画素行であってもよい。

【産業上の利用可能性】

【 0 1 5 0 】

本発明の表示装置及びその駆動方法は、壁掛けテレビや大型のモニタ等に有用であり、また、高精細なタブレット型 P C などのモニタとしても有用である。

【符号の説明】

【 0 1 5 1 】

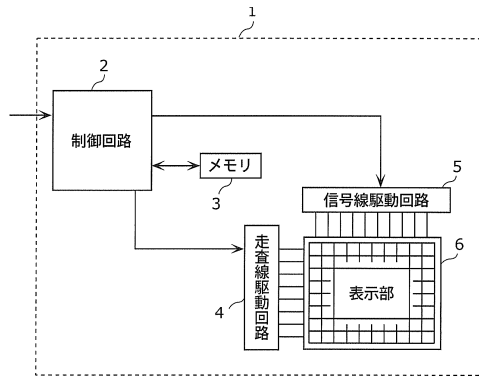
- 1 表示装置
- 2 制御回路
- 3 メモリ
- 4、5 0 4 走査線駆動回路
- 5、5 0 5 信号線駆動回路
- 6 表示部
- 1 0 A、1 0 B、3 0 A、3 0 B、5 1 0 発光画素
- 1 1 A、1 1 B、1 2 A、1 2 B、1 9 A、1 9 B、2 3 A、2 3 B、3 1 A、3 1 B
- 、3 2 A、3 2 B、5 1 1、5 1 2、5 1 9 スイッチトランジスタ
- 1 3 A、1 3 B、3 3 A、3 3 B、5 1 3 コンデンサ
- 1 4 A、1 4 B、5 1 4 駆動トランジスタ
- 1 5 A、1 5 B、5 1 5 有機 E L 素子
- 1 6、3 6、5 1 6 信号線
- 1 7、5 1 7、5 1 8 走査線
- 1 8 A、1 8 B 制御線
- 2 0、5 2 0 参照電源線
- 2 1、5 2 1 正電源線
- 2 2、5 2 2 負電源線
- 5 0 0 有機 E L 表示装置

10

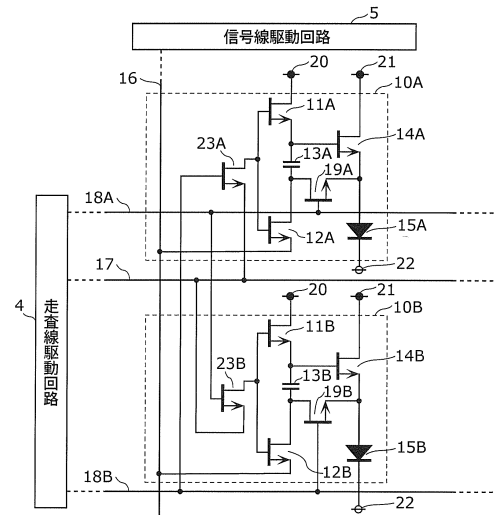
20

30

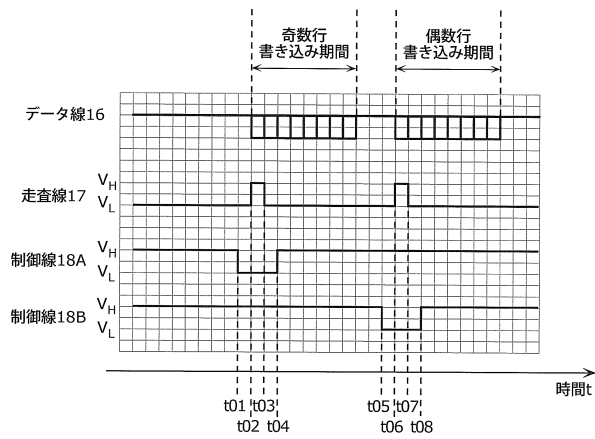
【図 1】



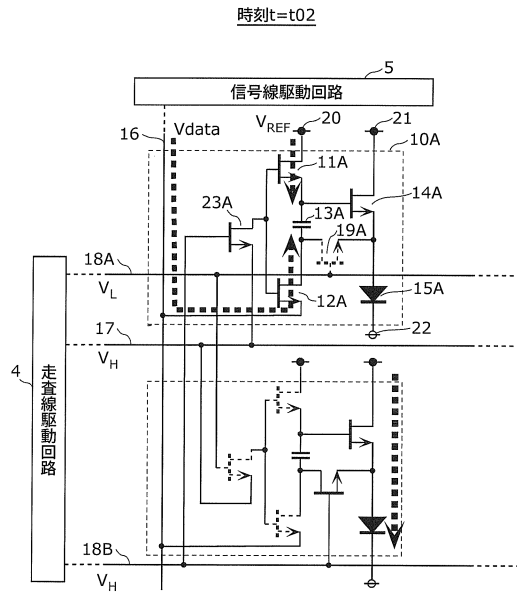
【図 2】



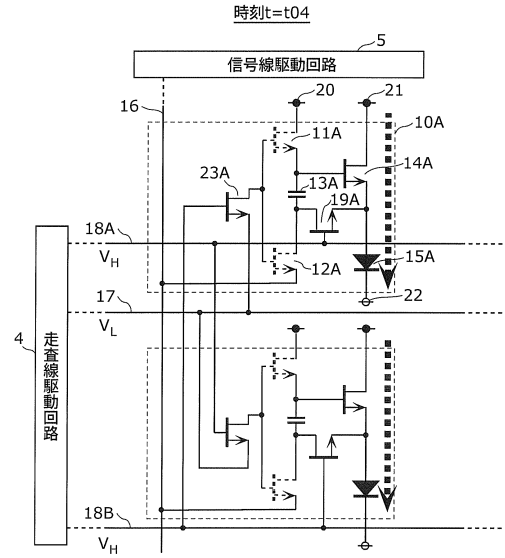
【図 3】



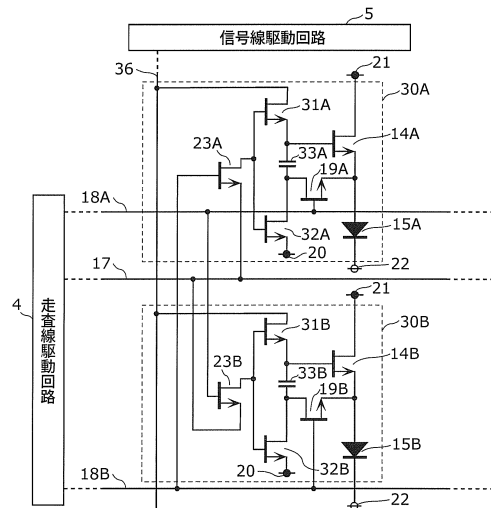
【図4B】



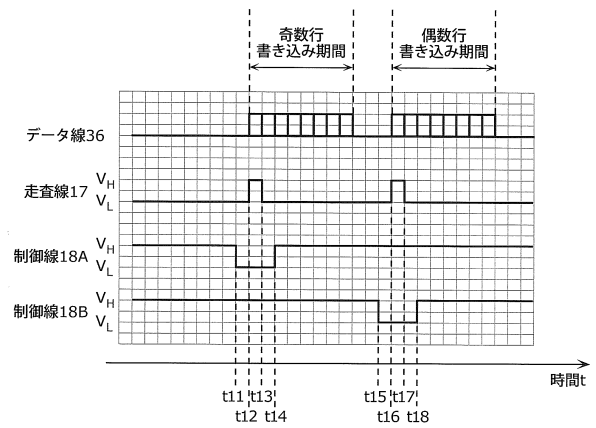
【図4C】



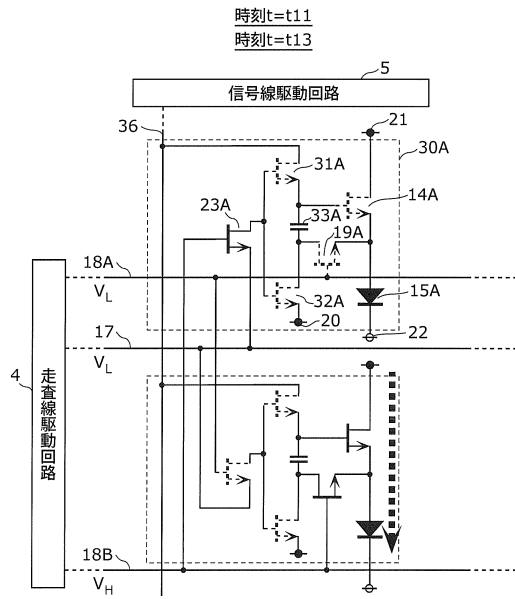
【図5】



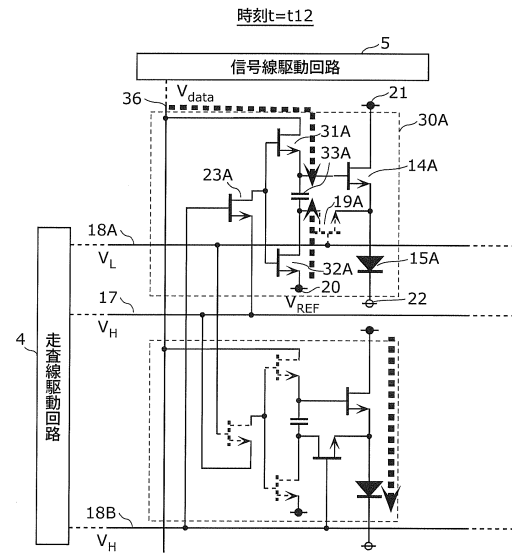
【図6】



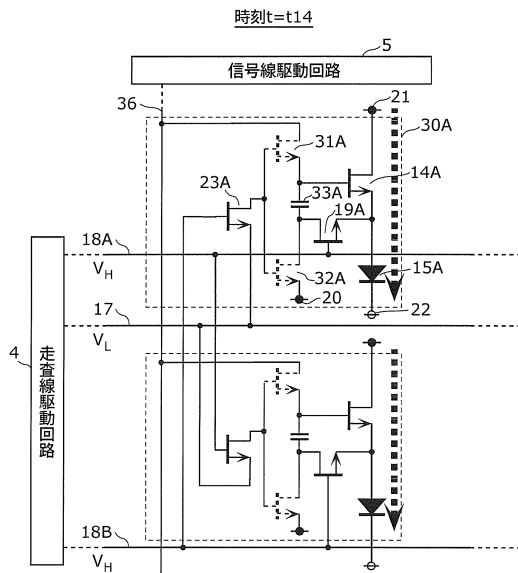
【図 7 A】



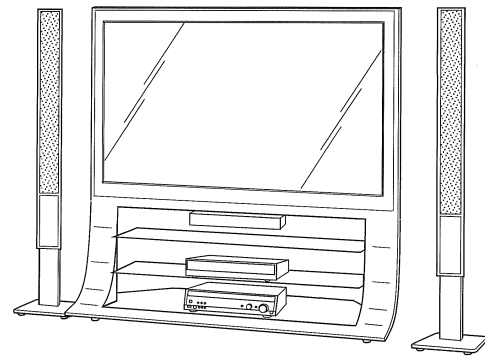
【図 7 B】



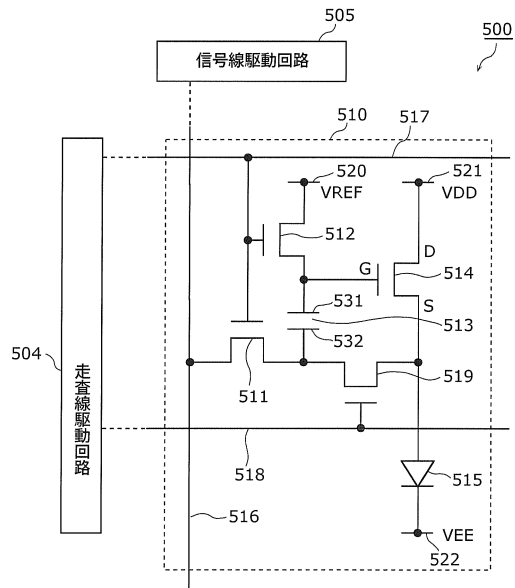
【図 7 C】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 W
	G 0 9 G	3/20	6 2 3 U
	H 0 5 B	33/14	A
	H 0 5 B	33/14	Z

(56) 参考文献 特開 2 0 0 7 - 3 1 6 4 5 5 (J P , A)
特開 2 0 0 9 - 2 3 7 0 6 8 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G 0 9 G	3 / 3 0
G 0 9 G	3 / 2 0
H 0 1 L	5 1 / 5 0
H 0 5 B	3 3 / 1 4

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5778545B2	公开(公告)日	2015-09-16
申请号	JP2011229824	申请日	2011-10-19
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	若林俊一		
发明人	若林 俊一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.A G09G3/20.622.M G09G3/20.621.M G09G3/20.623.W G09G3/20.623.U H05B33/14.A H05B33/14.Z G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC05 3K107/CC14 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD23 5C080/DD26 5C080/EE19 5C080/FF11 5C080/GG08 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB45 5C380/AC07 5C380/AC08 5C380/BA01 5C380/BA12 5C380/BA14 5C380/BA19 5C380/CA12 5C380/CA45 5C380/CB01 5C380/CB25 5C380/CC03 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC34 5C380/CC52 5C380/CC55 5C380/CC63 5C380/CD014 5C380/CD015 5C380/DA06		
代理人(译)	吉川修 Sobashima正雄		
其他公开文献	JP2013088657A		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2011-229824 (P2011-229824) (22) 出願日 平成23年10月19日 (2011.10.19) (65) 公開番号 特開2013-88657 (P2013-88657A) (43) 公開日 平成25年5月13日 (2013.5.13) 審査請求日 平成26年8月29日 (2014.8.29)	(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 100189430 弁理士 吉川 修一 (74) 代理人 100190805 弁理士 橋島 正朗 (72) 発明者 若林 俊一 大阪府門真市大字門真1006番地 パナソニック株式会社内 審査官 山崎 仁之
要解决的问题：提供一种显示装置及其驱动方法，即使当行方向上的控制配线的数量减少并且提供高清晰度时，该显示装置及其驱动方法也能够抑制功耗的增加。 解决方案：本发明的显示装置1的发光像素10A和10B分别包括有机EL元件15A和15B，电容器13A和13B，驱动晶体管14A和14B，信号线16和电容器13A和13B。开关晶体管12A和12B用于在驱动晶体管14A和14B的源极与电容器13A和13B之间进行导通，并且开关晶体管19A和19B用于使开关晶体管12A和12B的栅极与扫描线17导通开关晶体管19A和23B的栅极连接到控制线18A，并且开关晶体管23A和19B的栅极连接到控制线18B。 .The	最終頁に続く	