

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5456901号
(P5456901)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月17日(2014.1.17)

(51) Int.Cl.

F I

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	622L
H01L	51/50	(2006.01)	G09G	3/20	622D
H04N	5/70	(2006.01)	G09G	3/20	623V
			G09G	3/20	623C

請求項の数 9 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2012-532724 (P2012-532724)
 (86) (22) 出願日 平成22年9月6日(2010.9.6)
 (86) 国際出願番号 PCT/JP2010/005453
 (87) 国際公開番号 W02012/032559
 (87) 国際公開日 平成24年3月15日(2012.3.15)
 審査請求日 平成25年3月14日(2013.3.14)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 小野 晋也
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の発光画素を有する表示装置であって、
 発光画素列ごとに配置され、発光画素の輝度を決定する信号電圧を前記発光画素に与える第1信号線及び第2信号線と、

第1電源線及び第2電源線と、

発光画素行ごとに配置された走査線と、

発光画素行ごとに配置された、第1制御線及び第2制御線とを備え、

前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成し、

前記複数の発光画素のそれぞれは、

一方の端子が前記第2電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、

ソース及びドレインの一方が前記第1電源線に接続され、ゲート-ソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、

一方の端子が前記駆動トランジスタのゲートに接続された第1容量素子と、

一方の端子が前記第1容量素子の一方の端子または他方の端子に接続され、他方の端子が前記駆動トランジスタのソースに接続された第2容量素子と、

ゲートが前記第2制御線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記駆動トランジスタのドレインに

10

20

接続された第 1 スイッチングトランジスタと、

ゲートが前記第 1 制御線に接続され、ソース及びドレインが前記駆動トランジスタのソース及びドレインの他方と前記発光素子の他方の端子との間に挿入された第 2 スイッチングトランジスタとを備え、

k (k は自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記第 1 容量素子の他方の端子に接続された第 3 スイッチングトランジスタを備え、

($k + 1$) 番目の駆動ブロックに属する前記発光画素は、さらに、

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記第 1 容量素子の他方の端子に接続された第 4 スイッチングトランジスタを備え、

前記第 2 制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立しており、

前記表示装置は、

前記 k 番目の駆動ブロックの発光画素に前記発光素子を発光させるための輝度信号電圧を書き込む期間において、前記 ($k + 1$) 番目の駆動ブロックの発光画素における前記駆動トランジスタの閾値電圧を補正する

表示装置。

【請求項 2】

さらに、前記第 1 制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している

請求項 1 に記載の表示装置。

【請求項 3】

さらに、前記第 1 信号線、前記第 2 信号線、前記第 1 制御線、前記第 2 制御線及び前記走査線を制御して前記発光画素を駆動する駆動回路を具備し、

前記駆動回路は、

前記第 1 制御線からの制御信号により前記第 2 スイッチングトランジスタをオンした状態で、前記走査線からの走査信号により前記第 3 スイッチングトランジスタをオン状態、かつ、前記第 2 制御線からの制御信号により k 番目の駆動ブロックの有する全ての前記第 1 スイッチングトランジスタをオン状態とすることで、前記駆動トランジスタのゲート - ソース間電圧が閾値電圧以上となる初期化電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、

前記第 1 及び第 3 スイッチングトランジスタをオンした状態で k 番目の駆動ブロックの有する全ての前記第 2 スイッチングトランジスタを同時にオフ状態とし、

前記第 1 制御線からの制御信号により前記第 2 スイッチングトランジスタをオンした状態で、前記走査線からの走査信号により前記第 4 スイッチングトランジスタをオン状態、かつ、前記第 2 制御線からの制御信号により ($k + 1$) 番目の駆動ブロックの有する全ての前記第 1 スイッチングトランジスタをオン状態とすることで、前記駆動トランジスタのゲート - ソース間電圧が閾値電圧以上となる初期化電圧を ($k + 1$) 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、

前記第 1 及び第 4 スイッチングトランジスタをオンした状態で ($k + 1$) 番目の駆動ブロックの有する全ての前記第 2 スイッチングトランジスタを同時にオフ状態とする

請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記信号電圧は、前記輝度信号電圧、及び、前記駆動トランジスタの閾値電圧に対応した電圧を前記第 1 及び第 2 容量素子に記憶させるための基準電圧からなり、

前記表示装置は、さらに、

前記信号電圧を前記第 1 信号線及び前記第 2 信号線に出力する信号線駆動回路と、

前記信号線駆動回路が前記信号電圧を出力するタイミングを制御するタイミング制御回

10

20

30

40

50

路とを備え、

前記タイミング制御回路は、前記信号線駆動回路に前記第1信号線へ前記輝度信号電圧を出力させている間には前記第2信号線へ前記基準電圧を出力させ、前記第2信号線へ前記輝度信号電圧を出力させている間には前記第1信号線へ前記基準電圧を出力させる

請求項1～3のうちいずれか1項に記載の表示装置。

【請求項5】

全ての前記発光画素を書き換える時間を T_f とし、前記駆動ブロックの総数を N とすると、

前記駆動トランジスタの閾値電圧を検出する時間は、

最大で T_f / N である

請求項1～4のうちいずれか1項に記載の表示装置。

【請求項6】

発光画素がマトリクス状に配置され、複数の前記発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成する表示装置の駆動方法であって、

前記表示装置は、

発光画素列ごとに配置され、輝度信号電圧または基準電圧を前記発光画素に与える第1信号線及び第2信号線と、

第1電源線及び第2電源線と、

発光画素行ごとに配置された走査線と、

発光画素行ごとに配置された、第1制御線及び第2制御線とを備え、

前記発光画素のそれぞれは、

ソース及びドレインの一方が前記第1電源線に接続され、ゲート-ソース間に印加される前記輝度信号電圧を前記信号電流に変換する駆動トランジスタと、

一方の端子が前記第2電源線に接続され、前記信号電流が流れることにより発光する発光素子と、

一方の端子が前記駆動トランジスタのゲートに接続された第1容量素子と、

一方の端子が前記第1容量素子の一方の端子または他方の端子に接続され、他方の端子が前記駆動トランジスタのソースに接続された第2容量素子と、

ゲートが前記第2制御線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記駆動トランジスタのドレインに接続された第1スイッチングトランジスタと、

ゲートが前記第1制御線に接続され、ソース及びドレインが前記駆動トランジスタのソース及びドレインの他方と前記発光素子の他方の端子との間に挿入された第2スイッチングトランジスタとを備え、

k (k は自然数)番目の駆動ブロックに属する前記発光画素は、さらに、

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第1信号線に接続され、ソース及びドレインの他方が前記第1容量素子の他方の端子に接続された第3スイッチングトランジスタを備え、

$(k + 1)$ 番目の駆動ブロックに属する前記発光画素は、さらに、

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第2信号線に接続され、ソース及びドレインの他方が前記第1容量素子の他方の端子に接続された第4スイッチングトランジスタを備え、

前記表示装置の駆動方法は、

k 番目の駆動ブロックの有する全ての前記第1容量素子または前記第2容量素子に、前記駆動トランジスタの閾値電圧に対応した電圧を同時に保持させる第1閾値保持ステップと、

前記第1閾値保持ステップの後、 k 番目の駆動ブロックの有する前記発光画素において、前記第1容量素子及び前記第2容量素子に、前記閾値電圧に対応した電圧に前記輝度信号電圧に対応した電圧が加算された加算電圧を発光画素行順に保持させる第1輝度保持ステップと、

10

20

30

40

50

前記第 1 閾値保持ステップの後、($k + 1$) 番目の駆動ブロックの有する全ての前記第 1 容量素子または前記第 2 容量素子に、前記駆動トランジスタの閾値電圧に対応した電圧を同時に保持させる第 2 閾値保持ステップとを含み、

前記第 1 閾値保持ステップは、

前記第 1 信号線から前記基準電圧が供給されることにより前記駆動トランジスタのゲート - ソース間電圧が閾値電圧以上となる初期化電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加する第 1 初期化ステップと、

前記第 1 初期化ステップの後、前記 k 番目の駆動ブロックの有する全ての前記駆動トランジスタと前記発光素子とを同時に非導通とする第 1 非導通ステップとを含み、

前記第 2 閾値保持ステップは、

前記第 2 信号線から前記基準電圧が供給されることにより前記初期化電圧を ($k + 1$) 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加する第 2 初期化ステップと、

前記第 2 初期化ステップの後、前記 ($k + 1$) 番目の駆動ブロックの有する全ての前記駆動トランジスタと前記発光素子とを同時に非導通とする第 2 非導通ステップとを含み、

前記第 1 輝度保持ステップが行われる期間において、前記第 2 閾値保持ステップが行われる

表示装置の駆動方法。

【請求項 7】

前記第 1 初期化ステップでは、

前記第 2 スイッチングトランジスタを導通とした状態で、

ゲートが発光画素行ごとに配置された走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記第 1 容量素子の他方の端子に接続された、第 3 スイッチングトランジスタを導通させ、さらに、ゲートが前記発光画素行ごとに配置された第 2 制御線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記駆動トランジスタのドレインに接続された第 1 スイッチングトランジスタを導通させることにより、前記初期化電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、

前記第 1 非導通ステップでは、

k 番目の駆動ブロックの有する全ての前記第 2 スイッチングトランジスタを非導通とすることにより、 k 番目の駆動ブロックの有する全ての駆動トランジスタの閾値電圧を検出し、検出した閾値電圧を前記第 1 容量素子または前記第 2 容量素子に保持させ、

前記第 2 初期化ステップでは、

前記第 2 スイッチングトランジスタを導通とした状態で、

ゲートが発光画素行ごとに配置された走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記第 1 容量素子の他方の端子に接続された、第 4 スイッチングトランジスタを導通させ、さらに、ゲートが前記発光画素行ごとに配置された第 2 制御線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記駆動トランジスタのドレインに接続された第 1 スイッチングトランジスタを導通させることにより、前記初期化電圧を ($k + 1$) 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに印加し、

前記第 2 非導通ステップでは、

($k + 1$) 番目の駆動ブロックの有する全ての前記第 2 スイッチングトランジスタを非導通とすることにより、($k + 1$) 番目の駆動ブロックの有する全ての駆動トランジスタの閾値電圧を検出し、検出した閾値電圧を前記第 1 容量素子または前記第 2 容量素子に保持させ、

前記第 1 輝度保持ステップでは、

前記第 3 スイッチングトランジスタを導通させることにより、前記第 1 信号線から供給

10

20

30

40

50

された前記輝度信号電圧に対応した電圧を前記駆動トランジスタのゲートに印加する
請求項 6 に記載の表示装置の駆動方法。

【請求項 8】

さらに、

前記第 1 輝度保持ステップの後、前記駆動トランジスタのドレイン電流として、k 番目の駆動ブロックの有する全ての前記発光素子に、同時に前記信号電流を流して発光させる第 1 発光ステップを含む

請求項 6 または 7 に記載の表示装置の駆動方法。

【請求項 9】

さらに、

前記第 2 閾値保持ステップの後、(k + 1) 番目の駆動ブロックの有する前記発光画素において、前記第 1 容量素子及び前記第 2 容量素子に、前記閾値電圧に対応した電圧に前記輝度信号電圧に対応した電圧が加算された加算電圧を発光画素行順に保持させる第 2 輝度保持ステップと、

前記第 2 輝度保持ステップの後、前記駆動トランジスタのドレイン電流として、(k + 1) 番目の駆動ブロックの有する全ての前記発光素子に、同時に前記信号電流を流して発光させる第 2 発光ステップとを含む

請求項 6 ~ 8 のうちいずれか 1 項に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス (EL) 素子を用いた表示装置が知られている。この自発光する有機 EL 素子を用いた有機 EL 表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機 EL 表示装置に用いられる有機 EL 素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

【0003】

有機 EL 表示装置では、通常、画素を構成する有機 EL 素子がマトリクス状に配置される。複数の行電極 (走査線) と複数の列電極 (データ線) との交点に有機 EL 素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機 EL 素子を駆動するものをパッシブマトリクス型の有機 EL ディスプレイと呼ぶ。

【0004】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ (TFT: Thin Film Transistor) を設け、このスイッチング TFT に駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチング TFT をオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機 EL 素子を駆動するものをアクティブマトリクス型の有機 EL 表示装置と呼ぶ。

【0005】

アクティブマトリクス型の有機 EL 表示装置は、各行電極 (走査線) を選択している期間のみ、それに接続された有機 EL 素子が発光するパッシブマトリクス型の有機 EL 表示装置とは異なり、次の走査 (選択) まで有機 EL 素子を発光させることが可能であるため、デューティ比が上がってもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機 EL 表示装置は、低電圧で駆動でき、低消費電力化が可能となる。しかしながら、アクティブマトリクス型の有機 EL ディスプレイでは、駆動トラ

10

20

30

40

50

ンジスタの特性のばらつきに起因して、同じデータ信号を与えても、各画素において有機EL素子の輝度が異なり、輝度ムラが発生するという欠点がある。

【0006】

この問題に対し、例えば、特許文献1では、駆動トランジスタの特性のばらつきによる輝度ムラの補償方法として、簡単な画素回路で、画素ごとの特性バラツキを補償する方法が開示されている。

【0007】

図12は、特許文献1に記載された従来の画像表示装置の構成を示すブロック図である。同図に記載された画像表示装置500は、画素アレイ部502と、これを駆動する駆動部とからなる。画素アレイ部502は、行ごとに配置された走査線701～70mと、列ごとに配置された信号線601～60nと、両者が交差する部分に配置された行列状の発光画素501と、行ごとに配置された給電線801～80mとを備える。また、駆動部は、信号セレクタ503と、走査線駆動部504と、給電線駆動部505とを備える。

10

【0008】

走査線駆動部504は、各走査線701～70mに水平周期(1H)で順次制御信号を供給して発光画素501を行単位で線順次走査する。給電線駆動部505は、この線順次走査に合わせて各給電線801～80mに第1電圧と第2電圧とで切り換わる電源電圧を供給する。信号セレクタ503は、この線順次走査に合わせて映像信号となる輝度信号電圧と基準電圧とを切り換えて列状の信号線601～60nに供給する。

【0009】

ここで、列状の信号線601～60nは、それぞれ、列ごとに2本配置されており、一方の信号線は奇数行の発光画素501に基準電圧及び輝度信号電圧を供給し、他方の信号線は偶数行の発光画素501に基準電圧及び輝度信号電圧を供給している。

20

【0010】

図13は、特許文献1に記載された従来の画像表示装置の有する発光画素の回路構成図である。なお、同図には1行目かつ1列目の発光画素501を記載している。この発光画素501に対して走査線701、給電線801及び信号線601が配されている。なお、信号線601は2本あるうちの1本が、発光画素501に接続されている。発光画素501は、スイッチングトランジスタ511と、駆動トランジスタ512と、保持容量513と、発光素子514とを備える。スイッチングトランジスタ511は、ゲートが走査線701に、ソース及びドレインの一方が信号線601に、その他方が駆動トランジスタ512のゲートにそれぞれ接続されている。駆動トランジスタ512は、ソースが発光素子514のアノードに、ドレインが給電線801にそれぞれ接続されている。発光素子514は、カソードが接地配線515に接続されている。保持容量513は、駆動トランジスタ512のソース及びゲートに接続されている。

30

【0011】

上記構成において、給電線駆動部505は、信号線601が基準電圧である状態で、給電線801を第1電圧(高電圧)から第2電圧(低電圧)に切り換える。走査線駆動部504は、同じく信号線601が基準電圧である状態で、走査線701の電圧を“H”レベルにしてスイッチングトランジスタ511を導通させ、基準電圧を駆動トランジスタ512のゲートに印加するとともに、駆動トランジスタ512のソースを第2電圧に設定する。以上の動作により、駆動トランジスタ512の閾値電圧 V_{th} の補正のための準備が完了する。続いて、給電線駆動部505は、信号線601の電圧が基準電圧から輝度信号電圧に切り換わる前の補正期間で、給電線801の電圧を第2電圧から第1電圧に切り換えて、駆動トランジスタ512の閾値電圧 V_{th} に相当する電圧を保持容量513に保持させる。次に、スイッチングトランジスタ511の電圧を“H”レベルにして輝度信号電圧を保持容量513に保持させる。つまり、この輝度信号電圧は、先に保持された駆動トランジスタ512の閾値電圧 V_{th} に相当する電圧に加算されて保持容量513に書き込まれる。そして、駆動トランジスタ512は、第1電圧にある給電線801から電流の供給を受け、上記保持電圧に応じた駆動電流を発光素子514に流す。

40

50

【 0 0 1 2 】

上述した動作では、信号線 6 0 1 は列ごとに 2 本配置されていることにより、各信号線が基準電圧にある時間帯を長くしている。よって、駆動トランジスタ 5 1 2 の閾値電圧 V_{th} に相当する電圧を保持容量 5 1 3 に保持するための補正期間を確保するようにしている。

【 0 0 1 3 】

図 1 4 は、特許文献 1 に記載された画像表示装置の動作タイミングチャートである。同図には、上から順に、1 ライン目の走査線 7 0 1 及び給電線 8 0 1、2 ライン目の走査線 7 0 2 及び給電線 8 0 2、3 ライン目の走査線 7 0 3 及び給電線 8 0 3、奇数行の発光画素に割り当てられた信号線、偶数行の発光画素に割り当てられた信号線の信号波形が記載されている。走査線に印加される走査信号は、1 水平期間 (1 H) ずつ順次 1 ラインごとにシフトしていく。1 ライン分の走査線に印加される走査信号は、2 個のパルスを含んでいる。1 番目のパルスは時間幅が長く 1 H 以上である。2 番目のパルスは時間幅が狭く、1 H の一部である。1 番目のパルスは上述した閾値補正期間に対応し、2 番目のパルスは信号電圧サンプリング期間及び移動度補正期間に対応している。また、給電線に供給される電源パルスも 1 H 周期で 1 ラインごとにシフトしていく。これに対して、各信号線は 2 H に 1 回、信号電圧が印加され、基準電圧にある時間帯を 1 H 以上確保することが可能となる。

10

【 0 0 1 4 】

以上のように、特許文献 1 に記載された従来の画像表示装置では、発光画素ごとに駆動トランジスタ 5 1 2 の閾値電圧 V_{th} がばらついても、十分な閾値補正期間が確保されることにより、発光画素ごとに当該ばらつきはキャンセルされ、画像の輝度ムラ抑止が図られる。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 1 5 】

【 特許文献 1 】 特開 2 0 0 8 - 1 2 2 6 3 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

しかしながら、特許文献 1 に記載された従来の画像表示装置は、発光画素行ごとに配置された走査線及び給電線の信号レベルのオンオフが多い。例えば、閾値補正期間を発光画素行ごとに設定しなければならない。また、信号線からスイッチングトランジスタを介して輝度信号電圧がサンプリングされると、引き続いて発光期間を設けなければならない。よって、画素行ごとの閾値補正タイミング及び発光タイミングを設定する必要がある。このため、表示パネルが大面積化されるにつれ、行数も増加するので、各駆動回路から出力される信号が多くなり、また、その信号切り換えの周波数が高くなり、走査線駆動回路及び給電線駆動回路の信号出力負荷が大きくなる。

30

【 0 0 1 7 】

また、特許文献 1 に記載された従来の画像表示装置は、駆動トランジスタの閾値電圧 V_{th} の補正期間は 2 H 未満であり、高精度の補正が要求される表示装置としては限界がある。

40

【 0 0 1 8 】

上記課題に鑑み、本発明は、駆動回路の出力負荷が低減され、高精度の閾値電圧補正により表示品質が向上した表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 9 】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに配置され、発光画素の輝度を決定する信号電圧を前記発光画素に与える第 1 信号線及び第 2 信号線と、第 1 電源

50

線及び第2電源線と、発光画素行ごとに配置された走査線と、発光画素行ごとに配置された、第1制御線及び第2制御線とを備え、前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成し、前記複数の発光画素のそれぞれは、一方の端子が前記第2電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、ソース及びドレインの一方が前記第1電源線に接続され、ゲート・ソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続された第1容量素子と、一方の端子が前記第1容量素子の一方の端子または他方の端子に接続され、他方の端子が前記駆動トランジスタのソースに接続された第2容量素子と、ゲートが前記第2制御線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記駆動トランジスタのドレインに接続された第1スイッチングトランジスタと、ゲートが前記第1制御線に接続され、ソース及びドレインが前記駆動トランジスタのソース及びドレインの他方と前記発光素子の他方の端子との間に挿入された第2スイッチングトランジスタとを備え、 k (k は自然数)番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第1信号線に接続され、ソース及びドレインの他方が前記第1容量素子の他方の端子に接続された第3スイッチングトランジスタを備え、 $(k+1)$ 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第2信号線に接続され、ソース及びドレインの他方が前記第1容量素子の他方の端子に接続された第4スイッチングトランジスタを備え、前記第2制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している。

10

20

【発明の効果】

【0020】

本発明の表示装置およびその駆動方法によれば、駆動トランジスタの閾値補正期間及びタイミングを駆動ブロック内で一致させることが可能となるので信号レベルのオンからオフもしくはオフからオンへの切替え回数を減らすことができ、発光画素の回路を駆動する駆動回路の負荷が低減する。上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタの閾値補正期間を1フレーム期間に対して大きくとることができるので、高精度な駆動電流が発光素子に流れ、画像表示品質が向上する。

【図面の簡単な説明】

30

【0021】

【図1】図1は、本発明の実施の形態1に係る表示装置の電気的な構成を示すブロック図である。

【図2A】図2Aは、本発明の実施の形態1に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図2B】図2Bは、本発明の実施の形態1に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

【図3】図3は、本発明の実施の形態1に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図4A】図4Aは、本発明の実施の形態1に係る表示装置の駆動方法の動作タイミングチャートである。

40

【図4B】図4Bは、本発明の実施の形態1に係る駆動方法により発光した駆動ブロックの状態遷移図である。

【図5】図5は、本発明の実施の形態1に係る表示装置の有する発光画素の状態遷移図である。

【図6】図6は、本発明の実施の形態1に係る表示装置の動作フローチャートである。

【図7】図7は、走査線及び信号線の波形特性を説明する図である。

【図8】図8は、本発明の実施の形態2に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図9A】図9Aは、本発明の実施の形態2に係る表示装置の駆動方法の動作タイミング

50

チャートである。

【図 9 B】図 9 B は、本発明の実施の形態 2 に係る駆動方法により発光した駆動ブロックの状態遷移図である。

【図 10 A】図 10 A は、本発明の実施の形態 3 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図 10 B】図 10 B は、本発明の実施の形態 3 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

【図 11】図 11 は、本発明の表示装置を内蔵した薄型フラット TV の外観図である。

【図 12】図 12 は、特許文献 1 に記載された従来の画像表示装置の構成を示すブロック図である。

【図 13】図 13 は、特許文献 1 に記載された従来の画像表示装置の有する発光画素の回路構成図である。

【図 14】図 14 は、特許文献 1 に記載された画像表示装置の動作タイミングチャートである。

【発明を実施するための形態】

【0022】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに配置され、発光画素の輝度を決定する信号電圧を前記発光画素に与える第 1 信号線及び第 2 信号線と、第 1 電源線及び第 2 電源線と、発光画素行ごとに配置された走査線と、発光画素行ごとに配置された、第 1 制御線及び第 2 制御線とを備え、前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした 2 以上の駆動ブロックを構成し、前記複数の発光画素のそれぞれは、一方の端子が前記第 2 電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、ソース及びドレインの一方が前記第 1 電源線に接続され、ゲート・ソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続された第 1 容量素子と、一方の端子が前記第 1 容量素子の一方の端子または他方の端子に接続され、他方の端子が前記駆動トランジスタのソースに接続された第 2 容量素子と、ゲートが前記第 2 制御線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記駆動トランジスタのドレインに接続された第 1 スイッチングトランジスタと、ゲートが前記第 1 制御線に接続され、ソース及びドレインが前記駆動トランジスタのソース及びドレインの他方と前記発光素子の他方の端子との間に挿入された第 2 スイッチングトランジスタとを備え、 k (k は自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記第 1 容量素子の他方の端子に接続された第 3 スイッチングトランジスタを備え、 $(k + 1)$ 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記第 1 容量素子の他方の端子に接続された第 4 スイッチングトランジスタを備え、前記第 2 制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している。

【0023】

本態様によれば、駆動トランジスタのゲート・ドレイン間に挿入された第 1 スイッチングトランジスタ、駆動トランジスタから発光画素への電流パスを接続する第 2 スイッチングトランジスタ、第 1 容量素子及び第 2 容量素子が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置により、駆動トランジスタの閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力し信号電圧を制御する駆動回路の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された 2 本の信号線により、駆動トランジスタの閾値補正期間を、全発光画素を書き換える時間である 1 フレーム期間 T_f のなかで大きくとることができる。これは、 k 番目の駆動ブロックにおいて輝度

10

20

30

40

50

信号電圧がサンプリングされている期間に、(k + 1) 番目の駆動ブロックにおいて閾値補正期間が設けられることによるものである。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごとに分割される。よって、表示領域が大面積化されるほど、発光デューティを減少させることなく、1 フレーム期間に対する相対的な閾値補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0024】

また、本発明の一態様に係る表示装置は、さらに、前記第1制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立していてもよい。

10

【0025】

本態様によれば、駆動トランジスタから発光画素への電流パスを接続する第2スイッチングトランジスタを、第1制御線により同一ブロック内で同時制御することにより、同一ブロック内での同時発光を実現することが可能となり。さらに、第2スイッチングトランジスタを制御する信号を第1制御線に出力する駆動回路の負荷が低減する。

【0026】

また、本発明の一態様に係る表示装置は、さらに、前記第1信号線、前記第2信号線、前記第1制御線、前記第2制御線及び前記走査線を制御して前記発光画素を駆動する駆動回路を具備し、前記駆動回路は、前記第1制御線からの制御信号により前記第2スイッチングトランジスタをオンした状態で、前記走査線からの走査信号により前記3スイッチングトランジスタをオン状態、かつ、前記第2制御線からの制御信号によりk番目の駆動ブロックの有する全ての前記第1スイッチングトランジスタをオン状態とすることで、前記駆動トランジスタのゲート-ソース間電圧が閾値電圧以上となる初期化電圧をk番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、前記第1及び第3スイッチングトランジスタをオンした状態でk番目の駆動ブロックの有する全ての前記第2スイッチングトランジスタを同時にオフ状態とし、前記第1制御線からの制御信号により前記第2スイッチングトランジスタをオンした状態で、前記走査線からの走査信号により前記第4スイッチングトランジスタをオン状態、かつ、前記第2制御線からの制御信号により(k + 1)番目の駆動ブロックの有する全ての前記第1スイッチングトランジスタをオン状態とすることで、前記駆動トランジスタのゲート-ソース間電圧が閾値電圧以上となる初期化電圧を(k + 1)番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、前記第1及び第4スイッチングトランジスタをオンした状態で(k + 1)番目の駆動ブロックの有する全ての前記第2スイッチングトランジスタを同時にオフ状態としてもよい。

20

30

【0027】

本態様によれば、前記第1信号線、前記第2信号線、前記第1制御線、前記第2制御線及び前記走査線の電圧を制御する駆動回路が、閾値補正期間、信号電圧書き込み期間及び発光期間を制御する。

【0028】

また、本発明の一態様に係る表示装置は、前記信号電圧は、前記発光素子を発光させるための輝度信号電圧、及び、前記駆動トランジスタの閾値電圧に対応した電圧を前記第1及び第2容量素子に記憶させるための基準電圧からなり、前記表示装置は、さらに、前記信号電圧を前記第1信号線及び前記第2信号線に出力する信号線駆動回路と、前記信号線駆動回路が前記信号電圧を出力するタイミングを制御するタイミング制御回路とを備え、前記タイミング制御回路は、前記信号線駆動回路に前記第1信号線へ前記輝度信号電圧を出力させている間には前記第2信号線へ前記基準電圧を出力させ、前記第2信号線へ前記輝度信号電圧を出力させている間には前記第1信号線へ前記基準電圧を出力させてもよい。

40

【0029】

本態様によれば、k番目の駆動ブロックにおいて輝度信号電圧がサンプリングされてい

50

る期間に、 $(k + 1)$ 番目の駆動ブロックにおいて閾値補正期間が設けられる。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されるほど、1フレーム期間に対する相対的な閾値補正期間を長く設けることが可能となる。

【0030】

また、本発明の一態様に係る表示装置は、全ての前記発光画素を書き換える時間を T_f とし、前記駆動ブロックの総数を N とすると、前記駆動トランジスタの閾値電圧を検出する時間は、最大で T_f / N であってもよい。

【0031】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

(実施の形態1)

本実施の形態における表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに配置された第1信号線及び第2信号線と、発光画素行ごとに配置された第1制御線及び第2制御線とを備え、複数の発光画素は、複数の発光画素行を一単位とした2以上の駆動ブロックを構成し、複数の発光画素のそれぞれは、信号電圧に応じた信号電流が流れることにより発光する発光素子と、ゲート-ソース間に印加される信号電圧を信号電流に変換する駆動トランジスタと、一方の端子が駆動トランジスタのゲートに接続された第1容量素子と、一方の端子が第1容量素子の他方の端子に接続された第2容量素子と、駆動トランジスタのゲート-ドレイン間に挿入され、第2制御線からの制御信号に応じてオン及びオフする第1スイッチングトランジスタと、駆動トランジスタのドレインと発光素子との間に挿入され第1制御線からの制御信号に応じてオン及びオフする第2スイッチングトランジスタとを備え、奇数番目の駆動ブロックに属する発光画素は、さらに、第1信号線と駆動トランジスタのゲートとの間に挿入された第3スイッチングトランジスタを備え、偶数番目の駆動ブロックに属する発光画素は、さらに、第2信号線と駆動トランジスタのゲートとの間に挿入された第4スイッチングトランジスタを備え、第1制御線及び第2制御線は、同一駆動ブロックの全発光画素では共通化されており、異なる駆動ブロック間では独立している。

【0032】

これにより、駆動トランジスタの閾値補正期間及び発光期間を駆動ブロック内で一致させることが可能となる。よって、駆動回路の負担負荷が低減する。また、閾値補正期間を1フレーム期間に対して大きくとることができるので、画像表示品質が向上する。

【0033】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0034】

図1は、本発明の実施の形態1に係る表示装置の電気的な構成を示すブロック図である。同図における表示装置1は、表示パネル10と、タイミング制御回路20と、電圧制御回路30とを備える。表示パネル10は、複数の発光画素11A及び11Bと、信号線群12と制御線群13と走査/制御線駆動回路14と、信号線駆動回路15とを備える。

【0035】

発光画素11A及び11Bは、表示パネル10上に、マトリクス状に配置されている。ここで、発光画素11A及び11Bは、複数の発光画素行を一駆動ブロックとする2以上の駆動ブロックを構成している。発光画素11Aは、 k (k は自然数) 番目の駆動ブロックを構成し、また、発光画素11Bは $(k + 1)$ 番目の駆動ブロックを構成する。ただし、表示パネル10を N 個の駆動ブロックに分割したとすると、 $(k + 1)$ は N 以下の自然数である。これは、例えば、発光画素11Aは奇数番目の駆動ブロックを構成し、発光画素11Bは偶数番目の駆動ブロックを構成するということを意味する。以降の実施の形態1~3では、 k 番目の駆動ブロック及び $(k + 1)$ 番目の駆動ブロックを、それぞれ、奇数番目の駆動ブロック及び偶数番目の駆動ブロックと例示している。

10

20

30

40

50

【 0 0 3 6 】

信号線群 1 2 は、発光画素列ごとに配置された複数の信号線からなる。ここで、各発光画素列につき 2 本の信号線が配置されており、奇数番目の駆動ブロックの発光画素は第 1 信号線に接続され、偶数番目の駆動ブロックの発光画素は第 1 信号線とは異なる第 2 信号線に接続されている。

【 0 0 3 7 】

制御線群 1 3 は、発光画素ごとに配置された走査線及び制御線からなる。

【 0 0 3 8 】

走査 / 制御線駆動回路 1 4 は、制御線群 1 3 の各走査線へ走査信号を、また、各制御線へ制御信号を出力することにより、発光画素の有する回路素子を駆動する。

10

【 0 0 3 9 】

信号線駆動回路 1 5 は、信号線群 1 2 の各信号線へ輝度信号または基準信号を出力することにより、発光画素の有する回路素子を駆動する。言い換えると、信号線駆動回路 1 5 は、各信号線へ輝度信号及び基準信号からなる信号電圧を出力する。輝度信号は、発光素子を発光させるための電圧であり、具体的には、発光素子の輝度に対応する電圧である。基準信号は、駆動トランジスタの閾値電圧に対応した電圧を第 1 容量素子及び第 2 容量素子に記憶させるための電圧である。なお、輝度信号は輝度信号電圧という場合があり、基準信号は基準電圧という場合もある。

【 0 0 4 0 】

タイミング制御回路 2 0 は、走査 / 制御線駆動回路 1 4 から出力される走査信号及び制御信号の出力タイミングを制御する。また、タイミング制御回路 2 0 は、信号線駆動回路 1 5 から第 1 信号線及び第 2 信号線に出力される輝度信号または基準信号を出力するタイミングを制御し、第 1 信号線に輝度信号を出力している間には第 2 信号線に対し基準電圧を出力しており、第 2 信号線に輝度信号を出力している間には第 1 信号線に対し基準電圧を出力している。

20

【 0 0 4 1 】

電圧制御回路 3 0 は、走査 / 制御線駆動回路 1 4 から出力される走査信号及び制御信号の電圧レベルを制御する。なお、走査 / 制御線駆動回路 1 4、信号線駆動回路 1 5、タイミング制御回路 2 0 及び電圧制御回路 3 0 は、本発明の駆動回路に相当する。

【 0 0 4 2 】

図 2 A は、本発明の実施の形態 1 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図 2 B は、本発明の実施の形態 1 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図 2 A 及び図 2 B に記載された発光画素 1 1 A 及び 1 1 B は、いずれも、有機 E L (エレクトロルミネッセンス) 素子 1 1 3 と、駆動トランジスタ 1 1 4 と、静電保持容量 C 1 及び C 2 と、スイッチングトランジスタ 1 1 5、1 1 6 及び 1 1 7 と、第 1 制御線 1 3 1 と、第 2 制御線 1 3 2 と、走査線 1 3 3 と、第 1 信号線 1 5 1 と、第 2 信号線 1 5 2 とを備える。

30

【 0 0 4 3 】

図 2 A 及び図 2 B において、有機 E L 素子 1 1 3 は、カソードが負電源線である電源線 1 1 2 に接続されアノードがスイッチングトランジスタ 1 1 6 を介して駆動トランジスタ 1 1 4 のドレインに接続された発光素子であり、駆動トランジスタ 1 1 4 の駆動電流が流れることにより発光する。

40

【 0 0 4 4 】

駆動トランジスタ 1 1 4 は、ソースが正電源線である電源線 1 1 0 に接続され、ドレインがスイッチングトランジスタ 1 1 6 を介して有機 E L 素子 1 1 3 のアノードに接続されている。駆動トランジスタ 1 1 4 は、ゲート - ソース間に印加された信号電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を駆動電流として有機 E L 素子 1 1 3 に供給する。この駆動トランジスタ 1 1 4 は、p 型の薄膜トランジスタ (T F T) で構成される。

【 0 0 4 5 】

50

静電保持容量 C 1 は、本発明の第 1 容量素子に相当し、一方の端子が駆動トランジスタ 1 1 4 のゲートに接続され、他方の端子がスイッチングトランジスタ 1 1 5 を介して第 1 信号線 1 5 1 または第 2 信号線 1 5 2 に接続されている。

【 0 0 4 6 】

静電保持容量 C 2 は、本発明の第 2 容量素子に相当し、一方の端子が静電保持容量 C 1 の他方の端子に接続され、他方の端子が駆動トランジスタ 1 1 4 のソースに接続されている。つまり、静電保持容量 C 2 の他方の端子は電源線 1 1 0 に接続されている。

【 0 0 4 7 】

この静電保持容量 C 1 及び C 2 は、有機 E L 素子 1 1 3 を発光させるための輝度信号電圧及び駆動トランジスタ 1 1 4 の閾値電圧を保持する。具体的には、静電保持容量 C 1 は、駆動トランジスタ 1 1 4 の閾値電圧に対応する電圧を保持する。その後、第 1 信号線 1 5 1 または第 2 信号線 1 5 2 からスイッチングトランジスタ 1 1 5 を介して輝度信号電圧が印加され、静電保持容量 C 2 に輝度信号電圧が保持されている場合でも、静電保持容量 C 1 に保持された閾値電圧に対応する電圧は保持されている。よって、輝度信号電圧が印加された場合、静電保持容量 C 1 と C 2 とに保持される電圧は、駆動トランジスタ 1 1 4 の閾値電圧が補正された輝度信号電圧に対応する電圧となる。

【 0 0 4 8 】

スイッチングトランジスタ 1 1 5 は、ゲートが走査線 1 3 3 に接続され、ソース及びドレインの一方が第 1 信号線 1 5 1 または第 2 信号線 1 5 2 に接続され、ソース及びドレインの他方が静電保持容量 C 1 の他方の端子に接続されている。

【 0 0 4 9 】

ここで、奇数駆動ブロックの発光画素 1 1 A に含まれるスイッチングトランジスタ 1 1 5 は、本発明の第 3 スwitchングトランジスタに相当し、当該スイッチングトランジスタ 1 1 5 のソース及びドレインの他方は第 1 信号線 1 5 1 に接続されている。一方、偶数駆動ブロックの発光画素 1 1 B に含まれるスイッチングトランジスタ 1 1 5 は、本発明の第 4 スwitchングトランジスタに相当し、当該スイッチングトランジスタ 1 1 5 のソース及びドレインの他方は第 2 信号線 1 5 2 に接続されている。

【 0 0 5 0 】

スイッチングトランジスタ 1 1 6 は、本発明の第 2 スwitchングトランジスタに相当し、ゲートが第 1 制御線 1 3 1 に接続され、ソース及びドレインが駆動トランジスタ 1 1 4 のドレインと有機 E L 素子 1 1 3 のアノードとの間に挿入されている。このスイッチングトランジスタ 1 1 6 は、第 1 制御線 1 3 1 からの制御信号に応じて、駆動トランジスタ 1 1 4 のドレインと有機 E L 素子 1 1 3 のアノードとを導通及び非導通とする。つまり、有機 E L 素子 1 1 3 への駆動電流の供給を制御する。

【 0 0 5 1 】

スイッチングトランジスタ 1 1 7 は、本発明の第 1 スwitchングトランジスタに相当し、ゲートが第 2 制御線 1 3 2 に接続され、ソース及びドレインの一方が駆動トランジスタ 1 1 4 のゲートに接続され、ソース及びドレインの他方が駆動トランジスタ 1 1 4 のドレインに接続されている。このスイッチングトランジスタ 1 1 7 は、第 2 制御線 1 3 2 からの制御信号に応じて、駆動トランジスタ 1 1 4 のゲート - ドレイン間を導通及び非導通とする。具体的には、スイッチングトランジスタ 1 1 7 は、閾値電圧検出期間の前の閾値電圧を検出するための初期化動作を行うための期間であるリセット期間においてオン状態となることにより、駆動トランジスタ 1 1 4 のゲート - ドレイン間を導通し、駆動トランジスタ 1 1 4 のゲートの電圧を、駆動トランジスタ 1 1 4 のゲート - ソース間電圧が閾値電圧以上となる初期化電圧 V R 2 とする。さらに、スイッチングトランジスタ 1 1 7 は、閾値電圧検出期間においてオン状態となることにより、静電保持容量 C 1 に閾値電圧に対応した電圧を保持させる。

【 0 0 5 2 】

これらのスイッチングトランジスタ 1 1 5 、 1 1 6 及び 1 1 7 は、p 型の薄膜トランジスタ (p 型 T F T) で構成される。

10

20

30

40

50

【 0 0 5 3 】

第1制御線131は、走査/制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。これにより、第1制御線131は、駆動トランジスタ114のドレイン電流を有機EL素子113へ供給するタイミングを制御する機能を有する。

【 0 0 5 4 】

第2制御線132は、走査/制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。これにより、第2制御線132は、駆動トランジスタ114の閾値電圧を検出する環境を整える機能を有する。言い換えると、第2制御線132は、駆動トランジスタ114のゲートの電圧を、駆動トランジスタ114のゲート-ソース間電圧が閾値電圧以上となる初期化電圧(VR2)とするタイミングを制御する。

10

【 0 0 5 5 】

走査線133は、発光画素11A及び11Bを含む画素行に属する各発光画素へ輝度信号電圧または基準電圧である信号電圧を書き込むタイミングを供給する機能を有する。

【 0 0 5 6 】

第1信号線151及び第2信号線152は、信号線駆動回路15に接続され、それぞれ、発光画素11A及び11Bを含む画素列に属する各発光画素へ接続され、駆動TFTの閾値電圧を検出するための基準電圧と、発光強度を決定する輝度信号電圧とを供給する機能を有する。

20

【 0 0 5 7 】

なお、図2A及び図2Bには記載されていないが、電源線110及び電源線112は、それぞれ、他の発光画素にも接続されており電圧源に接続されている。また、電源線110は本発明の第1電源線に相当し、電源線112は本発明の第2電源線に相当する。

【 0 0 5 8 】

次に、第1制御線131、第2制御線132、走査線133、第1信号線151及び第2信号線152の発光画素間における接続関係について説明する。

【 0 0 5 9 】

図3は、本発明の実施の形態1に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号(ブロック番号、当該ブロックにおける行番号)”または“符号(ブロック番号)”で表している。

30

【 0 0 6 0 】

前述したように、駆動ブロックとは、複数の発光画素行で構成され、表示パネル10の中には2以上の駆動ブロックが存在する。例えば、図3に記載された各駆動ブロックは、m行の発光画素行で構成されている。

【 0 0 6 1 】

図3の上段に記載されたk番目の駆動ブロックでは、第1制御線131(k)が当該駆動ブロック内の全ての発光画素11Aの有するスイッチングトランジスタ116のゲートに共通して接続されている。また、第2制御線132(k)が当該駆動ブロック内の全ての発光画素11Aの有するスイッチングトランジスタ117のゲートに共通して接続されている。一方、走査線133(k,1)~走査線133(k,m)は、それぞれ、発光画素行ごとに個別に接続されている。具体的には、第1制御線131は、走査/制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。

40

【 0 0 6 2 】

また、図3の下段に記載された(k+1)番目の駆動ブロックでも、k番目の駆動ブロックと同様の接続がなされている。ただし、k番目の駆動ブロックに接続された第1制御線131(k)と(k+1)番目の駆動ブロックに接続された第1制御線131(k+1)

50

)とは、異なる制御線であり、走査/制御線駆動回路14から個別の制御信号が出力される。また、k番目の駆動ブロックに接続された第2制御線132(k)と(k+1)番目の駆動ブロックに接続された第2制御線132(k+1)とは、異なる制御線であり、走査/制御線駆動回路14から個別の制御信号が出力される。つまり、第1制御線131及び第2制御線132は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している。

【0063】

ここで、同一の駆動ブロック内において、制御線が共通化されているとは、走査/制御線駆動回路14から出力される一の制御信号が、同一の駆動ブロック内の制御線に同時に供給されることをいう。例えば、同一の駆動ブロック内では、走査/制御線駆動回路14に接続された一本の制御線が、発光画素行ごとに配置された第1制御線131に分岐している。また、制御線が、異なる駆動ブロック間では独立しているとは、走査/制御線駆動回路14から出力される個別の制御信号が、複数の駆動ブロックに対して供給されることをいう。例えば、第1制御線131が、走査/制御線駆動回路14に、駆動ブロックごとに、個別に接続されている。

10

【0064】

また、k番目の駆動ブロックでは、第1信号線151が当該駆動ブロック内の全ての発光画素11Aの有するスイッチングトランジスタ115のソース及びドレインの他方に接続されている。一方、(k+1)番目の駆動ブロックでは、第2信号線152が当該駆動ブロック内の全ての発光画素11Bの有するスイッチングトランジスタ115のソース及びドレインの他方に接続されている。

20

【0065】

上記駆動ブロック化により、有機EL素子113と駆動トランジスタ114のドレインとの接続を制御する第1制御線131の本数が削減される。また、駆動トランジスタ114のゲート電圧を初期化電圧(VR2)とする期間であるリセット期間と、閾値電圧検出期間とにおいて、駆動トランジスタ114のゲート-ドレイン間を導通させるための第2制御線132の本数が削減される。よって、これらの制御線に駆動信号を出力する走査/制御線駆動回路14の出力本数が低減し、回路規模の削減を可能にする。

【0066】

次に、本実施の形態に係る表示装置1の駆動方法について図4Aを用いて説明する。なお、ここでは、図2A及び図2Bに記載された具体的回路構成を有する表示装置についての駆動方法を詳細に説明する。

30

【0067】

図4Aは、本発明の実施の形態1に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、k番目の駆動ブロックの走査線133(k,1)、133(k,2)及び133(k,m)、第1信号線151、第1制御線131(k)及び第2制御線132(k)に発生する電圧の波形図が示されている。また、これらに続き、(k+1)番目の駆動ブロックの走査線133(k+1,1)、133(k+1,2)及び133(k+1,m)、第2信号線152、第1制御線131(k+1)及び第2制御線132(k+1)に発生する電圧の波形図が示されている。また、図5は、本発明の実施の形態1に係る表示装置の有する発光画素の状態遷移図である。また、図6は、本発明の実施の形態1に係る表示装置の動作フローチャートである。

40

【0068】

まず、時刻t0の直前では、走査線133(k,1)~133(k,m)の電圧レベルは全てHIGHであり、第1制御線131(k)はLOWであり、第2制御線132(k)はHIGHである。つまり、静電保持容量C1及びC2には、駆動トランジスタ114の閾値電圧と直前のフレーム期間における輝度信号電圧との合計に応じた電圧が保持されており、有機EL素子113は、静電保持容量C1及びC2に保持された電圧に応じた輝度で発光している。

50

【 0 0 6 9 】

次に、時刻 t_0 において、走査ノ制御線駆動回路 14 は、走査線 133 (k、1) ~ 133 (k、m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオン状態とする。このとき、電圧制御回路 30 は、第 1 信号線 151 の信号電圧を、輝度信号電圧から基準電圧に変化させている。よって、基準電圧を V_{R1} とすると、時刻 t_0 において、静電保持容量 C_1 と静電保持容量 C_2 との接続点である分圧点 M の電圧は V_{R1} となる。つまり、第 1 信号線 151 の基準電圧を分圧点 M に印加している (図 6 のステップ S 11)。このとき、電源線 110 から電源線 112 へ貫通電流が流れ始める。

【 0 0 7 0 】

次に、時刻 t_1 において、走査ノ制御線駆動回路 14 は、第 2 制御線 132 (k) の電圧レベルを HIGH から LOW に変化させることにより、k 番目の駆動ブロックに属する全ての発光画素 11A のスイッチングトランジスタ 117 をオンさせる (図 6 のステップ S 12)。これにより、電源線 110 から電源線 112 へ流れている貫通電流と共に、スイッチングトランジスタ 117 を介して駆動トランジスタ 114 のゲートから電源線 112 へ電流が流れ込む。その結果、駆動トランジスタ 114 のゲート電圧は、駆動トランジスタ 114 のゲート - ソース間電圧が閾値電圧以上となる初期化電圧 (V_{R2}) へとリセットされる。言い換えると、駆動トランジスタ 114 のゲート - ソース間電圧を、駆動トランジスタ 114 の閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。

【 0 0 7 1 】

つまり、時刻 t_1 ~ 時刻 t_2 と、図 6 のステップ S 11 及びステップ S 12 とは、それぞれ、本発明の第 1 初期化ステップに相当する。

【 0 0 7 2 】

次に、時刻 t_2 において、走査ノ制御線駆動回路 14 は、第 1 制御線 131 (k) の電圧レベルを LOW から HIGH に変化させることにより、k 番目の駆動ブロックに属する全ての発光画素 11A のスイッチングトランジスタ 116 がオフする (図 6 のステップ S 13)。このとき、図 5 (c) に示すように、駆動トランジスタ 114 は継続してオン状態となっているので、駆動トランジスタ 114 のドレイン電流は、駆動トランジスタ 114 のドレインから駆動トランジスタ 114 のゲートへと流れ込む。その結果、駆動トランジスタ 114 のゲートの電圧レベルは、駆動トランジスタ 114 のソースの電圧レベル (V_{DD}) よりも閾値電圧 (V_{th}) だけ低い電圧である $V_{DD} - V_{th}$ へと漸近していく。

【 0 0 7 3 】

そして、図 5 (d) に示すように、駆動トランジスタ 114 のゲートの電圧レベルが、電源線 110 の電源電圧 (V_{DD}) から駆動トランジスタ 114 の閾値電圧 (V_{th}) だけ低い電圧レベルになったとき、ドレイン電流が停止する。このとき、駆動トランジスタ 114 のゲート電圧レベルを V_g とすると、

$$V_g = V_{DD} - V_{th} \quad (\text{式 1})$$

となっている。

【 0 0 7 4 】

ここで、静電保持容量 C_1 の一方の端子は第 1 信号線 151 から供給される基準電圧 (V_{R1}) が印加され、静電保持容量 C_2 の他方の端子は駆動トランジスタ 114 のゲートの電圧レベルと等しい $V_{DD} - V_{th}$ となる。つまり、静電保持容量 C_1 が保持している電圧 V_{C1} は、

$$V_{C1} = V_{DD} - V_{th} - V_{R1} \quad (\text{式 2})$$

となる。つまり、静電保持容量 C_1 が保持している電圧 V_{C1} は、閾値電圧に対応する電圧である。

【 0 0 7 5 】

なお、駆動トランジスタ 114 のゲートの電圧レベルが漸近的に $V_{DD} - V_{th}$ に近づ

10

20

30

40

50

いていくために流れる電流は時間と共に微小となるため、駆動トランジスタ 114 の電圧レベルが定常状態となるまでには時間を要する。つまり、閾値電圧 V_{th} に対応する電圧を静電保持容量 C_1 に保持させるために流れる電流は微小であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 C_1 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

【0076】

ここで、時刻 t_2 ~ 時刻 t_3 の期間と、図 6 のステップ S13 とは、それぞれ、本発明の第 1 非導通ステップに相当する。また、時刻 t_1 ~ 時刻 t_3 の期間と、図 6 のステップ S11 ~ ステップ S13 とは、それぞれ、本発明の第 1 閾値保持ステップに相当する。

【0077】

次に、時刻 t_3 において、走査/制御線駆動回路 14 は、第 2 制御線 132 (k) を LOW から HIGH に変化させ、k 番目の駆動ブロックの全ての発光画素 11A の有するスイッチングトランジスタ 117 を同時にオフ状態とする (図 6 のステップ S14)。これにより、k 番目の駆動ブロックに属する発光画素 11A の閾値検出動作を完了させる。

【0078】

以上、時刻 t_2 ~ 時刻 t_3 期間では、駆動トランジスタ 114 の閾値電圧 V_{th} の補正が、k 番目の駆動ブロック内において同時に実行され、k 番目の駆動ブロックの全ての発光画素 11A の有する静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧 V_{th} に対応する電圧が同時に保持される。

【0079】

また、時刻 t_3 において、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを同時に LOW から HIGH に変化させ、スイッチングトランジスタ 115 をオフ状態とする。これにより、分圧点 M への基準電圧 V_{R1} の供給が停止される。なお、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを LOW から HIGH に変化させるタイミングはこれに限らず、時刻 t_3 以降かつ第 1 信号線 151 から輝度信号電圧が供給されるまでの期間であればよい。

【0080】

次に、時刻 t_4 ~ 時刻 t_6 の期間において、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを、順次、LOW HIGH に変化させることにより、スイッチングトランジスタ 115 を発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 15 は、第 1 信号線 151 の信号電圧を基準電圧 V_{R1} から輝度信号電圧 V_{data} に変化させる。つまり、図 5 (e) に示すように、輝度信号電圧 V_{data} を分圧点に印加する (図 6 のステップ S15)。このとき、静電保持容量 C_1 が保持している電圧は変わらないので、駆動トランジスタ 114 のゲートの電圧レベルは、分圧点 M の電圧レベルの変動分だけ変化する。よって、駆動トランジスタ 114 のゲートの電圧レベルを V_g とすると、

$$V_g = V_{data} - V_{R1} + V_{DD} - V_{th} \quad (\text{式 3})$$

となる。

【0081】

つまり、駆動トランジスタ 114 のゲートには、輝度信号電圧 V_{data} と閾値電圧 V_{th} とに対応した電圧が書き込まれる。

【0082】

言い換えると、駆動トランジスタ 114 のソースの電圧レベルを基準とした場合の駆動トランジスタ 114 のゲート - ソース間電圧を V_{gs} とすると、

$$V_{gs} = V_{data} - V_{R1} - V_{th} \quad (\text{式 4})$$

となる。つまり、駆動トランジスタ 114 のゲート - ソース間電圧 V_{gs} は、閾値電圧が補正された輝度信号電圧が書き込まれる。すなわち、駆動トランジスタ 114 のゲート - ソース間に挿入されている静電保持容量 C_1 及び静電保持容量 C_2 は、閾値電圧に対応した電圧に輝度信号電圧に対応した電圧が加算された加算電圧を保持する。

【0083】

10

20

30

40

50

以上、時刻 t_4 ~ 時刻 t_6 の期間では、補正された輝度信号電圧の書き込みが、 k 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。ここで、時刻 t_4 ~ 時刻 t_6 の期間と、図 6 のステップ S_{14} 及びステップ S_{15} とは、それぞれ、本発明の第 1 輝度保持ステップに相当する。

【0084】

次に、時刻 t_6 において、第 1 制御線 $131(k)$ の電圧レベルを HIGH から LOW に変化させる。つまり、 k 番目の駆動ブロックの全ての発光画素 $11A$ のスイッチングトランジスタ 116 を同時にオン状態とする（図 6 のステップ S_{16} ）。これにより、図 5 (a) に示すように、上記加算電圧に応じた駆動電流が有機 EL 素子 113 に流れる。つまり、 k 番目の駆動ブロック内の全ての発光画素 $11A$ では、同時に発光が開始される。

10

【0085】

以上、時刻 t_6 以降の期間では、有機 EL 素子 113 の発光が、 k 番目の駆動ブロック内において同時に実行されている。ここで、時刻 t_6 以降の期間と、図 6 のステップ S_{16} とは、それぞれ、本発明の第 1 発光ステップに相当する。

【0086】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ 114 の閾値電圧 V_{th} 補償が同時に実行される。また、有機 EL 素子 113 の発光も駆動ブロック内で同時に実行される。これにより、駆動トランジスタ 114 の駆動電流のオンオフの制御を駆動ブロック内で同期できる。よって、第 1 制御線 131 及び第 2 制御線 132 を駆動ブロック内で共通化できる。

20

【0087】

また、走査線 $133(k, 1) \sim 133(k, m)$ は、走査 / 制御線駆動回路 14 とは個別に接続されているが、閾値補正期間においては、走査 / 制御線駆動回路 14 から出力される駆動パルス（制御信号）の HIGH レベル期間及び LOW レベル期間とタイミングとが同一である。よって、走査 / 制御線駆動回路 14 は、出力する駆動パルスの高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

【0088】

これに対し、本発明の表示装置 1 の有する発光画素 $11A$ 及び $11B$ は、前述したように、駆動トランジスタ 114 のドレイン - ゲート間にスイッチングトランジスタ 117 が付加され、駆動トランジスタ 114 のドレインと有機 EL 素子 113 との間にスイッチングトランジスタ 116 が付加されている。これにより、駆動トランジスタ 114 のソース電位に対するゲート電位が安定化されるので、閾値電圧補正による電圧の書き込みから輝度信号電圧の加算書き込みまでの時間、または、当該加算書き込みから発光までの時間を、発光画素行ごとに任意に設定することが可能となる。この回路構成により、駆動ブロック化が可能となり、同一駆動ブロック内での閾値補正期間及び発光期間を一致させることが可能となる。

30

【0089】

ここで、特許文献 1 に記載された、2 本の信号線を用いた従来の画像表示装置と、本発明の駆動ブロック化された表示装置 1 とで、閾値電圧検出期間により規定される発光デューティの比較を行う。

40

【0090】

図 7 は、走査線及び信号線の波形特性を説明する図である。同図において、各画素行の 1 水平期間 t_{1H} における閾値電圧 V_{th} の検出期間は、基準電圧が各画素の有する静電保持容量に印加される期間であり、走査線が HIGH レベル状態の期間である PW_S に相当する。なお、図 7 に記載された走査線の波形特性において、信号線と上記静電保持容量とを接続するためのスイッチングトランジスタが p 型である場合には、走査線の波形は、HIGH レベルと LOW レベルとが反転する波形となる。このときには、各画素行の 1 水平期間 t_{1H} における閾値電圧 V_{th} の検出期間となる PW_S は、LOW レベル状態となる。また、信号線においては、1 水平期間 t_{1H} は、信号電圧を供給する期間である PW_D と、基準電圧を供給する期間である t_D とを含む。また、 PW_S の立ち上がり時間及

50

び立ち下がり時間を、それぞれ、 $t_{R(S)}$ 及び $t_{F(S)}$ とし、 PW_D の立ち上がり時間及び立ち下がり時間を、それぞれ、 $t_{R(D)}$ 及び $t_{F(D)}$ とすると、1 水平期間 t_{1H} は以下のように表される。

【0091】

$$t_{1H} = t_D + PW_D + t_{R(D)} + t_{F(D)} \quad (\text{式 5})$$

さらに、 $PW_D = t_D$ と仮定すると、

$$t_D + PW_D + t_{R(D)} + t_{F(D)} = 2t_D + t_{R(D)} + t_{F(D)} \quad (\text{式 10 6})$$

となる。式 5 及び式 6 より、

$$t_D = (t_{1H} - t_{R(D)} - t_{F(D)}) / 2 \quad (\text{式 7})$$

となる。また、 V_{th} 検出期間は基準電圧発生期間内に開始し終了しなければならないので、 V_{th} 検出時間を最大で確保したとして、

$$t_D = PW_S + t_{R(S)} + t_{F(S)} \quad (\text{式 8}) \quad 20$$

となり、式 7 及び式 8 より、

$$PW_S = (t_{1H} - t_{R(D)} - t_{F(D)} - 2t_{R(S)} - 2t_{F(S)}) / 2 \quad (\text{式 9})$$

が得られる。

【0092】

上記式 9 に対して、例として、走査線本数が 1080 本 (+ ブランキング 30 本) の垂直解像度を有し、120 Hz 駆動するパネルの発光デューティを比較する。 30

【0093】

従来の画像表示装置において、2 本の信号線を有する場合の 1 水平期間 t_{1H} は、1 本の信号線を有する場合の 2 倍であるから、

$$t_{1H} = \{ 1 \text{ 秒} / (120 \text{ Hz} \times 1110 \text{ 本}) \} \times 2 = 7.5 \mu\text{S} \times 2 = 15 \mu\text{S}$$

となる。ここで、 $t_{R(D)} = t_{F(D)} = 2 \mu\text{S}$ 、 $t_{R(S)} = t_{F(S)} = 1.5 \mu\text{S}$ とし、これらを式 9 に代入すると、 V_{th} の検出期間である PW_S は、 $2.5 \mu\text{S}$ となる。

【0094】

ここで、十分な精度を有するための V_{th} 検出期間が $1000 \mu\text{S}$ 必要であるとする、当該 V_{th} 検出に必要な水平期間は、 $1000 \mu\text{S} / 2.5 \mu\text{S} = 400$ 水平期間、が少なくとも非発光期間として必要となる。よって、2 本の信号線を用いた従来の画像表示装置の発光デューティは、 $(1110 \text{ 水平期間} - 400 \text{ 水平期間}) / 1110 \text{ 水平期間} = 64\%$ 以下となる。 40

【0095】

次に、本発明の駆動ブロック化された表示装置の発光デューティを求める。上記条件と同様に、十分な精度を有するための V_{th} 検出期間が $1000 \mu\text{S}$ 必要であるとする、ブロック駆動の場合には、図 4 A に記載されたりセット期間 + 閾値検出期間 (以降、期間 A と記載) が上記 $1000 \mu\text{S}$ に相当する。この場合、1 フレームの非発光期間は、上記期間 A と書き込み期間とを含むことから、少なくとも $1000 \mu\text{S} \times 2 = 2000 \mu\text{S}$ となる。よって、本発明の駆動ブロック化された表示装置の発光デューティは、(1 フレー 50

△時間 - 2000 μS) / 1フレーム時間であり、1フレーム時間として(1秒 / 120 Hz)を代入して、76%以下となる。

【0096】

以上の比較結果より、2本の信号線を用いた従来の画像表示装置に対して、本発明のようにブロック駆動を組み合わせることにより、同じ閾値検出期間を設置したとしても発光デューティをより長く確保することができる。よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0097】

逆に言えば、2本の信号線を用いた従来の画像表示装置と、本発明のようにブロック駆動を組み合わせた表示装置1とを同じ発光デューティに設定した場合、本発明の表示装置1の方が、閾値検出期間を長く確保できることが解る。

10

【0098】

再び、本実施の形態に係る表示装置1の駆動方法について説明する。

【0099】

一方、時刻t7では、(k+1)番目の駆動ブロックにおける駆動トランジスタ114の閾値電圧補正が開始される。

【0100】

まず、時刻t7の直前では、走査線133(k+1, 1)~133(k+1, m)の電圧レベルは全てHIGHであり、第1制御線131(k+1)はLOW及び第2制御線132(k+1)はHIGHである。走査線133(k+1, 1)~133(k+1, m)をLOWとした瞬間から、発光画素11Bに基準電圧が書き込まれる。これにより、有機EL素子113は消光し、(k+1)ブロックにおける発光画素の一斉発光が終了する。このとき、電圧制御回路30は、第2信号線152の信号電圧を、輝度信号電圧から駆動トランジスタ114のゲート-ソース間電圧が閾値電圧以上となる基準電圧に変化させている。よって、基準電圧をVR1とすると、時刻t0において、静電保持容量C1と静電保持容量C2との接続点である分圧点Mの電圧はVR1となる。つまり、第1信号線151の基準電圧を分圧点Mに印加している(図6のステップS21)。

20

【0101】

次に、時刻t8において、走査/制御線駆動回路14は、第2制御線132(k)の電圧レベルをHIGHからLOWに変化させることにより、(k+1)番目の駆動ブロックに属する全ての発光画素11Bのスイッチングトランジスタ117をオンさせる(図6のステップS22)。これにより、電源線110から電源線112へ流れている貫通電流と共に、スイッチングトランジスタ117を介して駆動トランジスタ114のゲートから電源線112へ電流が流れ込む。その結果、駆動トランジスタ114のゲート電圧は、駆動トランジスタ114のゲート-ソース間電圧が閾値電圧以上となる初期化電圧(VR2)へとリセットされる。言い換えると、駆動トランジスタ114のゲート-ソース間電圧を、駆動トランジスタ114の閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。

30

【0102】

つまり、時刻t8~時刻t9と、図6のステップS21及びステップS22とは、それぞれ、本発明の第2初期化ステップに相当する。

40

【0103】

次に、時刻t9において、走査/制御線駆動回路14は、第1制御線131(k)の電圧レベルをLOWからHIGHに変化させることにより、(k+1)番目の駆動ブロックに属する全ての発光画素11Bのスイッチングトランジスタ116がオフする(図6のステップS23)。その結果、駆動トランジスタ114のゲートの電圧レベルは、駆動トランジスタ114のソースの電圧レベル(VDD)よりも閾値電圧(Vth)だけ低い電圧であるVDD-Vthへと漸近していく。

【0104】

以上、時刻t9~時刻t10の間では、駆動トランジスタ114の閾値電圧Vthの

50

補正が、(k+1)番目の駆動ブロック内において同時に実行され、(k+1)番目の駆動ブロックの全ての発光画素11Bの有する静電保持容量C1には駆動トランジスタ114の閾値電圧V_{th}に対応する電圧が同時に保持される。つまり、時刻t₉~時刻t₁₀の期間と、図6のステップS23とは、それぞれ、本発明の第2非導通ステップに相当する。また、時刻t₈~時刻t₁₀の期間と、図6のステップS21~ステップS23とは、それぞれ、本発明の第2閾値保持ステップに相当する。

【0105】

次に、時刻t₁₀において、走査/制御線駆動回路14は、第2制御線132(k+1)をLOWからHIGHに変化させ、(k+1)番目の駆動ブロックの全ての発光画素11Bの有するスイッチングトランジスタ117を同時にオフ状態とする(図6のステップS24)。これにより、(k+1)番目の駆動ブロックに属する発光画素11Bの閾値検出動作を完了させる。

10

【0106】

また、時刻t₁₀において、走査/制御線駆動回路14は、走査線133(k+1,1)~133(k+1,m)の電圧レベルを同時にLOWからHIGHに変化させ、スイッチングトランジスタ115をオフ状態とする。これにより、分圧点Mへの基準電圧V_{R1}の供給が停止される。なお、走査線133(k+1,1)~133(k+1,m)の電圧レベルをLOWからHIGHに変化させるタイミングはこれに限らず、時刻t₁₀以降かつ第2信号線152から輝度信号電圧が供給されるまでの期間であればよい。

【0107】

20

次に、時刻t₁₁~時刻t₁₃の期間において、走査/制御線駆動回路14は、走査線133(k+1,1)~133(k+1,m)の電圧レベルを、順次、HIGH LOW HIGHに変化させ、スイッチングトランジスタ115を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路15は、第2信号線152の信号電圧を基準電圧V_{R1}から輝度信号電圧V_{d a t a}に変化させる。つまり、図5(e)に示すように、輝度信号電圧V_{d a t a}を分圧点に印加する(図6のステップS25)。これにより、(k+1)番目の駆動ブロックの駆動トランジスタ114のゲート-ソース間電圧V_{gs}は、上記式(4)で示されるような電圧となる。すなわち、駆動トランジスタ114のゲート-ソース間に挿入されている静電保持容量C1及び静電保持容量C2は、閾値電圧に対応した電圧に輝度信号電圧に対応した電圧が加算された加算電圧を保持する。

30

【0108】

以上、時刻t₁₁以降の期間では、補正された輝度信号電圧の書き込みが、(k+1)番目の駆動ブロック内で発光画素行ごとに、順次実行されている。つまり、時刻t₁₁~時刻t₁₂の期間と、図6のステップS24及びステップS25は、それぞれ、本発明の第2輝度保持ステップに相当する。

【0109】

次に、時刻t₁₃以降において、第1制御線131(k+1)の電圧レベルをHIGHからLOWに変化させる。つまり、(k+1)番目の駆動ブロックの全ての発光画素11Bのスイッチングトランジスタ116を同時にオン状態とする(図6のステップS26)。これにより、上記加算電圧に応じた駆動電流が有機EL素子113に流れる。つまり、(k+1)番目の駆動ブロック内の全ての発光画素11Bでは、一斉に発光が開始される。

40

【0110】

以上、時刻t₁₃以降の期間では、有機EL素子113の発光が、(k+1)番目の駆動ブロック内において同時に実行されている。つまり、時刻t₁₃以降の期間と、図6のステップS26とは、それぞれ、本発明の第2発光ステップに相当する。

【0111】

以上の動作が、表示パネル10内の(k+2)番目の駆動ブロック以降においても順次実行される。

【0112】

50

図4Bは、本発明の実施の形態1に係る駆動方法により発光した駆動ブロックの状態遷移図である。同図には、ある発光画素列における、駆動ブロックごとの発光期間及び非発光期間が表されている。縦方向は複数の駆動ブロックを、また、横軸は経過時間を示す。ここで、非発光期間とは、発光画素11A及び11Bが、第1信号線151または第2信号線152から供給された輝度信号電圧に対応した電圧以外で発光している期間であり、上述した閾値補正期間及び輝度信号電圧の書き込み期間を含む。

【0113】

本発明の実施の形態1に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロックで一斉に設定される。よって、駆動ブロック間では、行走査方向に対して発光期間が階段状に現れる。

10

【0114】

以上、スイッチングトランジスタ116及び117、ならびに静電保持容量C1及びC2が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ114の閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。また、さらに、発光期間及びそのタイミングも同一駆動ブロック内で一致させることが可能となる。よって、各スイッチ素子の導通及び非導通を制御する信号や電流パスを制御する信号を出力する走査/制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ114の閾値補正期間を、全発光画素を書き換える時間である1フレーム期間 T_f のなかで大きくとることができる。これは、k番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、(k+1)番目の駆動ブロックにおいて閾値補正期間が設けられることによるものである。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されても走査/制御線駆動回路14の出力数をさほど増大させることなく、かつ、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、表示品質が向上する。

20

【0115】

例えば、表示パネル10をN個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 T_f/N となる。なお、この閾値補正期間は図4Aに示すリセット期間と閾値検出期間とを合わせた期間である。これに対し、発光画素行ごとに異なるタイミングで閾値補正期間を設定する場合、発光画素行がM行($M \gg N$)であるとすると、最大 T_f/M となる。また、特許文献1に記載されたような信号線を発光画素列ごとに2本配置した場合でも、最大 $2T_f/M$ である。

30

【0116】

また、駆動ブロック化により、駆動トランジスタ114のドレインと有機EL素子113との導通を制御する第1制御線、及び、駆動トランジスタ114のドレイン-ゲート間の導通を制御する第2制御線を駆動ブロック内で共通化できる。よって、走査/制御線駆動回路14から出力される制御線の本数が削減される。よって、駆動回路の負荷が低減する。

40

【0117】

例えば、特許文献1に記載された従来の画像表示装置500では、発光画素行あたり2本の制御線(給電線及び走査線)が配置されている。画像表示装置500がM行の発光画素行から構成されているとすると、制御線は合計 $2M$ 本となる。

【0118】

これに対し、本発明の実施の形態1に係る表示装置1では、走査/制御線駆動回路14から、発光画素行あたり1本の走査線、駆動ブロックごとに2本の制御線が出力される。よって、表示装置1がM行の発光画素行から構成されているとすると、制御線(走査線を含む)の合計は $(M+2N)$ 本となる。

50

【 0 1 1 9 】

大面積化がなされ、発光画素の行数が大きい場合、 $M \gg N$ が実現されるので、この場合には、本発明に係る表示装置 1 の制御線本数は、従来の画像表示装置 5 0 0 の制御線本数に比べ、約 $1/2$ に削減することができる。

【 0 1 2 0 】

(実施の形態 2)

以下、本発明の実施の形態 2 について、図面を参照しながら説明する。

【 0 1 2 1 】

図 8 は、本発明の実施の形態 2 に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号(ブロック番号、当該ブロックにおける行番号)”または“符号(ブロック番号)”で表している。

【 0 1 2 2 】

同図に記載された表示装置は、図 3 に記載された表示装置 1 と比較して、各発光画素の回路構成は同様であるが、第 1 制御線 1 3 1 が駆動ブロックごとに共通化されておらず、発光画素行ごとに図示されていない走査/制御線駆動回路 1 4 に接続されている点のみが異なる。以下、図 3 に記載された実施の形態 1 に係る表示装置 1 と同じ点は説明を省略し、異なる点のみ説明する。

【 0 1 2 3 】

図 8 の上段に記載された k 番目の駆動ブロックでは、第 1 制御線 1 3 1 (k , 1) ~ 1 3 1 (k , m) が当該駆動ブロック内の発光画素行ごとに配置されており、各発光画素 1 1 A の有するスイッチングトランジスタ 1 1 6 のゲートに個別に接続されている。また、第 2 制御線 1 3 2 (k) が当該駆動ブロック内のスイッチングトランジスタ 1 1 7 のゲートに共通して接続されている。一方、走査線 1 3 3 (k , 1) ~ 走査線 1 3 3 (k , m) は、それぞれ、発光画素行ごとに個別に接続されている。また、図 8 の下段に記載された (k + 1) 番目の駆動ブロックでも、k 番目の駆動ブロックと同様の接続がなされている。ただし、k 番目の駆動ブロックに接続された第 2 制御線 1 3 2 (k) と (k + 1) 番目の駆動ブロックに接続された第 2 制御線 1 3 2 (k + 1) とは、異なる制御線であり、走査/制御線駆動回路 1 4 から個別の制御信号が出力される。

【 0 1 2 4 】

また、k 番目の駆動ブロックでは、第 1 信号線 1 5 1 が当該駆動ブロック内の全ての発光画素 1 1 A の有する静電保持容量 C 1 の他方の端子に接続されている。一方、(k + 1) 番目の駆動ブロックでは、第 2 信号線 1 5 2 が当該駆動ブロック内の全ての発光画素 1 1 B の有する静電保持容量 C 1 の他方の端子に接続されている。

【 0 1 2 5 】

上記駆動ブロック化により、発光画素 1 1 A 及び 1 1 B を制御する第 2 制御線 1 3 2 の本数が削減される。よって、これらの制御線に駆動信号を出力する走査/制御線駆動回路 1 4 の負荷が低減する。

【 0 1 2 6 】

次に、本実施の形態に係る表示装置の駆動方法について図 9 A を用いて説明する。

【 0 1 2 7 】

図 9 A は、本発明の実施の形態 2 に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、k 番目の駆動ブロックの走査線 1 3 3 (k , 1) 、 1 3 3 (k , 2) 及び 1 3 3 (k , m) 、 第 1 信号線 1 5 1 、 第 1 制御線 1 3 1 (k , 1) 、 1 3 1 (k , 2) 及び 1 3 1 (k , m) 、 及び第 2 制御線 1 3 2 (k) に発生する電圧の波形図が示されている。また、これらに続き、(k + 1) 番目の駆動ブロックの走査線 1 3 3 (k + 1 , 1) 、 1 3 3 (k + 1 , 2) 及び 1 3 3 (k + 1 , m) 、 第 2 信号線 1 5 2 、 第 1 制御線 1 3 1 (k + 1 , 1) 、 1 3 1 (k + 1 , 2) 及び 1 3 1 (k + 1 , m) 、 及び第 2 制御線 1 3 2 (k + 1) に発

10

20

30

40

50

生ずる電圧の波形図が示されている。

【0128】

本実施の形態に係る駆動方法は、図4Aに記載された実施の形態1に係る駆動方法と比較して、駆動ブロック内での発光期間を一致させず、発光画素ごとに信号電圧の書き込み期間と発光期間を設定している点のみが異なる。

【0129】

まず、時刻 t_{20} の直前では、走査線 $133(k, 1) \sim 133(k, m)$ の電圧レベルは全てHIGHであり、第1制御線 $131(k, 1) \sim 131(k, m)$ は全てLOWであり、第2制御線 $132(k)$ はHIGHである。つまり、静電保持容量 C_1 及び C_2 には、駆動トランジスタ 114 の閾値電圧と直前のフレーム期間における輝度信号電圧との合計に応じた電圧が保持されており、有機EL素子 113 は、図5(a)のように、静電保持容量 C_1 及び C_2 に保持された電圧に応じた輝度で発光している。

10

【0130】

次に、時刻 t_{20} において、走査/制御線駆動回路14は、第1制御線 $131(k, 1)$ の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ 116 をオフ状態とする。これにより、 k 番目の駆動ブロックの1行目に属する発光画素 $11A$ の駆動トランジスタ 114 から有機EL素子 113 への駆動電流が遮断され、有機EL素子 113 が消光する。その後、走査/制御線駆動回路14は、順次、走査線 $133(k, 2) \sim 133(k, m)$ の電圧レベルをHIGHからLOWに変化させることにより、 k 番目の駆動ブロックに属する発光画素は、行順次に消光する。つまり、 k ブロックにおける非発光期間が開始する。

20

【0131】

次に、第2制御線 $132(k)$ をLOWレベル状態とする時刻 t_{21} までに、走査/制御線駆動回路14は、走査線 $133(k, 1) \sim 133(k, m)$ の電圧レベルを同時にHIGHからLOWに変化させ、スイッチングトランジスタ 115 をオン状態とする。また、この時、既に第1制御線 $131(k, 1) \sim 131(k, m)$ はLOWとなってスイッチングトランジスタ 116 はオン状態となっており、信号線駆動回路15は、第1信号線 151 の信号電圧を輝度信号電圧から基準電圧に変化させている。これにより、基準電圧が分圧点Mに印加される(図6のステップS11)。なお、第1制御線 $131(k, 1) \sim 131(k, m)$ を同時にHIGHからLOWとするタイミングは、第2制御線 $132(k)$ をLOWレベル状態とするタイミングと同時でもよい。つまり、時刻 t_{21} でもよい。

30

【0132】

次に、時刻 t_{21} において、走査/制御線駆動回路14は、第2制御線 $132(k)$ の電圧レベルをHIGHからLOWに変化させることにより、スイッチングトランジスタ 117 をオン状態とする(図6のステップS12)。また、このとき、第1制御線 $131(k, 1) \sim 131(k, m)$ の電圧レベルはLOWに維持されているので、駆動トランジスタ 114 のゲート電圧は、駆動トランジスタ 114 のゲート-ソース間電圧が閾値電圧以上となる初期化電圧(V_{R2})へとリセットされる。言い換えると、駆動トランジスタ 114 のゲート-ソース間電圧を、駆動トランジスタ 114 の閾値電圧 V_{th} が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。

40

【0133】

次に、時刻 t_{22} において、走査/制御線駆動回路14は、第1制御線 $131(k, 1) \sim 131(k, m)$ の電圧レベルを一斉にLOWからHIGHに変化させてスイッチングトランジスタ 116 をオフ状態とする(図6のステップS13)。このとき、図5(c)に示すように、駆動トランジスタ 114 は継続してオン状態となっているので、駆動トランジスタ 114 のドレイン電流は、駆動トランジスタ 114 のドレインから駆動トランジスタ 114 のゲートへと流れ込む。その結果、駆動トランジスタ 114 のゲートの電圧レベルは、上記式(1)で規定されるような駆動トランジスタ 114 のソースの電圧レベル(V_{DD})よりも閾値電圧(V_{th})だけ低い電圧である $V_{DD} - V_{th}$ へと漸近して

50

いく。これにより、静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧に対応した電圧が保持される。具体的には、静電保持容量 C_1 が保持している電圧 V_{C1} は、上記式 (2) で規定されるような電圧となる。

【0134】

時刻 t_{22} ~ 時刻 t_{23} の期間、発光画素 11A の回路は定常状態となり、静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧 V_{th} に対応する電圧が保持される。なお、閾値電圧 V_{th} に相当する電圧を静電保持容量 C_1 に保持させるために流れる電流は微小であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 C_1 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

10

【0135】

次に、時刻 t_{23} において、走査/制御線駆動回路 14 は、第 2 制御線 132 (k) を LOW から HIGH に変化させ、k 番目の駆動ブロックの全ての発光画素 11A の有するスイッチングトランジスタ 117 を同時にオフ状態とする (図 6 のステップ S14)。これにより、k 番目の駆動ブロックに属する発光画素 11A の閾値検出動作を完了させる。

【0136】

以上、時刻 t_{22} ~ 時刻 t_{23} 期間では、駆動トランジスタ 114 の閾値電圧 V_{th} の補正が、k 番目の駆動ブロック内において同時に実行され、k 番目の駆動ブロックの全ての発光画素 11A の有する静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧 V_{th} に対応する電圧が同時に保持される。

20

【0137】

また、時刻 t_{23} において、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを同時に LOW から HIGH に変化させ、スイッチングトランジスタ 115 をオフ状態とする。これにより、分圧点 M への基準電圧 V_{R1} の供給が停止される。なお、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを LOW から HIGH に変化させるタイミングはこれに限らず、時刻 t_{23} 以降かつ第 1 信号線 151 から輝度信号電圧が供給されるまでの期間であればよい。

【0138】

次に、時刻 t_{24} 以降では、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを、順次、HIGH LOW HIGH に変化させ、スイッチングトランジスタ 115 を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 15 は、第 1 信号線 151 の信号電圧を基準電圧 V_{R1} から輝度信号電圧 V_{data} に変化させる。つまり、図 5 (e) に示すように、輝度信号電圧 V_{data} を分圧点 M に印加する (図 6 のステップ S15)。これにより、駆動トランジスタ 114 のゲート電圧は、上記式 (3) で規定されるような V_g となる。つまり、駆動トランジスタ 114 のゲート - ソース間電圧 V_{gs} には、上記式 (4) で規定されるような閾値電圧が補正された輝度信号電圧が書き込まれる。

30

【0139】

また、走査/制御線駆動回路 14 は、走査線 133 (k, 1) の電圧レベルを上記 HIGH LOW HIGH と変化させた後、つづいて第 1 制御線 131 (k, 1) の電圧レベルを HIGH から LOW へ変化させる。つまり、k 番目の駆動ブロックの全ての発光画素 11A のスイッチングトランジスタ 116 を順次、発光画素行ごとにオン状態とする (図 6 のステップ S16)。

40

【0140】

この動作を、順次、発光画素行ごとに繰り返す。

【0141】

以上、時刻 t_{24} 以降では、補正された輝度信号電圧の書き込み及び発光が、k 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0142】

以上、上述したように、発光画素行を駆動ブロック化することにより、駆動ブロック内

50

では、駆動トランジスタ 114 の閾値電圧 V_{th} 補償が同時に実行される。これにより、当該駆動電流のドレイン以降の電流経路の制御を駆動ブロック内で同期できる。よって、第 2 制御線 132 を駆動ブロック内で共通化できる。

【0143】

また、走査線 133 (k, 1) ~ 133 (k, m) は、走査 / 制御線駆動回路 14 とは個別に接続されているが、閾値補正期間においては、走査 / 制御線駆動回路 14 から出力される駆動パルス (制御信号) の HIGH レベル期間及び LOW レベル期間とタイミングとが同一である。よって、走査 / 制御線駆動回路 14 は、出力する駆動パルスの高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

【0144】

本実施の形態においても、実施の形態 1 と同様の観点から、特許文献 1 に記載された、2 本の信号線を用いた従来の画像表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

【0145】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0146】

また、2 本の信号線を用いた従来の画像表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

【0147】

再び、本実施の形態に係る表示装置の駆動方法について説明する。

【0148】

一方、時刻 t_{27} では、(k + 1) 番目の駆動ブロックにおける駆動トランジスタ 114 の閾値電圧補正が開始される。

【0149】

まず、時刻 t_{27} の直前では、走査線 133 (k + 1, 1) ~ 133 (k + 1, m) の電圧レベルは全て HIGH であり、第 1 制御線 131 (k + 1, 1) ~ 131 (k + 1, m) は全て LOW であり、第 2 制御線 132 (k + 1) は HIGH である。つまり、有機 EL 素子 113 は、図 5 (a) のように、静電保持容量 C_1 及び C_2 に保持された電圧に応じた輝度で発光している。

【0150】

次に、時刻 t_{27} において、走査 / 制御線駆動回路 14 は、第 1 制御線 131 (k + 1, 1) の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 116 をオフ状態とする。これにより、(k + 1) 番目の駆動ブロックの 1 行目に属する発光画素 11B の駆動トランジスタ 114 から有機 EL 素子 113 への駆動電流が遮断され、有機 EL 素子 113 が消光する。その後、走査 / 制御線駆動回路 14 は、順次、走査線 133 (k + 1, 2) ~ 走査線 133 (k + 1, m) の電圧レベルを HIGH から LOW に変化させることにより、(k + 1) 番目の駆動ブロックに属する発光画素は、行順次に消光する。つまり、(k + 1) ブロックにおける非発光期間が開始する。

【0151】

次に、第 2 制御線 132 (k + 1) を LOW レベル状態とする時刻 t_{28} までに、走査 / 制御線駆動回路 14 は、走査線 133 (k + 1, 1) ~ 133 (k + 1, m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオン状態とする。また、この時、既に第 1 制御線 131 (k + 1, 1) ~ 131 (k + 1, m) は LOW となってスイッチングトランジスタ 116 はオン状態となっており、信号線駆動回路 15 は、第 2 信号線 152 の信号電圧を、輝度信号電圧から基準電圧に変化させている。これにより、基準電圧が分圧点 M に印加される (図 6 のステップ S21)。なお、第 1 制御線 131 (k + 1, 1) ~ 131 (k + 1, m) を同時に HIGH から LOW とするタイミングは、第 2 制御線 132 (k + 1) を LOW レベル状態とするタイミングと同

10

20

30

40

50

時でもよい。つまり、時刻 t_{28} でもよい。

【0152】

次に、時刻 t_{28} において、走査/制御線駆動回路 14 は、第 2 制御線 132 ($k+1$) の電圧レベルを HIGH から LOW に変化させることにより、スイッチングトランジスタ 117 をオン状態とする (図 6 のステップ S22)。また、このとき、第 1 制御線 131 ($k+1, 1$) ~ 131 ($k+1, m$) の電圧レベルは LOW に維持されているので、駆動トランジスタ 114 のゲート電圧は、駆動トランジスタ 114 のゲート - ソース間電圧が閾値電圧以上となる初期化電圧 (V_{R2}) へとリセットされる。言い換えると、駆動トランジスタ 114 のゲート - ソース間電圧を駆動トランジスタ 114 の閾値電圧 V_{th} が検出できる電位差とし、閾値電圧 V_{th} の検出過程への準備が完了する。

10

【0153】

次に、時刻 t_{29} において、走査/制御線駆動回路 14 は、第 1 制御線 131 ($k+1, 1$) ~ 131 ($k+1, m$) の電圧レベルを一斉に LOW から HIGH に変化させてスイッチングトランジスタ 116 をオフ状態とする (図 6 のステップ S23)。これにより、駆動トランジスタ 114 はオン状態となり、その結果、駆動トランジスタ 114 のゲートの電圧レベルは、駆動トランジスタ 114 のソースの電圧レベル (V_{DD}) よりも閾値電圧 (V_{th}) だけ低い電圧である $V_{DD} - V_{th}$ へと漸近していく。これにより、静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧に対応した電圧が保持される。

【0154】

時刻 t_{29} ~ 時刻 t_{30} の期間、発光画素 11B の回路は定常状態となり、静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧 V_{th} に対応する電圧が保持される。なお、閾値電圧 V_{th} に相当する電圧を静電保持容量 C_1 に保持させるために流れる電流は微小であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 C_1 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

20

【0155】

次に、時刻 t_{30} において、走査/制御線駆動回路 14 は、第 2 制御線 132 ($k+1$) を LOW から HIGH に変化させ、($k+1$) 番目の駆動ブロックの全ての発光画素 11B の有するスイッチングトランジスタ 117 を同時にオフ状態とする (図 6 のステップ S24)。これにより、($k+1$) 番目の駆動ブロックに属する発光画素 11B の閾値検出動作を完了させる。

30

【0156】

以上、時刻 t_{29} ~ 時刻 t_{30} 期間では、駆動トランジスタ 114 の閾値電圧 V_{th} の補正が、($k+1$) 番目の駆動ブロック内において同時に実行され、($k+1$) 番目の駆動ブロックの全ての発光画素 11B の有する静電保持容量 C_1 には駆動トランジスタ 114 の閾値電圧 V_{th} に対応する電圧が同時に保持される。

【0157】

また、時刻 t_{30} において、走査/制御線駆動回路 14 は、走査線 133 ($k+1, 1$) ~ 133 ($k+1, m$) の電圧レベルを同時に LOW から HIGH に変化させ、スイッチングトランジスタ 115 をオフ状態とする。これにより、分圧点 M への基準電圧 V_{R1} の供給が停止される。なお、走査線 133 ($k+1, 1$) ~ 133 ($k+1, m$) の電圧レベルを LOW から HIGH に変化させるタイミングはこれに限らず、時刻 t_{30} 以降かつ第 2 信号線 152 から輝度信号電圧が供給されるまでの期間であればよい。

40

【0158】

次に、時刻 t_{31} 以降では、走査/制御線駆動回路 14 は、走査線 133 ($k+1, 1$) ~ 133 ($k+1, m$) の電圧レベルを、順次、HIGH LOW HIGH に変化させ、スイッチングトランジスタ 115 を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 15 は、第 2 信号線 152 の信号電圧を基準電圧から輝度信号電圧に変化させる。つまり、輝度信号電圧 V_{data} を分圧点 M に印加する (図 6 のステップ S25)。これにより、駆動トランジスタ 114 のゲートには、輝度信号電圧 V_{dat}

50

aと閾値電圧 V_{th} とに対応した電圧が書き込まれる。つまり、駆動トランジスタ114のゲート-ソース間電圧 V_{gs} には、閾値電圧が補正された輝度信号電圧が書き込まれる。

【0159】

また、走査/制御線駆動回路14は、走査線133($k+1$ 、1)の電圧レベルを上記HIGH LOW HIGHと変化させた後、つづいて第1制御線131($k+1$ 、1)の電圧レベルをHIGHからLOWへ変化させる。つまり、($k+1$)番目の駆動ブロックの全ての発光画素11Bのスイッチングトランジスタ116を順次、発光画素行ごとにオン状態とする(図6のステップS26)。

【0160】

この動作を、順次、発光画素行ごとに繰り返す。

【0161】

以上、時刻 t_{31} 以降では、補正された輝度信号電圧の書き込み及び発光が、($k+1$)番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0162】

以上の動作が、表示パネル10内の($k+2$)番目の駆動ブロック以降においても順次実行される。

【0163】

図9Bは、本発明の実施の形態2に係る駆動方法により発光した駆動ブロックの状態遷移図である。同図には、ある発光画素列における、駆動ブロックごとの発光期間及び非発光期間が表されている。縦方向は複数の駆動ブロックを、また、横軸は経過時間を示す。ここで、非発光期間とは、上述した閾値補正期間を含む。

【0164】

本発明の実施の形態2に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロック内でも発光画素行ごとに順次設定される。よって、駆動ブロック内においても、行走査方向に対して発光期間が連続的に現れる。

【0165】

以上、実施の形態2においても、スイッチングトランジスタ116及び117、ならびに静電保持容量 C_1 及び C_2 が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ114の閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力する走査/制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ114の閾値補正期間を、全発光画素を書き換える時間である1フレーム期間 T_f のなかで大きくとることができる。これは、 k 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、($k+1$)番目の駆動ブロックにおいて閾値補正期間が設けられることによるものである。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0166】

例えば、表示パネル10を N 個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 T_f/N となる。

【0167】

(実施の形態3)

本発明の実施の形態3に係る表示装置は、実施の形態1に係る表示装置1とほぼ同じであるが、発光画素の構成が異なる。

【0168】

10

20

30

40

50

具体的には、実施の形態 1 では、静電保持容量 C 2 の一端が静電保持容量 C 1 の駆動トランジスタ 1 1 4 と接続されている端子とは異なる端子に接続されていたが、実施の形態 3 では、静電保持容量 C 2 の一端が静電保持容量 C 1 の駆動トランジスタ 1 1 4 と接続されている端子に接続されている点が異なる。

【 0 1 6 9 】

以下、本発明の実施の形態 3 について、図面を参照しながら説明する。

【 0 1 7 0 】

図 1 0 A は、本発明の実施の形態 3 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図 1 0 B は、本発明の実施の形態 3 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

10

【 0 1 7 1 】

図 1 0 A に示す発光画素 2 1 A は、図 2 A に示す発光画素 1 1 A とほぼ同じであるが、静電保持容量 C 1 の配置されている位置が異なる。一方、図 1 0 B に示す発光画素 2 1 B は、図 2 B に示す発光画素 1 1 B とほぼ同じであるが、発光画素 2 1 A と同様に、静電保持容量 C 1 の配置されている位置が異なる。具体的には、発光画素 2 1 A 及び発光画素 2 1 B のいずれも、静電保持容量 C 2 の一端が静電保持容量 C 1 の駆動トランジスタ 1 1 4 と接続されている端子に接続されている。

【 0 1 7 2 】

なお、本実施の形態に係る表示装置の駆動方法の動作タイミングチャートは、図 4 A に示した実施の形態 1 に係る表示装置 1 の駆動方法の動作タイミングチャートと同じである。また、本実施の形態に係る表示装置の動作フローチャートは、図 5 に示した実施の形態 1 に係る表示装置 1 の動作フローチャートとほぼ同じであるが、図 5 のステップ S 1 1、ステップ S 1 5、ステップ S 2 1 及びステップ S 2 5 に示した基準電圧及び輝度信号電圧を印加する箇所が異なる。

20

【 0 1 7 3 】

具体的には、実施の形態 1 では、第 1 信号線 1 5 1 又は第 2 信号線 1 5 2 から供給された基準電圧及び輝度信号電圧は静電保持容量 C 1 と静電保持容量 C 2 との分圧点 M に印加されたが、実施の形態 3 では、信号電圧は静電保持容量 C 1 の静電保持容量 C 2 と接続されている端子とは異なる端子に供給される。

【 0 1 7 4 】

また、実施の形態 1 では、駆動トランジスタ 1 1 4 の閾値電圧 V_{th} に対応する電圧は静電保持容量 C 1 に保持されたが、本実施の形態では静電保持容量 C 1 と静電保持容量 C 2 との分圧点 M に保持される点が異なる。

30

【 0 1 7 5 】

これにより、実施の形態 3 では、駆動トランジスタ 1 1 4 のゲートに印加される電圧は、静電保持容量 C 1 と静電保持容量 C 2 との容量分割に依存して決定されるので、実施の形態 1 と比較して、輝度信号電圧の振幅を大きくする必要があるので、実施の形態 1 と比較して、ゲート・ソース間電圧の最大振幅の輝度信号電圧の最大振幅の駆動トランジスタ 1 1 4 に対する比が低くなる。

【 0 1 7 6 】

しかしながら、本実施の形態に係る表示装置も、実施の形態 1 に係る表示装置 1 と同様に、駆動トランジスタ 1 1 4 の閾値補正期間及びタイミングを駆動ブロック内で一致させることが可能となるので、例えば、信号線駆動回路 1 5 の負荷の低減、及び、高精度な閾値電圧補正による表示品質の向上といった実施の形態 1 に係る表示装置 1 と同様の効果を奏する。

40

【 0 1 7 7 】

以上、実施の形態 1 ~ 3 について説明したが、本発明に係る表示装置は、上述した実施の形態に限定されるものではない。実施の形態 1 ~ 3 における任意の構成要素を組み合わせる別の実施の形態や、実施の形態 1 ~ 3 に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内

50

蔵した各種機器も本発明に含まれる。

【0178】

例えば、上記説明では、実施の形態3に係る表示装置は、発光画素21A及び21Bの構成以外は実施の形態1に係る表示装置と同様の構成を有するとしたが、発光画素21A及び21Bの構成以外は図8に示すような実施の形態2に係る表示装置と同様の構成を有し、図9Aに示す実施の形態2に係る表示装置の動作タイミングチャートで動作することにより、行順次に発光及び消光する構成であってもよい。

【0179】

なお、以上述べた実施の形態では、スイッチングトランジスタのゲートの電圧レベルがLOWの場合にオン状態になるp型トランジスタとして記述しているが、これらをn型トランジスタで形成し、走査線及び制御線の極性を反転させた表示装置でも、上述した各実施の形態と同様の効果を奏する。

【0180】

また、以上に述べた実施の形態では、有機EL素子はカソード側を他の画素と共通化して接続されているが、アノード側を共通化して、カソード側をスイッチングトランジスタ116を介して駆動トランジスタ114と接続した表示装置でも、上述した各実施の形態と同様の効果を奏する。

【0181】

また、上記実施の形態2では、時刻t21までにk番目の駆動ブロックの第1制御線131(k, 1)~131(k, m)の電圧レベルを同時にHIGHからLOWに変化させていたが、同時に変化させずに行順次に変化させてもよい。また、時刻t28までに、(k+1)番目の駆動ブロックの第1制御線131(k+1, 1)~131(k+1, m)の電圧レベルを同時にHIGHからLOWに変化させていたが、同時に変化させずに行順次に変化させてもよい。

【0182】

また、例えば、本発明に係る表示装置は、図11に記載されたような薄型フラットTVに内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラットTVが実現される。

【産業上の利用可能性】

【0183】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機ELフラットパネルディスプレイに有用である。

【符号の説明】

【0184】

- 1 表示装置
- 10 表示パネル
- 11A、11B、21A、21B、501 発光画素
- 12 信号線群
- 13 制御線群
- 14 走査/制御線駆動回路
- 15 信号線駆動回路
- 20 タイミング制御回路
- 30 電圧制御回路
- 110、112 電源線
- 113 有機EL素子
- 114、512 駆動トランジスタ
- 115、116、117、511 スwitchングトランジスタ
- C1、C2 静電保持容量
- 131 第1制御線
- 132 第2制御線

10

20

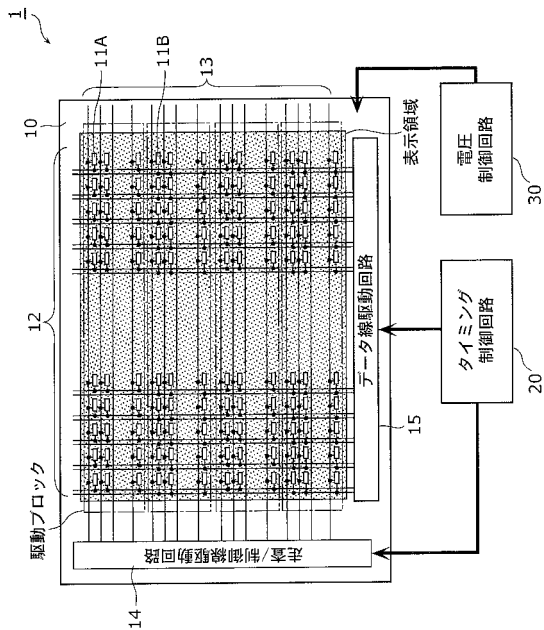
30

40

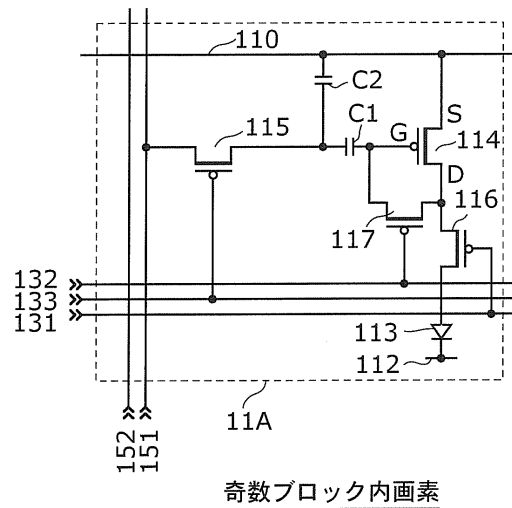
50

- 1 3 3、7 0 1、7 0 2、7 0 3 走査線
- 1 5 1 第1信号線
- 1 5 2 第2信号線
- 5 0 0 画像表示装置
- 5 0 2 画素アレイ部
- 5 0 3 信号セレクタ
- 5 0 4 走査線駆動部
- 5 0 5 給電線駆動部
- 5 1 3 保持容量
- 5 1 4 発光素子
- 5 1 5 接地配線
- 6 0 1 信号線
- 8 0 1、8 0 2、8 0 3 給電線

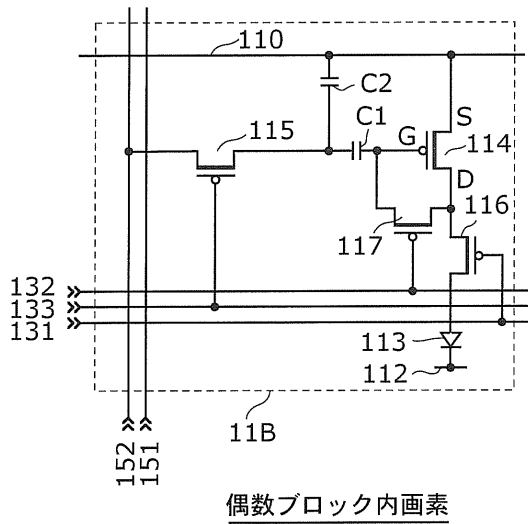
【図1】



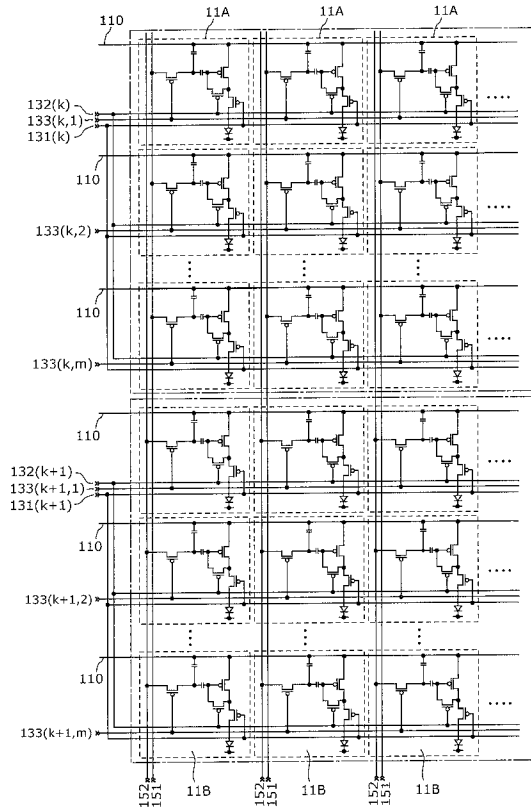
【図2A】



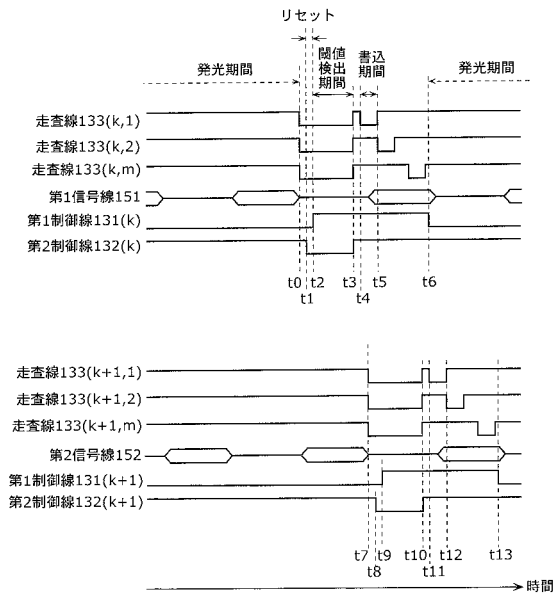
【図2B】



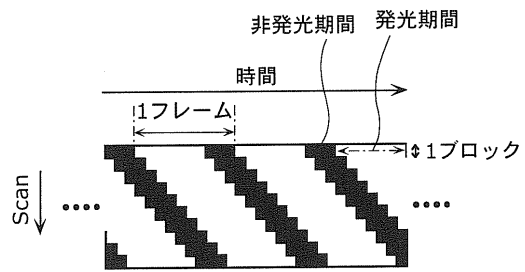
【図3】



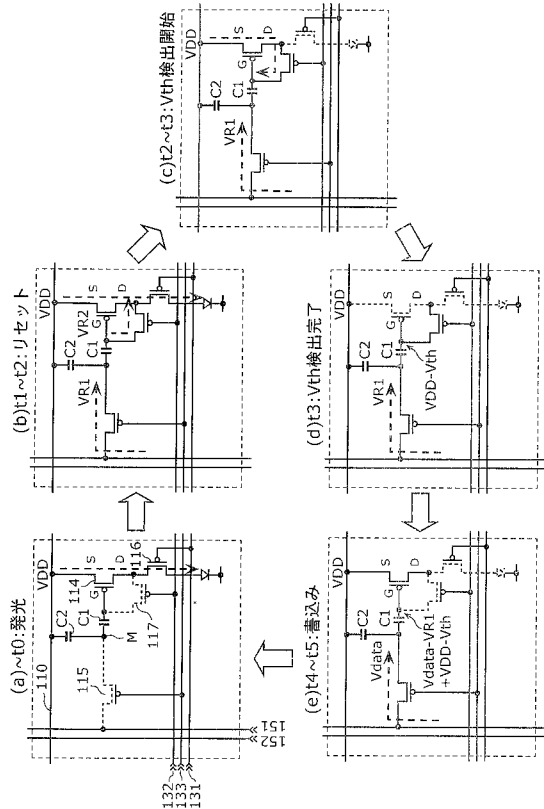
【図4A】



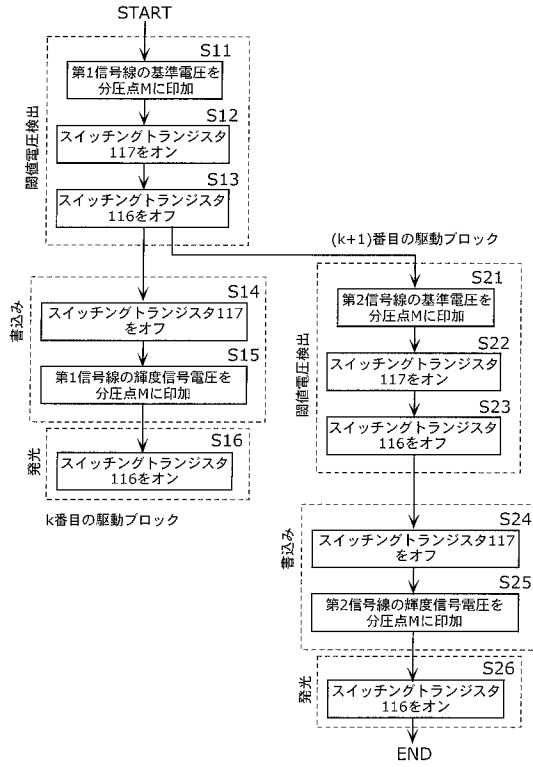
【図4B】



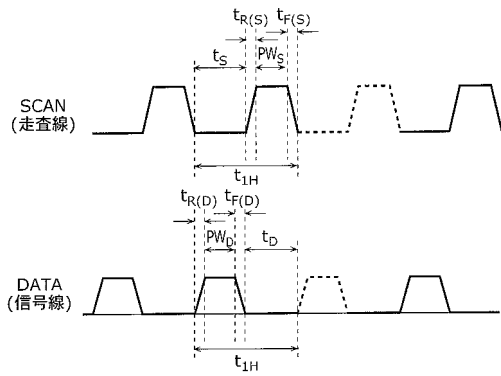
【図5】



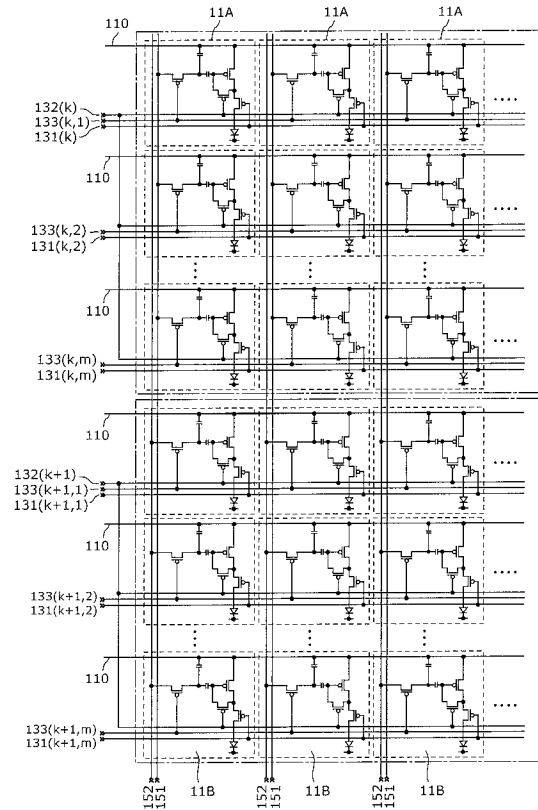
【図6】



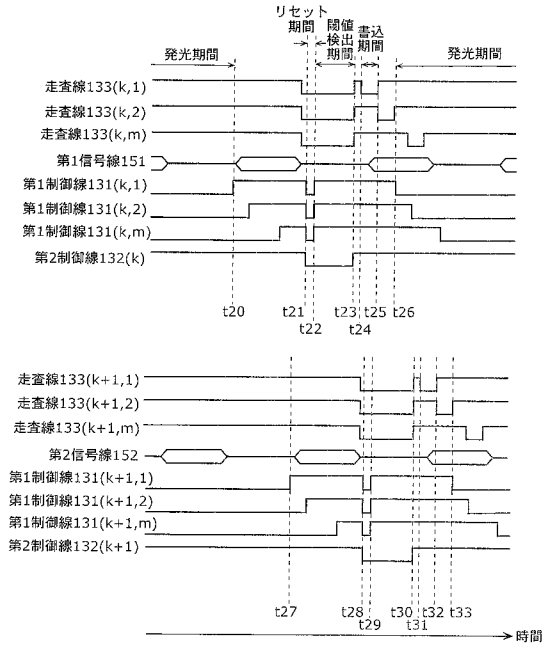
【図7】



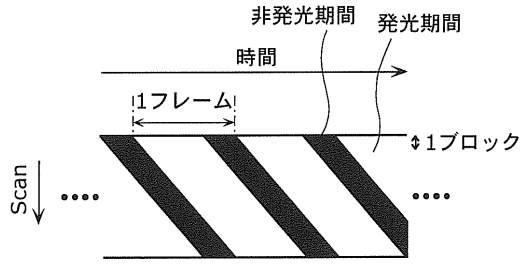
【図8】



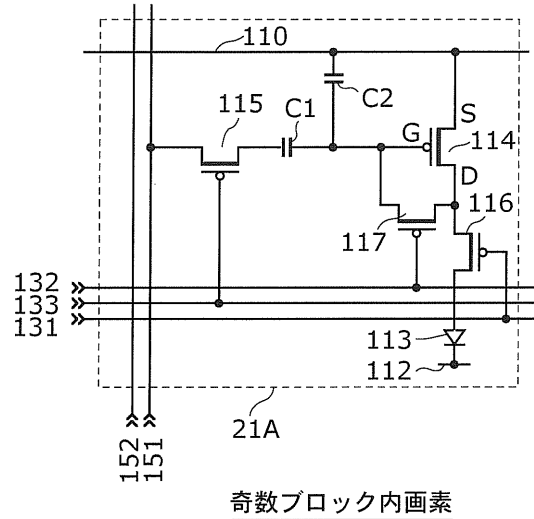
【図9A】



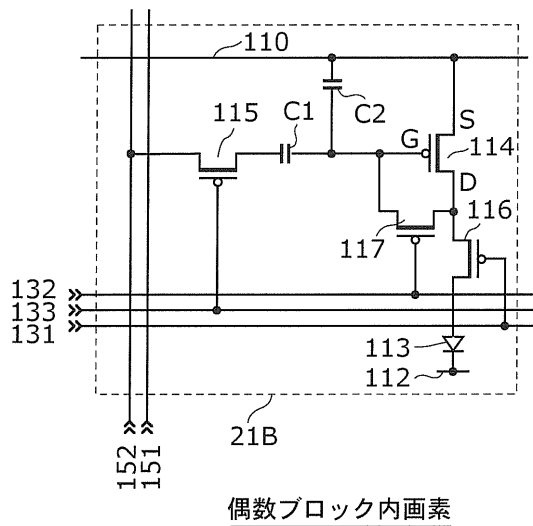
【図9B】



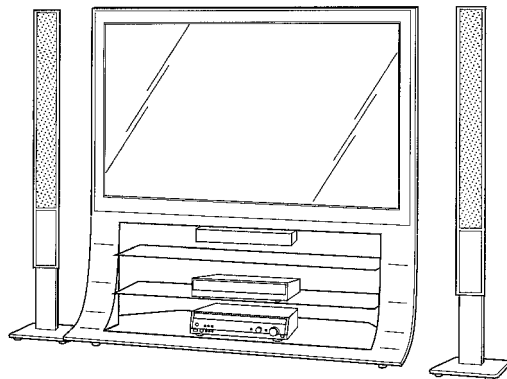
【図10A】



【図10B】



【図11】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 H
	G 0 9 G	3/20	6 4 2 A
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 2 4 B
	H 0 5 B	33/14	A
	H 0 4 N	5/70	A

- (56)参考文献 特開2003-195809(JP,A)
 特開2010-054564(JP,A)
 特開2009-237041(JP,A)
 特開2009-139928(JP,A)
 特開2006-133731(JP,A)
 国際公開第2010/100938(WO,A1)
 特開2003-186439(JP,A)
 特開2008-122633(JP,A)
 特開2003-202834(JP,A)
 YUMOTO A, Pixel-Driving Methods for Large-Sized Poly-Si AM-OLED Displays, ASIA DISPLAY
 / IDW'01, 米国, SID, 2001年10月16日, V. CONF. 21/8, P1395-1398

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-----------|
| G 0 9 G | 3 / 3 0 |
| G 0 9 G | 3 / 2 0 |
| H 0 1 L | 5 1 / 5 0 |
| H 0 4 N | 5 / 7 0 |

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5456901B2	公开(公告)日	2014-04-02
申请号	JP2012532724	申请日	2010-09-06
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H04N5/70		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/043 G09G5/10 H01L27/3248 H01L27/326		
FI分类号	G09G3/30.J G09G3/20.622.L G09G3/20.622.D G09G3/20.623.V G09G3/20.623.C G09G3/20.611.H G09G3/20.642.A G09G3/20.621.M G09G3/20.624.B H05B33/14.A H04N5/70.A		
代理人(译)	新居 広守		
审查员(译)	Naoaki 桥本		
其他公开文献	JPWO2012032559A1		
外部链接	Espacenet		

摘要(译)

包括像素的显示装置在其中形成有至少两个驱动块，每个驱动块由像素行组成。每个像素包括：驱动晶体管；和第一静电电容器和第二静电电容器；有机EL元件；第一开关晶体管，设置在驱动晶体管的源极和漏极之间；第二开关晶体管将信号电流提供给有机EL元件。第k个驱动块中的每个像素包括设置在第一信号线和第一静电存储电容器之间的第三开关晶体管，并且第k个驱动块中的每个像素包括设置在第二信号线之间的第四开关晶体管。和第一静电存储电容器。用于控制第一开关晶体管的导通的第二控制线连接到同一驱动块中的每个像素。

【图2A】

