

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4289321号
(P4289321)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月10日(2009.4.10)

(51) Int.Cl.

F I

G O 9 G 3/30 (2006.01)

G O 9 G 3/20 (2006.01)

H O 1 L 51/50 (2006.01)

G O 9 G 3/30 J

G O 9 G 3/20 6 1 1 A

G O 9 G 3/20 6 1 1 H

G O 9 G 3/20 6 2 1 F

G O 9 G 3/20 6 2 4 B

請求項の数 8 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2005-126001 (P2005-126001)	(73) 特許権者	000002369
(22) 出願日	平成17年4月25日 (2005.4.25)		セイコーエプソン株式会社
(62) 分割の表示	特願2005-57115 (P2005-57115)		東京都新宿区西新宿2丁目4番1号
	の分割	(74) 代理人	100095728
原出願日	平成17年3月2日 (2005.3.2)		弁理士 上柳 雅誉
(65) 公開番号	特開2005-301290 (P2005-301290A)	(74) 代理人	100107076
(43) 公開日	平成17年10月27日 (2005.10.27)		弁理士 藤綱 英吉
審査請求日	平成17年4月25日 (2005.4.25)	(74) 代理人	100107261
(31) 優先権主張番号	0404919.3		弁理士 須澤 修
(32) 優先日	平成16年3月4日 (2004.3.4)	(72) 発明者	サイモン タム
(33) 優先権主張国	英国 (GB)		イギリス ケンブリッジ CB4 OFE
			9a ケンブリッジ サイエンスパーク
			ミルトンロード エプソンケンブリッジ
			研究所内
			最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

電流駆動素子を駆動する画素回路であって、
第1のゲート端子と、第1の端子と、第2の端子とを備え、導電状態が前記電流駆動素子に供給される駆動電流の電流レベルに対応する第1のトランジスタと、
第2のゲート端子を備える第2のトランジスタと、
第3のゲート端子を備え、前記第1のゲート端子と前記第2の端子との間の電気接続を制御するよう配置された第3のトランジスタと、
前記第1のゲートと電源供給線との間に接続された容量素子と、
前記電流駆動素子および前記第1のトランジスタの間に直列に接続され、第4のゲート端子を備える第4のトランジスタと、
前記第1のトランジスタおよび前記駆動電流が前記第1のトランジスタを介して前記電流駆動素子に供給される電源線の間に直列に接続され、第5のゲート端子を備える第5のトランジスタと、
前記第1のゲートおよび前記容量素子の間に接続された第7のトランジスタと、を含み、
前記第1の端子は、前記第2のトランジスタを介してデータ信号を受け取るよう配列され、当該データ信号は前記第1のトランジスタの前記導電状態を決定するものであり、
前記第1のトランジスタの導電型は、前記第2のトランジスタの導電型とは異なるものであり、

前記第4のトランジスタの導電型は、前記第2のトランジスタの導電型とは異なるものであり、

前記第4のトランジスタの導電型は、前記第5のトランジスタの導電型と同じである画素回路。

【請求項2】

請求項1に記載の画素回路において、前記第1のトランジスタの導電型はp型である画素回路。

【請求項3】

請求項1に記載の画素回路において、

前記第4のゲート端子、前記第2のゲート端子、および前記第3のゲート端子は、一つの信号線に接続される画素回路。 10

【請求項4】

請求項1に記載の画素回路において、

前記第5のゲート端子、前記第2のゲート端子、および前記第3のゲート端子は、一つの信号線に接続される画素回路。

【請求項5】

請求項1に記載の画素回路において、

前記第4のトランジスタおよび前記電流駆動素子の間に直列に接続された第6のトランジスタをさらに含む画素回路。

【請求項6】

20

請求項1に記載の画素回路において、前記電源線および前記第1のゲートの間に接続された第8のトランジスタをさらに含む画素回路。

【請求項7】

請求項1に記載の画素回路において、前記容量素子および前記第2の端子の間に接続された第9のトランジスタをさらに含む画素回路。

【請求項8】

請求項1乃至7のいずれかに記載の画素回路を備えた表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、画素回路、画素回路の駆動方法、アクティブマトリクス装置に関する。

【背景技術】

【0002】

表示システムは一般的に、光源としての有機発光装置(OLED)を備える画素回路の配列、および前記OLEDを受け取ったデータ信号に応じて駆動する駆動回路を含む。前記OLEDは、陽極層および陰極層に挟まれた発光高分子(LEP)層等からなる。前記OLEDは、電気的にはダイオードとして機能し、光学的には順方向バイアスされているときに発光し、その発光の明るさは順方向バイアス電流の増加に従い強まる。前記配列における個々の画素回路の前記駆動回路を低温ポリシリコン薄膜トランジスタ(TFT)技術によって一体化することにより、個々のOLEDの明るさを制御し、画面上に静止画または動画を表示させることができる。 40

【0003】

OLEDは電流駆動素子であるため、前記画素回路が電気信号を受け取ると、その受け取った電気信号に応じて駆動トランジスタなどが適量の電流を前記OLEDに供給する。図1は、アクティブ・マトリクスOLED表示装置に適用される公知の電圧駆動画素回路の例である。図1に示すように、画素回路10は、第1のp型TFT T_1 および第2のp型TFT T_2 を含む。前記第1のTFT T_1 は、前記画素回路10をアドレス指定するスイッチであり、電圧データ信号Vdataを受け取る第1の供給線12に接続された端子を含む。前記第1のTFT T_1 は、また、供給電圧VSELを受け取る第2の供給線14に接続されたゲート端子と、前記第2のTFT T_2 のゲート端子に接続された端 50

子とを含む。前記第2のTFT T_2 は、供給電圧VDDを受け取る第3の供給線16に接続された端子と、OLED18の陽極端子に接続された端子とを含む。前記OLED18の陰極端子は接地される。前記第2のTFT T_2 は、前記電圧データ信号VDataを電流信号に変換するアナログ駆動TFTであり、この信号により前記OLED18を指定された明るさに駆動する。

【0004】

図1に例示する電圧駆動画素回路の配列を使用した表示システムでは、前記配列における個々の駆動TFTに同一の電圧データ信号および供給電圧を供給しても、表示された画像に不均一性が生じる可能性がある。この不均一性は、表示を形成する画素回路の配列内における、個々の駆動TFTの閾値電圧の空間的バラツキに起因する。よって各OLEDは、前記駆動TFT間の閾値電圧の差異に対応した異なる輝度となる。この不均一性の問題を解決するための一つの方法として、非特許文献1に開示されている。Choiほかの開示する画素回路の実施形態を図2に示す。

10

【非特許文献1】S. M. Choiほか著「A self-compensated voltage programming pixel structure for active-matrix organic light emitting diodes」(International Display Workshop 2003年、535～538頁)

【0005】

図2に示すように、個々の駆動TFTの閾値電圧のバラツキを補正する画素回路20は、6つのTFT M1、M2、M3、M4、M5、M6と、容量素子C1と、2つの水平制御線である走査[n-1]、走査[n]とを含む。M2、M3、M4、M5、M6は、切替えTFTである。一方M1は、電流を供給するアナログ駆動TFTであり、この電流により1フレーム期間中、OLED22を指定された明るさに駆動する。

20

【0006】

作動中は、前記第4のTFT M4は電流路を形成し、前記駆動TFT M1のゲート端子電圧を所定の値で成立させる。前記容量素子C1は蓄積容量素子であり、前記駆動TFT M1のゲート端子電圧を蓄える。前記画素回路20は、データのプログラム化を完了させるために2列の線にかかる時間が必要となるため、走査[n]（現在の列走査）および走査[n-1]（前回の列走査）信号を印加して前記画素回路20をプログラム化する。

30

【0007】

前回の列走査の間、前記走査[n-1]信号が論理L（ローレベル）である場合、前記駆動TFT M1のゲート端子電圧は、初期化と呼ばれるステップにおいて印加されて電圧V_Iになる。これに続く現在の列走査の間、前記走査[n]信号がローレベルである場合、TFT M2およびM3がオン状態になり、この結果電圧データ信号データ[m]は、ダイオード接続された駆動TFT M1を介して前記駆動TFT M1のゲート・ノードへプログラムされる。このとき、前記駆動TFT M1のゲート・ノードにプログラムされた電圧は、前記駆動TFT M1の閾値電圧V_{TH}より小さいデータ信号電圧データ[m]へと自動的に減少する。初期化およびプログラム化の間、TFT M5およびM6はオフ状態になる。

40

【0008】

前回および現在の列走査に引き続き、em[n]信号によりTFT M5およびM6がオン状態になることによりVDDからアースへの電流路が形成され、この結果前記駆動TFT M1を介して電流が流れ、前記OLED22を駆動する。したがって前記駆動TFT M1は、前記閾値電圧V_{TH}とは関係なく前記電流を抑制する。

【発明の開示】

【発明が解決しようとする課題】

【0009】

前記画素回路20は、個々の駆動TFTの電圧閾値変動を補正する手段を実現するが、

50

画素回路がプログラム化される速度を高める必要がある。これは、高帯域データが供給された場合や大型表示装置に適用された場合にも、表示システムが適切に動作するために必要である。さらに、電源の寿命を延ばし、前記システムの機能性を高めるため、より低い電力消費を特徴とする小型表示装置も必要となる。

【課題を解決するための手段】

【0010】

本発明の第1の態様に係る画素回路は、

電源線および基準線の間に直列に接続された第1のトランジスタおよび容量素子と、ここで前記第1のトランジスタのゲート端子は第1の制御信号を受け取るよう配置され、

前記電源線およびもう一つの線の間に直列に接続された駆動トランジスタおよび発光装置と、ここで前記駆動トランジスタは、前記第1のトランジスタおよび前記容量素子の間の第1のノードに接続されたゲート端子と、データ信号を受け取る第1の端子とを備え、

第2のトランジスタと、ここで前記第2のトランジスタは、前記第2のトランジスタのゲート端子において受け取られた第2の制御信号に応じて前記駆動トランジスタをダイオード接続するよう配列され、これにより前記データ信号は、ダイオード接続され前記第1のノードに保持された場合に前記駆動トランジスタを介して渡され、前記第2のトランジスタはn型トランジスタである、を含む画素回路である。

【0011】

好ましくは、前記電源線および前記駆動トランジスタの間に第3のトランジスタが直列に接続され、前記発光装置および前記駆動トランジスタの間に第4のトランジスタが直列に接続され、ここで前記駆動トランジスタおよび前記第3のトランジスタの間の第2のノードにおいて、前記第2のトランジスタの一つの端子が、前記駆動トランジスタの第2の端子に接続される。

好ましくは、前記第3および第4のトランジスタはp型トランジスタであり、これらのゲート端子は前記第2の制御信号を受け取るよう配列される。より好ましくは、データ信号線ならびに前記駆動トランジスタおよび前記第4のトランジスタの間の第3のノードの間に、第5のトランジスタが接続される。前記第5のトランジスタはn型トランジスタでもよく、前記第2の制御信号を受け取るゲート端子を含んでもよい。

【0012】

好ましくは、前記第5のトランジスタおよび前記発光装置の間に第6のトランジスタが直列に接続され、ここで前記第6のトランジスタは、前記第1のトランジスタとは逆の型であり、前記第1の制御信号を受け取るゲート端子を備える。

【0013】

好ましくは、前記駆動トランジスタの前記ゲート端子および前記第1のノードの間に第7のトランジスタが直列に接続され、前記電源線ならびに前記第7のトランジスタの一つの端子および前記駆動トランジスタの前記ゲート端子の間の第4のノードの間に、第8のトランジスタが接続され、ここで前記第8のトランジスタは前記第1のトランジスタと同じ型であり、前記第7のトランジスタは前記第1のトランジスタとは逆の型であり、前記第7および第8のトランジスタのゲート端子は前記第1の制御信号を受け取るよう配置される。

【0014】

前記画素回路はさらに、前記第1のノード、および前記駆動トランジスタの前記ゲート端子に接続された前記第2のトランジスタの前記端子の間に接続された第9のトランジスタと、前記第1のノード、および前記駆動トランジスタの第2の端子に接続された前記第2のトランジスタのもう一方の端子の間に接続された第10のトランジスタとを含んでもよく、ここで前記第9のトランジスタはp型トランジスタであり、前記第10のトランジスタはn型トランジスタであり、前記第9および第10のトランジスタのゲート端子は、それぞれ前記第1および第2の制御信号を受け取るよう配置される。

【0015】

本発明の別の態様に係る画素回路は、電流駆動素子を駆動する画素回路であって、

導電状態が前記電流駆動素子に供給される駆動電流の電流レベルに対応する第1のトランジスタと、ここで前記第1のトランジスタは、第1のゲート端子と、第1の端子と、第2の端子とを備え、

第2のゲート端子を備える第2のトランジスタと、

前記第1のゲート端子ならびに前記第1の端子および前記第2の端子の一方の間の電気接続を制御するよう配置された第3のトランジスタと、ここで前記第3のトランジスタは第3のゲート端子を備え、を含む画素回路であり、

前記第1の端子は、前記第2のトランジスタを介してデータ信号を受け取るよう配列され、ここで前記データ信号は前記第1のトランジスタの前記導電状態を決定するものであり、

10

前記第1のトランジスタの導電型は、前記第2のトランジスタの導電型とは異なるものである。

【0016】

本発明の別の態様に係る画素回路は、電流駆動素子を駆動する画素回路であって、

導電状態が前記電流駆動素子に供給される駆動電流の電流レベルに対応する第1のトランジスタと、ここで前記第1のトランジスタは、第1のゲート端子と、第1の端子と、第2の端子とを備え、

第2のゲート端子を備える第2のトランジスタと、

前記第1のゲート端子ならびに前記第1の端子および前記第2の端子の一方の間の電気接続を制御するよう配置された第3のトランジスタと、ここで前記第3のトランジスタは第3のゲート端子を備え、を含む画素回路であり、

20

前記第1の端子は、前記第2のトランジスタを介してデータ信号を受け取るよう配列され、ここで前記データ信号は前記第1のトランジスタの前記導電状態を決定するものであり、

前記第1のトランジスタの導電型は、前記第3のトランジスタの導電型とは異なるものである。

【0017】

好ましくは、前記電流駆動素子および前記第1のトランジスタの間に第4のゲート端子を備える第4のトランジスタが直列に接続される。より好ましくは、前記第4のトランジスタの導電型は、前記第2のトランジスタの導電型とは異なるものである。

30

【0018】

好ましくは、前記第1のトランジスタおよび電源線の間に第5のゲート端子を備える第5のトランジスタが直列に接続される。前記電源線からは、前記駆動電流が、前記第1のトランジスタを介して前記電流駆動素子に供給される。

【0019】

前記第4のトランジスタの導電型は、前記第5のトランジスタの導電型と同じでもよい。前記第1のトランジスタの導電型は、p型でもよい。好ましくは、前記第4のゲート端子、前記第2のゲート端子、および前記第3のゲート端子は、一つの信号線に接続される。好ましくは、前記第5のゲート端子、前記第2のゲート端子、および前記第3のゲート端子は、一つの信号線に接続される。好ましくは、前記第4のトランジスタおよび前記電流駆動素子の間に第6のトランジスタが直列に接続される。

40

【0020】

好ましくは、前記第1のゲートが容量素子を介して電源供給線に接続される。より好ましくは、前記第1のゲートおよび前記第1の容量素子の間に第7のトランジスタが接続される。

【0021】

好ましくは、前記電源供給線および前記第1のゲートの間に第8のトランジスタが直接接続される。

【0022】

好ましくは、前記容量素子および前記第2の端子の間に第9のトランジスタが接続され

50

る。

【 0 0 2 3 】

本発明の別の態様に係る表示装置は、複数の前述した画素回路を含む表示装置である。好ましくは、前記表示装置は少なくとも、マトリクス状の第 1 の信号線と、第 2 の信号線と、第 3 の信号線と、データ信号線とからなり、前記第 1 の制御信号線は第 1 の画素回路に第 1 の制御信号を供給し、前記第 2 の制御信号線は前記第 1 の画素回路に第 2 の制御信号を供給し、ここで第 2 の画素回路への第 1 の制御信号は前記第 2 の制御線によって供給される前記第 1 の画素回路への前記第 2 の制御信号であり、前記第 3 の制御線は前記第 2 の画素回路に第 2 の制御信号を供給する。

【 0 0 2 4 】

本発明の別の態様に係る画素回路の駆動方法は、

第 1 の制御信号を印加することにより、電源線および基準線の間に接続され、第 1 の容量素子に直列に接続された第 1 のトランジスタをオンにし、

第 2 の制御信号を印加することにより、第 2 のトランジスタをオンにし駆動トランジスタをダイオード接続し、ここで前記第 2 のトランジスタは n 型トランジスタであり、前記駆動トランジスタは前記電源供給線およびもう一つの線の間の発光装置に直列に接続され、前記駆動トランジスタのゲート端子は前記第 1 のトランジスタおよび前記第 1 の容量素子の間の第 1 のノードに接続され、前記駆動トランジスタの第 1 の端子はデータ信号を受け取るよう配置され、

前記第 1 の制御信号を印加することにより、前記第 1 のトランジスタをオフにし、

前記データ信号を前記駆動トランジスタの前記第 1 の端子に印加し、

前記第 2 の制御信号を印加することにより、前記第 2 のトランジスタをオフにすることを、画素回路の駆動方法である。

【 0 0 2 5 】

好ましくは、前記方法はさらに、前記第 2 の制御信号を、前記電源線および前記駆動トランジスタの間に直列に接続された第 3 のトランジスタに印加し、前記発光装置および前記駆動トランジスタの間に直列に接続された第 4 のトランジスタに印加することにより、前記第 2 のトランジスタをオンにする間は前記第 3 および第 4 のトランジスタをオフにし、前記第 2 のトランジスタをオフにする間は前記第 3 および第 4 のトランジスタをオンにすることを、ここで前記駆動トランジスタおよび前記第 3 のトランジスタの間の第 2 のノードにおいて、前記第 2 のトランジスタの一つの端子が前記駆動トランジスタの一つの端子に接続される。

【 0 0 2 6 】

好ましくは、前記第 3 および第 4 のトランジスタは p 型トランジスタである。好ましくは、前記方法はさらに、前記第 2 の制御信号を、データ信号線ならびに前記駆動トランジスタおよび前記第 4 のトランジスタの間の第 3 のノードの間に接続された、第 5 のトランジスタに印加することにより、前記第 2 のトランジスタをオンにする間は前記第 5 のトランジスタをオンにし、前記第 2 のトランジスタをオフにする間は前記第 5 のトランジスタをオフにすることを、含む。

【 0 0 2 7 】

好ましくは、前記方法はさらに、前記第 1 の制御信号を、前記第 4 のトランジスタおよび前記発光装置の間に直列に接続された、第 6 のトランジスタに印加することにより、前記第 1 のトランジスタをオンにする間は前記第 6 のトランジスタをオフにすることを、ここで前記第 6 のトランジスタは前記第 1 のトランジスタとは逆の型である。

【 0 0 2 8 】

好ましくは、前記方法はさらに、前記第 1 の制御信号を、前記駆動トランジスタの前記ゲート端子および前記第 1 のノードの間に直列に接続された、第 7 のトランジスタに印加し、前記電源供給線ならびに前記第 7 のトランジスタの一つの端子および前記駆動トランジスタの前記ゲート端子の間の第 4 のノードの間に接続された、第 8 のトランジスタに印加することにより、前記第 1 のトランジスタをオンにする間は前記第 7 のトランジスタを

10

20

30

40

50

オフにし前記第 8 のトランジスタをオンにすることを含み、ここで前記第 8 のトランジスタは前記第 1 のトランジスタと同じ型であり、前記第 7 のトランジスタは前記第 1 のトランジスタとは逆の型である。

【 0 0 2 9 】

好ましくは、前記方法はさらに、前記第 1 の制御信号を、前記第 1 のノードおよび前記駆動トランジスタの前記ゲート端子に接続された前記第 2 のトランジスタの前記端子の間に接続された、第 9 のトランジスタに印加し、前記第 2 の制御信号を、前記第 1 のノードおよび前記駆動トランジスタの第 2 の端子に接続された前記第 2 のトランジスタのもう一方の端子との間に接続された、第 10 のトランジスタに印加することにより、前記第 1 のトランジスタをオンにする間は前記第 9 のトランジスタをオフにし、前記第 2 のトランジスタをオンにする間は前記第 10 のトランジスタをオンにすることを含み、ここで前記第 9 のトランジスタは p 型トランジスタであり、前記第 10 のトランジスタは n 型トランジスタである。

10

【 0 0 3 0 】

前記基準線はデータ信号線であってもよく、または、前記第 1 のトランジスタは前記第 5 のトランジスタおよび前記容量素子の間に直列に接続され、前記データ信号線は前記基準線であり、前記方法はさらに、

前記第 1 の制御信号を印加することにより前記第 1 のトランジスタをオンにした後に、また前記第 1 の制御信号を印加することにより前記第 1 のトランジスタをオフにする前に、前記データ信号線にプリチャージ信号を印加することを含み、ここで前記プリチャージ信号は前記データ信号より低い値を有する。

20

【 0 0 3 1 】

本発明の別の態様に係る画素回路の駆動方法は、第 1 のゲート端子と第 1 の端子と第 2 の端子とを備える第 1 のトランジスタと、第 2 のゲート端子を備える第 2 のトランジスタと、第 3 のゲート端子を備え前記第 1 のゲート端子および前記第 2 の端子の間の電気接続を制御する第 3 のトランジスタと、第 4 のゲート端子を備え、電流駆動素子および前記第 1 のトランジスタの間の電気接続を制御する第 4 のトランジスタと、第 5 のゲート端子を備え、前記第 2 の端子および所定の電圧の間の電気接続を制御する第 5 のトランジスタとを含む、画素回路を駆動する方法であり、前記第 5 のトランジスタをオン状態にすることにより前記第 2 の端子が所定の電圧に設定される、前記画素回路の第 1 の状態を生成し、前記第 1 の端子が前記第 2 のトランジスタを介してデータ信号を受け取る第 1 の期間の少なくとも一部において、前記第 1 のゲート端子が前記第 3 のトランジスタを介して前記第 2 の端子に電氣的に接続される、前記画素回路の第 2 の状態を生成し、電流レベルが前記第 2 の状態において設定される導電状態に対応する駆動電流が、前記第 1 のトランジスタ及び前記第 4 のトランジスタを介して電流駆動素子に供給される、前記画素回路の第 3 の状態を生成することを含み、前記第 2 の端子は、前記第 2 の状態において、前記所定の電圧から電氣的に分離され、前記第 1 の端子は、前記第 2 の状態において、前記電流駆動素子から電氣的に分離され、一つの制御信号が、前記第 2 のゲート端子、前記第 3 のゲート端子、前記第 4 のゲート端子、および前記第 5 のゲート端子に共通に供給されることを特徴とする。

30

40

【 0 0 3 2 】

使用に際して、本発明に係る前記画素回路の初期化およびプログラム化にかかる時間は減少し、これによって背景技術より効率的、高速で、用途の広い表示システムが実現する。前記画素回路の構造により信号 $e_m[n]$ および走査 $[n]$ を単一の制御信号に置き換えることが可能であるため、背景技術に使用される第 3 の信号 $e_m[n]$ は必要ない。ある好適な実施形態では、基準信号供給線は必要なく、これによってより小型の表示システムが実現する。また制御線の数減らすことができ、この点においても背景技術より小型で効率的な表示システムが実現する。

【発明を実施するための最良の形態】

【 0 0 3 3 】

50

以下、詳細を例示するために、本発明の実施の形態を図面に基づいて説明する。以下の説明において、同一の参照符号は同一部を指す。

【0034】

図3に示すように、ピン1、2、3を備える駆動トランジスタ74は、二つの方法でダイオード接続できる。ダイオード接続トランジスタのいずれの構造においても、ゲート端子は常にドレイン端子に接続される。ピン1、2は接続されて陰極端子を形成し、ピン3は陽極端子を形成してもよい。あるいは、ピン2、3が接続されて陰極端子を形成し、ピン1が陽極端子を形成してもよい。

【0035】

上述したように、同時に同じ工程で製造された同様のTF Tであっても、閾値電圧は変位する。一つの配列におけるすべてのTF Tは、共通の名目上の閾値電圧 V_T を有すると考えられる。これに加え、個々のTF Tは異なる閾値電圧変位 ΔV_T を有すると考えられる。したがって、各TF Tの実際の閾値電圧は、 ΔV_T のTF Tごとの変位を加味して、 $(V_T + \Delta V_T)$ によって求められる。

【0036】

本発明における駆動トランジスタは、閾値電圧 $(V_T + \Delta V_T)$ が、電流の流れる方向、すなわちどの端子がソースやドレインとして設定されているかに関わらず、同一であるという特性を備える。

【0037】

この特性は、ソース端子およびドレイン端子の間が対称であり、応力のかけられていない駆動トランジスタに備わる。対称型駆動トランジスタにおいて、ソース端子およびドレイン端子は等しくドーピングされ、ゲート端子に関して対称である。このようなトランジスタは、一般に自己整合される。名目上の閾値電圧 V_T および閾値電圧変位 ΔV_T を有する対称型駆動トランジスタ74に関して、ダイオード接続されているときの前記駆動トランジスタ74の閾値電圧の測定値は $(V_T + \Delta V_T)$ であり、前記駆動トランジスタ74がどのようにダイオード接続されているかはこれに影響しない。

図4に示すように、本発明の第1の実施形態に係る画素回路50は、第1の容量素子56の第1の端子に接続された第1のノード54を備えた第1のレール52を含む。前記第1の容量素子56の第2の端子は、第2のノード58 (new dg) に接続される。前記第2のノード58は、第1のn型トランジスタ60のソース端子と、第3のノード62とに接続された。前記第1のn型トランジスタ60は、ゲート端子と、第2のレール64とに接続されるドレイン端子とを含む。

【0038】

前記第1のレール52は、第1のp型トランジスタ68のソース端子に接続された第4のノード66を含む。前記第1のp型トランジスタ68は、第5のノード70に接続されたゲート端子と、第6のノード72 (int) に接続されたドレイン端子とを含む。前記第6のノード72 (int) は、前記駆動トランジスタ74の第1の端子に接続される。前記駆動トランジスタ74はまた、ゲート端子および第3の端子を含み、第2のp型トランジスタである。図3に示され、さらに詳細は図5を参照に後述されるように、前記駆動トランジスタ74の前記第1の端子および第3の端子は、前記駆動トランジスタ74がダイオード接続されているか否かによりソース端子およびドレイン端子として入れ替え可能である。前記駆動トランジスタ74の前記第3の端子は第7のノード76 (ipn) に接続され、前記ゲート端子は前記第3のノード62に接続される。

【0039】

前記第6のノード72 (int) はまた、第2のn型トランジスタ78のソース端子に接続される。前記第2のn型トランジスタ78は、第8のノード80に接続されたゲート端子と、前記第3のノード62に接続されたドレイン端子とを含む。前記第8のノード80は、第9のノード82に接続される。前記第9のノード82は、第3のn型トランジスタ84のゲート端子に接続され、また第3のp型トランジスタ86のゲート端子に接続される。前記第3のn型トランジスタ84のドレイン端子は前記第7のノード76 (ipn)

）に接続され、ソース端子は第3のレール88に接続される。前記第3のp型トランジスタ86のソース端子は前記第7のノード76（ipn）に接続され、ドレイン端子はOLED96の陽極端子に接続される。前記OLED96はまた、第4のレール94に接続された陰極端子を含む。前記画素回路50はまた第2の容量素子92を含み、これは前記OLED96の付随する寄生容量を示す。

【0040】

上記の説明に関し、また後述の説明において、前記画素回路50におけるノードは説明の目的でのみ言及される。例えば、図4のノード70、80、82の代わりに1つの接続として示すこともできる。

【0041】

作動中、例えば5Vの電圧 V_{DD} を前記画素回路50の全体にわたってかけ、前記OLED96を駆動する。これ以外の電圧値でも可能である。図3を参照し上述したように、前記駆動トランジスタ74は名目上の閾値電圧 V_T および閾値電圧変位 ΔV_T を有する。したがって、ダイオード接続されているとき、前記駆動トランジスタ74の閾値電圧の測定値は $(V_T + \Delta V_T)$ である。閾値電圧変位 ΔV_T は、図4および以降の図において、前記駆動トランジスタ74のゲート端子に直列に接続された可変電圧源として示される。前記第1のn型トランジスタ60、第2のn型トランジスタ78、および第3のn型トランジスタ84は、前記第1のp型トランジスタ68および第3のp型トランジスタ86とともに、第1の信号 ϕ_1 および第2の信号 ϕ_2 の制御によりスイッチとして機能する。一方、前記第2のp型トランジスタは、前記OLED96へと制御量の電流を供給する前記駆動トランジスタ74である。

【0042】

前記画素回路50の動作には、プリチャージ、自己整合、および出力の三段階がある。

【0043】

プリチャージ段階では、前記第1の信号 ϕ_1 はローレベルであり、前記第2のn型トランジスタ78、第3のn型トランジスタ84、第1のp型トランジスタ68、および第3のp型トランジスタ86のゲート端子に印加される。したがって、前記第2のn型トランジスタ78および第3のn型トランジスタはオンになり、一方で前記第1のp型トランジスタ68および第3のp型トランジスタ86はオフになる。前記プリチャージ段階ではまた、前記第2の信号 ϕ_2 はローレベルであり、前記第1のn型トランジスタ60のゲート端子に印加され、これにより前記第1のn型トランジスタ60はオンになる。したがって、前記駆動トランジスタ74は、前記第2のn型トランジスタ78を使用してダイオード接続され、前記第1のp型トランジスタ68をオフにすることにより V_{DD} からアースへの経路から分離され、前記第2のノード58（newdg）は前記第1のn型トランジスタ60をオンにすることにより接地される。

【0044】

前記第3のレール88は、電圧 V_{DAT} であり、本実施形態の前記プリチャージ段階では例えば0Vである。これ以外の電圧値でも可能である。これにより、前記第2のノード58（newdg）は、たとえばアース（0V）などの前記第2のレール64と同等の電圧 V_{newdg} にプリチャージされ、前記画素回路50は図5（a）に示す前記画素回路50と表される。前記第1の容量素子56の全体にわたる電圧は、 $V_{DD} - V_{newdg} = 5V$ と求められる。

【0045】

前記第2のノード58（newdg）および第6のノード72（int）は、前記第2のn型トランジスタ78を介して接続され、前記第2のノード58の全体にわたる電圧 V_{newdg} は、前記第6のノード72の全体にわたる電圧 V_{int} に等しい。前記電圧 V_{DAT} を供給する前記供給レール88は、前記第3のn型トランジスタ84を介して前記第7のノード76（ipn）に接続され、前記第7のノード76の全体にわたる電圧 V_{ipn} は V_{DAT} に等しい。前記第2のノード58（newdg）はダイオード接続された前記駆動トランジスタ74の陰極端子であり、前記第7のノード76（ipn）は陽極端子で

10

20

30

40

50

ある。

【 0 0 4 6 】

自己整合段階では、具体的には自己整合段階のデータ転送の間、前記第 1 の信号 $\phi 1$ はローレベルのままであり、前記第 2 の n 型トランジスタ 7 8、第 3 の n 型トランジスタ 8 4、第 1 の p 型トランジスタ 6 8、および第 3 の p 型トランジスタ 8 6 のゲート端子に印加される。前記第 2 の n 型トランジスタ 7 8 および第 3 の n 型トランジスタはオンのままであり、一方で前記第 1 の p 型トランジスタ 6 8 および第 3 の p 型トランジスタ 8 6 はオフのままである。

【 0 0 4 7 】

前記第 2 の信号 $\phi 2$ は論理ゼロとなり、前記第 1 の n 型トランジスタ 6 0 のゲート端子に印加され、これにより前記第 1 の n 型トランジスタ 6 0 をオフにする。その結果、前記第 2 のノード (new d g) はもはや接地されていない。

10

【 0 0 4 8 】

ここで電圧 V_{DAT} は脈動し、前記 O L E D 9 6 を駆動するため必要な値、例えば 3 V になる。好ましくは、 V_{DAT} の必要な値への脈動は、前記第 1 の n 型トランジスタ 6 0 をオフにすると同時、またはこれより後に開始される。

【 0 0 4 9 】

前記第 2 のノード 5 8 (new d g) がアース (0 V) にプリチャージされ、 V_{DAT} (3 V) よりも低いいため、ダイオード接続された前記駆動トランジスタ 7 4 は順方向バイアスされ、電流 I が前記第 1 の容量素子 5 6 に流れ、安定した状態になるまで前記第 1 の容量素子 5 6 を放電する。

20

【 0 0 5 0 】

安定した状態では、 $V_{new d g} = V_{DAT} - (V_T + \Delta V_T)$ である。したがって、前記第 1 の容量素子 5 6 の全体にわたる電圧は $V_{DD} - V_{new d g} = V_{DD} - (V_{DAT} - (V_T + \Delta V_T))$ となる。前記名目上の閾値電圧 V_T が 1 . 1 V の場合、安定状態において前記第 1 の容量素子 5 6 の全体にわたる電圧は、 $(3 . 1 V + \Delta V_T)$ により求められる。安定状態に達するまでの時間は、前記第 1 の容量素子 5 6 と、前記駆動トランジスタ 7 4 をダイオード接続可能にする前記第 2 の n 型トランジスタ 7 8 のインピーダンスとの間に発生する R C 時定数に主に左右される。それほど重要ではないが、前記駆動トランジスタ 7 4 および第 3 の n 型トランジスタ 8 4 の抵抗も、安定状態に達するまでにかかる時間に影響する。

30

【 0 0 5 1 】

前記ゲート端子の有効電圧は $V_{d g}$ は、 $(V_{new d g} + \Delta V_T)$ により求められる。したがって安定状態に達すると、前記ゲート端子の有効電圧 $V_{d g}$ は閾値変位 ΔV_T に関係なく、 $V_{d g} = V_{DAT} - V_T = 1 . 9 V$ となる。

【 0 0 5 2 】

出力段階では、前記第 1 の信号 $\phi 1$ は論理ゼロであり、前記第 2 の n 型トランジスタ 7 8、第 3 の n 型トランジスタ 8 4、第 1 の p 型トランジスタ 6 8、および第 3 の p 型トランジスタ 8 6 のゲート端子に印加される。したがって、前記第 2 の n 型トランジスタ 7 8 および第 3 の n 型トランジスタはオフになり、一方で前記第 1 の p 型トランジスタ 6 8 および第 3 の p 型トランジスタ 8 6 はオンになる。前記出力段階では、前記第 2 の信号 $\phi 2$ は論理ゼロのままである。

40

【 0 0 5 3 】

図 5 (b) に示されるように、前記出力段階において前記駆動トランジスタ 7 4 は、前記第 1 の端子およびゲート端子の間でもはやダイオード接続されておらず、したがって前記 O L E D 9 6 の定電流源として機能する。前記駆動トランジスタ 7 4 によって前記 O L E D 9 6 へと渡される電流の振幅は、前記閾値変位 ΔV_T ではなく V_{DAT} の値 (具体的には前記自己整合段階において V_{DAT} の脈動した値) に左右される。したがって、表示装置を形成する一つの配列におけるすべての画素回路 5 0 は、同一の値 V_{DAT} によって同一の明るさに駆動される。

50

【 0 0 5 4 】

図 1 0 は、図 4 に示す前記画素回路 5 0 の典型的な駆動波形を示す。図 1 0 (a) によると、前記第 1 の信号 $\phi 1$ および第 2 の信号 $\phi 2$ はともにローレベルであり、前述のように前記第 2 のノード 5 8 (new d g) をアースと同等の電圧に設定するための前記プリチャージ段階の開始を示している。前記第 2 の信号 $\phi 2$ は論理ゼロに落ちるため、前記自己整合段階が開始され、 V_{DAT} は脈動して例えば 3 V になる。前記第 2 のノード 5 8 (new d g) がアースと同等の電圧にプリチャージされ、 V_{DAT} (3 V) よりも低いため、ダイオード接続された前記駆動トランジスタ 7 4 は順方向バイアスされ、電流 I が前記第 1 の容量素子 5 6 に流れ、安定した状態になるまで前記第 1 の容量素子 5 6 を放電する。安定状態に達すると、前記第 1 の信号 $\phi 1$ 論理ゼロになり、閾値変位 ΔV_T と関係なく前記 O L E D 9 6 を駆動するために前記出力段階が開始される。当業者には明らかなように、図 1 0 (b) から (d) に示された駆動波形も同様に、上述のように前記画素回路 5 0 との使用に適用できる。

10

【 0 0 5 5 】

後述する構成と同様に、図 4 に示す構成には前記画素回路の初期化およびプログラム化にかかる時間を背景技術の構成と比較して大幅に削減できるという利点があり、したがってより効率的、高速で、用途の広い表示システムが実現する。さらに、本発明では個々の画素回路を小型化することができるため、開口比のより高い、より小型で効率的な表示装置が実現する。

【 0 0 5 6 】

20

図 4 の前記画素回路 5 0 の別の実施形態では、前記第 1 の n 型トランジスタ 6 0 は前記第 2 のレール 6 4 ではなく供給線 V_{SS} に接続される。前記 O L E D 9 6 の陰極端子も同様に、または代わりに、前記第 4 のレール 9 4 ではなく前記供給線 V_{SS} に接続することもできる。

【 0 0 5 7 】

図 6 は、図 4 の前記画素回路 5 0 の本発明の第 2 の実施形態に係る構造を示す。ここで前記画素回路 5 0 は、第 4 の p 型トランジスタ 9 8 をさらに含む。前記第 4 の p 型トランジスタ 9 8 は、前記第 3 の p 型トランジスタ 8 6 のドレイン端子に接続されたソース端子と、前記 O L E D 9 6 の陽極端子に接続されたドレイン端子とを含む。

【 0 0 5 8 】

30

作動中、前記プリチャージ段階では、前記第 2 の信号 $\phi 2$ が前記第 4 の p 型トランジスタ 9 8 のゲート端子に印加される。前記第 1 の n 型トランジスタ 6 0 はオンに、前記第 4 の p 型トランジスタ 9 8 はオフになる。これにより、前記第 2 の信号 $\phi 2$ がローレベルの場合、前記第 1 の信号 $\phi 1$ が論理ゼロであっても、前記プリチャージ段階において前記 O L E D 9 6 は分離される。したがって第 2 の実施形態では、図 1 1 (a) および (b) を参照して後述されるように、異なる駆動波形を使用することが可能である。

【 0 0 5 9 】

図 1 1 (a) および (b) に示すように、前記第 1 の信号 $\phi 1$ がローレベルになる前に前記第 2 の信号 $\phi 2$ はローレベルである。これらの駆動波形が図 4 の前記回路に使用されると、前記第 2 の信号 $\phi 2$ はローレベルのとき、ノード 5 8 (new d g) は接地され、前記 p 型駆動トランジスタのゲート電圧も接地される。こうして、前記第 1 の信号 $\phi 1$ がローレベルでありトランジスタ 6 8 および 8 6 がオフになる前に、前記駆動トランジスタ 7 4 が短時間オンになってもよい。そのとき前記 O L E D 9 6 は、短時間駆動されて最大の明るさとなり得る。しかし図 6 の前記画素回路では、上述のようにスイッチ 6 0 がオフとなるとスイッチ 9 8 はオフとなり前記 O L E D 9 6 は分離されるため、この点は問題にならない。

40

【 0 0 6 0 】

図 7 は、図 4 の前記画素回路 5 0 の本発明の第 3 の実施形態に係る構造を示す。ここで前記画素回路 5 0 は、第 5 の p 型トランジスタ 1 0 2 と、第 4 の n 型トランジスタ 1 0 4 とをさらに含む。前記第 5 の n 型トランジスタ 1 0 4 は、前記第 1 のレール 5 2 に接続さ

50

れたソース端子と、ノード108 (newdg2) に接続されたドレイン端子とを含む。前記ノード (newdg2) は、前記第3のノード62に接続される。つまり、ノード (newdg2) および前記第3のノード62は技術的に同一である。前記ノード (newdg2) はまた、前記第5のp型トランジスタ102の第1の端子に接続される。前記第5のp型トランジスタ102は、前記第2のノード58 (newdg) に接続された第2の端子を含む。

【0061】

作動中、前記プリチャージ段階では、前記第2の信号φ2が前記第4のn型トランジスタ104のゲート端子と、前記第5のp型トランジスタ102のゲート端子とに印加される。前記第2の信号φ2がローレベルであり前記第1のn型トランジスタ60がオンになる場合、前記第5のp型トランジスタ102はオフになり前記第4のn型トランジスタ104はオンになる。これにより、前記駆動トランジスタ74を確実にオフになり前記OLED96を分離する。

【0062】

図11(a)および(b)を参照に上述および後述する駆動波形は、図7の前記画素回路50においても適用できる。具体的には、図7においてノード108 (newdg2) はノード58 (newdg) が接地されている間は常にV_{DD}に保たれるため、前記駆動トランジスタのゲート電圧はV_{DD}に等しくなり、前記駆動トランジスタはオンにならない。したがって、図6の構成には備えられたトランジスタ98はここでは必要ない。

【0063】

図7の構成の代わりに、トランジスタ104をn型トランジスタからp型トランジスタに変え、トランジスタ102をp型トランジスタからn型トランジスタに変えることも可能である。これは電源V_{DD}から電流を引くのに好適である。しかし、こうして変更された両トランジスタのゲートは第2の信号φ2に接続されているため、両トランジスタは一つのインバータとして機能する。ただこの変更を加えることにより、結果としてできた前記インバータは反転信号φ2 (バー) をノード (newdg2) に出力してしまう。つまりφ2がハイであるためトランジスタ60はオンになり、ノード (newdg) は接地され、トランジスタ104および102によって形成されるインバータは反転信号φ2 (バー) (すなわちロー) をnewdg2に出力してしまう。この状況で、前記p型駆動トランジスタはオンになり、φ1がハイになる前および前記駆動トランジスタがダイオード接続される前に、前記OLEDは発光してしまう。

【0064】

これを防ぐため、前記第2の信号線および変更されたトランジスタ104、102により形成された前記インバータの間にインバータを追加する。これにより、変更されたトランジスタ104、102により形成された前記インバータに入力される信号はφ2 (バー) である。つまりφ2がハイであるためトランジスタ60はオンになり、ノード (newdg) は接地され、トランジスタ104、102により形成された前記インバータはφ2 (バー) を入力として受け、φ2 (すなわちハイ) をnewdg2に出力する。この結果、前記p型駆動トランジスタはオフになり、φ1がハイになる前および前記駆動トランジスタがダイオード接続される前には、前記OLEDは発光しない。

【0065】

図8は、前記第4のn型トランジスタ104を備える図7の前記画素回路50の本発明の第4の実施形態に係る別の構成を示す。ここで前記第4のn型トランジスタ104は、前記第6のノード72 (int) に接続された端子と、前記第2のノード (newdg) に接続された端子を含む。前記第4のn型トランジスタ104はまた、前記第1の信号φ1を受け取る前記第8のノード80に接続されたゲート端子を含む。

【0066】

作動中、ならびに前記プリチャージ段階および自己整合段階において前記第1の信号φ1がローレベルであるとき、前記第4のn型トランジスタ104はオンになり、前記第7のノード (ipn) および第2のノード (newdg) の間の導電性を高める。

【 0 0 6 7 】

図 9 は、図 4 の前記画素回路 5 0 の本発明の第 5 の実施形態に係る構造を示す。ここで前記画素回路 5 0 は、前記第 2 のレール 6 4 ではなく前記第 7 のノード (i p n) に接続された前記第 1 の n 型トランジスタ 6 0 の端子を含む。したがって、前記駆動トランジスタ 7 4 は、前記第 3 の p 型トランジスタ 8 6 の端子と、前記第 3 の n 型トランジスタ 8 4 の端子とに接続される。

【 0 0 6 8 】

作動中、前記電圧 V_{DAT} は前記第 4 の n 型トランジスタ 6 0 および第 3 の n 型トランジスタ 8 4 を介して前記第 2 のノード (n e w d g) にプリチャージ段階電圧を供給する。これにより、アース (0 V) としての前記第 2 のレール 6 4 はもはや必要なく、供給線 V_{SS} に置き換える必要もない。前記プリチャージ段階において、前記電圧 V_{DAT} は、前記駆動トランジスタ 7 4 が順方向バイアスされたダイオード接続トランジスタとして機能できるよう、前記電圧 V_{DAT} が前記自己整合段階に脈動する電圧よりも低い必要がある。

【 0 0 6 9 】

図 1 1 (b) に、図 9 に示されるような前記画素回路 5 0 の典型的な駆動波形を示す。前記プリチャージ段階において、前記第 1 の信号 ϕ_1 が論理ゼロであり、前記第 2 の信号 ϕ_2 がローレベルになるとき、ノード (n e w d g) は最初は前記第 1 の n 型トランジスタ 6 0 を介して前記第 3 の p 型トランジスタ 8 6 および O L E D 9 6 をアースに放電する。前記第 1 の信号 ϕ_1 はローレベルになり、 V_{DAT} は V_{DAT} ローへと増加する。前記駆動トランジスタ 7 4 はダイオード接続され、前記ノード (n e w d g) は前記第 3 の n 型トランジスタ 8 4、第 1 の n 型トランジスタ 6 0、駆動トランジスタ 7 4、および第 2 の n 型トランジスタ 7 8 を介して前記 V_{DAT} ローへと初期化される。

【 0 0 7 0 】

前記第 2 の信号 ϕ_2 は論理ゼロに落ちるため、前記自己整合段階においては、 V_{DAT} ローが V_{DAT} ハイへと増加する。前記ノード (n e w d g) は前記第 3 の n 型トランジスタ 8 4、駆動トランジスタ 7 4、および第 2 の n 型トランジスタ 7 8 を介して (V_{DAT} ハイ - ($V_T + \Delta V_T$)) から求められる値へと増加する。

【 0 0 7 1 】

前記出力段階では、前記第 1 の信号 ϕ_1 が論理ゼロであり、前記駆動トランジスタ 7 4 はその第 1 の端子およびゲート端子の間においてもはやダイオード接続されていない。したがって、前記駆動トランジスタ 7 4 は、前記第 1 の p 型トランジスタ 6 8、駆動トランジスタ 7 4、および第 3 の p 型トランジスタ 8 6 を介して、前記 O L E D 9 6 の定電流源として機能する。前記駆動トランジスタ 7 4 によって前記 O L E D 9 6 へと渡される電流の振幅は、前記閾値変位 ΔV_T ではなく V_{DAT} の値 (具体的には前記自己整合段階における V_{DAT} ハイの値) に左右される。これにより、表示装置を形成する一つの配列におけるすべての画素回路 5 0 は、同一の明るさに駆動される。

【 0 0 7 2 】

さらにこれに代わり、図 6 の前記トランジスタ 9 8 はまた、図 7 から 9 の各構成に含めることもできる。こうして各構成において、前記画素回路は前記トランジスタ 8 6 および O L E D 9 6 の間に直列に接続された前記 p 型トランジスタ 9 8 を含む。前記制御信号 ϕ_2 が p 型トランジスタ 9 8 のゲートに印加され、これにより前記 n 型トランジスタ 6 0 をオンにする間は前記 p 型トランジスタ 9 8 をオフにする。

【 0 0 7 3 】

図 1 2 は、表示システムを形成する配列 1 5 0 における図 4、6、7、8 に示す前記画素回路 5 0 の構造を示す。前記配列 1 5 0 は、図 1 0 または 1 1 (a) の典型的な駆動波形のいずれかによって駆動される。前記配列 1 5 0 の各画素回路 5 0 は、アース線 G n d を含み、これは上述したように供給線 V_{SS} で置き換えることも可能である。この構造はまた、前記第 1 および第 2 の供給信号 ϕ_1 、 ϕ_2 を供給する二本の個別の水平制御線を含む。

【 0 0 7 4 】

10

20

30

40

50

図 1 3 は、表示システムを形成する配列 2 0 0 における図 9 に示す前記画素回路 5 0 の構造を示す。図 9 に示す前記画素回路 5 0 において図 1 1 (d) に示す波形を使用することにより、図 1 2 の構造と比較して水平制御線の数が減る。

【 0 0 7 5 】

水平制御線の数が減るのは、制御線 $S E L, 2$ (図 1 1 (c) および (d) では制御信号 V_{SELn+1}) が隣接する画素回路 5 0 に前記第 1 の制御信号 $\phi 1$ および第 2 の制御信号 $\phi 2$ を供給するためである。

【 0 0 7 6 】

画素の各列に二本の信号線が備わる図 1 2 の構造を図 1 3 と同様に、各画素回路に含まれる容量素子がアース $G n d$ の代わりにデータ線 $V D A T$ に放電するよう調整することもできる。図 6、7、8 の前記画素回路 5 0 において図 1 1 (c) に示す波形を使用することにより、図 1 2 の構造と比較して水平線の数が減る。

【 0 0 7 7 】

同様に、画素の隣接する列が信号線を共有する図 1 3 の構造を図 1 2 と同様に、各画素回路に含まれる容量素子がデータ線 $V D A T$ の代わりにアース $G n d$ に放電するよう調整することもできる。図 9 の前記画素回路 5 0 において図 1 1 (b) に示す波形を使用することにより、図 1 2 の構造と比較して水平制御線の数が減る。

【 0 0 7 8 】

図 1 2 および 1 3 の配列はまた、上述していないものも含め、本発明の前記画素回路のあらゆる実施形態に適用可能である。

【 0 0 7 9 】

図 1 1 (a) から (d) の各図において、前記第 1 および第 2 の制御信号 $\phi 1$ 、 $\phi 2$ は重複しているということも注意すべきである。つまり、 $\phi 1$ は $\phi 2$ がハイである時間の一部においてハイであり、 $\phi 2$ は $\phi 1$ がハイである時間の一部においてハイである。しかし、 $\phi 1$ は $\phi 2$ がローである時間の一部においてもハイであり、 $\phi 2$ は $\phi 1$ がローである時間の一部においてもハイである。この重複する制御信号を使用することにより、公知ではないが、走査速度が高まり、結果として表示される動画の質が向上する。

【 0 0 8 0 】

図 1 4 は、図 4 に示す前記画素回路 5 0 の前記第 2 のノード 5 8 における電圧 $V_{new d g}$ のシミュレーションをミリ秒単位で示すグラフである。前記プリチャージ段階 (図 1 2 における $P R E S E T$) において、前記電圧 $V_{new d g}$ は実質的にアース ($0 V$) に落ちる。前記自己調整段階 (図 1 2 における $P R O G R A M$) では、前記電圧 $V_{new d g}$ は、 V_{DAT} が脈動して前記 $O L E D 9 6$ を駆動する電圧になるに従い、値 ($V_{DAT} - (V_T + \Delta V_T)$) へと増加する。前記出力段階 (図 1 2 における $L O C K D O W N$) においては、前記電圧 $V_{new d g}$ は工程が繰り返されるまで前記第 1 の容量素子 5 6 によって保たれる。図 1 2 に明白なように、前記電圧 $V_{new d g}$ は変位値 ΔV_T に応じて変動する。

【 0 0 8 1 】

図 1 4 から、前記プリチャージ段階および自己調整段階は、ほんの数ミリ秒の間に完了できることがわかる。これは背景技術と比較しておよそ二桁分 (つまり 1 0 0 倍) 早い。これに加えて、低圧が使用可能である。したがって本発明は、表示の質を高め、電力消費を抑えることができる。さらに、本発明に係る画素回路および表示装置は、背景技術のこれらと比較して小型である。

【 0 0 8 2 】

図 1 5 は、変位値 ΔV_T に対する前記 $O L E D 9 6$ を駆動する出力電流 ($I_{O L E D}$) のシミュレーションを示す。図 1 5 は ΔV_T に関わらず前記出力電流 ($I_{O L E D}$) が同一であることを示し、これにより一つの配列を形成する前記画素回路を変位値 ΔV_T に関わらず同じ明るさに駆動することができる。

【 0 0 8 3 】

図 1 6 も同様の効果を示す。図 1 6 (a) は、異なる入力電圧 V_{DD} に対する出力電流 (

10

20

30

40

50

I O L E D) をマイクロ秒単位で示すグラフである。出力電力 (I O L E D) の振幅は異なっており、一方で変位値 ΔV_T は前記出力 (I O L E D) に影響しない。図 1 6 (b) は、異なる ΔV_T に対する、 V_{DAT} の変化に応じた I O L E D の変位を示す。出力電力 (I O L E D) は ΔV_T に関わらず実質的に同一であり、したがって各 ΔV_T 値に対する出力電力 (I O L E D) は重なっている。よって、一つの配列を形成する前記画素回路を、変位値 ΔV_T に関わらず同じ明るさに駆動することができる。

【 0 0 8 4 】

上述したように前記画素回路 5 0 を使用する表示システム 1 0 0 0 は、携帯電話、携帯端末 (P D A)、コンピュータ、C D プレイヤ、D V D プレイヤなど、またこれらに限らず、小型で携帯用の電子製品に使用するのに好適である。

10

【 0 0 8 5 】

前記表示システム 1 0 0 0 を内蔵可能な端末装置の例を以下に説明する。

【 0 0 8 6 】

携帯電話に前記表示システム 1 0 0 0 を適用した例を説明する。図 1 7 は、携帯電話の構成を示す等角図である。この図では、携帯電話 1 2 0 0 は、複数の操作キー 1 2 0 2 と、受話部 1 2 0 4 と、送話部 1 2 0 6 と、表示パネルとしての前記表示システム 1 0 0 0 とを備える。前記送話部 1 2 0 6 または受話部 1 2 0 4 は、会話を出力させるために使用されてもよい。

【 0 0 8 7 】

携帯用パーソナル・コンピュータに上記の実施形態の一つに係る前記表示システム 1 0 0 0 を適用した例を説明する。

20

【 0 0 8 8 】

図 1 8 は、パーソナル・コンピュータの構成を示す等角図である。この図では、パーソナル・コンピュータ 1 1 0 0 は、キーボード 1 1 0 2 を含む本体 1 1 0 4 と、表示パネルとしての前記表示システム 1 0 0 0 とを備える。

【 0 0 8 9 】

次に、前記表示システム 1 0 0 0 を使用したデジタル・カメラについて説明する。図 1 9 は、デジタル・カメラの構成および外部装置との接続を簡単に示す等角図である。

【 0 0 9 0 】

典型的なカメラは、物体からの光学像に基づいてフィルムを感光させる。一方、デジタル・カメラ 1 3 0 0 は、たとえば電荷結合素子 (C C D) を使用した光電変換によって物体の光学像からの画像信号を生成する。前記デジタル・カメラ 1 3 0 0 は、C C D からの画像信号に基づいて表示をおこなうため、ケース 1 3 0 2 の背面に表示パネルとしての前記表示システム 1 0 0 0 を備える。こうして、前記表示システム 1 0 0 0 は物体を表示するファインダとして機能する。光学レンズおよび C C D を含む受光素子 1 3 0 4 は、前記ケース 1 3 0 2 の表面 (図面における裏側) に備えられる。前記表示システム 1 0 0 0 は、このデジタル・カメラにおいて実施してもよい。

30

【 0 0 9 1 】

図 1 7 の前記携帯電話、図 1 8 の前記パーソナル・コンピュータ、図 1 9 の前記デジタル・カメラ以外にも、端末装置の別の例として、携帯端末 (P D A)、テレビ、ファインダ型およびモニタ型ビデオ・レコーダ、カー・ナビゲーション・システム、ポケットベル、電子手帳、携帯計算機、ワード・プロセッサ、ワークステーション、テレビ電話、店舗販売時点情報管理 (P O S) 端末、タッチ・パネルを備える装置などが挙げられる。本発明の前記表示システムは、これらの端末装置のいずれにも適用可能である。

40

【 0 0 9 2 】

本明細書の記載はあくまで一例であり、本発明はその範囲から逸脱することなく、当業者の知識に基づき変更を加えて実施可能である。

【 図面の簡単な説明 】

【 0 0 9 3 】

【 図 1 】 アクティブ・マトリクス O L E D 表示装置に適用される背景技術による電圧駆動

50

画素回路の概略図である。

【図 2】アクティブ・マトリクス O L E D 表示装置に適用される背景技術による自己補正電圧プログラム化画素構造の概略図。

【図 3】トランジスタをダイオード接続する二つの方法を示す概略図。

【図 4】本発明の第 1 の実施形態に係る画素回路の概略図。

【図 5】定常電圧における図 4 の画素回路の一部を示す概略図。

【図 6】本発明の第 2 の実施形態に係る画素回路の概略図。

【図 7】本発明の第 3 の実施形態に係る画素回路の概略図。

【図 8】本発明の第 4 の実施形態に係る画素回路の概略図。

【図 9】本発明の第 5 の実施形態に係る画素回路の概略図。

10

【図 10】図 4、6、7、8、9 の画素回路の一般駆動波形を示す概略図。

【図 11】図 6、7、8、9 の画素回路の一般駆動波形を示す概略図。

【図 12】図 4、6、7、8 の画素回路の構造を示す概略図。

【図 13】図 9 の画素回路の構造を示す概略図。

【図 14】図 4 の画素回路のノード $n_{ewd g}$ における電圧のシミュレーションを示す概略図。

【図 15】変位値 ΔV_T による出力電流のシミュレーションを示す概略図。

【図 16】異なる入力電圧および変位値 ΔV_T による出力電流のシミュレーションを示す概略図。

【図 17】本発明に係る表示システムを内蔵する携帯電話の概略図。

20

【図 18】本発明に係る表示システムを内蔵するモバイル・パーソナル・コンピュータの概略図。

【図 19】本発明に係る表示システムを内蔵するデジタル・カメラの概略図。

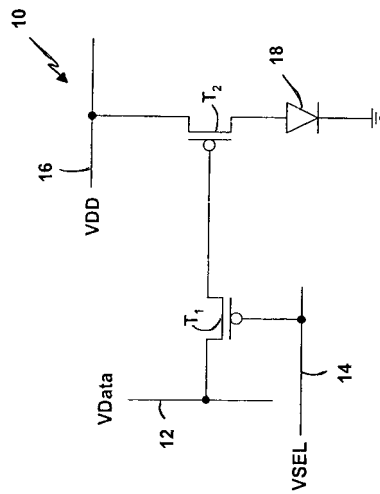
【符号の説明】

【0094】

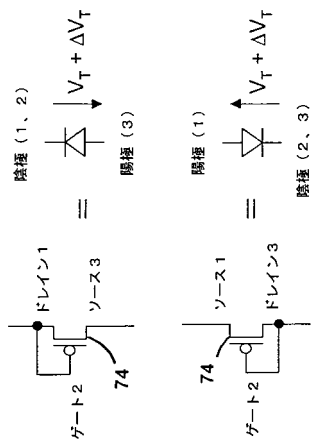
1、2、3 ... ピン、50 ... 画素回路、52 ... 第 1 のレール、54 ... 第 1 のノード、56 ... 第 1 の容量素子、58 ... 第 2 のノード、60 ... 第 1 の n 型トランジスタ、62 ... 第 3 のノード、64 ... 第 2 のレール、66 ... 第 4 のノード、68 ... 第 1 の p 型トランジスタ、70 ... 第 5 のノード、72 ... 第 6 のノード、74 ... 駆動トランジスタ (第 2 の p 型トランジスタ)、76 ... 第 7 のノード、78 ... 第 2 の n 型トランジスタ、80 ... 第 8 のノード、82 ... 第 9 のノード、84 ... 第 3 の n 型トランジスタ、86 ... 第 3 の p 型トランジスタ、88 ... 第 3 のレール、92 ... 第 2 の容量素子、94 ... 第 4 のレール、96 ... O L E D、98 ... 第 4 の p 型トランジスタ、102 ... 第 5 の p 型トランジスタ、104 ... 第 4 の n 型トランジスタ。

30

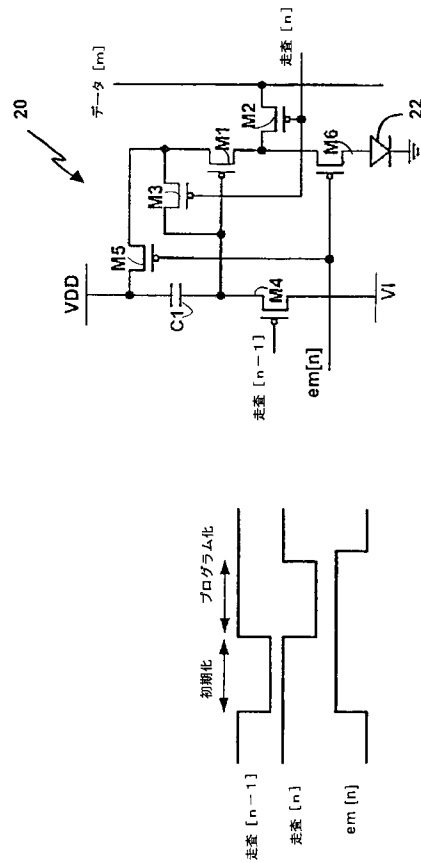
【図 1】



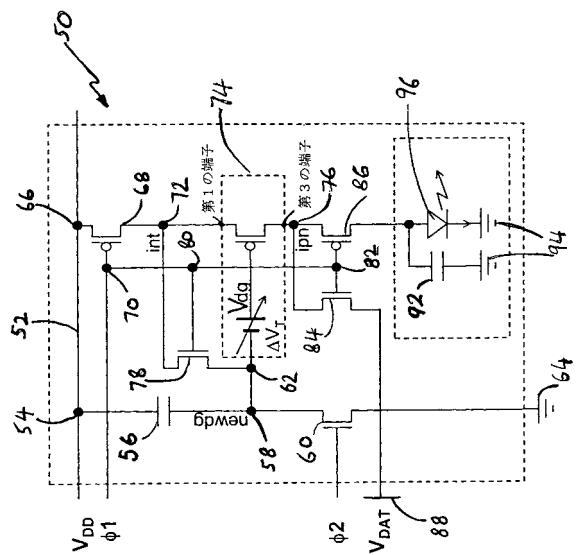
【図 3】



【図 2】

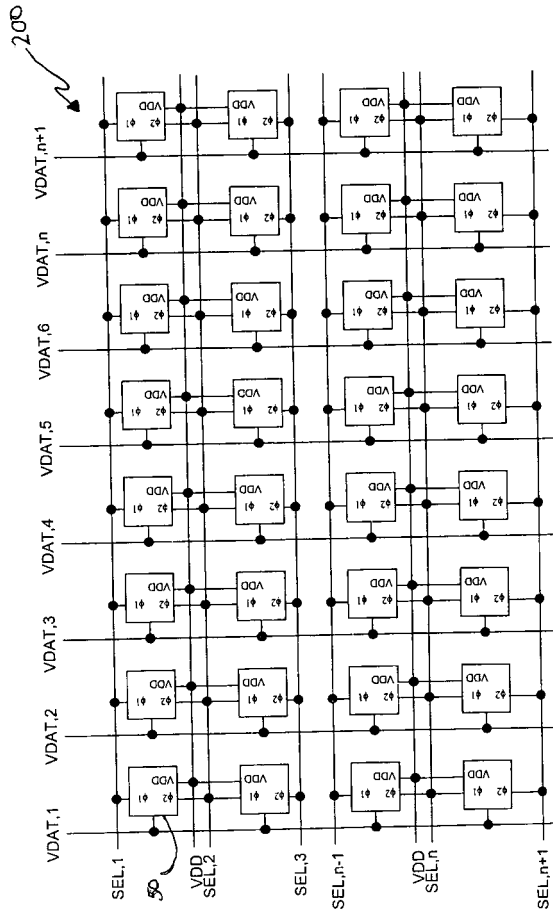


【図 4】

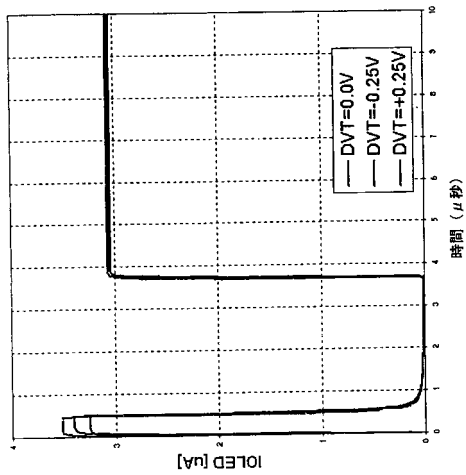


"A self-compensated voltage programming pixel structure for active-matrix organic light emitting diodes," by S.M. Choi, et al., International Display Workshop 2003 年、535~538 頁

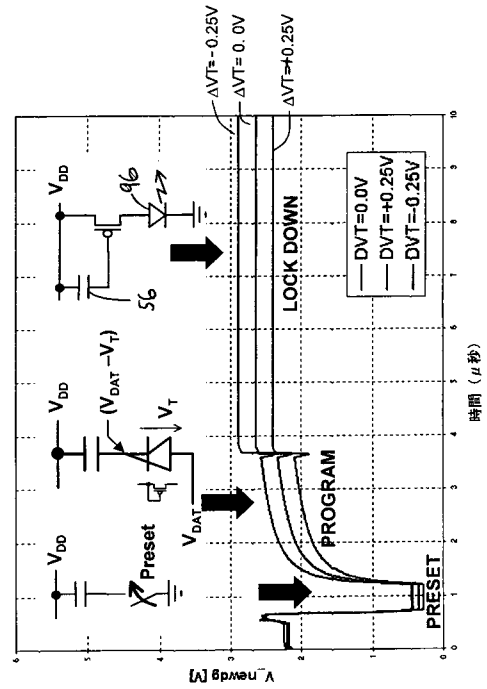
【図 13】



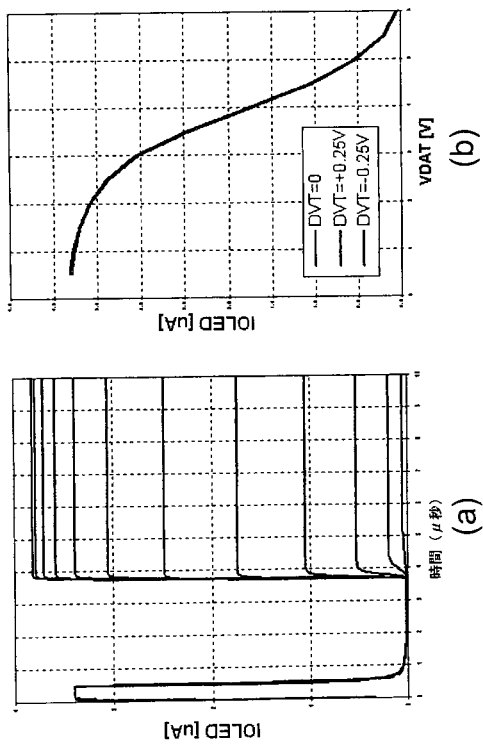
【図 15】



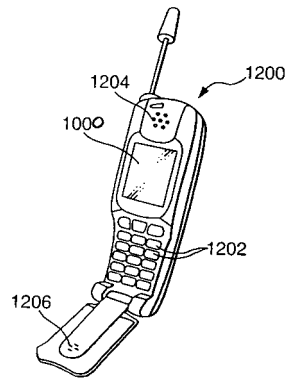
【図 14】



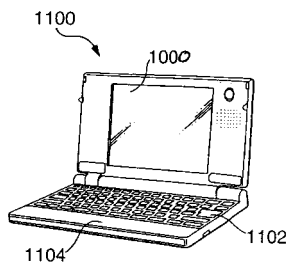
【図 16】



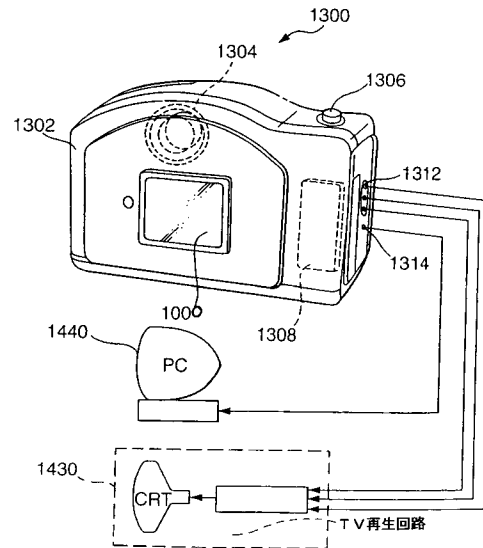
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

審査官 中村 直行

(56)参考文献 特開 2 0 0 5 - 0 3 1 6 3 0 (J P , A)
特開 2 0 0 3 - 2 0 2 8 3 3 (J P , A)
S.M.Choi、外 3 名、A Self-compensated Voltage Programming Pixel Structure for Active-Matrix Organic Light Emitting Diodes, IDW'03 Proceedings of The 10th International Display Workshops, The Society for Information Display, 2 0 0 3 年 1 2 月 3 日, p.535-538

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4289321B2	公开(公告)日	2009-07-01
申请号	JP2005126001	申请日	2005-04-25
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	サイモンタム		
发明人	サイモン タム		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2310/0262 G09G2320/0233 G09G2320/0252 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.611.H G09G3/20.621.F G09G3/20.624.B H05B33/14.A G09G3/3233		
F-TERM分类号	3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA11 5C380/BA38 5C380/BA39 5C380/BC01 5C380/CC02 5C380/CC03 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC51 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD016 5C380/CD025 5C380/CD027 5C380/CD028 5C380/CD072 5C380/DA02 5C380/DA06 5C380/DA41 5C380/DA42		
代理人(译)	须泽 修		
审查员(译)	中村直之		
优先权	2004004919 2004-03-04 GB		
其他公开文献	JP2005301290A		
外部链接	Espacenet		

摘要(译)

已知用于驱动诸如电流驱动的有机发光装置等的发光装置的像素电路来校正驱动晶体管的阈值电压的变化。然而，编程和初始化这种像素电路需要时间，并且需要多条控制线或信号线。 解决方案：本发明提供一种像素电路，其具有用于二极管连接驱动晶体管的n型晶体管和用于减少信号线和控制线的数量的装置。 点域4

【図4】

