

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3870763号
(P3870763)

(45) 発行日 平成19年1月24日(2007.1.24)

(24) 登録日 平成18年10月27日(2006.10.27)

(51) Int. Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09F 9/30 (2006.01)	G09F 9/30	338
H01L 27/32 (2006.01)	G09F 9/30	365Z
G09G 3/20 (2006.01)	G09G 3/20	622D
H01L 51/50 (2006.01)	G09G 3/20	641D
請求項の数 3 (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2001-354495 (P2001-354495)	(73) 特許権者	000005821
(22) 出願日	平成13年11月20日(2001.11.20)		松下電器産業株式会社
(65) 公開番号	特開2003-157049 (P2003-157049A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年5月30日(2003.5.30)	(74) 代理人	100097445
審査請求日	平成16年11月17日(2004.11.17)		弁理士 岩橋 文雄
		(74) 代理人	100109667
			弁理士 内藤 浩樹
		(74) 代理人	100109151
			弁理士 永野 大介
		(72) 発明者	奥野 武志
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	太田 益幸
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
最終頁に続く			

(54) 【発明の名称】 アクティブマトリクス型表示装置、及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

行状に配設される複数のゲートラインと、列状に配設される複数のデータラインと、それらの交差部にマトリクス状に配設される有機EL素子、蓄積容量、及び画素駆動用の薄膜トランジスタを含む画素部と、前記複数のデータラインごとに画像信号の供給を制御するための複数の電流源を有するソースドライバと、前記複数のゲートラインを制御するゲートドライバとからなり、

前記ゲートドライバは、 n 本の複数のゲートラインを同時に選択走査する期間を有すると共に、少なくとも前記ゲートラインの端部にて、画素駆動用の薄膜トランジスタを持った $(n-1)$ 本以上のダミーゲートラインが備えられることを特徴とするアクティブマトリクス型表示装置。

【請求項2】

ダミーゲートラインは、前記ゲートラインの走査方向に対応し、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に備えられることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】

請求項1記載のアクティブマトリクス型表示装置において、ゲートラインとダミーゲートラインを含めたゲートラインを複数本選択され、順次走査されることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

10

20

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明はアクティブマトリクス型表示装置に関する。より詳しくは、表示データを電流制御により駆動し、有機 E L 素子を発光させるアクティブマトリクス型表示装置の駆動技術に関する。

【 0 0 0 2 】

【 従来技術 】

図 4 を参照して従来 of アクティブマトリクス型表示装置の構成を説明する。図 4 は、従来パネルの回路ブロックの例を示す。従来 of アクティブマトリクス型表示装置は、行状に配線した複数のゲートライン G 1 から G 2 2 0 と、列状に配線した複数のソースライン S 1 から S 1 9 6 と、上記ゲートライン、及びソースラインの交差部に設けられる有機 E L 素子、蓄積容量、及び画素駆動用の薄膜トランジスタ T F T より構成された画素部 4 3 と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を具備したソースドライバ 4 2 と、上記複数のゲートラインを制御するゲートドライバ 4 1 とから構成されている。

10

【 0 0 0 3 】

次に、図 5 を参照しながら、有機 E L 素子を電流駆動にて動作させる方法について説明する。図 5 は上記表示素子における 1 つの画素と 1 つのソースラインを示す。ここで、5 1 は画素部であり、V D D は電源、C s は蓄積容量、M P 1 から M P 4 は P チャンネル型の M O S トランジスタ、E L は有機 E L 素子を示している。また、G n A は M O S トランジスタ M P 1 および M P 3 をオン又はオフさせるための制御信号、G n B は同様に M O S トランジスタ M P 4 をオン又はオフさせるための制御信号であり、M P 1 ・ M P 3 ・ M P 4 はそれぞれのゲートラインを介してゲートドライバに接続されている。また 5 2 はソースライン、5 4 はソースライン上に存在する抵抗成分 R と容量成分 C からなる負荷インピーダンス、5 3 はソースドライバ中の画像信号をセットするための電流源である。ここで、画像データが決定されると、電流源 5 3 にはデータに対応した電流 I d が設定される。

20

【 0 0 0 4 】

次に G n A が「 L 」になると M O S トランジスタ M P 1 ・ M P 3 がオンとなり、蓄積容量 C s に設定電流 I d に対応した電荷が蓄積される。次に蓄積容量 C s により M O S トランジスタ M P 2 がバイアスされ、ソースライン 5 2 には設定電流 I d と等しい電流 I が印加される。次に G n A が「 H 」、G n B が「 L 」になると、M P 4 がオンとなり、結果的にソースライン電流 I は M P 4 を介して有機 E L 素子に書き込まれ、設定電流に応じて、有機 E L 素子が発光する。

30

【 0 0 0 5 】

以上のようにして、他のゲートラインに対しても、同様の方法で画像データを書き込んでいく。なお、上記「 L 」は、ローレベルを示し、上記「 H 」は、ハイレベルを示す。また、上記「オン」は、M O S トランジスタのドレイン電極・ソース電極間が導通状態であることを示し、上記「オフ」は、M O S トランジスタのドレイン電極・ソース電極間が非導通状態であることを示す。

【 0 0 0 6 】

【 発明が解決しようとする課題 】

ここで、有機 E L 素子が発光するのに必要な電流は、一般的に数十 n A から数 μ A 程度と非常に小さい。特に、黒表示の場合、数十 n A の精度で画素に電流を書き込むことが必要となる。また、実際ソースライン 5 2 には、負荷インピーダンス 5 4 が存在するため、上記のような小さい電流では、負荷インピーダンス 5 4 の影響により、1 水平走査期間内で、十分な電流を画素 5 1 に書き込むことができないといった問題が生じる。

40

【 0 0 0 7 】

上記問題を解決するためのひとつの方法として、複数本のゲートラインを同時に選択し、ソースラインへの電流を複数倍に増やしてやることにより、負荷インピーダンス 5 4 の影響による書き込み不足を低減させる方法が挙げられる。

50

【0008】

次に、図6を参照しながら、上記複数本の駆動を行う方法とそのときの課題について説明する。図6はゲートラインを複数本同時に選択した場合の動作例について説明した図である。ここで、61・65は画素部であり、構成、動作については図5で示したものと同様である。また、GnA・GnA2はそれぞれの画素のMOSトランジスタをオン又はオフさせるための制御信号であり、それぞれのゲートラインを介してゲートドライバに接続されている。また62はソースライン、64はソースライン上に存在する抵抗成分Rと容量成分Cとからなる負荷インピーダンス、63はソースドライバ中の画像信号をセットするための電流源である。ここで、GnAとGnA2を同時に選択することにより、画素61と画素65には同時にオンとなり、ソースライン62の電流は、画素61と画素65の各電流の和となる。結果として、上記同時選択本数を増やすことにより、ソースライン62への充電能力を増加させることができ、上記ソースラインへの電流の書き込み不足を低減することが可能となる。

10

【0009】

しかしながら、上記複数本駆動を行う場合、新たに表示むらの課題が発生する。上記表示むらの課題について、図7、図8を参照しながら説明する。図7はゲートのタイミングチャート例を示したものである。ここで、G1からG4及びE1からE4は各ゲートラインに印加される信号波形を示し、それぞれ図5のGnA及びGnBに対応している。なお、各波形の論理についてはここでは考慮していない。つまり、G1からG4がソースラインへの書き込みタイミングであり、E1からE4は有機EL素子を発光させるタイミングである。また、72は1ライン分に相当する水平走査期間を示す。したがって、ここでは3本の信号を同時に選択させる場合を想定している。ここで、各タイミングにおいて、図7の実線以降では、すべて3本のゲートラインが同時に選択されている。しかし、それ以前のタイミングにおいては1本・2本と同時選択本数が不足している期間71が存在することがわかる。

20

【0010】

上記のように、ゲートラインを複数本同時に選択させて走査した場合、走査開始ラインと走査終了ラインには、同時選択する本数に応じて必ず選択数が不足するラインが存在してしまう。本例では3本のゲートラインを同時選択しようとしているので、走査開始ラインと走査終了ラインには同時選択本数3本から1引いた数、具体的には、それぞれ2本のゲートラインについて、同時選択本数の不足が生じる。前述したように、同時に選択する本数を増やすと、ソースラインへの書き込み不足は低減されるので、反対に、上記2本のゲートラインについてはソースラインへの書き込み量が他のゲートラインとは異なってしまう。結果として図8の81・82に示すような表示むらが発生する。

30

【0011】

本発明においては、上記ゲートラインを複数本を同時に選択して走査した場合に発生する表示むらを低減し、高品質な表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記課題を解決するために、本発明のアクティブマトリクス型表示装置は、行状に配線した複数のゲートラインと、列状に配線した複数のデータラインと、それらの交差部にマトリクス状に配設される有機EL素子、蓄積容量、及び画素駆動用の薄膜トランジスタを含む画素部と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を有するソースドライバと、上記複数のゲートラインを制御するゲートドライバからなる。

40

【0013】

上記ゲートドライバは、n本の複数のゲートラインを同時に選択走査する期間を有すると共に、少なくとも上記ゲートラインの端部において、画素駆動用の薄膜トランジスタを持った(n-1)本以上のダミーゲートラインを備えている。

【0014】

50

また、上記ダミーゲートラインは、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に配置した構成を有する。また、ゲートラインとダミーゲートラインを含めたゲートラインを複数本選択し、順次走査することを特徴としている。

【0015】

【発明の実施の形態】

以下、図面を参照しながら、実施の形態を説明する。

【0016】

(実施の形態1)

図1は本発明の実施の形態におけるアクティブマトリクス型表示装置の構成を示したものである。本発明の表示装置は、行状に配線した複数のゲートラインG1からG220と、列状に配線した複数のソースラインS1からS196と、上記ゲートライン及びソースラインの交差部に設けられ、有機EL素子EL、蓄積容量Cs、及び画素駆動用の薄膜トランジスタTFTより構成された画素部13と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を有するソースドライバ12と、上記複数のゲートラインが制御されるゲートドライバ11とから構成されている。また、ゲートラインG1及びG220の上下には、複数のダミーゲートライン14、及び15が設けられる。

【0017】

なお、有機EL素子を電流駆動にて動作させる方法については、従来技術と特に変わりはないので、詳細については省略する。

【0018】

次に、本発明の複数のダミーゲートラインを有した表示装置の動作について、図2・図3を参照しながら説明する。図2は本実施例におけるゲートラインの走査開始時のタイミングチャートを示す。ここで、G1からG3及びE1からE3は複数のゲートライン信号を示し、それぞれ図5のGnA及びGnBに対応している。具体的には、G1からG3がソースラインへの書き込みタイミングであり、E1からE3は有機EL素子を発光させるタイミングとなる。また23は1ライン分に相当する水平走査期間を示す。従って、本例では3本の信号を同時に選択させた場合を想定している。また、GD1、GD2及びED1、ED2はダミーゲートラインのタイミングを示す。本例では(同時選択数-1)、つまり2本のダミーゲートラインを有する。

【0019】

ここで、各タイミングにおいて、図2の実線より前の期間に相当するダミー期間21では、1本、2本と同時選択本数が不足しているが、図2の実線以降に相当する実走査期間22では常に3本の同時選択本数が確保できていることがわかる。なお、上記ダミーゲートライン部の画素には、ソースラインの負荷インピーダンスに充電させるMOSトランジスタと蓄積容量のみを用い、有機EL素子を配置しないことにより、ダミーゲートラインの表示については無視できる。

【0020】

このように、ゲートの走査開始ラインの前に少なくとも2本のダミーゲートラインを持つことにより、1ライン目から3本同時選択による走査を行うことが可能となり、従来の表示むらの課題を解決することができる。

【0021】

以上述べたように、本発明の表示装置を用いることにより、上記複数本を同時に選択して駆動した場合においても従来課題であった表示むらを低減し、高品質な表示装置を得ることができる。

【0022】

(実施の形態2)

次に、本発明の第2の実施例における複数のダミーゲートラインを備える表示装置の動作について、図3を参照しながら説明する。なお、表示装置の構成、及び有機EL素子の駆動方法については、(実施の形態1)と特に変わりはないので、ここでは省略する。

【0023】

10

20

30

40

50

図3は本実施例におけるゲート走査終了時のタイミングチャートを示す。ここで、G218からG220及びE218からE220はゲートライン信号を示したもので、それぞれ図5のGnA及びGnBに対応している。具体的には、G218からG220がソースラインへの書き込みタイミングであり、E218からE220は有機EL素子を発光させるタイミングとなる。また33は1ラインに相当する水平走査期間を示す。したがって、本例では3本の信号を同時に選択させた場合を想定している。また、GD3、GD4及びED3、ED4はダミーゲートラインのタイミングを示す。本例では(同時選択数-1)、つまり2本のダミーゲートラインを有している。

【0024】

ここで、各タイミングにおいて、図3の実線以降の期間に相当するダミー期間32では、1本、2本とそれぞれ同時選択本数が不足しているが、図2の実線以前に相当する実走査期間31では常に3本の同時選択本数が確保できていることがわかる。なお、上記ダミーゲートライン部の画素には、ソースラインの負荷インピーダンスに充電させるMOSトランジスタと蓄積容量のみを用い、有機EL素子を配設しないことにより、ダミーゲートラインの表示については無視できる。

10

【0025】

このように、ゲート走査終了ラインの後に少なくとも2本のダミーゲートライン配置することにより、220ライン目まで3本同時選択による走査を行うことが可能となり、従来の表示むらの課題を解決することができる。

【0026】

以上述べたように、本発明の表示装置を用いることにより、複数本を同時に選択して駆動した場合においても従来課題であった表示むらを低減し、高品質な表示装置を得ることができる。

20

【0027】

【発明の効果】

本発明のアクティブマトリクス型表示装置は、n本の複数のゲートラインを同時に選択走査する期間を有すると共に、少なくとも上記ゲートラインの端部において、画素駆動用の薄膜トランジスタを持った(n-1)本以上のダミーゲートラインを、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に具備し、そしてゲートラインとダミーゲートラインを含めたゲートラインを複数本選択し、順次走査することにより、実際の走査期間において、常に複数本の同時選択による走査を行うことが可能となり、従来の表示むらの課題を解決すると共に、高品質な表示装置を得ることができ、産業的価値が大きい。

30

【図面の簡単な説明】

【図1】本発明の実施の形態におけるアクティブマトリクス型表示装置の構成図

【図2】本発明の実施の形態1におけるアクティブマトリクス型表示装置のタイミングチャートを示した図

【図3】本発明の実施の形態2におけるアクティブマトリクス型表示装置のタイミングチャートを示した図

【図4】従来のアクティブマトリクス型表示装置の構成図

40

【図5】従来のアクティブマトリクス型表示装置の画素構成図

【図6】従来のアクティブマトリクス型表示装置の課題を示した図

【図7】従来のアクティブマトリクス型表示装置のタイミングチャートを示した図

【図8】従来のアクティブマトリクス型表示装置の表示課題を示した図

【符号の説明】

11、41 ゲートドライバ

12、42 ソースドライバ

13、43、51、61、65 画素部

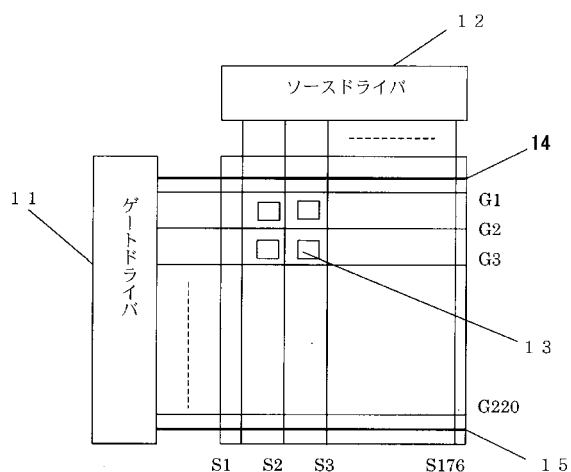
14、15 ダミーゲートライン

21、32 ダミー期間

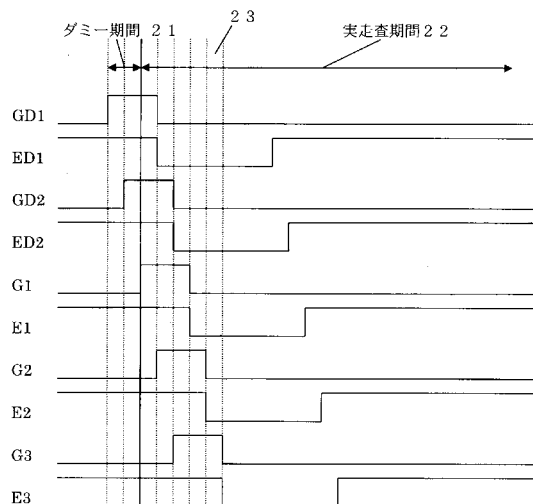
50

- 2 2、3 1 実走査期間
- 2 3、3 3、7 2 水平走査期間
- 5 2、6 2 ソースライン
- 5 3、6 3 電流源
- 5 4、6 4 負荷インピーダンス
- 7 1 同時選択数不足期間
- 8 1、8 2 表示むら
- G 1 から G 2 2 0 ゲートライン
- S 1 から S 1 7 6 ソースライン
- G D 1 から G D 4、E D 1 から E D 4 ダミーゲートライン波形
- V D D 電源
- C s 蓄積容量
- I d データ設定電流
- I ソース電流
- G n A、G n A 2、G n B ゲート選択信号
- M P 1 から M P 4 PチャンネルM O S トランジスタ
- E L 有機E L 素子

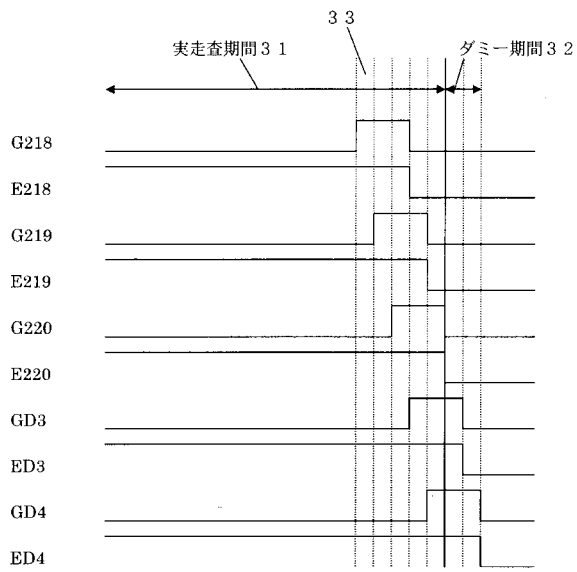
【 図 1 】



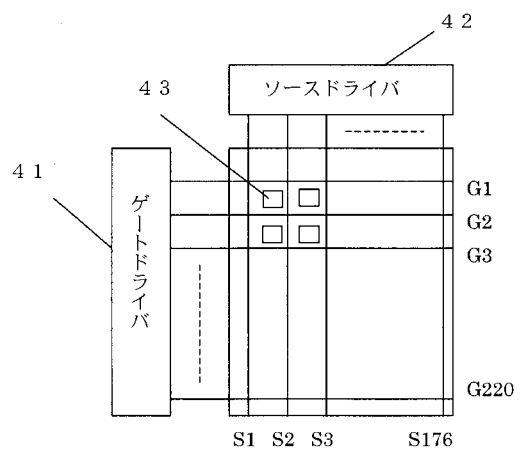
【 図 2 】



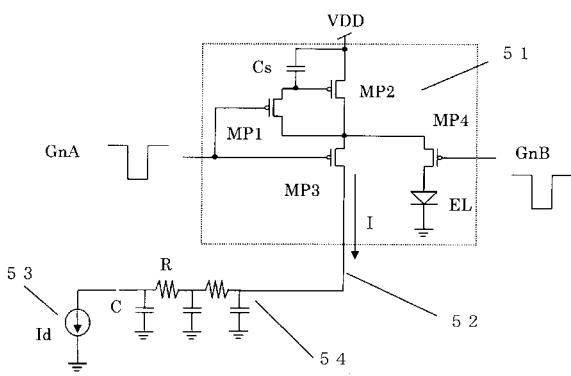
【図3】



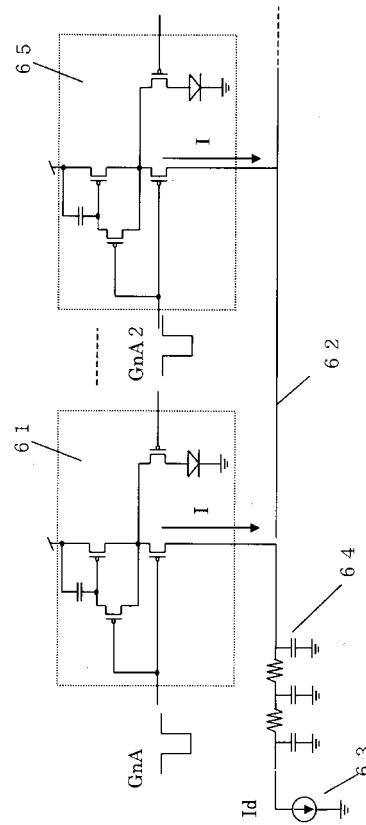
【図4】



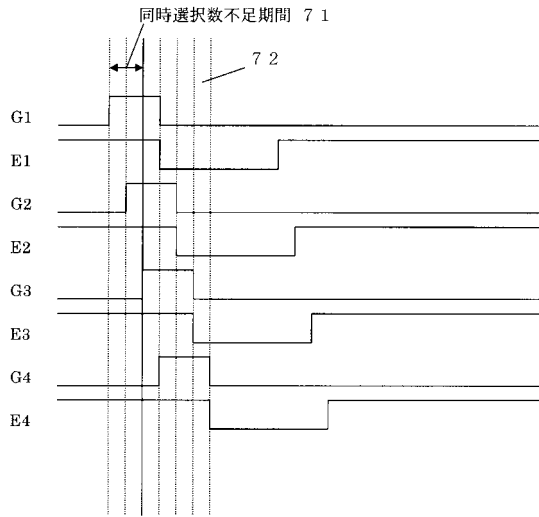
【図5】



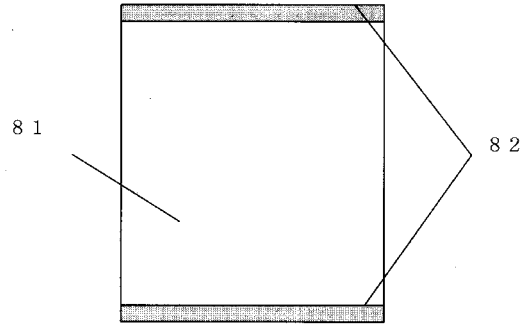
【図6】



【 図 7 】



【 図 8 】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A

審査官 樋口 信宏

(56) 参考文献 特開 2 0 0 0 - 3 4 7 6 2 1 (J P , A)

特開 2 0 0 2 - 1 3 4 9 1 8 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G09G 3/30

G09F 9/30

G09G 3/20

H01L 27/32

H01L 51/50

专利名称(译)	有源矩阵型显示装置及其驱动方法		
公开(公告)号	JP3870763B2	公开(公告)日	2007-01-24
申请号	JP2001354495	申请日	2001-11-20
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业有限公司		
当前申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	奥野武志 太田益幸		
发明人	奥野 武志 太田 益幸		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50 H05B33/14		
CPC分类号	H01L27/3223 H01L27/3276		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.622.D G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09F9/30.365 G09G3/20.622.Q G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/BB07 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/AA07 5C094/AA48 5C094/AA53 5C094/AA55 5C094/AA56 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/FB01 5C094/FB20 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB43 5C380/AB47 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA32 5C380/BB02 5C380/BB05 5C380/CA13 5C380/CB02 5C380/CB17 5C380/CB32 5C380/CC13 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/DA02 5C380/DA06 5C380/DA49 5C380/DA52		
代理人(译)	内藤裕树 长野大辅		
其他公开文献	JP2003157049A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止在有机EL（电致发光）元件的电流驱动中同时驱动多条栅极线时产生的显示不均匀。解决方案：该有源矩阵型显示装置具有用于同时选择性地扫描作为（n）线的多条栅极线G1至G220的周期，并且还设置有一条或多条线的具有薄膜的虚拟栅极线14,15用于至少在至少在扫描开始线之前或在扫描完成线之后的端部处驱动像素的晶体管，以及在显示装置中的包括栅极线和伪栅极线的多条栅极线被选择性地扫描。

