

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-185328

(P2012-185328A)

(43) 公開日 平成24年9月27日(2012.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 611A	5C380
	G09G 3/20 642D	
	G09G 3/20 623C	
	G09G 3/20 611H	
審査請求 未請求 請求項の数 13 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2011-48377 (P2011-48377)
 (22) 出願日 平成23年3月4日 (2011.3.4)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

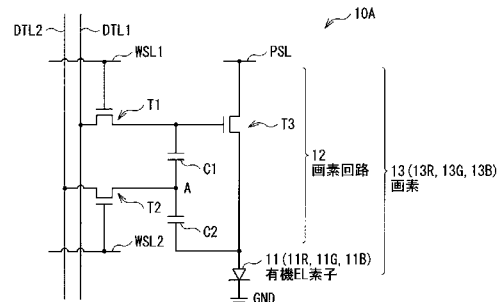
(54) 【発明の名称】 画素回路、表示パネル、表示装置および電子機器

(57) 【要約】

【課題】消費電力を抑えつつ、高輝度を得ることの可能な画素回路、およびこの画素回路を有する表示パネル、表示装置および電子機器を提供する。

【解決手段】画素回路12は、トランジスタT1、T2、T3と、保持容量C1、C2を有している。トランジスタT1において、ゲートが書込線WSL1に接続され、ドレインが信号線DTL1に接続され、ソースがトランジスタT3のゲートに接続されている。トランジスタT2において、ゲートが書込線WSL2に接続され、ドレインが信号線DTL2に接続され、ソースが保持容量C1、C2の接続点Aに接続されている。トランジスタT3において、ドレインが電源線PSLに接続され、ソースが有機EL素子11のアノードに接続されている。保持容量C1、C2が互いに直列に接続されるとともに、トランジスタT3のゲート-ソース間に挿入されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

発光素子を駆動する第 1 トランジスタと、
前記第 1 トランジスタのゲート - ソース間に直列に接続された複数の保持容量と、
第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、
前記保持容量同士が互いに接続された箇所と第 2 信号線との間に設けられた第 3 トランジスタと
を備えた画素回路。

【請求項 2】

発光素子を駆動する第 1 トランジスタと、
前記第 1 トランジスタのゲート - ソース間に接続された第 1 保持容量と、
第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、
第 2 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 3 トランジスタと、
前記第 3 トランジスタのソースと前記第 1 トランジスタのゲートとの間に設けられた第
2 保持容量と
を備えた画素回路。

【請求項 3】

第 1 信号線および第 2 信号線の電圧をサンプリングするサンプリング回路と、前記サン
プリング回路によってサンプリングされた電圧を保持する保持回路と、前記保持回路で保
持された電圧に基づいて発光素子を駆動する駆動回路とを有する画素回路の駆動方法であ
って、

前記第 1 信号線に階調を反映した電圧が印加されるとともに、前記第 2 信号線に基準電
圧が印加されているときに、前記サンプリング回路によって前記第 1 信号線および前記第
2 信号線の電圧をサンプリングする第 1 サンプリングステップと、

前記第 1 サンプリングステップにおけるサンプリングにより得られた電圧が前記保持回
路で保持されているときであって、かつ前記第 2 信号線に階調を反映した電圧が印加され
ているときに、前記サンプリング回路によって前記第 2 信号線だけをサンプリングする第
2 サンプリングステップと

を含む駆動方法。

駆動方法。

【請求項 4】

前記駆動回路は、固定電源線と前記発光素子との間に設けられた駆動トランジスタを有
し、

前記保持回路は、前記駆動トランジスタのゲート - ソース間に設けられるとともに互い
に直列に接続された複数の保持容量を有し、

前記第 1 サンプリングステップにおいて、前記サンプリング回路によってサンプリング
された前記第 1 信号線の電圧に対応する第 1 電圧を前記駆動トランジスタのゲートに書き
込むとともに、前記サンプリング回路によってサンプリングされた前記第 2 信号線の電圧
に対応する電圧を、前記保持容量同士が互いに接続された箇所に書き込み、

前記第 2 サンプリングステップにおいて、前記サンプリング回路によってサンプリング
された前記第 2 信号線の電圧に対応する電圧を、前記保持容量同士が互いに接続された箇
所に書き込むことにより、前記駆動トランジスタのゲート電圧を前記第 1 電圧よりも大き
な第 2 電圧に上昇させ、前記駆動トランジスタをオンさせる

請求項 3 に記載の駆動方法。

【請求項 5】

前記駆動回路は、固定電源線と前記発光素子との間に設けられた駆動トランジスタを有
し、

前記保持回路は、前記駆動トランジスタのゲート - ソース間に設けられるとともに互い
に直列に接続された第 1 保持容量と、前記駆動トランジスタのゲートに接続された第 2 保
持容量とを有し、

10

20

30

40

50

前記第 1 サンプリグステップにおいて、前記サンプリグ回路によってサンプリグされた前記第 1 信号線の電圧に対応する第 1 電圧を前記駆動トランジスタのゲートに書き込むとともに、前記サンプリグ回路によってサンプリグされた前記第 2 信号線の電圧に対応する電圧を、前記第 2 保持容量に書き込み、

前記第 2 サンプリグステップにおいて、前記サンプリグ回路によってサンプリグされた前記第 2 信号線の電圧に対応する電圧を、前記第 2 保持容量に書き込むことにより、前記駆動トランジスタのゲート電圧を前記第 1 電圧よりも大きな第 2 電圧に上昇させ、前記駆動トランジスタをオンさせる

請求項 3 に記載の駆動方法。

【請求項 6】

10

発光素子と、前記発光素子を駆動する画素回路とを含む複数の画素を備え、
前記画素回路は、

前記発光素子を駆動する第 1 トランジスタと、

前記第 1 トランジスタのゲート - ソース間に直列に接続された複数の保持容量と、

第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、

前記保持容量同士が互いに接続された箇所と第 2 信号線との間に設けられた第 3 トランジスタと

を有する

表示パネル。

【請求項 7】

20

発光素子と、前記発光素子を駆動する画素回路とを含む複数の画素を備え、

前記画素回路は、

発光素子を駆動する第 1 トランジスタと、

前記第 1 トランジスタのゲート - ソース間に接続された 1 または複数の第 1 保持容量と

、

第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、

第 2 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 3 トランジスタと、

前記第 3 トランジスタのソースと前記第 1 トランジスタのゲートとの間に設けられた 1 または複数の第 2 保持容量と

を有する

30

表示パネル。

【請求項 8】

表示パネルと、

前記表示パネルを駆動する駆動回路と

を備え、

前記表示パネルは、発光素子と、前記発光素子を駆動する画素回路とを含む複数の画素を有し、

前記画素回路は、

前記発光素子を駆動する第 1 トランジスタと、

前記第 1 トランジスタのゲート - ソース間に直列に接続された複数の保持容量と、

40

第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、

前記保持容量同士が互いに接続された箇所と第 2 信号線との間に設けられた第 3 トランジスタと

を有する

表示装置。

【請求項 9】

前記駆動回路は、

前記第 1 信号線に階調を反映した電圧が印加されるとともに、前記第 2 信号線に基準電圧が印加されているときに、前記第 2 トランジスタおよび前記第 3 トランジスタをオン、オフすることにより、前記第 1 信号線および前記第 2 信号線の電圧をサンプリグする第

50

1 サンプリングステップと、

前記第 1 サンプリングステップにおけるサンプリングにより得られた電圧を前記保持容量で保持しているときであって、かつ前記第 2 信号線に階調を反映した電圧が印加されているときに、前記第 3 トランジスタをオン、オフすることにより、前記第 2 信号線だけをサンプリングする第 2 サンプリングステップと

を実行するようになっている

請求項 8 に記載の表示装置。

【請求項 10】

表示パネルと、

前記表示パネルを駆動する駆動回路と

を備え、

前記表示パネルは、発光素子と、前記発光素子を駆動する画素回路とを含む複数の画素を有し、

前記画素回路は、

発光素子を駆動する第 1 トランジスタと、

前記第 1 トランジスタのゲート - ソース間に接続された 1 または複数の第 1 保持容量と

、
第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、
第 2 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 3 トランジスタと、
前記第 3 トランジスタのソースと前記第 1 トランジスタのゲートとの間に設けられた 1
または複数の第 2 保持容量と

を有する

表示装置。

【請求項 11】

前記駆動回路は、

前記第 1 信号線に階調を反映した電圧が印加されるとともに、前記第 2 信号線に基準電圧が印加されているときに、前記第 2 トランジスタおよび前記第 3 トランジスタをオン、オフすることにより、前記第 1 信号線および前記第 2 信号線の電圧をサンプリングする第 1 サンプリングステップと、

前記第 1 サンプリングステップにおけるサンプリングにより得られた電圧を前記第 1 保持容量および前記第 2 保持容量で保持しているときであって、かつ前記第 2 信号線に階調を反映した電圧が印加されているときに、前記第 3 トランジスタをオン、オフすることにより、前記第 2 信号線だけをサンプリングする第 2 サンプリングステップと

を実行するようになっている

請求項 10 に記載の表示装置。

【請求項 12】

表示装置を備え、

前記表示装置は、表示パネルと、前記表示パネルを駆動する駆動回路とを有し、

前記表示パネルは、発光素子と、前記発光素子を駆動する画素回路とを含む複数の画素を有し、

前記画素回路は、

前記発光素子を駆動する第 1 トランジスタと、

前記第 1 トランジスタのゲート - ソース間に直列に接続された複数の保持容量と、

第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、

前記保持容量同士が互いに接続された箇所と第 2 信号線との間に設けられた第 3 トランジスタと

を有する

電子機器。

【請求項 13】

表示装置を備え、

10

20

30

40

50

前記表示装置は、表示パネルと、前記表示パネルを駆動する駆動回路とを有し、
前記表示パネルは、発光素子と、前記発光素子を駆動する画素回路とを含む複数の画素
を有し、

前記画素回路は、

発光素子を駆動する第 1 トランジスタと、

前記第 1 トランジスタのゲート - ソース間に接続された 1 または複数の第 1 保持容量と

、
第 1 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 2 トランジスタと、
第 2 信号線と前記第 1 トランジスタのゲートとの間に設けられた第 3 トランジスタと、
前記第 3 トランジスタのソースと前記第 1 トランジスタのゲートとの間に設けられた 1
または複数の第 2 保持容量と

10

を有する

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルの画素に含まれる画素回路に関する。また、本発明は、上記画素回路を含む複数の画素が 2 次元配置された表示パネルおよびそれを備えた表示装置に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

20

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 EL 素子は、液晶素子などと異なり自発光素子である。そのため、有機 EL 素子を用いた表示装置（有機 EL 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0003】

有機 EL 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般には T F T (Thin Film Transistor; 薄膜トランジスタ)) によって制御するものである。画素回路は、複数の能動素子（一般には T F T (Thin Film Transistor; 薄膜トランジスタ)) や、容量素子などを含んで構成されている（特許文献 1 参照）。

30

【0004】

図 1 6 は、特許文献 1 に記載の表示装置の各画素の概略構成を表したものである。図 1 6 に記載の画素は、有機 EL 素子 D 1 0 0 と、それに接続された画素回路 1 0 0 とにより構成されている。画素回路 1 0 0 は、サンプリング用のトランジスタ T 1 0 0、保持容量 C 1 0 0、および駆動用のトランジスタ T 2 0 0 によって構成されたものであり、2 T r 1 C の回路構成となっている。書込線 W S L が行方向に延在して形成されており、トランジスタ T 1 0 0 のゲートに接続されている。電源線 P S L も行方向に延在して形成されており、トランジスタ T 2 0 0 のドレインに接続されている。信号線 D T L は列方向に延在して形成されており、トランジスタ T 1 0 0 のドレインに接続されている。トランジスタ T 1 0 0 のソースは駆動用のトランジスタ T 2 0 0 のゲートと、保持容量 C 1 0 0 の一端とに接続されている。トランジスタ T 2 0 0 のソースと保持容量 C 1 0 0 の他端とが有機 EL 素子 D 1 0 0 のアノードに接続されている。有機 EL 素子 D 1 0 0 のカソードは、グランド線 G N D に接続されている。

40

【0005】

50

次に、図17に記載の画素の動作（消光から発光までの動作）について説明する。図17(A)～(C)は、図16に記載の画素に印加される電圧波形の一例を表したものである。具体的には、図17(A)～(C)には、電源線PSLに2種類の電圧(V_{ss} 、 V_{cc})が、信号線DTLに2種類の電圧(V_{sig} 、 V_{ofs})が、書込線WSLに2種類の電圧(V_{on} 、 V_{off})が印加されている様子が示されている。図17(D)、(E)には、電源線PSL、信号線DTLおよび書込線WSLへの電圧印加に応じて、トランジスタT200のゲート電圧 V_s およびソース電圧 V_s が時々刻々変化している様子が示されている。

【0006】

(閾値補正準備期間)

まず、閾値補正の準備を行う。具体的には、駆動回路（図示せず）は、電源線PSLの電圧を V_{cc} から V_{ss} に下げる(t_1)。すると、ソース電圧 V_s が V_{ss} となり、有機EL素子D100が消光する。次に、駆動回路は、信号線DTLの電圧を V_{sig} から V_{ofs} に切り替えたのち(t_2)、電源線PSLの電圧が V_{ss} となっている間に、書込線WSLの電圧を V_{off} から V_{on} に上げる(t_3)。すると、ゲート電圧 V_s が V_{ofs} に下がる。

【0007】

(最初の閾値補正期間)

次に、閾値補正を行う。具体的には、信号線DTLの電圧が V_{ofs} となっている間に、駆動回路は、電源線PSLの電圧を V_{ss} から V_{cc} に上げる(t_4)。すると、トランジスタT200のドレイン-ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、駆動回路は、信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、書込線WSLの電圧を V_{on} から V_{off} に下げる(t_5)。すると、トランジスタT200のゲートがフローティングとなり、閾値補正が一旦停止する。

【0008】

(補正休止期間)

閾値補正が休止している期間中は、先の閾値補正を行った行（画素）とは異なる他の行（画素）において、信号線DTLの電圧のサンプリングが行われる。なお、閾値補正が不十分である場合、すなわち、トランジスタT200のゲート-ソース間の電位差 V_{gs} がトランジスタT200の閾値電圧よりも大きい場合には、閾値補正休止期間中にも、先の閾値補正を行った行（画素）において、トランジスタT200のドレイン-ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量C100を介したカップリングによりゲート電圧 V_g も上昇する。その後、補正休止期間中に、駆動回路は、信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える(t_6)。

【0009】

(書き込み・移動度補正期間)

閾値補正休止期間が終了した後、書き込みと移動度補正を行う。具体的には、信号線DTLの電圧が V_{sig} となっている間に、駆動回路は、書込線WSLの電圧を V_{off} から V_{on} に上げ(t_7)、トランジスタT200のゲートを信号線DTLに接続する。すると、トランジスタT200のゲートの電圧が V_{sig} となる。このとき、有機EL素子D100のアノードの電圧はこの段階ではまだ有機EL素子D100の閾値電圧よりも小さく、有機EL素子D100はカットオフしている。そのため、電流 I_{ds} は有機EL素子D100の素子容量（図示せず）に流れ、素子容量が充電されるので、ソース電圧 V_s が V だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に移動度補正が行われる。ここで、トランジスタT200の移動度が大きい程、 V も大きくなるので、電位差 V_{gs} を発光前に V だけ小さくすることにより、画素ごとの移動度のばらつきを取り除くことができる。

【0010】

(発光)

最後に、駆動回路は、書込線WSLの電圧を V_{on} から V_{off} に下げる(t_8)。す

10

20

30

40

50

ると、トランジスタT200のゲートがフローティングとなり、トランジスタT200のドレイン-ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機EL素子D100が所望の輝度で発光する。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2009-300697号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

ところで、図16に記載の画素では、信号線DTLに印加される電圧が大きくなるほど、有機EL素子D100から発せられる光の光量も大きくなる。図16に記載の画素において高輝度を得るためには、信号線DTLに大きな電圧を印加することが必要となる。しかし、信号線DTLに大きな電圧を印加するために、信号線DTLを駆動するドライバの出力を大きくした場合には、信号線DTLを充放電する際の電流量も大きくなってしまい、消費電力が増大してしまうという問題がある。また、ドライバの出力を大きくするために、高価な部品をドライバに使用することが必要となる場合もある。その場合には、部品コストが増大してしまうという問題がある。そのため、低消費電力および低コストの観点からは、ドライバの出力を小さくすることが望ましい。もっとも、ドライバの出力を小さくし過ぎると、有機EL素子D100に流れる電流量も小さくなってしまい、所望の輝度が得られなくなる虞がある。

【0013】

本発明はかかる問題点に鑑みてなされたものであり、その第1の目的は、消費電力を抑えつつ、高輝度を得ることの可能な画素回路を提供することにある。また、第2の目的は、上記の画素回路を有する表示パネルおよびそれを備えた表示装置を提供することにある。また、第3の目的は、上記の表示装置を備えた電子機器を提供することにある。

【課題を解決するための手段】

【0014】

本発明の第1の画素回路は、発光素子を駆動する第1トランジスタと、第1トランジスタのゲート-ソース間に直列に接続された複数の保持容量とを備えている。この画素回路は、さらに、第1信号線と第1トランジスタのゲートとの間に第2トランジスタを備えるとともに、保持容量同士が互いに接続された箇所と第2信号線との間に第3トランジスタを備えている。

【0015】

本発明の第1の表示パネルは、発光素子と、発光素子を駆動する画素回路とを含む複数の画素を備えている。この表示パネルに含まれる画素回路は、上記の第1の画素回路と同一の構成要素を有している。本発明の第1の表示装置は、表示パネルと、表示パネルを駆動する駆動回路とを備えている。この表示装置に含まれる表示パネルは、上記の第1の表示パネルと同一の構成要素を有している。本発明の第1の電子機器は上記の第1の表示装置を備えている。

【0016】

本発明の第1の画素回路、第1の表示パネル、第1の表示装置および第1の電子機器では、第1信号線の電圧が第2トランジスタによってサンプリングされるとともに第1トランジスタのゲートに書き込まれる。また、第2信号線の電圧が第3トランジスタによってサンプリングされるとともに前記保持容量同士が互いに接続された箇所に書き込まれる。これにより、第1トランジスタのゲート電圧を第1信号線の電圧よりも大きな電圧に上昇させ、第1トランジスタをオンさせることができる。

【0017】

本発明の第2の画素回路は、発光素子を駆動する第1トランジスタと、第1トランジスタのゲート-ソース間に接続された第1保持容量とを備えている。この画素回路は、さら

10

20

30

40

50

に、第1信号線と第1トランジスタのゲートとの間に設けられた第2トランジスタと、第2信号線と第1トランジスタのゲートとの間に設けられた第3トランジスタと、第3トランジスタのソースと第1トランジスタのゲートとの間に設けられた第2保持容量とを備えている。

【0018】

本発明の第2の表示パネルは、発光素子と、発光素子を駆動する画素回路とを含む複数の画素を備えている。この表示パネルに含まれる画素回路は、上記の第2の画素回路と同一の構成要素を有している。本発明の第2の表示装置は、表示パネルと、表示パネルを駆動する駆動回路とを備えている。この表示装置に含まれる表示パネルは、上記の第2の表示パネルと同一の構成要素を有している。本発明の第2の電子機器は上記の第2の表示装置を備えている。

10

【0019】

本発明の第2の画素回路、第2の表示パネル、第2の表示装置および第2の電子機器では、第1信号線の電圧が第2トランジスタによってサンプリングされるとともに第1トランジスタのゲートに書き込まれる。また、第2信号線の電圧が第3トランジスタによってサンプリングされるとともに前記第2保持容量に書き込まれる。これにより、第1トランジスタのゲート電圧を第1信号線の電圧よりも大きな電圧に上昇させ、第1トランジスタをオンさせることができる。

【0020】

本発明の駆動方法は、第1信号線および第2信号線の電圧をサンプリングするサンプリング回路と、サンプリング回路によってサンプリングされた電圧を保持する保持回路と、保持回路で保持された電圧に基づいて発光素子を駆動する駆動回路とを有する画素回路の駆動方法である。この駆動方法は、以下の2つのステップを含んでいる。

20

(A) 第1信号線に階調を反映した電圧が印加されるとともに、第2信号線に基準電圧が印加されているときに、サンプリング回路によって第1信号線および第2信号線の電圧をサンプリングする第1サンプリングステップ

(B) 第1サンプリングステップにおけるサンプリングにより得られた電圧が保持回路で保持されているときであって、かつ第2信号線に階調を反映した電圧が印加されているときに、サンプリング回路によって第2信号線だけをサンプリングする第2サンプリングステップ

30

【0021】

本発明の駆動方法では、第1信号線および第2信号線の電圧がサンプリングされた後、サンプリングにより得られた電圧が保持回路で保持されているときであって、かつ第2信号線に階調を反映した電圧が印加されているときに、サンプリング回路によって第2信号線だけがサンプリングされる。これにより、第1信号線の電圧よりも大きな電圧を保持回路に保持することが可能となり、そのような大きな電圧に基づいて発光素子を駆動することができる。

【発明の効果】

【0022】

本発明の第1および第2の画素回路、第1および第2の表示パネル、第1および第2の表示装置ならびに第1および第2の電子機器によれば、第1トランジスタのゲート電圧を第1信号線の電圧よりも大きな電圧に上昇させ、第1トランジスタをオンさせることができるようにしたので、信号線に大きな電圧を印加しなくても、発光素子の発光輝度を大きくすることができる。つまり、信号線に電圧を印加する信号ドライバの出力を大きくしたような効果が得られる。これにより、信号ドライバの消費電力を抑えつつ、高輝度を得ることができる。

40

【0023】

本発明の駆動方法によれば、第1信号線の電圧よりも大きな電圧を保持回路に保持し、そのような大きな電圧に基づいて発光素子を駆動することができるようにしたので、信号線に大きな電圧を印加しなくても、発光素子の発光輝度を大きくすることができる。つま

50

り、信号線に電圧を印加する信号ドライバの出力を大きくしたような効果が得られる。これにより、信号ドライバの消費電力を抑えつつ、高輝度を得ることができる。

【図面の簡単な説明】

【0024】

【図1】本発明の一実施の形態に係る表示装置の概略構成図である。

【図2】図1の画素の回路図である。

【図3】図1の表示装置の動作の一例を表す波形図である。

【図4】図1の表示装置の動作の一例を表す回路図である。

【図5】図4に続く動作の一例を表す回路図である。

【図6】図5に続く動作の一例を表す回路図である。

【図7】図6に続く動作の一例を表す回路図である。

【図8】図2の画素の一変形例の回路図である。

【図9】図8の画素を含む表示装置の動作の一例を表す波形図である。

【図10】上記の表示装置を含むモジュールの概略構成を表す平面図である。

【図11】上記の表示装置の第1適用例の外観を表す斜視図である。

【図12】(A)は第2適用例の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図13】第3適用例の外観を表す斜視図である。

【図14】第4適用例の外観を表す斜視図である。

【図15】(A)は第5適用例の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【図16】従来画素の構成の一例を表す図である。

【図17】従来画素を含む表示装置の動作の一例を表す波形図である。

【発明を実施するための形態】

【0025】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態(表示装置)

2. 変形例(表示装置)

3. 適用例(電子機器)

【0026】

< 1. 実施の形態 >

[構成]

図1は、本発明の一実施の形態に係る表示装置1の全体構成の一例を表したものである。この表示装置1は、表示パネル10と、表示パネル10の周辺に形成された駆動回路20とを備えている。

【0027】

(表示パネル10)

表示パネル10は、複数の表示画素14を表示パネル10の表示領域10A全面に渡って2次元配置したものである。表示パネル10は、各表示画素14をアクティブマトリクス駆動することにより、外部から入力された映像信号20Aに基づく画像を表示するものである。各表示画素14は、例えば、赤色用の画素13Rと、緑色用の画素13Gと、青色用の画素13Bとを含んでいる。以下では、画素13R、13G、13Bの総称として「画素13」を用いるものとする。

【0028】

画素13Rは、例えば、有機EL素子11Rと、画素回路12とを有している。画素13Gは、例えば、有機EL素子11Gと、画素回路12とを有している。画素13Bは、例えば、有機EL素子11Bと、画素回路12とを有している。有機EL素子11Rは赤

10

20

30

40

50

色光を発する有機EL素子であり、有機EL素子11Gは緑色光を発する有機EL素子であり、有機EL素子11Bは青色光を発する有機EL素子である。以下では、有機EL素子11R, 11G, 11Bの総称として「有機EL素子11」を用いるものとする。なお、有機EL素子11R, 11G, 11Bは、本発明の「発光素子」の一具体例に相当する。

【0029】

有機EL素子11は、例えば、図示しないが、陽極（アノード）、有機層および陰極（カソード）が順に積層された構成を有している。有機層は、例えば、陽極の側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを積層してなる積層構造を有している。

10

【0030】

画素回路12は、例えば、図2に示したように、トランジスタT1, T2, T3と、保持容量C1, C2とを有している。なお、トランジスタT1, T2が本発明の「サンプリング回路」の一具体例に相当し、トランジスタT3が本発明の「駆動回路」の一具体例に相当する。また、保持容量C1, C2が本発明の「保持回路」の一具体例に相当する。

【0031】

トランジスタT1は、信号線DTL1の電圧をサンプリングするとともにトランジスタT3のゲートに書き込むものである。トランジスタT2は、信号線DTL2の電圧をサンプリングするとともに、保持容量C1と保持容量C2との接続点Aに書き込むものである。トランジスタT3は、トランジスタT1, T2によって保持容量C1, C2に書き込まれた電圧に基づいて有機EL素子11を駆動する（有機EL素子11に流れる電流を制御する）ものである。保持容量C1, C2は、トランジスタT1, T2によってサンプリングされた電圧を保持するものであり、トランジスタT3のゲート-ソース間に所定の電圧を保持するようになっている。トランジスタT1, T2, T3は、例えば、nチャネルMOS型の薄膜トランジスタ（TFET）により形成されている。なお、トランジスタT1, T2, T3は、pチャネルMOS型のTFETにより形成されていてもよい。

20

【0032】

表示パネル10は、行方向に延在する複数組の書込線WSL1, WSL2と、列方向に延在する複数組の信号線DTL1, DTL2と、行方向に延在する複数の電源線PSLと、電源線GNDとを有している。各信号線DTL1と各書込線WSL1との交差点近傍には、画素13が設けられている。各信号線DTL1は、後述の信号線駆動回路23の出力端（図示せず）と、トランジスタT1のソースまたはドレインとに接続されている。各信号線DTL2は、後述の信号線駆動回路23の出力端（図示せず）と、トランジスタT2のソースまたはドレインとに接続されている。各書込線WSL1は、後述の書込線駆動回路24の出力端（図示せず）と、トランジスタT1のゲートに接続されている。各書込線WSL2は、後述の書込線駆動回路24の出力端（図示せず）と、トランジスタT2のゲートに接続されている。各電源線PSLは、固定の電圧Vccを出力する電源の出力端（図示せず）と、トランジスタT3のソースまたはドレインに接続されている。電源線GNDは、基準電位に相当する電圧Vcat（例えばグラウンド電位）となっている配線（図示せず）と、有機EL素子11のカソードに接続されている。

30

40

【0033】

トランジスタT1のゲートは、書込線WSL1に接続されている。トランジスタT1のソースまたはドレインが信号線DTL1に接続され、トランジスタT1のソースおよびドレインのうち信号線DTL1に未接続の端子がトランジスタT3のゲートに接続されている。トランジスタT2のゲートは、書込線WSL2に接続されている。トランジスタT2のソースまたはドレインが信号線DTL2に接続され、トランジスタT2のソースおよびドレインのうち信号線DTL2に未接続の端子が接続点Aに接続されている。トランジスタT3のソースまたはドレインが電源線PSLに接続され、トランジスタT3のソースおよびドレインのうち電源線PSLに未接続の端子が有機EL素子11のアノードに接続さ

50

れている。保持容量 C 1 の一端がトランジスタ T 3 のゲートに接続され、保持容量 C 1 の他端が保持容量 C 2 の一端に接続されている。保持容量 C 2 の他端はトランジスタ T 3 のソースおよびドレインのうち電源線 P S L に未接続の端子に接続されている。つまり、保持容量 C 1 , C 2 は、トランジスタ T 3 のゲート - ソース間に直列に挿入されている。有機 E L 素子 1 1 のアノードはトランジスタ T 3 のソースおよびドレインのうち電源線 P S L に未接続の端子に接続され、有機 E L 素子 1 1 のカソードは電源線 G N D に接続されている。

【 0 0 3 4 】

(駆動回路 2 0)

駆動回路 2 0 は、例えば、図 1 に示したように、タイミング生成回路 2 1、映像信号処理回路 2 2、信号線駆動回路 2 3、書込線駆動回路 2 4 および電源線駆動回路 2 5 を有している。

10

【 0 0 3 5 】

タイミング生成回路 2 1 は、映像信号処理回路 2 2、信号線駆動回路 2 3、書込線駆動回路 2 4 および電源線駆動回路 2 5 が連動して動作するように制御するものである。タイミング生成回路 2 1 は、例えば、外部から入力された同期信号 2 0 B に応じて (同期して)、上述した各回路に対して制御信号 2 1 A を出力するようになっている。

【 0 0 3 6 】

映像信号処理回路 2 2 は、外部から入力されたデジタルの映像信号 2 0 A に対して所定の補正を行うと共に、補正した後の映像信号をアナログに変換して信号線駆動回路 2 3 に出力するものである。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。映像信号処理回路 2 2 は、さらに、映像信号 2 0 A から、信号線 D T L 1 への出力用として映像信号 2 2 A を生成するとともに、信号線 D T L 2 への出力用として映像信号 2 2 B を生成するようになっている。

20

【 0 0 3 7 】

信号線駆動回路 2 3 は、映像信号処理回路 2 2 から入力された映像信号 2 2 A を、制御信号 2 1 A の入力に応じて (同期して) 各信号線 D T L 1 に出力するものである。また、信号線駆動回路 2 3 は、映像信号処理回路 2 2 から入力されたアナログの映像信号 2 2 B を、制御信号 2 1 A の入力に応じて (同期して) 各信号線 D T L 2 に出力するものである。信号線駆動回路 2 3 は、例えば、制御信号 2 1 A の入力に応じて、3 種類の電圧 (V o f s、V s i g 1、V s i g 2) を出力可能となっている。具体的には、信号線駆動回路 2 3 は、信号線 D T L 1 を介して、書込線駆動回路 2 4 により選択された画素 1 3 へ 2 種類の電圧 (V o f s、V s i g 1) を規則的に供給するようになっている。さらに、信号線駆動回路 2 3 は、信号線 D T L 2 を介して、書込線駆動回路 2 4 により選択された画素 1 3 へ 2 種類の電圧 (V o f s、V s i g 2) を規則的に供給するようになっている。

30

【 0 0 3 8 】

ここで、電圧 V o f s は、基準電圧であり、有機 E L 素子 1 1 の閾値電圧よりも低い電圧値となっている。電圧 V o f s は、V o f s - V s s がトランジスタ T 3 の閾値電圧 V t h よりも大きくなるような値となっている。また、電圧 V s i g 1、V s i g 2 はともに、階調を反映した電圧値となっている。電圧 V s i g 1、V s i g 2 の最大値は、それぞれ、図 1 6 に示した従来タイプの画素回路 1 0 0 に対応して設けられた信号線 D T L に対して出力される電圧の最大値よりも低くなっている。

40

【 0 0 3 9 】

書込線駆動回路 2 4 は、制御信号 2 1 A の入力に応じて (同期して)、複数の書込線 W S L 1 を所定の単位ごとに (例えば 1 本ずつ) 順次選択するとともに、複数の書込線 W S L 2 を所定の単位ごとに (例えば 1 本ずつ) 順次選択するものである。書込線駆動回路 2 4 は、例えば、制御信号 2 1 A の入力に応じて、2 種類の電圧 (V o n、V o f f) を出力可能となっている。具体的には、書込線駆動回路 2 4 は、書込線 W S L 1 を介して、駆動対象の画素 1 3 へ 2 種類の電圧 (V o n、V o f f) を供給するとともに、書込線 W S L 2 を介して、駆動対象の画素 1 3 へ 2 種類の電圧 (V o n、V o f f) を供給するよう

50

になっている。

【0040】

ここで、電圧 V_{on} は、トランジスタ T_{r1} , T_2 のオン電圧以上の値となっている。
 V_{off} は、トランジスタ T_{r1} , T_2 のオン電圧よりも低い値となっている。

【0041】

電源線駆動回路25は、制御信号21Aの入力に応じて（同期して）、2種類の電圧（ V_{cc} 、 V_{ss} ）を出力可能となっている。具体的には、電源線駆動回路25は、電源線PSLを介して、駆動対象の画素13へ2種類の電圧（ V_{cc} 、 V_{ss} ）を供給するようになっている。

【0042】

ここで、電圧 V_{ss} は、有機EL素子11の閾値電圧と、有機EL素子11のカソードの電圧とを足し合わせた電圧よりも低い電圧値である。電圧 V_{ss} は、 $V_{ofs} - V_{ss}$ がトランジスタ T_3 の閾値電圧 V_{th} よりも大きくなるような値となっている。また、電圧 V_{cc} は、有機EL素子11の閾値電圧と、有機EL素子11のカソードの電圧とを足し合わせた電圧以上の電圧値である。

【0043】

[動作]

次に、本実施の形態の表示装置1の動作（消光から発光までの動作）について説明する。本実施の形態では、有機EL素子11のI-V特性が経時変化したり、トランジスタ T_3 の閾値電圧や移動度が経時変化したりしても、それらの影響を受けることなく、有機EL素子11の発光輝度を一定に保つようにするために、有機EL素子11のI-V特性の変動に対する補償動作およびトランジスタ T_3 の閾値電圧や移動度の変動に対する補正動作を組み込んでいる。

【0044】

図3は、表示装置1の一の画素13に印加される電圧波形の一例を表したものである。具体的には、電源線PSLに2種類の電圧（ V_{cc} 、 V_{ss} ）が、信号線DTL1、DTL2に3種類の電圧（ V_{ofs} 、 V_{sig1} 、 V_{sig2} ）が、書込線WSLに2種類の電圧（ V_{on} 、 V_{off} ）が印加されている様子が示されている。さらに、図3には、電源線PSL、信号線DTLおよび書込線WSLへの電圧印加に応じて、トランジスタ T_3 のゲート電圧 V_g およびソース電圧 V_s と、接続点Aの電圧が時々刻々変化している様子が示されている。

【0045】

（発光期間）

まず、発光時においてトランジスタ T_1 , T_2 はオフしており、トランジスタ T_3 は飽和領域で動作している。そのため、トランジスタ T_3 のゲート-ソース間電圧に応じて有機EL素子11に電流が流れ、その電流の大きさに応じた輝度の光を有機EL素子11が発している。

【0046】

（補正準備期間）

次に、閾値補正の準備を行う。具体的には、電源線駆動回路25が電源線PSLの電圧を V_{cc} から V_{ss} に下げる（ t_1 ）。すると、ソース電圧 V_s が V_{ss} となり、有機EL素子11が消光する。次に、信号線駆動回路23が信号線DTL1の電圧を V_{sig1} から V_{ofs} に切り替えるとともに、信号線DTL2の電圧を V_{sig2} から V_{ofs} に切り替える。その後、電源線PSLの電圧が V_{ss} となっている間に、書込線駆動回路24が書込線WSL1、WSL2の電圧を V_{off} から V_{on} に上げる（ t_2 ）。すると、信号線DTL1がトランジスタ T_3 のゲートに接続されるとともに、信号線DTL2が接続点Aに接続される。その結果、トランジスタ T_3 のゲート電圧 V_g が V_{ofs} となり、接続点Aの電圧も V_{ofs} となる。このとき、トランジスタ T_3 のゲート-ソース間電圧（ $V_{ofs} - V_{ss}$ ）はトランジスタ T_3 の閾値電圧 V_{th} よりも大きくなっている。

【0047】

10

20

30

40

50

(閾値補正期間)

次に、閾値補正を行う。具体的には、信号線 D T L 1 , D T L 2 の電圧が V o f s となっている間に、電源線駆動回路 2 5 が電源線 P S L の電圧を V s s から V c c に上げる (t 3)。すると、図 4 に示したように、トランジスタ T 3 のドレイン - ソース間に電流 I d s が流れ、トランジスタ T 3 のソース電圧 V s が上昇する。一定時間経過後、トランジスタ T 3 のゲート - ソース間電圧は V t h という値となる。この時、有機 E L 素子 1 1 のアノード電圧を V e l とすると、 $V e l = V o f s - V t h - V c a t + V t h e l$ となっている。ここで、V c a t は有機 E L 素子 1 1 のカソード電圧であり、V t h e l は有機 E L 素子 1 1 の閾値電圧である。そのため、有機 E L 素子 1 1 はカットオフしている。

【 0 0 4 8 】

その後、信号線駆動回路 2 3 が信号線 D T L 1 の電圧を V o f s から V s i g 1 に切り替える前に、書込線駆動回路 2 4 が書込線 W S L 1 , W S L 2 の電圧を V o n から V o f f に下げる (t 4)。すると、トランジスタ T 3 のゲートがフローティングとなり、閾値補正が一旦停止する。

【 0 0 4 9 】

(補正休止期間)

閾値補正が休止している期間中は、先の閾値補正を行った行 (画素 1 3) とは異なる他の行 (画素 1 3) において、信号線 D T L 1 , D T L 2 の電圧のサンプリングが行われる。

【 0 0 5 0 】

(書き込み・移動度補正期間)

補正休止期間が終了した後、1 回目の書き込み・移動度補正を行う。具体的には、信号線駆動回路 2 3 が信号線 D T L 1 の電圧を V o f s から V s i g 1 に切り替えたのち、書込線駆動回路 2 4 が書込線 W S L 1 , W S L 2 の電圧を V o f f から V o n に上げ (t 5)、トランジスタ T 3 のゲートを信号線 D T L 1 に接続する。このとき、信号線駆動回路 2 3 は、少なくとも、書込線駆動回路 2 4 が書込線 W S L 1 , W S L 2 の電圧を V o n から V o f f に下げるまでの間、信号線 D T L 2 の電圧を V o f s のままとする。なお、1 回目の書き込み・移動度補正が、本発明の「第 1 サンプリングステップ」の一具体例に相当する。

【 0 0 5 1 】

すると、図 5 に示したように、トランジスタ T 3 のゲートの電圧が V s i g 1 となる。このとき、有機 E L 素子 1 1 のアノードの電圧はこの段階ではまだ有機 E L 素子 1 1 の閾値電圧よりも小さく、有機 E L 素子 1 1 はカットオフしている。そのため、電流 I d s は有機 E L 素子 1 1 の素子容量 (図示せず) に流れ、素子容量が充電されるので、トランジスタ T 3 のソース電圧 V s が徐々に上昇してゆく。このとき、トランジスタ T 3 のソース電圧 V s が有機 E L 素子 1 1 の閾値電圧と有機 E L 素子 1 1 のカソード電圧との和を超えなければ (つまり、有機 E L 素子 1 1 のリーク電流がトランジスタ T 3 に流れる電流よりもかなり小さければ)、トランジスタ T 3 の電流は保持容量 C 2 と有機 E L 素子 1 1 の寄生容量を充電するのに使用される。また、このとき、トランジスタ T 3 の閾値補正は完了しているので、トランジスタ T 3 を流れる電流はトランジスタ T 3 の移動度 μ を反映したものとなる。その後、書込線駆動回路 2 4 が書込線 W S L 1 , W S L 2 の電圧を V o n から V o f f に下げ (t 6)、トランジスタ T 1 , T 2 をオフする。

【 0 0 5 2 】

(書き込み休止期間)

書き込みを休止している期間中に、信号線駆動回路 2 3 が信号線 D T L 2 の電圧を V o f s から V s i g 2 に切り替える。このとき、信号線駆動回路 2 3 は、信号線 D T L 1 の電圧を V s i g 1 のままにする。

【 0 0 5 3 】

ところで、トランジスタ T 1 , T 2 がオフしている間、トランジスタ T 3 のソース電圧 V s は上昇を続ける。このソース電圧 V s の上昇に伴って、保持容量 C 1 , C 2 の接続点

10

20

30

40

50

Aの電圧と、トランジスタT3のゲート電圧 V_g も上昇する。この時の増加量を V_1 とする(図6参照)。この時、トランジスタT3のソース電圧 V_s が有機EL素子11の閾値電圧と有機EL素子11のカソード電圧との和を超えなければ、有機EL素子11は発光しない。

【0054】

(書き込み・移動度補正期間)

書き込み休止期間が終了した後、2回目の書き込み・移動度補正を行う。具体的には、書込線駆動回路24が書込線WSL2の電圧を V_{off} から V_{on} に上げ(t_7)、保持容量 C_1 、 C_2 の接続点Aを信号線DTL2に接続する。このとき、書込線駆動回路24は、少なくとも、書込線WSL2の電圧を V_{on} から V_{off} に下げるまでの間、書込線WSL1の電圧を V_{off} のままとする。なお、2回目の書き込み・移動度補正が、本発明の「第2サンプリングステップ」の一具体例に相当する。

10

【0055】

これにより、1回目の書き込み・移動度補正においてトランジスタT3のゲートに書き込まれた電圧が保持容量 C_1 で保持されているときに(つまり、1回目の書き込み・移動度補正の履歴が保持されているときに)、接続点Aの電圧変化が保持容量 C_1 を介してトランジスタT3のゲートに入力される。そのため、図7に示したように、トランジスタT3のゲート電圧 V_g が、接続点Aの電圧変化量に応じて V だけ上昇し、 $V_{sig1} + V$ となる。その結果、再度、トランジスタT3の移動度補正が始まり、トランジスタT3のソース電圧 V_s が上昇する。

20

【0056】

(発光期間)

一定時間経過後、書込線駆動回路24が書込線WSL2の電圧を V_{on} から V_{off} に下げる(t_8)。すると、トランジスタT3のゲートがフローティングとなり、トランジスタT3のドレイン-ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機EL素子11が所望の輝度で発光する。なお、発光期間において、画素13に入力される信号振幅は $V_{sig1} + V - V_{ofs}$ となる。これは $V_{sig1} - V_{ofs}$ よりも大きくなっている。

【0057】

[効果]

次に、表示装置1の効果について説明する。本実施の形態では、信号線DTL1の電圧がトランジスタT2によってサンプリングされるとともにトランジスタT3のゲートに書き込まれる。さらに、信号線DTL2の電圧がトランジスタT2によってサンプリングされるとともに保持容量 C_1 に書き込まれる。これにより、トランジスタT1のゲート電圧 V_g を信号線DTL1の電圧よりも大きな電圧に上昇させ、トランジスタT1をオンさせることができる。その結果、上記の発光期間において、トランジスタT1のゲート-ソース間に入力される電圧を、 $V_{sig1} - V_{ofs}$ よりも大きな電圧(具体的には $V_{sig1} + V - V_{ofs}$)にすることができる。従って、仮に V_{sig1} が信号線駆動回路23の最大出力電圧であった場合、画素13には信号線駆動回路23の最大出力電圧以上の電圧が入力されることとなる。換言すれば、画素回路12によって信号線駆動回路23の振幅を擬似的に大きくすることができる。つまり、信号線DTL1、DTL2に電圧を印加する信号線駆動回路23の出力を大きくしたような効果が得られる。これにより、信号線駆動回路23の消費電力を抑えつつ、高輝度を得ることができる。

30

40

【0058】

<2. 変形例>

[第1変形例]

上記実施の形態では、2回目の書き込み・移動度補正が、1回目の書き込み・移動度補正を開始した時から1H経過する前に行われていたが、1回目の書き込み・移動度補正を開始した時から1H経過した後に行われてもよい。このようにした場合であっても、上記実施の形態と同様、信号線DTL1、DTL2に電圧を印加する信号線駆動回路23の出

50

力を大きくしたような効果が得られる。

【0059】

[第2変形例]

例えば、図8に示したように、上記実施の形態において、トランジスタT3のゲートを保持容量C1、C2の接続点Aに接続し、トランジスタT1のゲートを書込線WSL2に接続し、トランジスタT2のゲートを書込線WSL1に接続するようにしてもよい。さらに、図8に示したように、トランジスタT1のソースおよびドレインのうち保持容量C1に未接続の端子に信号線DTL2を接続し、トランジスタT2のソースおよびドレインのうちトランジスタT3のゲートに未接続の端子に信号線DTL1を接続するようにしてもよい。

10

【0060】

[動作]

次に、本変形例に係る表示装置1の動作(消光から発光までの動作)について説明する。図9は、本変形例に係る表示装置1の一の画素13に印加される電圧波形の一例を表したものである。具体的には、電源線PSLに2種類の電圧(V_{cc} 、 V_{ss})が、信号線DTL1、DTL2に3種類の電圧(V_{ofs} 、 V_{sig1} 、 V_{sig2})が、書込線WSLに2種類の電圧(V_{on} 、 V_{off})が印加されている様子が示されている。さらに、図9には、電源線PSL、信号線DTLおよび書込線WSLへの電圧印加に応じて、トランジスタT3のゲート電圧 V_g およびソース電圧 V_s と、接続点Bの電圧が時々刻々変化している様子が示されている。

20

【0061】

(発光期間)

まず、発光時においてトランジスタT1、T2はオフしており、トランジスタT3は飽和領域で動作している。そのため、トランジスタT3のゲート-ソース間電圧に応じて有機EL素子11に電流が流れ、その電流の大きさに応じた輝度の光を有機EL素子11が発している。

【0062】

(補正準備期間)

次に、閾値補正の準備を行う。具体的には、電源線駆動回路25が電源線PSLの電圧を V_{cc} から V_{ss} に下げる(t_1)。すると、ソース電圧 V_s が V_{ss} となり、有機EL素子11が消光する。次に、信号線駆動回路23が信号線DTL1の電圧を V_{sig1} から V_{ofs} に切り替えるとともに、信号線DTL2の電圧を V_{sig2} から V_{ofs} に切り替える。その後、電源線PSLの電圧が V_{ss} となっている間に、書込線駆動回路24が書込線WSL1、WSL2の電圧を V_{off} から V_{on} に上げる(t_2)。すると、信号線DTL1がトランジスタT3のゲートに接続されるとともに、信号線DTL2がトランジスタT1と保持容量C1との接続点Bに接続される。その結果、トランジスタT3のゲート電圧 V_g が V_{ofs} となり、接続点Bの電圧も V_{ofs} となる。このとき、トランジスタT3のゲート-ソース間電圧($V_{ofs} - V_{ss}$)はトランジスタT3の閾値電圧 V_{th} よりも大きくなっている。

30

【0063】

(閾値補正期間)

次に、閾値補正を行う。具体的には、信号線DTL1、DTL2の電圧が V_{ofs} となっている間に、電源線駆動回路25が電源線PSLの電圧を V_{ss} から V_{cc} に上げる(t_3)。すると、トランジスタT3のドレイン-ソース間に電流 I_{ds} が流れ、トランジスタT3のソース電圧 V_s が上昇する。一定時間経過後、トランジスタT3のゲート-ソース間電圧は V_{th} という値となる。この時、有機EL素子11のアノード電圧を V_{e1} とすると、 $V_{e1} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ となっている。そのため、有機EL素子11はカットオフしている。

40

【0064】

その後、信号線駆動回路23が信号線DTL1の電圧を V_{ofs} から V_{sig1} に切り

50

替える前に、書込線駆動回路24が書込線WSL1, WSL2の電圧をVonからVoffに下げる(t4)。すると、トランジスタT3のゲートがフローティングとなり、閾値補正が一旦停止する。

【0065】

(補正休止期間)

閾値補正が休止している期間中は、先の閾値補正を行った行(画素13)とは異なる他の行(画素13)において、信号線DTL1, DTL2の電圧のサンプリングが行われる。

【0066】

(書き込み・移動度補正期間)

補正休止期間が終了した後、1回目の書き込み・移動度補正を行う。具体的には、信号線駆動回路23が信号線DTL1の電圧をVofsからVsig1に切り替えたのち、書込線駆動回路24が書込線WSL1, WSL2の電圧をVoffからVonに上げ(t5)、トランジスタT3のゲートを信号線DTL1に接続する。このとき、信号線駆動回路23は、少なくとも、書込線駆動回路24が書込線WSL1, WSL2の電圧をVonからVoffに下げるまでの間、信号線DTL2の電圧をVofsのままとする。なお、1回目の書き込み・移動度補正が、本発明の「第1サンプリングステップ」の一具体例に相当する。

【0067】

すると、トランジスタT3のゲート電圧VgがVsig1となる。このとき、有機EL素子11のアノードの電圧はこの段階ではまだ有機EL素子11の閾値電圧よりも小さく、有機EL素子11はカットオフしている。そのため、電流Idsは有機EL素子11の素子容量(図示せず)に流れ、素子容量が充電されるので、トランジスタT3のソース電圧Vsが徐々に上昇してゆく。このとき、トランジスタT3のソース電圧Vsが有機EL素子11の閾値電圧と有機EL素子11のカソード電圧との和を超えなければ(つまり、有機EL素子11のリーク電流がトランジスタT3に流れる電流よりもかなり小さければ)、トランジスタT3の電流は保持容量C2と有機EL素子11の寄生容量を充電するのに使用される。また、このとき、トランジスタT3の閾値補正は完了しているので、トランジスタT3を流れる電流はトランジスタT3の移動度μを反映したものとなる。その後、書込線駆動回路24が書込線WSL1, WSL2の電圧をVonからVoffに下げ(t6)、トランジスタT1, T2をオフする。

【0068】

(書き込み休止期間)

書き込みを休止している期間中に、信号線駆動回路23が信号線DTL2の電圧をVofsからVsig2に切り替える。このとき、信号線駆動回路23は、信号線DTL1の電圧をVsig1のままにする。

【0069】

ところで、トランジスタT1, T2がオフしている間、トランジスタT3のソース電圧Vsは上昇を続ける。このソース電圧Vsの上昇に伴って、接続点A, Bの電圧も上昇する。この時の増加量をV1とする。この時、トランジスタT3のソース電圧Vsが有機EL素子11の閾値電圧と有機EL素子11のカソード電圧との和を超えなければ、有機EL素子11は発光しない。

【0070】

(書き込み・移動度補正期間)

書き込み休止期間が終了した後、2回目の書き込み・移動度補正を行う。具体的には、書込線駆動回路24が書込線WSL2の電圧をVoffからVonに上げ(t7)、接続点Bを信号線DTL2に接続する。このとき、書込線駆動回路24は、少なくとも、書込線WSL2の電圧をVonからVoffに下げるまでの間、書込線WSL1の電圧をVoffのままとする。なお、2回目の書き込み・移動度補正が、本発明の「第2サンプリングステップ」の一具体例に相当する。

10

20

30

40

50

【0071】

これにより、1回目の書き込み・移動度補正においてトランジスタT3のゲートに書き込まれた電圧が保持容量C2で保持されているときに（つまり、1回目の書き込み・移動度補正の履歴が保持されているときに）、接続点Bの電圧変化が保持容量C1を介してトランジスタT3のゲートに入力される。そのため、トランジスタT3のゲート電圧が、接続点Bの電圧変化量に応じてVだけ上昇し、 $V_{sig1} + V$ となる。その結果、再度、トランジスタT3の移動度補正が始まり、トランジスタT3のソース電圧 V_s が上昇する。

【0072】

（発光期間）

一定時間経過後、書込線駆動回路24が書込線WSL2の電圧を V_{on} から V_{off} に下げる（t8）。すると、トランジスタT3のゲートがフローティングとなり、トランジスタT3のドレイン・ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機EL素子11が所望の輝度で発光する。なお、発光期間において、画素13に入力される信号振幅は $V_{sig1} + V - V_{ofs}$ となる。これは $V_{sig1} - V_{ofs}$ よりも大きくなっている。

10

【0073】

以上のように、本変形例においても、上記実施の形態の表示装置1の動作とほとんど同様の動作をする。従って、本変形例でも、上記実施の形態と同様、信号線DTL1、DTL2に電圧を印加する信号線駆動回路23の出力を大きくしたような効果が得られる。これにより、信号線駆動回路23の消費電力を抑えつつ、高輝度を得ることができる。

20

【0074】

<3. 適用例>

以下、上記実施の形態およびその変形例で説明した表示装置1（以下、「上記実施の形態等の表示装置1」と称する。）の適用例について説明する。上記実施の形態等の表示装置1は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

30

【0075】

（モジュール）

上記実施の形態等の表示装置1は、例えば、図10に示したようなモジュールとして、後述する第1適用例～第5適用例などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板2の一辺に、表示部30を封止する部材（図示せず）から露出した領域210を設け、この露出した領域210に、タイミング生成回路21、映像信号処理回路22、信号線駆動回路23、書込線駆動回路24および電源線駆動回路25の配線を延長して外部接続端子（図示せず）を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板（FPC; Flexible Printed Circuit）220が設けられていてもよい。

40

【0076】

（第1適用例）

図11は、上記実施の形態等の表示装置1が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記実施の形態に係る表示装置3により構成されている。

【0077】

（第2適用例）

図12は、上記実施の形態等の表示装置1が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部4

50

20は、上記実施の形態に係る表示装置3により構成されている。

【0078】

(第3適用例)

図13は、上記実施の形態等の表示装置1が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記実施の形態に係る表示装置3により構成されている。

【0079】

(第4適用例)

図14は、上記実施の形態等の表示装置1が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有しており、その表示部640は、上記実施の形態に係る表示装置3により構成されている。

【0080】

(第5適用例)

図15は、上記実施の形態等の表示装置1が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部(ヒンジ部)730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記実施の形態に係る表示装置3により構成されている。

【0081】

以上、実施の形態、変形例および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0082】

例えば、上記実施の形態等では、表示装置1がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路12の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路12に追加してもよい。例えば、図2において、トランジスタT3のゲート-ソース間に、3つ以上の容量素子を設けてもよい。また、例えば、図8において、トランジスタT3のゲートとトランジスタT1のソースとの間に2つ以上の容量素子を設けたり、トランジスタT3のゲート-ソース間に、2つ以上の容量素子を設けたりしてもよい。

【符号の説明】

【0083】

1...表示装置、2...基板、10...表示パネル、10A...表示領域、11, 11R, 11G, 11B, D100...有機EL素子、12...画素回路、13, 13R, 13G, 13B...画素、14...表示画素、20...駆動回路、20A, 22A, 22B...映像信号、20B...同期信号、21...タイミング生成回路、21A...制御信号、22...映像信号処理回路、23...信号線駆動回路、24...書込線駆動回路、25...電源線駆動回路、A, B...接続点、C1, C2, C100...保持容量、D100...フォトダイオード、DT1...電圧検出部、DTL1, DTL2...信号線、GND, PSL...電源線、Ids...電流、t1~t8...期間、T1, T2, T100, T200...トランジスタ、Vcat, Vcc, Vdd, Von, Voff, Vofs, Vsig1, Vsig2, Vss...電圧、Vg...ゲート電圧、Vgs...電位差、Vs...ソース電圧、Vth...閾値電圧、WSL1, WSL2...書込線。

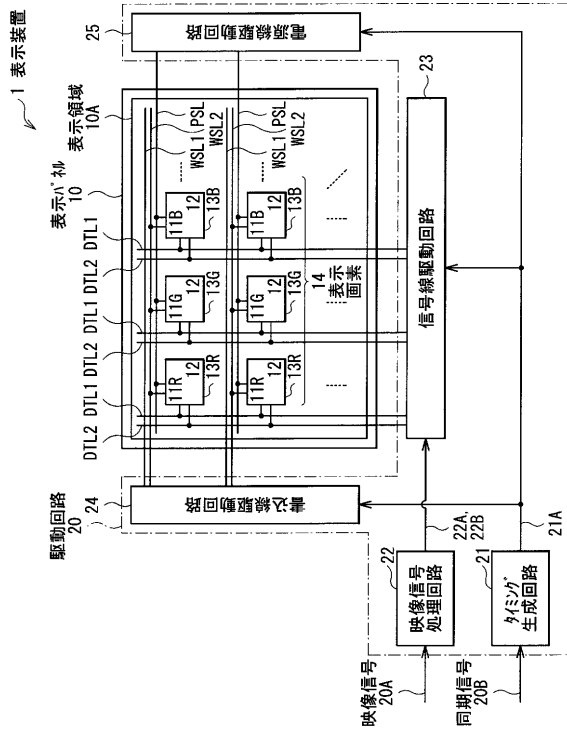
10

20

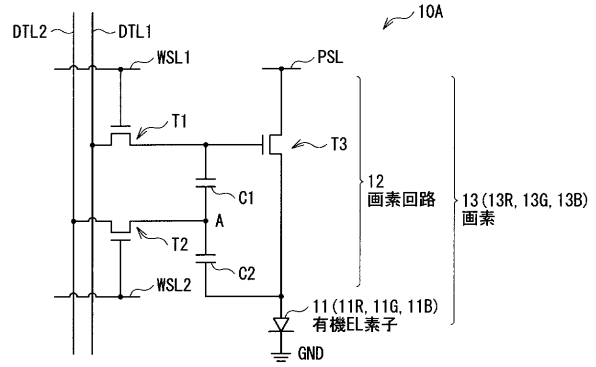
30

40

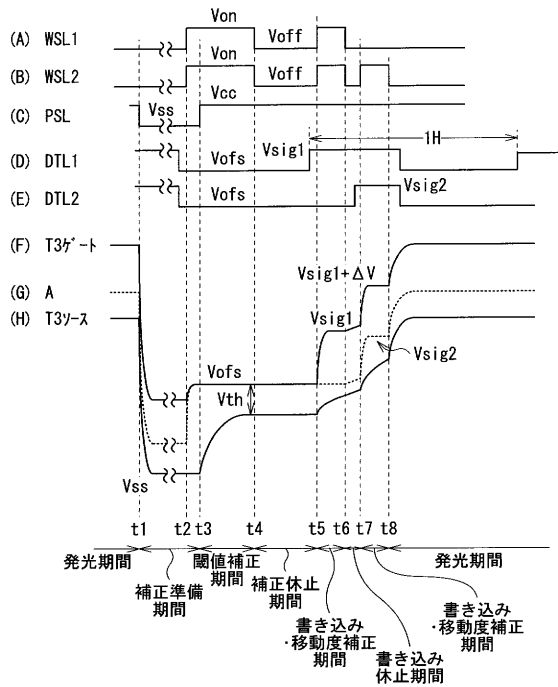
【 図 1 】



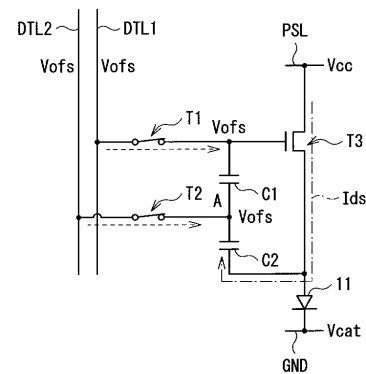
【 図 2 】



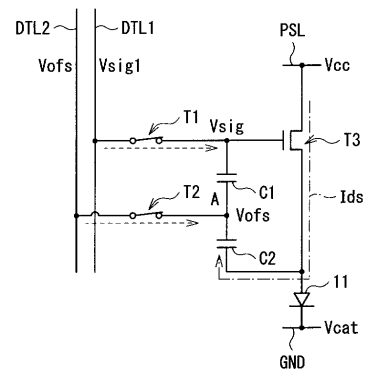
【 図 3 】



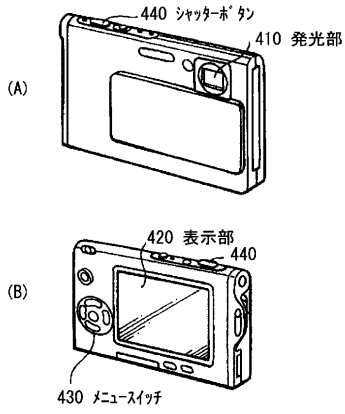
【 図 4 】



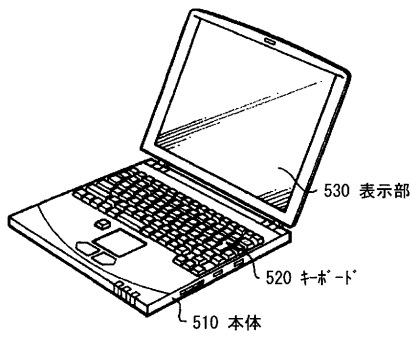
【 図 5 】



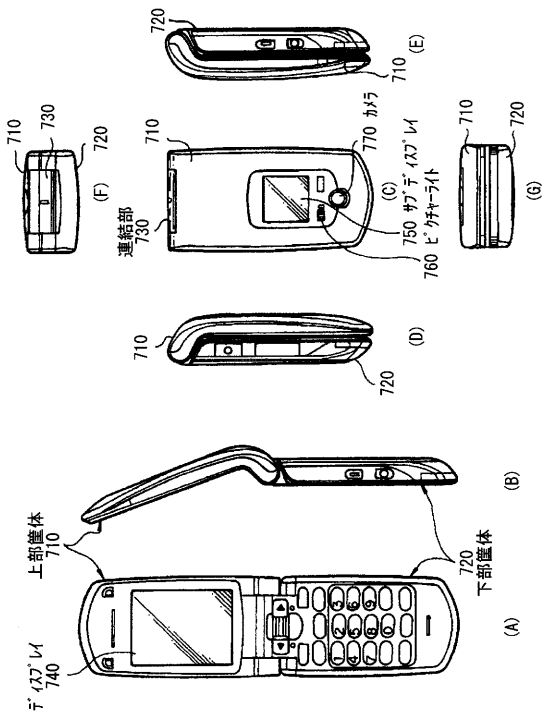
【図12】



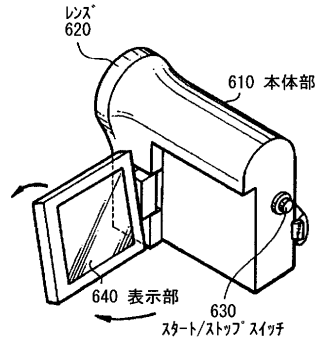
【図13】



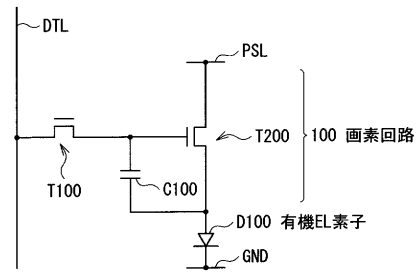
【図15】



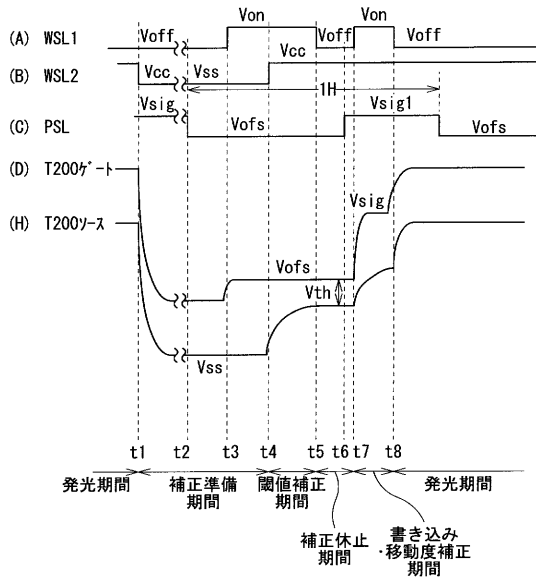
【図14】



【図16】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 4 1 C

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 5C080 AA06 BB05 CC03 DD05 DD26 FF11 JJ02 JJ03 JJ04 KK07
KK43
5C380 AA01 AB06 AB08 AB34 AC07 AC08 AC09 AC11 AC12 BA01
BA38 BA39 BB02 BB22 CA02 CA12 CA53 CA54 CB01 CB20
CB21 CB26 CB31 CC03 CC04 CC06 CC07 CC27 CC34 CC63
CD023 CE20 DA02 DA06 DA47

专利名称(译)	像素电路，显示面板，显示设备和电子设备		
公开(公告)号	JP2012185328A	公开(公告)日	2012-09-27
申请号	JP2011048377	申请日	2011-03-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野胜秀		
发明人	山本 哲郎 内野 胜秀		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09F9/33 G09G3/32 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0866		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.642.D G09G3/20.623.C G09G3/20.611.H G09G3/20.622.D G09G3/20.642.A G09G3/20.624.B G09G3/20.623.D G09G3/20.641.C G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/CA02 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB21 5C380/CB26 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC34 5C380/CC63 5C380/CD023 5C380/CE20 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP2012185328A5 JP5804732B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够在抑制功耗的同时具有高亮度的像素电路，并提供显示面板，显示装置和包括像素电路的电子设备。解决方案：像素电路12包括晶体管T1，T2和T3，以及保持电容器C1和C2。在晶体管T1中，栅极连接到写入线WSL1，漏极连接到信号线DTL1，并且源极连接到晶体管T3的栅极。在晶体管T2中，栅极连接到写入线WSL2，漏极连接到信号线DTL2，并且源极连接到保持电容器C1和C2之间的节点A。在晶体管T3中，漏极连接到电源线PSL，源极连接到有机EL元件11的阳极。保持电容器C1和C2彼此串联连接，并插入栅极之间和晶体管T3的源极。

