

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2006-208966  
(P2006-208966A)

(43) 公開日 平成18年8月10日(2006.8.10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K007
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 612T	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 612U	
	G09G 3/20 624B	
	G09G 3/20 670K	
審査請求 未請求 請求項の数 23 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2005-23547 (P2005-23547)	(71) 出願人	000005016
(22) 出願日	平成17年1月31日 (2005.1.31)		パイオニア株式会社
			東京都目黒区目黒1丁目4番1号
		(74) 代理人	100079119
			弁理士 藤村 元彦
		(72) 発明者	土田 正美
			埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社総合研究所内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA00 GA04
			5C080 AA06 BB05 DD05 DD26 DD29
			FF07 FF11 HH09 JJ02 JJ03
			JJ04 JJ05 JJ06

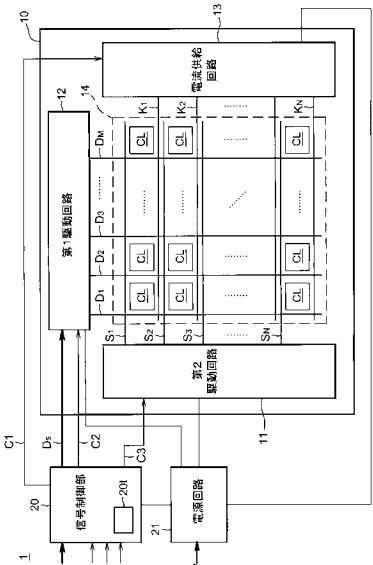
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 O L E Dなどの自発光素子を選択し駆動するために使用されるT F Tの特性の改善である。

【解決手段】 表示装置1は、行電極群 $S_1 \sim S_N$ 、列電極群 $D_1 \sim D_M$ および駆動部11、12、13、20を有する。行電極群 $S_1 \sim S_N$ と列電極群 $D_1 \sim D_M$ との交差点付近の領域にはそれぞれ自発光素子が形成され、自発光素子を駆動する素子駆動回路が形成されている。素子駆動回路の各々は、選択トランジスタ、キャパシタおよび駆動トランジスタを含む。駆動部11、12、13、20は、自発光素子に駆動電流が供給されない非発光期間内に駆動トランジスタの制御端子に逆バイアスを印加する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記走査信号および前記データ信号に応じて前記自発光素子をそれぞれ駆動する素子駆動回路と、からなる表示装置であって、

前記素子駆動回路の各々は、

前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第 1 および第 2 の被制御端子間が導通する少なくとも 1 個の選択トランジスタと、

前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記駆動部から前記第 1 および第 2 の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、

前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し、前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、を含み、

前記駆動部は、前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。

## 【請求項 2】

請求項 1 記載の表示装置であって、前記駆動トランジスタは、有機半導体からなる活性層を含む有機トランジスタであることを特徴とする表示装置。

## 【請求項 3】

請求項 1 または請求項 2 記載の表示装置であって、前記駆動部は、各フレーム表示期間毎または各フィールド表示期間毎に前記駆動トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。

## 【請求項 4】

請求項 1 から 3 のうちのいずれか 1 項に記載の表示装置であって、前記逆バイアスを前記素子駆動回路に伝達する電源電極群を備えており、

前記行電極群は、前記駆動部から供給される選択信号を伝達する選択電極群を含み、

前記素子駆動回路の各々は、前記選択電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する逆バイアス印加用トランジスタを含み、前記逆バイアス印加用トランジスタの第 1 および第 2 の被制御端子のうちの一方の端子が前記電源電極に接続され、且つ前記逆バイアス印加用トランジスタの第 1 および第 2 の被制御端子のうちの他方の端子が前記駆動トランジスタの制御端子に接続されており、

前記駆動部は、前記非発光期間内に前記逆バイアス印加用トランジスタの第 1 および第 2 の被制御端子間を導通する電圧を前記選択電極を介して前記逆バイアス印加用トランジスタの制御端子に印加することを特徴とする表示装置。

## 【請求項 5】

請求項 1 から 4 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記駆動トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方を前記平均輝度レベルに応じて変化させることを特徴とする表示装置。

## 【請求項 6】

請求項 1 から 4 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記平均輝度レベルの測定結果に応じて前記駆動トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。

10

20

30

40

50

## 【請求項 7】

請求項 1 から 6 のうちのいずれか 1 項に記載の表示装置であって、前記駆動トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方の値が設定される入力部をさらに備えることを特徴とする表示装置。

## 【請求項 8】

請求項 7 記載の表示装置であって、前記入力部は、入力操作に応じて、前記逆バイアスのパルス幅および振幅のうち少なくとも一方の設定値を切り替えるスイッチを含むことを特徴とする表示装置。

## 【請求項 9】

請求項 1 から 8 のうちのいずれか 1 項に記載の表示装置であって、前記選択トランジスタは、有機半導体からなる活性層を含む有機トランジスタであり、前記駆動部は、前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。 10

## 【請求項 10】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域にそれぞれ形成され前記走査信号および前記データ信号に応じて前記自発光素子を駆動する素子駆動回路と、からなる表示装置であって、

前記素子駆動回路の各々は、 20

前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第 1 および第 2 の被制御端子間が導通する少なくとも 1 個の選択トランジスタと、

前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記駆動部から前記第 1 および第 2 の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、

前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し、前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、 30

を含み、  
前記駆動部は、前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。

## 【請求項 11】

請求項 10 記載の表示装置であって、前記選択トランジスタは、有機半導体からなる活性層を含む有機トランジスタであることを特徴とする表示装置。

## 【請求項 12】

請求項 10 または 11 記載の表示装置であって、前記駆動部は、各フレーム表示期間毎または各フィールド表示期間毎に前記選択トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。 40

## 【請求項 13】

請求項 10 から 12 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記選択トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方を前記平均輝度レベルの変化に応じて変化させることを特徴とする表示装置。

## 【請求項 14】

請求項 10 から 12 のうちのいずれか 1 項に記載の表示装置であって、画像信号の平均輝度レベルを測定する輝度レベル測定部をさらに備え、前記駆動部は、前記平均輝度レベルの測定結果に応じて前記選択トランジスタの制御端子に前記逆バイアスを印加することを特徴とする表示装置。 50

## 【請求項 15】

請求項 10 から 14 のうちのいずれか 1 項に記載の表示装置であって、前記選択トランジスタの制御端子に印加すべき前記逆バイアスのパルス幅および振幅のうち少なくとも一方の値が設定される入力部をさらに備えることを特徴とする表示装置。

## 【請求項 16】

請求項 15 記載の表示装置であって、前記入力部は、入力操作に応じて、前記逆バイアスのパルス幅および振幅のうち少なくとも一方の設定値を切り替えるスイッチを含むことを特徴とする表示装置。

## 【請求項 17】

請求項 10 から 16 のうちのいずれか 1 項に記載の表示装置であって、前記駆動トランジスタは、有機半導体からなる活性層を含む有機トランジスタであり、前記駆動部は、前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加することを特徴とする表示装置。 10

## 【請求項 18】

請求項 1 から 17 のうちのいずれか 1 項に記載の表示装置であって、前記駆動部は、前記自発光素子に逆バイアスを印加する回路を含むことを特徴とする表示装置。

## 【請求項 19】

請求項 1 から 18 のうちのいずれか 1 項に記載の表示装置であって、  
前記駆動部は、  
前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記列電極から前記第 1 および第 2 の被制御端子間を介して前記キャパシタにデータ電流を供給することにより前記データ電流に応じたデータ電圧を前記キャパシタに蓄積させる第 1 駆動回路と、 20

前記データ電圧が前記キャパシタに蓄積された後に、前記選択トランジスタの第 1 および第 2 の被制御端子間を非導通にする電圧を前記行電極を介して前記選択トランジスタの制御端子に印加する第 2 駆動回路と、

前記選択トランジスタの第 1 および第 2 の被制御端子間が非導通になった後に、前記駆動トランジスタに電源電圧を供給する電源と、  
を含むことを特徴とする表示装置。

## 【請求項 20】

請求項 19 記載の表示装置であって、前記電源電圧を前記素子駆動回路に伝達する電源線を備えており、 30

前記行電極群は、前記第 2 駆動回路から供給される選択信号を伝達する選択電極群を含み、

前記素子駆動回路の各々は、前記選択電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する電圧供給用トランジスタを含み、前記電圧供給用トランジスタの第 1 および第 2 の被制御端子のうちの一方の端子が前記駆動トランジスタの第 1 および第 2 の被制御端子のうちのいずれか一方の端子に接続され、且つ前記電圧供給用トランジスタの第 1 および第 2 の被制御端子のうちの他方の端子が前記電源線に接続されており、

前記第 2 駆動回路は、前記選択トランジスタの第 1 および第 2 の被制御端子間が非導通になった後に、前記電圧供給用トランジスタの第 1 および第 2 の被制御端子間を導通する電圧を前記選択電極を介して前記電圧供給用トランジスタの制御端子に印加することを特徴とする表示装置。 40

## 【請求項 21】

請求項 1 から 20 のうちのいずれか 1 項に記載の表示装置であって、前記自発光素子は有機 EL (ElectroLuminescent) 素子であることを特徴とする表示装置。

## 【請求項 22】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、 50

前記素子駆動回路の各々は、前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する少なくとも 1 個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し且つ前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、

(a) 前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第 1 および第 2 の被制御端子間を導通させるステップと、

(b) 前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、当該選択トランジスタの第 1 および第 2 の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、

(c) 前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、

(d) 前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加するステップと、  
を備えることを特徴とする駆動方法。

#### 【請求項 23】

行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、

前記素子駆動回路の各々は、前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する少なくとも 1 個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し且つ前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、

(a) 前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第 1 および第 2 の被制御端子間を導通させるステップと、

(b) 前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、当該選択トランジスタの第 1 および第 2 の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、

(c) 前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、

(d) 前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加するステップと、  
を備えることを特徴とする駆動方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、有機 EL (ElectroLuminescent) 素子や LED (発光ダイオード) などの自発光素子を駆動するための能動素子を含む表示装置およびその駆動方法に関し、特に、有機半導体を使用した TFT (薄膜トランジスタ; thin film transistor) を能動素子として含む表示装置およびその駆動方法に関する。

#### 【背景技術】

#### 【0002】

TFT は、有機 EL ディスプレイや液晶ディスプレイといったアクティブマトリクス型ディスプレイを駆動するための能動素子として広く使用されている。図 1 は、たとえば有機 EL 素子である OLED (Organic Light Emitting diode) 100 を駆動する等価回路の

10

20

30

40

50

一例を示す図である。図 1 を参照すると、この等価回路は、能動素子である 2 つの p チャネル T F T 1 0 1 , 1 0 2 と、キャパシタ C<sub>s</sub> とを含む。走査線 W<sub>s</sub> は選択 T F T 1 0 1 のゲートに接続され、データ線 W<sub>d</sub> は選択 T F T 1 0 1 のソースに接続され、一定の電源電圧 V<sub>DD</sub> を供給する電源線 W<sub>k</sub> は駆動 T F T 1 0 2 のソースに接続されている。選択 T F T 1 0 1 のドレインは駆動 T F T 1 0 2 のゲートに接続されており、駆動 T F T 1 0 2 のゲートとソース間にキャパシタ C<sub>s</sub> が形成されている。O L E D 1 0 0 のアノードは駆動 T F T 1 0 2 のドレインに、そのカソードは共通電位にそれぞれ接続されている。

#### 【 0 0 0 3 】

走査線 W<sub>s</sub> に選択パルスが印加されると、スイッチとしての選択 T F T 1 0 1 がオンになりソースとドレイン間が導通する。このとき、データ線 W<sub>d</sub> から、選択 T F T 1 0 1 のソースとドレイン間を介してデータ電圧が供給され、キャパシタ C<sub>s</sub> に蓄積される。このキャパシタ C<sub>s</sub> に蓄積されたデータ電圧が駆動 T F T 1 0 2 のゲートとソース間に印加されるので、駆動 T F T 1 0 2 のゲート・ソース間電圧（以下、ゲート電圧と称する。）V<sub>gs</sub> に応じたドレイン電流 I<sub>d</sub> が流れ、O L E D 1 0 0 に供給されることとなる。しかしながら、駆動 T F T 1 0 2 の閾値電圧は駆動時間とともにシフトする。T F T のゲート電圧 V<sub>gs</sub> とドレイン電流 I<sub>d</sub> との関係の一例を図 2 に示す。図 2 に示されるように、初期状態での曲線 1 2 0 A は駆動時間とともに曲線 1 2 0 B へシフトし、ゲート閾値電圧が V<sub>th1</sub> から V<sub>th2</sub> へシフトする現象が見られる。このような閾値電圧シフトは、O L E D の発光輝度の低下や T F T の動作不能を引き起こすという問題がある。

#### 【 0 0 0 4 】

T F T を構成する活性層には、単結晶シリコン、アモルファスシリコン、多結晶シリコンもしくは低温多結晶シリコンが広く使用されている。近年、これらシリコン材料の代わりに、炭素と水素を骨格とする有機材料を活性層として使用する T F T （以下、有機 T F T と称する。）が注目されている。図 3 は、典型的な有機 T F T の断面を概略的に示す図である。この有機 T F T は、プラスチック基板 1 1 1、ゲート電極 1 1 2、絶縁膜 1 1 3、ドレイン電極 1 1 4、ソース電極 1 1 5 および有機半導体層 1 1 6 を含む。ゲート電極 1 1 2 はプラスチック基板 1 1 1 上に形成され、絶縁膜 1 1 3 はゲート電極 1 1 2 を被覆するように形成されている。この絶縁膜 1 1 3 上に、互いに対向するドレイン電極 1 1 4 およびソース電極 1 1 5 が成膜されており、有機半導体層（活性層）1 1 6 がドレイン電極 1 1 4 およびソース電極 1 1 5 の間に形成されている。有機半導体層 1 1 6 の材料としては、比較的キャリア移動度の高い低分子系または高分子系有機材料、たとえば、ペンタセン、ナフタセンまたはポリチオフェン系材料が挙げられる。この種の有機 T F T は、プラスチックなどの可撓性フィルム基板上に比較的低温のプロセスで形成することができるので、機械的に柔軟で、軽量且つ薄型のディスプレイを容易に作製することを可能にするものである。また、有機 T F T は、印刷工程やロール・ツー・ロール（Roll-to-roll）工程によって比較的低コストで形成可能である。上記閾値電圧シフトの現象は、特にアモルファスシリコン T F T や有機 T F T において顕著に現れる。有機 T F T の閾値電圧シフトについては、たとえば、非特許文献 1（S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79(8) pp. 1124-1126, August 20, 2001.）に開示されている。

#### 【 0 0 0 5 】

T F T の閾値電圧シフトを補償し得る駆動回路および駆動方法は、たとえば、特許文献 1（特表 2 0 0 2 - 5 1 4 3 2 0 号公報）や特許文献 2（特開 2 0 0 2 - 3 5 1 4 0 1 号公報）に開示されている。これら文献に記載される駆動回路および駆動方法はいずれも、駆動 T F T の閾値電圧シフトを容認しつつ、閾値電圧シフトに関係なく O L E D の発光輝度を一定に制御し得るものである。しかしながら、これら文献の駆動回路でも閾値電圧シフトの発生を抑えることはできないため、閾値電圧シフトによる消費電力の増大を防止できない。また、駆動 T F T の閾値電圧が許容範囲を超えてシフトすれば、そのシフトを補償することは難しく、O L E D の発光輝度のバラツキや T F T の動作不能が起きる。さら

10

20

30

40

50

に、駆動 T F T 以外の選択 T F T にも閾値電圧シフトが起こるので、選択 T F T の閾値電圧シフトが許容範囲を超えてシフトすれば、選択 T F T の動作不能が起こる。特に有機 T F T の閾値電圧シフトは、低温ポリシリコン T F T や単結晶シリコン T F T のそれと比べると大きいので、有機 T F T を使用するアクティブマトリクス型ディスプレイでは、O L E D の発光輝度のバラツキや T F T の動作不能が起きやすいという問題がある。

【非特許文献 1】S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79(8) pp. 1124-1126, August 20, 2001.

【特許文献 1】特表 2 0 0 2 - 5 1 4 3 2 0 号公報 ( 対応米国特許第 6 , 2 2 9 , 5 0 6 号 )

【特許文献 2】特開 2 0 0 2 - 3 5 1 4 0 1 号公報 ( 対応米国公開特許第 2 0 0 3 1 1 2 2 0 8 号 )

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

以上に鑑みて本発明の目的は、アクティブマトリクス駆動方式において、O L E D などの自発光素子を選択し駆動するために使用されるトランジスタの特性、特に有機半導体を活性層に使用する有機トランジスタの特性を改善し得る表示装置およびその駆動方法を提供することである。

【課題を解決するための手段】

【 0 0 0 7 】

上記目的を達成すべく、請求項 1 記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記走査信号および前記データ信号に応じて前記自発光素子をそれぞれ駆動する素子駆動回路と、からなる表示装置であって、前記素子駆動回路の各々は、前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第 1 および第 2 の被制御端子間が導通する少なくとも 1 個の選択トランジスタと、前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記駆動部から前記第 1 および第 2 の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し、前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、を含み、前記駆動部は、前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加することを特徴としている。

【 0 0 0 8 】

請求項 1 0 記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群に走査信号を供給し且つ前記列電極群にデータ信号を供給する駆動部と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域にそれぞれ形成され前記走査信号および前記データ信号に応じて前記自発光素子を駆動する素子駆動回路と、からなる表示装置であって、前記素子駆動回路の各々は、前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有し、且つ前記走査信号により前記制御端子に印加された順バイアスに応じて前記第 1 および第 2 の被制御端子間が導通する少なくとも 1 個の選択トランジスタと、前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、前記駆動部から前記第 1 および第 2 の被制御端子間を介して供給された前記データ信号に対応する電圧を蓄積するキャパシタと、前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し、前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続され

10

20

30

40

50

、且つ前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給する駆動トランジスタと、を含み、前記駆動部は、前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加することを特徴としている。

【 0 0 0 9 】

請求項 2 2 記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、前記素子駆動回路は、前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する少なくとも 1 個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し且つ前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、( a ) 前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第 1 および第 2 の被制御端子間を導通させるステップと、( b ) 前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、当該選択トランジスタの第 1 および第 2 の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、( c ) 前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、( d ) 前記自発光素子に前記駆動電流が供給されない非発光期間内に前記駆動トランジスタの制御端子に逆バイアスを印加するステップと、を備えることを特徴としている。

【 0 0 1 0 】

請求項 2 3 記載の発明は、行電極群と、前記行電極群に交差する列電極群と、前記行電極群と前記列電極群との交差点付近の領域にそれぞれ形成された自発光素子と、前記交差点付近の領域に形成され前記自発光素子をそれぞれ駆動する素子駆動回路と、からなり、前記素子駆動回路は、前記行電極に接続された制御端子と第 1 および第 2 の被制御端子とを有する少なくとも 1 個の選択トランジスタと、キャパシタと、前記キャパシタの一方の端子に接続された制御端子と第 1 および第 2 の被制御端子とを有し且つ前記第 1 および第 2 の被制御端子のうちのいずれか一方の端子が前記自発光素子に接続された駆動トランジスタと、を含む表示装置の駆動方法であって、( a ) 前記選択トランジスタに走査信号を供給することにより当該選択トランジスタの制御端子に順バイアスを印加して当該選択トランジスタの第 1 および第 2 の被制御端子間を導通させるステップと、( b ) 前記選択トランジスタの第 1 および第 2 の被制御端子間が導通する期間に、当該選択トランジスタの第 1 および第 2 の被制御端子間を介して前記キャパシタにデータ信号を供給することにより当該キャパシタに前記データ信号に対応する電圧を蓄積させるステップと、( c ) 前記キャパシタに蓄積された電圧により前記制御端子に印加される順バイアスに応じた量の駆動電流を前記自発光素子に供給するステップと、( d ) 前記自発光素子に前記駆動電流が供給される発光期間内に前記選択トランジスタの制御端子に逆バイアスを印加するステップと、を備えることを特徴としている。

【 発明を実施するための最良の形態 】

【 0 0 1 1 】

以下、本発明に係る種々の実施例について説明する。

【 0 0 1 2 】

図 4 は、本発明に係る実施例である表示装置 1 を概略的に示すブロック図である。この表示装置 1 は、基板 1 0、第 2 駆動回路 1 1、第 1 駆動回路 1 2、電流供給回路 ( 第 3 駆動回路 ) 1 3、信号制御部 2 0 および電源回路 2 1 を有する。本発明の駆動部は、第 2 駆動回路 1 1、第 1 駆動回路 1 2、電流供給回路 1 3 および信号制御部 2 0 によって構成され得る。電源回路 2 1 は、外部電源 ( 図示せず ) から供給された外部電力 S V から、信号制御部 2 0、第 2 駆動回路 1 1、第 1 駆動回路 1 2 および電流供給回路 1 3 にそれぞれ与



える電源電圧を発生するものである。

【0013】

基板10としては、ガラス基板またはプラスチック基板が使用され得る。プラスチック基板の材料としては、たとえば、P M M A（ポリメタクリル酸エチル）などのアクリル系樹脂、P C（ポリカーボネート）、P B T（ポリブチレンテレフタレート）、P E T（ポリエチレンテレフタレート）、P P S（ポリフェニレンスルフィド）またはP E E K（ポリエーテルエーテルケトン）が挙げられる。

【0014】

基板10上には、複数の表示セル $C_L, \dots, C_L$ からなる表示部14、第2駆動回路11、第1駆動回路12および電流供給回路13が形成されている。これら表示セル $C_L, \dots, C_L$ の各々が1画素を構成していてもよいし、あるいは、カラー表示または面積階調のために表示セル $C_L, \dots, C_L$ のうちの複数個で1画素が構成されてもよい。たとえば、カラー表示のために1画素を構成する3個の表示セル $C_L, C_L, C_L$ がそれぞれR（赤色）、G（緑色）、B（青色）のカラーフィルタを有してもよいし、1画素を構成する3個の表示セルの点灯と非点灯の組み合わせで2ビットの面積階調を実現してもよい。

【0015】

また、基板10上には、水平方向に伸長するN本（Nは2以上の整数）の走査線（行電極群） $S_1, \dots, S_N$ と、垂直方向に伸長するM本のデータ線（列電極群） $D_1, \dots, D_M$ （Mは2以上の整数）と、水平方向に伸長するN本の電源線（電源電極群） $K_1, \dots, K_N$ とが形成されており、走査線（選択電極群） $S_1, \dots, S_N$ は第2駆動回路11に接続され、データ線 $D_1, \dots, D_M$ は第1駆動回路12に接続され、電源線 $K_1, \dots, K_N$ は電流供給回路13に接続されている。走査線 $S_1, \dots, S_N$ とデータ線 $D_1, \dots, D_M$ との交点についてそれぞれ $M \times N$ 個の表示セル $C_L, \dots, C_L$ が形成されている。

【0016】

信号制御部20には、映像信号D I、垂直同期信号V s y n c、水平同期信号H s y n cおよびシステムクロックC L Kが供給されている。信号制御部20は、同期信号V s y n c、H s y n cとシステムクロックC L Kとを用いて、映像信号D Iをサンプリングし、サンプリングした映像信号D Iを処理してLビット階調（Lは2以上の整数）のデジタル画像信号D<sub>s</sub>を生成する。また、信号制御部20は、動作タイミングを示す制御信号C1、C2、C3を発生し、これら信号C1、C2、C3をそれぞれ第2駆動回路11、第1駆動回路12、電流供給回路13に供給する。

【0017】

第1駆動回路12は、シフトレジスタ、ラッチ回路および出力回路（いずれも図示せず）を含み、シフトレジスタは、制御信号C2に含まれるクロックのタイミングで、信号制御部20から供給された画像信号D<sub>s</sub>を順次サンプリングする。ラッチ回路は、シフトレジスタから1水平ライン分のサンプリング信号を取り込み、出力回路は、ラッチ回路で取り込まれた信号をデータ信号に変換する。これらデータ信号はそれぞれデータ線 $D_1, \dots, D_M$ に供給される。ここで、第1駆動回路12は、データ信号を発生しデータ線 $D_1, \dots, D_M$ に供給する回路群の他に、データ信号とは信号レベルにおいて逆極性の信号を供給する補正回路、たとえば、データ信号の信号レベルが正であれば、信号レベルが負の補正信号を供給する回路を含む。

【0018】

第2駆動回路11は、プログレッシブ走査方式で画像を表示する場合は、各フレーム表示期間毎に、走査線 $S_1, \dots, S_N$ に順次走査信号を印加する。インターレース走査方式（飛び越し走査方式）で画像を表示する場合は、各フレームの偶数番目ラインの信号からなる第1フィールドと、奇数番目ラインの信号からなる第2フィールドとが交互に表示されるので、第2駆動回路11は、各フィールド表示期間毎に、偶数番目ラインまたは奇数番目ライン上の走査線に順次走査信号を印加することとなる。第1駆動回路12は、走査信号により選択された表示セル $C_L$ に、データ線 $D_Q$ （Qは1～Mのいずれか）を介してデータ信号を供給する。ここで、第2駆動回路11は、走査信号を発生し走査線 $S_1, \dots,$

10

20

30

40

50

$S_N$ に供給する回路群の他に、走査信号とは信号レベルにおいて逆極性の補正信号を供給する回路、たとえば、走査信号の信号レベルが負であれば、信号レベルが正の補正信号を供給する回路を含む。

#### 【0019】

表示セルCLの各々は、自発光素子と少なくとも1個の選択TFTと少なくとも1個の駆動TFTとキャパシタとを有する。選択TFT、駆動TFTおよびキャパシタは、自発光素子を駆動する素子駆動回路を構成するものである。本実施例では、自発光素子としてたとえば有機EL素子であるOLEDが使用され、選択TFTおよび駆動TFTとして有機TFTが使用される。図5は、pチャンネル有機TFTの閾値電圧シフトを例示するグラフである。グラフの縦軸はゲート閾値電圧 $V_{th}$ （単位：ボルト）を均等目盛で、横軸は駆動時間 $t$ （単位：分）を対数目盛で、それぞれ示している。ここで、閾値電圧 $V_{th}$ は、有機TFTのゲートとソースを接地し、ゲート電圧 $V_{GS}$ として $-20V$ 、 $-30V$ および $+20V$ をそれぞれ印加することにより測定された。測定曲線L1、L2は、それぞれ、順バイアス $-20V$ 、 $-30V$ の印加時の曲線であり、測定曲線L3は、逆バイアス $+20V$ の印加時の曲線である。図5に示される通り、ゲートに順バイアスを印加し続けられれば、閾値電圧 $V_{th}$ はマイナス方向にシフトする一方で、ゲートに逆バイアスを印加し続けられれば、閾値電圧 $V_{th}$ はプラス方向にシフトする。したがって、順バイアスの印加によりTFTに閾値電圧シフトが生じた場合、当該TFTのゲートに逆バイアスを印加すれば、閾値電圧シフトを補正することができる。

10

#### 【0020】

本実施例の駆動法は、フレーム表示期間またはフィールド表示期間において、選択TFTおよび駆動TFTの各ゲートに順バイアスを印加することで発生した閾値電圧シフトを補正すべく選択TFTおよび駆動TFTの各ゲートに逆バイアスを印加するというものである。以下、図6および図7を参照しつつ本実施例の駆動法について説明する。図6は、表示セルCLの等価回路の一例を示す図であり、図7は、図6に示した等価回路に与えられる信号の波形を概略的に示すタイミングチャートである。

20

#### 【0021】

図6を参照すると、表示セルCLは、pチャンネル選択TFT15、pチャンネル駆動TFT16、キャパシタ $C_s$ およびOLED30を含む。走査線 $S_p$ （ $P$ は $1 \sim N$ のいずれか）は選択TFT15のゲート（制御端子）に接続され、データ線 $D_q$ （ $Q$ は $1 \sim M$ のいずれか）は選択TFT15のソース（被制御端子）に接続され、電源線 $K_p$ は駆動TFT16のソース（被制御端子）に接続されている。選択TFT15のドレイン（被制御端子）は駆動TFT16のゲート（制御端子）に接続されており、キャパシタ $C_s$ の一方の端子は駆動TFT16のゲートに、キャパシタ $C_s$ の他方の端子は駆動TFT16のソースにそれぞれ接続されている。OLED30のアノードは駆動TFT16のドレイン（被制御端子）に接続され、OLED30のカソードには共通電位が与えられる。

30

#### 【0022】

図7を参照すると、 $V_{SEL}(1), \dots, V_{SEL}(P), \dots, V_{SEL}(N)$ は、それぞれ、走査線 $S_1, \dots, S_p, \dots, S_N$ に印加される電圧を示し、 $V_{DAT}$ は、図6に示す等価回路を通るデータ線 $D_q$ に印加される電圧を示し、 $V_s$ は、同等価回路を通る電源線 $K_p$ に印加される電圧を示し、 $V_{EL}$ は、同等価回路のOLED30に印加される電圧を示している。

40

#### 【0023】

まず、データ書き込み期間には、第2駆動回路11は、負極性の選択パルス $SP_1, \dots, SP_N$ をそれぞれ走査線 $S_1, \dots, S_N$ に順次供給する。これにより、表示セルCL、 $\dots$ 、CLは線順次に選択され、選択された表示セルCLに選択パルス $SP_p$ （ $P$ は $1 \sim N$ のいずれか）が供給される。この結果、選択パルス $SP_p$ の電圧（順バイアス）が選択TFT15のゲートに印加されるので、選択TFT15がオンになり選択TFT15のソースとドレイン間が導通する。ただし、選択TFT15のゲートに順バイアスが印加されるので、選択TFT15の閾値電圧がシフトする。

#### 【0024】

50

第 1 駆動回路 1 2 は、選択 T F T 1 5 のゲートに選択電圧  $V_{SEL}(P)$  が印加されている期間内に、負極性のデータパルス  $D_P$  をデータ線  $D_Q$  に供給する。データパルス  $D_P$  は、選択 T F T 1 5 のソースとドレイン間を介してキャパシタ  $C_S$  に伝達し、この結果、キャパシタ  $C_S$  にデータ電圧が蓄積される。

#### 【0025】

電流供給回路 1 3 は、データ書き込み期間の間、高レベル  $L_H$  を持つ正極性の電源電圧  $V_S$  を電源線  $K_P$  を介して駆動 T F T 1 6 のソースに供給し続ける。よって、駆動 T F T 1 6 は、ゲートとソース間に印加されるデータ電圧に応じた量のドレイン電流  $I_d$  を O L E D 3 0 に供給し、これにより O L E D 3 0 に順バイアス  $L_T$  が印加され、O L E D 3 0 は発光する。

#### 【0026】

次の第 1 の T F T 特性補正期間には、第 2 駆動回路 1 1 は、正極性の補正パルス  $C P_1, \dots, C P_N$  をそれぞれ走査線  $S_1, \dots, S_N$  に順次供給する。これにより、補正パルス  $C P_1, \dots, C P_N$  の電圧（逆バイアス）が選択 T F T 1 5 のゲートに印加されるので、データ書き込み期間に生じた選択 T F T 1 5 の閾値電圧シフトが補正されることとなる。ただし、データ書き込み期間と第 1 の T F T 特性補正期間には、駆動 T F T 1 6 のゲートに順バイアスが印加され続けるので、駆動 T F T 1 6 の閾値電圧がシフトする。

#### 【0027】

次の E L 特性補正期間においては、第 2 駆動回路 1 1 は、負極性の選択パルス  $R P_1, \dots, R P_N$  をそれぞれ走査線  $S_1, \dots, S_N$  に順次供給し、第 1 駆動回路 1 2 は、負極性の電圧  $V_{DAT}$  を選択 T F T 1 5 のソースに供給する。この結果、表示セル  $C L, \dots, C L$  は線順次に選択され、選択された表示セル  $C L$  の選択 T F T 1 5 がオンになり、負極性の電圧  $V_{DAT}$  がキャパシタ  $C_S$  に蓄積される。よって、駆動 T F T 1 6 がオンになり駆動 T F T 1 6 のソースとドレイン間が導通する。一方、電流供給回路 1 3 は、電源電圧  $V_S$  を高レベル  $L_H$  から低レベル  $L_L$  へ切り替え、E L 特性補正期間の間、低レベル  $L_L$  の電源電圧  $V_S$  を電源線  $K_P$  を介して駆動 T F T 1 6 のソースに供給し続ける。よって、駆動 T F T 1 6 のソースとドレイン間を介して O L E D 3 0 に逆バイアス  $L_{RV}$  が印加される。したがって、順バイアスの印加により劣化した O L E D 3 0 の特性が、逆バイアスの印加によって回復する。

#### 【0028】

O L E D 3 0 を一定電圧下で駆動し続けた場合、駆動時間の経過とともに O L E D 3 0 の発光輝度は低下し、素子性能が劣化することが知られている。本実施例の如く、O L E D 3 0 に対する順バイアスの印加を一定期間中断することで素子性能の回復が可能であり、その中断期間に O L E D 3 0 に逆バイアスを印加することで素子性能の回復をさらに向上させることが可能である。

#### 【0029】

次の第 2 の T F T 特性補正期間には、第 2 駆動回路 1 1 は、負極性の選択パルス  $M P_1, \dots, M P_N$  をそれぞれ走査線  $S_1, \dots, S_N$  に順次供給し、第 1 駆動回路 1 2 は、正極性のレベル  $L_C$  を持つ電圧  $V_{DAT}$  を選択 T F T 1 5 のソースに供給する。この結果、表示セル  $C L, \dots, C L$  は線順次に選択され、選択された表示セル  $C L$  の選択 T F T 1 5 がオンになり、当該選択 T F T 1 5 のソースとドレイン間を介して駆動 T F T 1 6 のゲートに逆バイアスが印加される。一方、電流供給回路 1 3 は、電源電圧  $V_S$  を低レベル  $L_L$  から高レベル  $L_H$  へ切り替え、第 2 の T F T 特性補正期間の間、高レベル  $L_H$  の電源電圧  $V_S$  を電源線  $K_P$  を介して駆動 T F T 1 6 のソースとキャパシタ  $C_S$  とに供給し続ける。

#### 【0030】

このように、第 2 の T F T 特性補正期間中に駆動 T F T 1 6 のゲートに逆バイアスが印加されるので、O L E D 3 0 の発光期間に生じた駆動 T F T 1 6 の閾値電圧シフトが補正されることとなる。

#### 【0031】

なお、上記駆動法では、E L 特性補正期間の後に第 2 の T F T 特性補正期間が続くが、

10

20

30

40

50

E L 特性補正期間と第 2 の T F T 特性補正期間との順序を逆にしてもよい。

#### 【0032】

選択 T F T 1 5 と駆動 T F T 1 6 の閾値電圧シフトの補正量は、選択 T F T 1 5 と駆動 T F T 1 6 にそれぞれ印加する逆バイアスの振幅とパルス幅（印加時間）に応じて異なる。このため、閾値電圧シフトと逆バイアスの振幅との間の関係、並びに、閾値電圧シフトと逆バイアスの印加時間との間の関係は予め信号制御部 2 0 に設定されている。すなわち、信号制御部 2 0 は、これらの関係を示すルックアップテーブル 2 0 t を内部メモリに記憶している。信号制御部 2 0 は、ルックアップテーブル 2 0 t を参照しつつ、補正パルス  $CP_1, \dots, CP_N$  の振幅およびパルス幅を指定する制御信号 C 1 を生成し、また、第 2 の T F T 特性補正期間には駆動 T F T 1 6 のゲートに印加すべき電圧  $V_{DAT}$  のパルス幅およびレベル  $L_c$  を指定する制御信号 C 2 を生成する。第 2 駆動回路 1 1 は、制御信号 C 1 に従った振幅およびパルス幅を持つ補正パルス  $CP_1, \dots, CP_N$  を発生し、第 1 駆動回路 1 2 は、制御信号 C 2 に従ったパルス幅およびレベル  $L_c$  を持つ電圧  $V_{DAT}$  を発生する。

10

#### 【0033】

以上の如く、上記表示装置 1 は、各フレーム表示期間毎または各フィールド表示期間毎に、選択 T F T 1 5 および駆動 T F T 1 6 の閾値電圧シフトを補正するので、それら閾値電圧シフトを最小範囲に抑えることができる。したがって、O L E D の発光輝度のバラツキや T F T の動作不能を回避でき、消費電力の抑制が可能である。

#### 【0034】

なお、本実施例では、各フレーム表示期間毎または各フィールド表示期間毎に T F T 1 5 , 1 6 にそれぞれ逆バイアスが印加されているが、これに限らず、所定数のフレーム毎または所定数のフィールド毎に T F T 1 5 , 1 6 にそれぞれ逆バイアスを印加してもよい。

20

#### 【0035】

また、上記実施例では、好ましい構成として、第 2 の T F T 特性補正期間に、第 1 駆動回路 1 2 が駆動 T F T 1 6 のゲートに印加する逆バイアス電圧  $V_{DAT}$  をデータ線  $D_Q$  を介して供給する構成が採用されている。この構成の代わりに、逆バイアス電圧を伝達する電源電極群を形成し、この電源電極を通じて、駆動 T F T 1 6 のゲートに印加する逆バイアス電圧を供給し得る構成を採用してもよい。さらには、各表示セル C L が逆バイアス印加用 T F T を含み、第 2 駆動回路 1 1 から逆バイアス印加用 T F T のゲートに供給される選択

30

#### 【0036】

ところで、表示セル C L の回路は、図 6 に示した等価回路に限らない。本実施例の如き駆動法を、T F T の閾値電圧シフトを補償し得る回路に適用することもできる。図 8 は、表示セル C L の等価回路の他の例を概略的に示す図である。図 8 を参照すると、この表示セル C L は、5 個の p チャンネル T F T 4 1 , 4 2 , 4 3 , 4 4 , 4 5 と、キャパシタ  $C_s$  と、O L E D 3 0 とを含む。これら T F T 4 1 ~ 4 5 のうち、T F T 4 1 , 4 3 が選択 T F T であり、T F T 4 2 , 4 4 が駆動 T F T である。また、T F T 4 5 は、駆動トランジスタ 4 2 への逆バイアス印加用の選択 T F T である。

40

#### 【0037】

第 1 の走査線（選択電極） $SA_p$ （ $P$  は 1 ~  $N$  のいずれか）は選択 T F T 4 1 , 4 3 の各ゲート（各制御端子）に接続され、第 2 の走査線（選択電極） $SB_p$  は逆バイアス印加用選択 T F T 4 5 のゲート（制御端子）に接続され、第 3 の走査線（選択電極） $SC_p$  は駆動 T F T 4 4 のゲート（制御端子）に接続されている。これら第 1 ~ 第 3 の走査線  $SA$

50

$S_{BP}$ ,  $S_{CP}$ を束ねた線が走査線  $S_P$  (図4)である。また、データ線  $D_Q$  ( $Q$ は1~ $M$ のいずれか)は選択TFT43のソース(被制御端子)に、電源線  $K_P$ は逆バイアス印加用選択TFT45のソース(被制御端子)にそれぞれ接続されている。データ線  $D_Q$ は、データ電流  $I_{DAT}$ を与える電流源46と接続している。そして、表示部14の外に配設された電源から電源電圧  $V_{DD}$ が供給されており、電源電圧  $V_{DD}$ を伝達する電源線  $CV$ が駆動TFT44のソース(被制御端子)に接続されている。

#### 【0038】

駆動TFT42のソース(被制御端子)は選択TFT43のドレイン(被制御端子)およびTFT44のドレイン(被制御端子)の双方に、駆動TFT42のゲート(制御端子)は逆バイアス印加用選択TFT45のドレイン(被制御端子)に、駆動TFT42のドレイン(被制御端子)はOLED30のアノードに、それぞれ接続される。選択TFT41のソース(被制御端子)は駆動TFT42のゲート(制御端子)に、選択TFT41のドレイン(被制御端子)は駆動TFT42のドレイン(被制御端子)にそれぞれ接続される。キャパシタ  $C_S$ の一方の端子は駆動TFT42のソースに、キャパシタ  $C_S$ の他方の端子は駆動TFT42のゲートにそれぞれ接続されている。OLED30のカソードには共通電位が与えられている。

#### 【0039】

上記素子駆動回路を持つ表示セルCLを用いた駆動法(電流プログラム駆動法)を以下に概説する。図8に示す回路の動作期間は、選択期間とEL発光期間とTFT特性補正期間とに大別される。選択期間においては、第2駆動回路11は、走査線  $S_{BP}$ を介して正極性のレベルの電圧を逆バイアス印加用選択TFT45のゲートに印加することでTFT45をオフにし、TFT45のソースとドレイン間を非導通にする。また、第2駆動回路11は、走査線  $S_{CP}$ を介して正極性のレベルの電圧  $V_{GP}$ を駆動TFT44のゲートに印加することで駆動TFT44をオフにし、同時に、走査線  $S_{AP}$ を介して負極性のレベルの電圧  $V_{SEL}$ を選択TFT41, 43の各ゲートに印加することで選択TFT41, 43をオンにする。この結果、駆動TFT42のソースとドレイン間およびOLED30にデータ電流  $I_{DAT}$ が流れるとともに、キャパシタ  $C_S$ にはデータ電流  $I_{DAT}$ に対応するデータ電圧が蓄積される。

#### 【0040】

この選択期間において、第2駆動回路11は、走査線  $S_{CP}$ を介して駆動TFT44のゲートに逆バイアスを印加することで駆動TFT44の閾値電圧シフトを補正することが可能である。

#### 【0041】

次のEL発光期間においては、第2駆動回路11は、走査線  $S_{CP}$ を介して負極性のレベルの電圧  $V_{GP}$ を駆動TFT44のゲートに印加することで駆動TFT44をオンにし、同時に、走査線  $S_{AP}$ を介して正極性のレベルの電圧  $V_{SEL}$ を選択TFT41, 43の各ゲートに印加することで選択TFT41, 43をオフにする。よって、駆動TFT44のソースとドレイン間を介して駆動TFT42のソースに電源電圧  $V_{DD}$ が印加され、駆動TFT42のソースとドレイン間を介してOLED30に順バイアスが印加される。ここで、前記キャパシタ  $C_S$ に蓄積されたデータ電圧が、駆動TFT42に印加されるゲート電圧  $V_{GS}$ となる。この結果、データ電流  $I_{DAT}$ と等しい電流がOLED30に流れ、OLED30は発光する。

#### 【0042】

このEL発光期間において、第2駆動回路11は、走査線  $S_{AP}$ を介して選択TFT41, 43の各ゲートに逆バイアスを印加することで選択TFT41, 43の各閾値電圧シフトを補正することが可能である。

#### 【0043】

次のTFT特性補正期間においては、第2駆動回路11は、走査線  $S_{BP}$ を介して負極性のレベルの電圧を逆バイアス印加用選択TFT45のゲートに印加することでTFT45をオンにし、TFT45のソースとドレイン間を介して、電源線  $K_P$ から与えられる補

10

20

30

40

50

正電圧（逆バイアス） $V_{CP}$ を駆動TFT42のゲートに印加する。これにより、駆動TFT42の閾値電圧シフトの補正が可能になる。ここで、駆動TFT42のゲートに逆バイアスを印加する期間には、駆動TFT42のゲートとソース間の電圧を安定化して素子特性を良好に回復させる観点からは、駆動TFT44をオンにしてキャパシタ $C_s$ に電源電圧 $V_{DD}$ を印加するのが好ましい。

#### 【0044】

上記の如く、図8の素子駆動回路を用いた電流プログラム駆動法は、各フレーム表示期間毎または各フィールド表示期間毎に、選択TFT41, 43、逆バイアス印加用選択TFT45および駆動TFT42, 44の閾値電圧シフトを補正するので、それら閾値電圧シフトを最小範囲に抑えることができる。したがって、OLEDの発光輝度のバラツキやTFTの動作不能を回避でき、消費電力の抑制が可能である。 10

#### 【0045】

なお、本実施例では、各フレーム表示期間毎または各フィールド表示期間毎にTFT41～45にそれぞれ逆バイアスが印加されているが、これに限らず、所定数のフレーム毎または所定数のフィールド毎にTFT41～45にそれぞれ逆バイアスを印加してもよい。

#### 【0046】

次に、本発明に係る他の実施例の表示装置1Aについて説明する。図9は、他の実施例の表示装置1Aを概略的に示すブロック図である。図9と図4において同一符号を付された構成要素は互いに同じ機能を有するものとして、それら構成要素の詳細な説明を省略する。表示装置1Aの構成は、入力部22とAPL測定部23とを有する点を除いて表示装置1（図4）の構成と同じである。 20

#### 【0047】

入力部22は、入力キー（図示せず）や入力スイッチ22aを備えており、ユーザー（製造者と製品販売者を含む。）は、入力部22を操作して、閾値電圧シフト補正のために印加すべき逆バイアスのパルス幅（印加時間）および振幅の値を設定することができる。信号制御部20は、システムの起動時に入力部22から設定値 $I_s$ を読み込み、これら設定値 $I_s$ に基づいてルックアップテーブル20tの記憶内容を定める。ユーザーは、たとえば製品出荷時に、入力部22を操作して、表示装置1Aが組み込まれる機器の種類に応じて逆バイアスのパルス幅および振幅の値を設定することが可能である。たとえば、携帯 30  
電話機器と、地上波放送の映像を表示するテレビ機器との間では表示画像の内容が異なり、TFTの平均駆動時間に差があるので、表示装置1Aが組み込まれる機器の種類、すなわち表示装置1Aの用途に応じて最適な値を設定することができる。

#### 【0048】

また、入力部22は、ユーザーによる入力操作に応じて、逆バイアスのパルス幅および振幅のうち少なくとも一方の設定値を切り替える入力スイッチ22aを有している。ユーザーは、入力スイッチ22aを操作することにより、予め決められた値の中から、表示装置1Aの用途に応じて最適な設定値を選択することができる。

#### 【0049】

APL測定部23は、画像データ信号 $D_s$ の平均輝度レベル（APL；Average Peak Level）を、たとえば、数十～数百フレームに亘ってリアルタイムに測定し、その測定結果を示す信号 $S_{APL}$ を信号制御部20に供給する。信号制御部20は、その測定結果に応じて駆動TFTまたは選択TFTに逆バイアスを印加し得る。たとえば、信号制御部20は、平均輝度レベルが所定レベルを超えていれば、TFTの閾値電圧シフトは小さい範囲内にあると予想して閾値電圧シフト補正用の逆バイアスを発生せず、一方、平均輝度レベルが所定レベル以下であれば、TFTの閾値電圧シフトが大きいと予想して閾値電圧シフト補正用の逆バイアスを発生することができる。

#### 【0050】

あるいは、信号制御部20は、平均輝度レベルが大きいほどに閾値電圧シフト補正用の逆バイアスのパルス幅または振幅を大きくし、平均輝度レベルが小さいほどに閾値電圧シ 50

フト補正用の逆バイアスのパルス幅または振幅を小さくすることができる。このように平均輝度レベルをリアルタイムに監視することでＴＦＴの閾値電圧シフトの大小を判断し、逆バイアスのパルス幅または振幅を最適な値に調整することが可能である。したがって、ＴＦＴの閾値電圧シフトを最小範囲に抑制できる。

【図面の簡単な説明】

【００５１】

【図１】ＯＬＥＤを駆動する等価回路の一例を示す図である。

【図２】ゲート電圧とドレイン電流との関係を示すグラフである。

【図３】典型的な有機ＴＦＴの断面を概略的に示す図である。

【図４】本発明に係る実施例である表示装置を概略的に示すブロック図である。

10

【図５】ｐチャンネル有機ＴＦＴの閾値電圧シフトを例示するグラフである。

【図６】表示セルの等価回路の一例を示す図である。

【図７】図６に示した等価回路に与えられる信号の波形を概略的に示すタイミングチャートである。

【図８】表示セルの等価回路の他の例を概略的に示す図である。

【図９】本発明に係る他の実施例の表示装置を概略的に示すブロック図である。

【符号の説明】

【００５２】

１，１Ａ 表示装置

１０ 基板

20

１１ 第２駆動回路

１２ 第１駆動回路

１３ 電流供給回路（第３駆動回路）

１４ 表示部

１５，４１，４３ 選択ＴＦＴ

４５ 逆バイアス印加用選択ＴＦＴ

１６，４２，４４ 駆動ＴＦＴ

２０ 信号制御部

２１ 電源回路

２２ 入力部

30

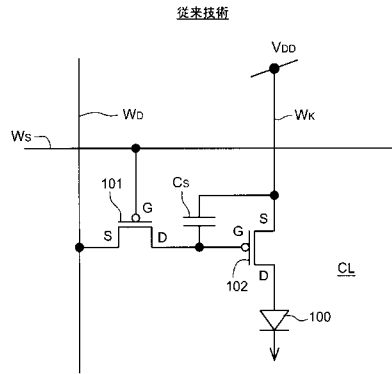
２２ａ スイッチ（ＳＷ）

２３ ＡＰＬ測定部

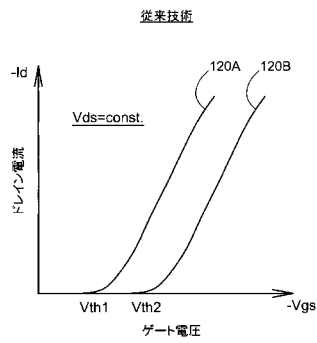
３０ ＯＬＥＤ（有機ＥＬ素子）

４６ 電流源

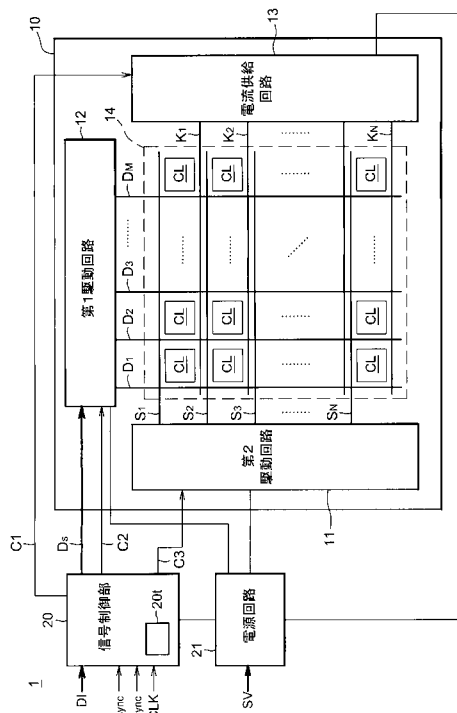
【図 1】



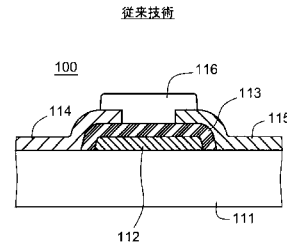
【図 2】



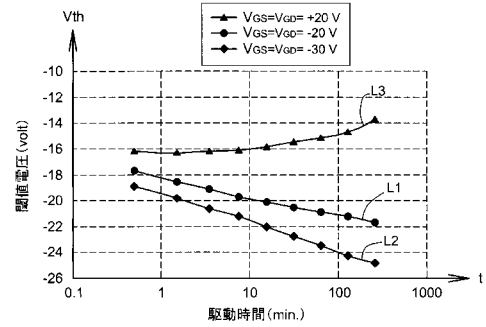
【図 4】



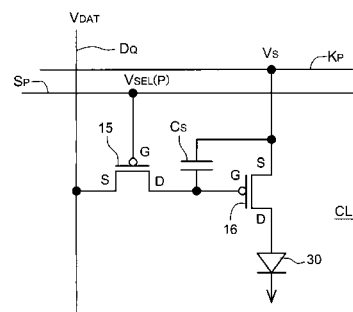
【図 3】



【図 5】

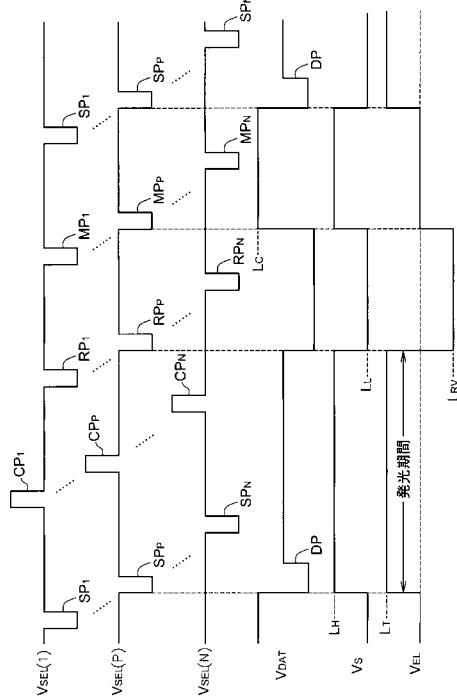


【図 6】

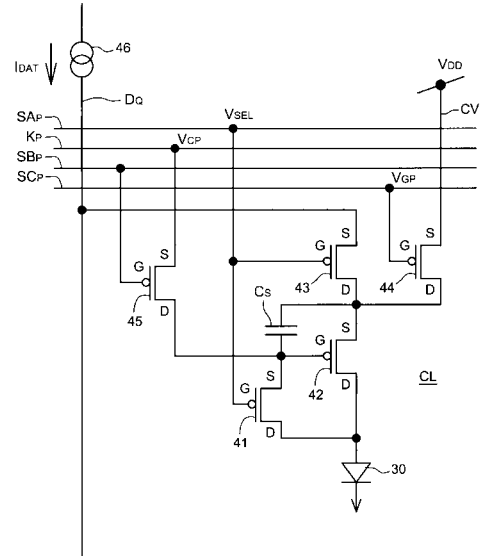




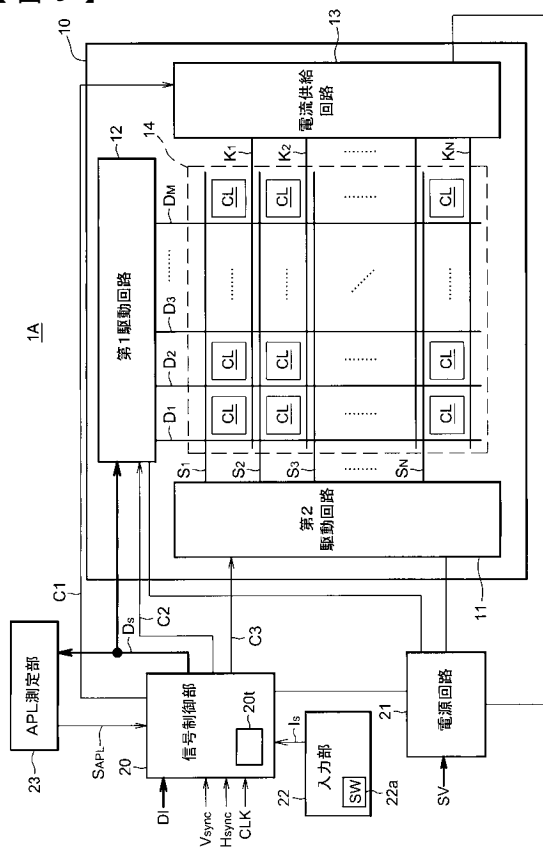
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2006208966A</a>	公开(公告)日	2006-08-10
申请号	JP2005023547	申请日	2005-01-31
[标]申请(专利权)人(译)	日本先锋公司		
申请(专利权)人(译)	先锋公司		
[标]发明人	土田正美		
发明人	土田 正美		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/325 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2310/0254 G09G2310/0256 G09G2320/043 G09G2360/16		
FI分类号	G09G3/30.K G09G3/20.612.T G09G3/20.612.U G09G3/20.624.B G09G3/20.670.K H05B33/14.A G09G3/20.642.P G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/DD29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB25 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC11 5C380/BA01 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BA48 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD08 5C380/BD09 5C380/BD10 5C380/CA04 5C380/CA06 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA26 5C380/CB01 5C380/CB05 5C380/CB17 5C380/CB31 5C380/CC01 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC65 5C380/CD012 5C380/CD015 5C380/CE01 5C380/CE04 5C380/CE11 5C380/CE19 5C380/CF03 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF23 5C380/DA02 5C380/DA06 5C380/DA11 5C380/DA35 5C380/DA39 5C380/DA48 5C380/DA49 5C380/FA12 5C380/FA25 5C380/GA18		
代理人(译)	藤村元彦		
其他公开文献	JP4850422B2		
外部链接	<a href="#">Espacenet</a>		

# 摘要(译)

要解决的问题：改善用于选择和驱动OLED等自发光元件的TFT的特性。显示装置1包括行电极组S1至S $\bar{n}$ ，列电极组D1至D $\bar{m}$ 以及驱动单元11、12、13、20。自发光元件分别形成在行电极组S1至S $\bar{n}$ 和列电极组D1至D $\bar{m}$ 的交叉点附近的区域中。形成。每个元件驱动电路包括选择晶体管，电容器和驱动晶体管。当未将驱动电流提供给自发光元件时，在非发光时段中，驱动单元11、12、13和20向驱动晶体管的控制端子施加反向偏压。[选择图]图4

