

(19) 日本国特許庁(JP)

## 再公表特許(A1)

(11) 国際公開番号

WO2006/137295

発行日 平成21年1月15日(2009.1.15)

(43) 国際公開日 平成18年12月28日(2006.12.28)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 642D	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 641D	
	G09G 3/20 624B	
	H05B 33/14 A	

審査請求 有 予備審査請求 未請求 (全 34 頁)

出願番号 特願2007-522244 (P2007-522244)	(71) 出願人 000005049
(21) 国際出願番号 PCT/JP2006/311856	シャープ株式会社
(22) 国際出願日 平成18年6月13日(2006.6.13)	大阪府大阪市阿倍野区長池町2番2号
(31) 優先権主張番号 特願2005-183993 (P2005-183993)	(74) 代理人 110000338
(32) 優先日 平成17年6月23日(2005.6.23)	特許業務法人原謙三国際特許事務所
(33) 優先権主張国 日本国(JP)	(72) 発明者 大橋 誠二
	日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
	(72) 発明者 仙田 幸裕
	日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
	Fターム(参考) 3K107 AA01 BB01 CC21 CC32 EE03
	HH02 HH04 HH05
	5C080 AA06 BB05 DD01 EE29 FF11
	JJ02 JJ03 JJ04
	最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

## (57) 【要約】

電源配線(P S)と共通陰極(COM 1)とを結ぶ第1の経路上に、駆動用T F T(2 2)と、スイッチ用T F T(2 4)と、有機E L素子(E L 1)とを、直列に設ける。また、駆動用T F T(2 2)とスイッチ用T F T(2 4)との間のノード(K)と、ソース配線(S j)とを結ぶ第2の経路上に、スイッチ用T F T(2 5)を設ける。そして、スイッチ用T F T(2 5)をON状態とすることにより第2の経路を導通させるとともに、スイッチ用T F T(2 4)をOFF状態とすることにより、第1の経路のノード(K)から有機E L素子(E L 1)側の枝部を非導通とする期間を設ける。これにより、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置及びその駆動方法を実現することができる。

**【特許請求の範囲】****【請求項 1】**

電流駆動型の電気光学素子を有する画素回路を備えた表示装置において、  
前記画素回路は、  
第1の電圧源配線と第2の電圧源配線とを結ぶ第1の経路上に、前記第1の経路に流す電流を決定する駆動素子と前記電気光学素子とを互いに直列の関係に備えているとともに、  
前記第1の経路上の前記駆動素子と前記電気光学素子との間のノードと、第1の配線とを結ぶ第2の経路上に設けられた第1のスイッチング素子を備えていることを特徴とする表示装置。

10

**【請求項 2】**

前記第1の経路の前記ノードから前記電気光学素子側の枝部に、前記電気光学素子と互いに直列の関係に設けられた第2のスイッチング素子を備えていることを特徴とする請求項1に記載の表示装置。

**【請求項 3】**

前記第1の電圧源配線および前記第2の電圧源配線のうち、前記第1の経路の前記ノードから前記電気光学素子側の枝部に接続されている枝部側電源配線の電位は可変であることを特徴とする請求項1に記載の表示装置。

**【請求項 4】**

前記第1の電圧源配線は前記第2の電圧源配線よりも高電位とされており、  
前記電気光学素子の陰極と前記第2の電圧源配線とが互いに接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の表示装置。

20

**【請求項 5】**

前記第2の電圧源配線は前記第1の電圧源配線よりも高電位とされており、  
前記電気光学素子の陽極と前記第2の電圧源配線とが互いに接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の表示装置。

**【請求項 6】**

前記電気光学素子は有機EL素子であることを特徴とする請求項1ないし5のいずれか1項に記載の表示装置。

**【請求項 7】**

前記駆動素子は絶縁ゲート型電界効果トランジスタであることを特徴とする請求項1ないし6のいずれか1項に記載の表示装置。

30

**【請求項 8】**

前記駆動素子、前記第1のスイッチング素子、および、前記第2のスイッチング素子は薄膜トランジスタであることを特徴とする請求項7に記載の表示装置。

**【請求項 9】**

前記画素回路に含まれる絶縁ゲート型電界効果トランジスタは全て同じチャネル極性であることを特徴とする請求項1ないし8のいずれか1項に記載の表示装置。

**【請求項 10】**

前記画素回路は、前記駆動素子に前記第1の経路に流す電流を設定するために、複数個  
ずつのグループ単位で走査線によって走査されるものであり、

40

前記枝部側電源配線は前記グループごとに分離されていることを特徴とする請求項3に記載の表示装置。

**【請求項 11】**

前記駆動素子はpチャネル型の絶縁ゲート型電界効果トランジスタであることを特徴とする請求項4に記載の表示装置。

**【請求項 12】**

前記駆動素子はnチャネル型の絶縁ゲート型電界効果トランジスタであることを特徴とする請求項5に記載の表示装置。

**【請求項 13】**

50

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行することを特徴とする請求項1に記載の表示装置。

【請求項14】

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第2のスイッチング素子をOFF状態とすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

10

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記第2のスイッチング素子をON状態とすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴とする請求項2に記載の表示装置。

【請求項15】

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴とする請求項3に記載の表示装置。

20

【請求項16】

前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴とする請求項15に記載の表示装置。

【請求項17】

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

30

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行し、

前記第2の経路導通期間は、前記駆動素子を閾値状態とする前に前記駆動素子の出力電流を前記第2の経路に流すために設定される期間であり、

前記枝部導通期間は、前記第2の経路導通期間の後に前記駆動素子が前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第1の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴とする請求項7に記載の表示装置。

【請求項18】

前記第1の配線は、前記電気光学素子の発光輝度データを前記画素回路に供給する信号線であることを特徴とする請求項1ないし17のいずれか1項に記載の表示装置。

40

【請求項19】

前記第1の配線は、一定の電位を供給する配線であることを特徴とする請求項1ないし17のいずれか1項に記載の表示装置。

【請求項20】

前記第1の配線は、前記画素回路に備えられるスイッチング素子の制御配線であることを特徴とする請求項1ないし17のいずれか1項に記載の表示装置。

【請求項21】

請求項1に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させる

50

とともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行することを特徴とする表示装置の駆動方法。

【請求項22】

請求項2に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第2のスイッチング素子をOFF状態とすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

10

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記第2のスイッチング素子をON状態とすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴とする表示装置の駆動方法。

【請求項23】

請求項3に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

20

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴とする表示装置の駆動方法。

【請求項24】

前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴とする請求項23に記載の表示装置の駆動方法。

【請求項25】

請求項7に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、

30

前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行し、

前記第2の経路導通期間は、前記駆動素子を閾値状態とする前に前記駆動素子の出力電流を前記第2の経路に流すために設定される期間であり、

前記枝部導通期間は、前記第2の経路導通期間の後に前記駆動素子が前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第1の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴とする表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) の等の電流駆動素子を用いた表示装置およびその駆動方法に関するものである。

【背景技術】

【0002】

近年、有機ELディスプレイやFED等の電流駆動発光素子の研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイと

50

して、携帯電話やPDA (Personal Digital Assistants) など携帯機器用として注目されている。

【0003】

この有機ELディスプレイの画素回路構成として、特表2002-514320号公報(2002年5月14日公表)に示された回路構成を図8に示す。

【0004】

図8に示す画素回路300は、駆動用TFT365、スイッチ用TFT360・370・375、コンデンサ350・355、及び、有機EL素子(OLEE)380から構成される。上記4つのTFT(Thin Film Transistor:薄膜トランジスタ)は全てpチャネル型である。

10

【0005】

駆動用TFT365と、スイッチ用TFT375と、有機EL素子380とは、電源ライン(+VDDライン)390と共通陰極(GNDライン)との間に、電源ライン390側を駆動用TFT365としてこの順で直列に接続されている。スイッチ用TFT360とコンデンサ350とは、駆動用TFT365のゲート端子とデータライン310との間に、コンデンサ350を駆動用TFT365側として直列に接続されている。また、スイッチ用TFT370は、駆動用TFT365のゲート端子とドレイン端子との間に接続されており、コンデンサ355は駆動用TFT365のゲート端子とソース端子との間に接続されている。

20

【0006】

スイッチ用TFT360のゲート端子はセレクトライン320に、スイッチ用TFT370のゲート端子はオートゼロライン330に、スイッチ用TFT375のゲート端子は照明ライン340に接続されている。

【0007】

この画素回路300では、第1期間にオートゼロライン330及び照明ライン340がLowとなることにより、スイッチ用TFT370及び375がON状態となり、駆動用TFT365のドレイン端子とゲート端子とが同電位となる。このとき、駆動用TFT365がON状態となり、駆動用TFT365から有機EL素子380に向けて電流が流れる。このとき、データライン310を基準電位とし、セレクトライン320をLowとしてコンデンサ350の他方端子(スイッチ用TFT360側の端子)を当該基準電位としておく。

30

【0008】

次に第2期間となり、照明ライン340をHighとすることにより、スイッチ用TFT375をOFF状態とする。これにより、駆動用TFT365のゲート端子電位は徐々に高くなり、駆動用TFT365の閾値電圧( $V_{th}$ ;但し $V_{th}$ はゲート・ソース間電圧であって負の値)に対応した値( $+VDD+V_{th}$ )となったときに駆動用TFT365はOFF状態となる。

【0009】

次に第3期間となり、オートゼロライン330をHighとすることにより、スイッチ用TFT370をOFF状態とする。これにより、コンデンサ350に、そのときのスイッチ用TFT370のゲート端子電位と基準電位との差が記憶される。即ち、駆動用TFT365のゲート端子電位は、データライン310の電位が基準電位であるときに、閾値状態(ゲート・ソース間電圧が閾値電圧 $V_{th}$ となる状態)に対応した値( $+VDD+V_{th}$ )となる。そして、データライン310の電位がその基準電位から変化すれば、駆動用TFT365の閾値電圧に関係なく、その電位変化に対応した電流が駆動用TFT365を流れる。

40

【0010】

そこで、そのような所望の電位変化をデータライン310に与え、セレクトライン320をHigh状態とすることによりスイッチ用TFT360をOFF状態として、この駆動用TFT365のゲート端子電位をコンデンサ355の端子間電圧として保持し、画素

50

回路300の選択期間を終了する。

【0011】

このような電位の設定例としては、例えば図9に示すようなものが考えられる。同図では、基準電位は $V_{pc}$ であり、データライン310の基準電位 $V_{pc}$ から変化した後の電位は $V_{data}$ である。

【0012】

以上のように、図8に示す画素回路300を用いれば、駆動用TFT365の閾値電圧に依らず、駆動用TFT365から有機EL素子380へ出力する電流値を設定することができる。

【0013】

図10に示す画素回路は、特開2002-351401号公報（2002年12月6日公開）に記載されたものである。図10に示す画素回路200は、駆動用TFT202、スイッチ用TFT201・203・204・205、コンデンサ251・252、及び、有機EL素子（OLED）253から構成されている。上記5つのTFTは全てpチャンネル型である。

10

【0014】

駆動用TFT202と、スイッチ用TFT204と、有機EL素子253とは、電源ライン（+VDDライン）271と共通陰極（GNDライン）との間に、駆動用TFT202を電源ライン271側として、この順で直列に接続されている。また、スイッチ用TFT205は有機EL素子253と並列に接続されている。

20

【0015】

スイッチ用TFT201とコンデンサ251とは、駆動用TFT202のゲート端子とデータライン272との間に、スイッチ用TFT201をデータライン272側として、直列に接続されている。スイッチ用TFT203は、駆動用TFT202のゲート端子とソース端子との間に接続されている。

【0016】

スイッチ用TFT201のゲート端子は選択線281に、スイッチ用TFT203のゲート端子は制御信号線283に、スイッチ用TFT204のゲート端子は制御信号線284に、スイッチ用TFT205のゲート端子は制御信号線285に接続されている。

30

【0017】

この画素回路200では、図11に示すように、第1期間（時刻 $t_3$ ～時刻 $t_4$ ）に制御信号線283・284・285がLowとなることにより、スイッチ用TFT203・204・205がON状態となり、駆動用TFT202のドレイン端子とゲート端子が同電位となる。これにより、駆動用TFT202がON状態となり、駆動用TFT202から共通陰極に向けて電流が流れる。このとき、スイッチ用TFT205及び有機EL素子253のそれぞれには、スイッチ用TFT205のON状態のときのインピーダンスと有機EL素子253のインピーダンスとの比に応じた電流が流れる。またこのとき、データライン272を基準電位 $V_{pc}$ とし、選択線281をLowとすることによりスイッチ用TFT201をON状態とし、コンデンサ251の他方端子（スイッチ用TFT201側の端子）を基準電位 $V_{pc}$ としておく。

40

【0018】

次に第2期間（時刻 $t_4$ ～時刻 $t_5$ ）となり、制御信号線284をHighとすることにより、スイッチ用TFT204をOFF状態とする。これにより、駆動用TFT202のゲート端子電位は徐々に高くなり、駆動用TFT202の閾値電圧（ $V_{th}$ ；但し $V_{th}$ はゲート・ソース間電圧であって負の値）に対応した値（ $+VDD+V_{th}$ ）となったときに駆動用TFT202はOFF状態となる。

【0019】

次に第3期間（時刻 $t_5$ ～時刻 $t_9$ ）となり、制御信号線283をHighとすることにより、スイッチ用TFT203をOFF状態とする。これにより、コンデンサ251に、そのときのスイッチ用TFT203のゲート端子電位と基準電位 $V_{pc}$ との差が記憶さ

50

れる。即ち、駆動用TFT202のゲート端子電位は、データライン272の電位が基準電位 $V_{pc}$ であるときに、閾値状態（ゲート・ソース間電圧が閾値電圧 $V_{th}$ となる状態）に対応した値（ $+V_{DD}+V_{th}$ ）となる。そして、データライン272の電位がその基準電位 $V_{pc}$ から電位 $V_{data}$ に変化すれば、駆動用TFT202の閾値電圧に関係なく、その電位変化に対応した電流が駆動用TFT202を流れる。

#### 【0020】

そこで、そのような所望の電位変化をデータライン272に与え、選択線281をHighとすることによりスイッチ用TFT201をOFF状態として、この駆動用TFT202のゲート端子電位をコンデンサ252の端子間電圧として維持し、画素回路200の選択期間を終了する。

10

#### 【0021】

このように、図2に示す画素回路200を用いることで、駆動用TFT202の閾値電圧に依らず、駆動用TFT202から有機EL素子253へ出力する電流値を設定することができ、かつ、スイッチ用TFT205のON状態のときのインピーダンスを小さくすることで、第1期間に駆動用TFT202から有機EL素子253へ流れる電流を抑制することができる。

#### 【0022】

上記図8の画素回路300を用いれば、駆動用TFT365の閾値電圧に依らず、所望の電流を有機EL素子380に流すことができる。しかしながら、上記第1期間に駆動用TFT365から有機EL素子380に向けて電流が流れて、有機EL素子380が発光してしまう。元来、第1期間は無発光期間であり、有機EL素子380に電流を流さない期間であるため、コントラストの低下及び有機EL素子380の劣化を招くという課題がある。

20

#### 【0023】

これは、図10の画素回路200についても同様である。すなわち、上記第1期間に有機EL素子253と並列に接続されたスイッチ用TFT205をON状態にすることで、有機EL素子253に流れる電流を抑制することが出来る。理論的には、スイッチ用TFT205のON状態のときのインピーダンスをゼロ、あるいは有機EL素子253のインピーダンスを無限大にすることで、第1期間に有機EL素子253に電流を流さないことは可能である。しかしながら、スイッチ用TFT205のON状態のときのインピーダンスをゼロにすることは困難であり、また有機EL素子253のインピーダンスも有限であるため、有機EL素子253のインピーダンスと、このスイッチ用TFT205とのインピーダンス比に応じた電流がそれぞれの素子に流れる。したがって、図10の画素回路200を用いた場合にも、コントラストの低下及び有機EL素子253の劣化を免れることはできない。

30

#### 【発明の開示】

#### 【0024】

本発明は、上記課題を解決するものであり、その目的は、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置及びその駆動方法を実現することにある。

40

#### 【0025】

本発明の表示装置は、上記課題を解決するために、電流駆動型の電気光学素子を有する画素回路を備えた表示装置において、前記画素回路は、第1の電圧源配線と第2の電圧源配線とを結ぶ第1の経路上に、前記第1の経路に流す電流を決定する駆動素子と前記電気光学素子とを互いに直列の関係に備えているとともに、前記第1の経路上の前記駆動素子と前記電気光学素子との間のノードと、第1の配線とを結ぶ第2の経路上に設けられた第1のスイッチング素子を備えていることを特徴としている。

#### 【0026】

上記の発明によれば、第1のスイッチング素子をON状態とするとともに、電気光学素子に電流が流れ得ない状態を形成すれば、駆動素子が流す電流を電気光学素子に流さずに

50

第1のスイッチング素子に流すことができる。すなわち、第1の電圧源配線と第2の電圧源配線とのうち前記ノードから駆動素子側の電源配線と、第1の配線との間で電流を流すことができる。

【0027】

また、第1のスイッチング素子をOFF状態とするとともに、電気光学素子に電流が流れ得る状態を形成すれば、駆動素子が流す電流を第2の経路に流さずに電気光学素子に流すことができる。すなわち、第1の電圧源配線と第2の電圧源配線との間で電流を流すことができる。

【0028】

従って、駆動素子から電流を流しながら電気光学素子に電流を流さない状態と、駆動素子から電気光学素子に電流を流す状態とを区別して形成することができる。駆動素子から電流を流しながら電気光学素子に電流を流さない状態を形成したときに、画素回路に電気光学素子の発光輝度データを送信して記憶させれば、表示期間に、その記憶した発光輝度データに従って、駆動素子から電気光学素子に電流を流す状態を形成して、電気光学素子を所望の輝度で発光させることができる。これにより、画素回路において表示期間以外には電気光学素子を発光させないようにすることができる。表示期間以外に電気光学素子に電流が流れなければ表示のコントラストは向上する。また、発光期間がそれだけ短くなるため、電気光学素子の劣化が少なくなる。

【0029】

以上により、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置を実現することができる。

【0030】

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

【図面の簡単な説明】

【0031】

【図1】本発明の実施形態を示すものであり、表示装置の第1の画素回路の構成を示す回路図である。

【図2】本発明の実施形態を示すものであり、表示装置の構成を示すブロック図である。

【図3】図1の画素回路の動作を示すタイミングチャートである。

【図4】本発明の実施形態を示すものであり、表示装置の第2の画素回路の構成を示す回路図である。

【図5】本発明の実施形態を示すものであり、表示装置の第3の画素回路の構成を示す回路図である。

【図6】図5の画素回路の動作を示すタイミングチャートである。

【図7】本発明の実施形態を示すものであり、表示装置の第4の画素回路の構成を示す回路図である。

【図8】従来技術を示すものであり、第1の従来例の画素回路の構成を示す回路図である。

【図9】図8の画素回路の動作を示すタイミングチャートである。

【図10】従来技術を示すものであり、第2の従来例の画素回路の構成を示す回路図である。

【図11】図10の画素回路の動作を示すタイミングチャートである。

【図12】本発明の実施形態を示すものであり、表示装置の第5の画素回路の構成を示す回路図である。

【図13】本発明の実施形態を示すものであり、表示装置の第6の画素回路の構成を示す回路図である。

【図14】図13の画素回路の動作を示すタイミングチャートである。

【図15】本発明の実施形態を示すものであり、表示装置の第7の画素回路の構成を示す

回路図である。

【図16】本発明の実施形態を示すものであり、表示装置の第8の画素回路の構成を示す回路図である。

【符号の説明】

【0032】

1	表示装置	
22、32	駆動用TFT（駆動素子）	
24、34	スイッチ用TFT（第2のスイッチング素子）	
25、35	スイッチ用TFT（第1のスイッチング素子）	
EL1、EL2	有機EL素子（電気光学素子）	10
PS	電源配線（第1の電圧源配線）	
COM	共通陰極（第2の電圧源配線）	
CA	電源配線（第2の電圧源配線）	
Sj	ソース配線（第1の配線）	
Gi	ゲート配線（第1の配線）	
Pcj	配線（第1の配線）	

【発明を実施するための最良の形態】

【0033】

本発明の実施の形態について図1ないし図7に基づいて説明すれば、以下の通りである

。

【0034】

なお、本発明に用いられるスイッチング素子はアモルファスシリコンTFT、低温ポリシリコンTFTやCG（Continuous Grain）シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

【0035】

ここで、CGシリコンTFTの構成は、例えば“4. 0-in. TFT-OLED Displays and a Novel Digital Driving Method”（SID'00 Digest、pp. 924-927、半導体エネルギー研究所）に発表されており、CGシリコンTFTの製造プロセスは、例えば“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”（AM-LCD2000、pp. 25-28、半導体エネルギー研究所）に発表されている。すなわち、CGシリコンTFTの構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

【0036】

また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば“Polymer Light-Emitting Diodes for use in Flat panel Displays”（AM-LCD'01、pp. 211-214、University of Cambridge）に発表されており公知であるため、ここではその詳細な説明は省略する。

【0037】

図2に、本実施の形態に係る表示装置1の構成を示す。

【0038】

表示装置1は、複数の画素回路 $A_{ij}$ （ $i=1\sim n$ 、 $j=1\sim m$ ）と、ソースドライバ回路11と、ゲートドライバ回路3と、コントロール回路12とを備えている。画素回路 $A_{ij}$ は、複数の互いに平行に配されたソース配線 $S_j$ （信号配線）…と、これらに直交する複数の互いに平行に配されたゲート配線 $G_i$ …との各交差点に対応してマトリクス状に配置されている。ソース配線 $S_j$ は、後述する有機EL素子EL1やEL2に発光輝度データとしての信号を供給するために、ソースドライバ回路11に接続されている。ゲート配線 $G_i$ は、ゲートドライバ回路3に接続されている。

10

20

30

40

50

## 【0039】

ソースドライバ回路11およびゲートドライバ回路3は、表示装置1全体の小型化および作製コストの低減を図るため、画素回路 $A_{ij}$ と同じ基板上に、多結晶シリコンTFTまたはCGシリコンTFTを用いて、全部もしくは一部形成されることが好ましい。

## 【0040】

ソースドライバ回路11は、 $m$ ビットのシフトレジスタ4と、レジスタ8と、ラッチ7と、 $m$ 個のD/Aコンバータ10…とを有している。

## 【0041】

このソースドライバ回路11において、シフトレジスタ4は、縦続接続された $m$ 個のレジスタを有しており、コントロール回路12より先頭のレジスタに入力されるスタートパルスSPをクロックCLKに同期して転送し、各出力段（レジスタ）からタイミングパルスSSPとしてレジスタ8へ出力する。レジスタ8には、タイミングパルスが入力されるタイミングでコントロール回路12から表示データDAが入力される。レジスタ8に表示データDAが一行分記憶されると、コントロール回路12からラッチ7に入力されるラッチパルスLPに同期して上記一行分の表示データDAがラッチ7に入力される。ラッチ7に保持された表示データDAのそれぞれは対応するD/Aコンバータ10へ出力される。D/Aコンバータ10は、各ソース配線 $S_j$ に1つずつ設けられており、ラッチ7から入力される表示データDAをアナログの信号電圧 $D_a$ として、対応するソース配線 $S_j$ に与える。

## 【0042】

このように、ソースドライバ回路11は、ポリシリコンTFT液晶等で用いられるソースドライバ回路と同様な構成をとる。

## 【0043】

コントロール回路12は、前記のスタートパルスSP、クロックCLK、表示データDA、及び、ラッチパルスLPを出力する回路である。また、コントロール回路12は、ゲートドライバ回路3に与えるためのタイミング信号OE、スタートパルスYI、及び、クロックYCKを出力する。

## 【0044】

ゲートドライバ回路3は、図示しないシフトレジスタ回路と、論理演算回路と、バッファを含んでいる。このゲートドライバ回路3において、入力されたスタートパルスYIをクロックYCKに同期して上記のシフトレジスタ回路内を転送し、論理演算回路によって、シフトレジスタ回路各出力段から出力されたパルスとタイミング信号OEとで論理演算を行い、バッファを通して対応したゲート配線 $G_i$ および後述する制御配線 $R_i \cdot W_i \cdot U_i$ へ必要な電圧を出力する。各ゲート配線 $G_i$ には複数の画素回路 $A_{ij}$ が接続されており、画素回路 $A_{ij}$ はこれらのグループ単位でゲート配線 $G_i$ （走査線）によって走査される。

## 【0045】

また、画素回路 $A_{ij}$ が配置されている領域には、電圧源としての電源配線PSが配置されているが、これについては後述する。

## 【0046】

次に、表示装置1に備えられる画素回路 $A_{ij}$ の各実施例について以下に説明する。

## 【0047】

## 〔実施例1〕

図1は、本実施例の画素回路 $A_{ij}$ である画素回路 $A_{ij1}$ の構成を示す回路図である。

## 【0048】

図1に示すように、画素回路 $A_{ij1}$ は、駆動用TFT22、スイッチ用TFT21・23・24・25、コンデンサC1・C2、及び、有機EL素子EL1を備えている。駆動用TFT22及びスイッチ用TFT24・25はpチャネル型であり、スイッチ用TFT21・23はnチャネル型である。なお、上記TFTのチャネル極性は全て同じであ

てもよい。

【0049】

駆動用TFT22と、スイッチ用TFT24と、有機EL素子EL1とは、電源配線（第1の電圧源配線）PSと共通陰極（第2の電圧源配線）COM1とを結ぶ第1の経路上に、駆動用TFT22を電源配線PS側としてこの順で直列に設けられている。第1の経路上の素子は、図1の場合、駆動用TFT22、スイッチ用TFT24、及び、有機EL素子EL1のみからなる。駆動用TFT（駆動素子）22は有機EL素子（電気光学素子）EL1に駆動電流を供給する駆動用のトランジスタである。スイッチ用TFT（第2のスイッチング素子）24はスイッチングトランジスタである。なお、スイッチ用TFT24と有機EL素子EL1との位置は上記の関係であっても互いに入れ替わってもよく、第1の経路上で駆動用TFT22と有機EL素子EL1とが互いに直接接続されていなくても、直列の関係であればよい。電源配線PSは一定の電位 $V_p$ となっている。共通陰極COM1には共通の一定の電位 $V_{com}$  ( $V_p > V_{com}$ ) が付与されており、各有機EL素子EL1の共通電極となっている。

10

【0050】

コンデンサC1とコンデンサC2とは、駆動用TFT22のゲート端子と駆動用TFT22のソース端子との間に、コンデンサC1を駆動用TFT22のゲート端子側として直列に接続されている。なお、コンデンサC1とコンデンサC2との接続点を接続端Aとする。スイッチ用TFT21はスイッチングトランジスタであり、上記接続端Aとソース配線 $S_j$ との間に接続されている。スイッチ用TFT23はスイッチングトランジスタであり、駆動用TFT22のゲート端子と駆動用TFT22のドレイン端子との間に接続されている。スイッチ用TFT（第1のスイッチング素子）25はスイッチングトランジスタであり、第1の経路上の駆動用TFT22と有機EL素子EL1との間、ここでは特に駆動用TFT22とスイッチ用TFT24との間のノードK（すなわち駆動用TFT22のドレイン端子）と、ソース配線（第1の配線） $S_j$ とを結ぶ第2の経路上に設けられている。第2の経路上の素子は、図1の場合、スイッチ用TFT25のみからなる。また、ここでは第1の配線としてソース配線 $S_j$ を用いているが、これに限らず、電源配線PSおよび共通陰極COM1とは異なる配線であって、その電位が設定可能な配線であればよい。

20

。

【0051】

スイッチ用TFT21のゲート端子はゲート配線 $G_i$ に、スイッチ用TFT23のゲート端子は制御配線 $W_i$ に、スイッチ用TFT24のゲート端子は制御配線 $R_i$ に、スイッチ用TFT25のゲート端子は制御配線 $U_i$ に接続されている。

30

【0052】

なお、駆動用TFT22とスイッチ用TFT24と有機EL素子EL1とを上記のような接続関係とする場合、駆動用TFT22をpチャネル型とし、電源配線PSと駆動用TFT22のソース端子とを接続するとともに、有機EL素子EL1の陰極と共通陰極COM1とを接続するのが好ましい。この理由は、駆動用TFT22がnチャネル型である場合は、駆動用TFT22のソース端子は有機EL素子EL1側となり、ソースフォロワとなるため、負荷変動に対し駆動用TFT22から有機EL素子EL1へ流れる電流値が変動してしまうためである。また、スイッチ用TFT24と有機EL素子EL1との位置は互いに入れ替わってもよい。

40

【0053】

図3は、上記構成の画素回路 $A_{ij1}$ の動作を示すタイミングチャートである。この画素回路 $A_{ij1}$ の動作は、コントロール回路12から供給される前述の各種の信号に基づいて、ソースドライバ回路11およびゲートドライバ回路3によって制御される。以下、本画素回路 $A_{ij1}$ の動作を図3のタイミングチャートを用いて説明する。

【0054】

図3においては、ゲート配線 $G_i$ 、制御配線 $W_i$ 、制御配線 $U_i$ 、制御配線 $R_i$ 、ソース配線 $S_j$ にそれぞれ設定される電位が変化するタイミングが示されている。また、ゲ-

50

ト配線  $G_{i+1}$ 、制御配線  $W_{i+1}$ 、制御配線  $U_{i+1}$ 、制御配線  $R_{i+1}$  のそれぞれは、同じソース配線  $S_j$  に接続され、かつゲート配線  $G_i$  の次に走査されるゲート配線  $G_{i+1}$  に接続される画素回路  $A(i+1)_j$  に対応する。

【0055】

図3に示すように、時刻  $t_1$ ～時刻  $t_{10}$  は画素回路  $A_{ij}$  の選択期間である。まず、最初の時刻  $t_1$  に制御配線  $R_i$  の電位を  $GH$  ( $High$ ) とすることにより、スイッチ用  $TFT_{24}$  を  $OFF$  状態とする。これにより、第1の経路のうちのノード  $K$  から電源配線  $COM$  側の枝部が非導通となる。時刻  $t_1$ ～時刻  $t_2$  を第0期間とする。

【0056】

次に、時刻  $t_2$  でゲート配線  $G_i$  の電位を  $GH$  ( $High$ ) とすることにより、スイッチ用  $TFT_{21}$  を  $ON$  状態とする。次に、時刻  $t_3$  で制御配線  $U_i$  の電位を  $GL$  ( $Low$ ) とすることにより、スイッチ用  $TFT_{25}$  を  $ON$  状態とする。制御配線  $U_i$  が  $GL$  となる時刻  $t_3$ ～時刻  $t_5$  は、第2の経路導通期間である。次に、時刻  $t_4$  で制御配線  $W_i$  の電位を  $GH$  とし、スイッチ用  $TFT_{23}$  を  $ON$  状態とする。このとき、図2に示した  $D/A$  コンバータ  $10\dots$  により、ソース配線  $S_1$ ～ $S_m$  に初期化電位  $V_{pc}$  が付与されている。これにより、駆動用  $TFT_{22}$  のゲート端子電位はソース配線  $S_j$  の電位である初期化電位  $V_{pc}$  となる。このとき、スイッチ用  $TFT_{24}$  が  $OFF$  状態にあるため、電流は電源配線  $PS$  から駆動用  $TFT_{22}$  とスイッチ用  $TFT_{25}$  とを順に通ってソース配線  $S_j$  へ流れ、有機  $EL$  素子  $EL_1$  には電流は流れない。仮に、この初期化電位  $V_{pc}$  を駆動用  $TFT_{22}$  が  $OFF$  状態となるように設定すれば、駆動用  $TFT_{22}$  は  $OFF$  状態となる。時刻  $t_2$ ～時刻  $t_5$  が第1期間に相当する。

【0057】

次に、時刻  $t_5$  で制御配線  $U_i$  の電位を  $GH$  とすることにより、スイッチ用  $TFT_{25}$  を  $OFF$  状態とする。これにより、駆動用  $TFT_{22}$  のゲート端子電位は徐々に高くなり、駆動用  $TFT_{22}$  の閾値電圧 ( $V_{th}$ ; 但し  $V_{th}$  はゲート・ソース間電圧であって負の値) に対応した値 ( $V_p + V_{th}$ ) となったときに、駆動用  $TFT_{22}$  は  $OFF$  状態となる。時刻  $t_5$ ～時刻  $t_6$  が第2期間に相当する。この第2期間は、 $TFT$  の閾値電圧に製造上のばらつきがあるために、このばらつきを補償するために実行する期間である。この第2期間を実行することにより、駆動用  $TFT_{22}$  がどのような閾値電圧を有していても、当該駆動用  $TFT_{22}$  を必ず閾値状態とすることができる。従って、駆動用  $TFT_{22}$  に所望の電流を流すように制御するには、この後に駆動用  $TFT_{22}$  のゲート・ソース間電圧を、閾値状態から所望の電流に応じた電圧だけ変化させればよい。

【0058】

そこで次に、時刻  $t_6$  で制御配線  $W_i$  の電位を  $GL$  とすることにより、スイッチ用  $TFT_{23}$  を  $OFF$  状態とする。これにより、コンデンサ  $C_1$  に、駆動用  $TFT_{22}$  の閾値電圧に対応した値が記憶される。このとき、接続端  $A$  の電位は  $V_{pc}$  であるため、コンデンサ  $C_1$  の両端に印加される電圧は、ソース配線  $S_j$  側を基準にして  $V_p + V_{th} - V_{pc}$  となる。そして、ソース配線  $S_j$  の電位が初期化電位  $V_{pc}$  から変化すれば、駆動用  $TFT_{22}$  の閾値電圧に関係なく、その電位変化に対応した電流が駆動用  $TFT_{22}$  を流れる。時刻  $t_6$ ～時刻  $t_7$  が第3期間に相当する。

【0059】

そして次に、時刻  $t_7$  で、ソース配線  $S_j$  の電位を、有機  $EL$  素子  $EL_1$  に所望の電流が流れる駆動用  $TFT_{22}$  のゲート端子電位 ( $V_{da}$ ) が得られるような電位 ( $V_{da}'$ ) に切り換える。

【0060】

このとき、ゲート端子電位 ( $V_{da}$ ) は  $V_{da} = V_p + V_{th} - V_{pc} + V_{da}'$  となる。

【0061】

そこで、上記ソース配線の電位  $V_{da}'$  が

$$V_{da'} \geq V_{pc}$$

ならば、駆動用TFT22はOFF状態となる。逆に、

$$V_{da'} < V_{pc}$$

ならば、駆動用TFT22はON状態となる。

#### 【0062】

次に、時刻t8で制御配線Giの電位をGLとし、さらに時刻t9でソース配線Sjの電位をスイッチ用TFT21がOFF状態となる電位(Voff:図3では初期化電位Vpc)とすることにより、スイッチ用TFT21をOFF状態とする。

#### 【0063】

次に、時刻t10で、制御配線Riの電位をGLとすることによりスイッチ用TFT24をON状態とすると、第1の経路のうちのノードKから電源配線COM側の枝部が導通し、駆動用TFT22から有機EL素子EL1へ所望の電流が流れる。この時刻t10から次に画素回路Aijが選択期間となるまでを第4期間とする。第4期間は枝部導通期間であり、画素回路Aijの表示期間である。

#### 【0064】

[実施例2]

図4は、本実施例の画素回路Aijである画素回路Aij2の構成を示す回路図である。

#### 【0065】

図4に示すように、画素回路Aij2は、図1の画素回路Aij1において有機EL素子の駆動電流を流す電源の極性を反転させたものであり、駆動用TFT32、スイッチ用TFT31・33・34・35、コンデンサC3・C4、及び、有機EL素子EL2を備えている。駆動用TFT32及びスイッチ用TFT31・33はnチャンネル型であり、スイッチ用TFT34・35はpチャンネル型である。なお、上記TFTのチャンネル極性は全て同じであってもよい。

#### 【0066】

駆動用TFT32と、スイッチ用TFT34と、有機EL素子EL2とは、電源配線(第1の電圧源配線)PSと共通陽極(第2の電圧源配線)COM2とを結ぶ第1の経路上に、駆動用TFT32を電源配線PS側としてこの順で直列に設けられている。第1の経路上の素子は、図4の場合、駆動用TFT32、スイッチ用TFT34、及び、有機EL素子EL2のみからなる。駆動用TFT(駆動素子)32は有機EL素子(電気光学素子)EL2に駆動電流を供給する駆動用のトランジスタである。スイッチ用TFT(第2のスイッチング素子)34はスイッチングトランジスタである。なお、スイッチ用TFT34と有機EL素子EL2との位置は上記の関係であっても互いに入れ替わってもよく、第1の経路上で駆動用TFT32と有機EL素子EL2とが互いに直接接続されていなくても、直列の関係にあればよい。電源配線PSは一定の電位Vpとなっている。共通陽極COM2には共通の一定の電位Vcom(Vp < Vcom)が付与されており、各有機EL素子EL2の共通電極となっている。

#### 【0067】

コンデンサC3とコンデンサC4とは、駆動用TFT32のゲート端子と駆動用TFT32のソース端子との間に、コンデンサC3を駆動用TFT32のゲート端子側として直列に接続されている。なお、コンデンサC3とコンデンサC4との接続点を接続端Bとする。スイッチ用TFT31はスイッチングトランジスタであり、上記接続端Bとソース配線Sjとの間に接続されている。スイッチ用TFT33はスイッチングトランジスタであり、駆動用TFT32のゲート端子と駆動用TFT32のドレイン端子との間に接続されている。スイッチ用TFT(第1のスイッチング素子)35はスイッチングトランジスタであり、第1の経路上の駆動用TFT32と有機EL素子EL2との間、ここでは特に駆動用TFT32とスイッチ用TFT34との間のノードK(すなわち駆動用TFT32のドレイン端子)と、ソース配線(第1の配線)Sjとを結ぶ第2の経路上に設けられている。第2の経路上の素子は、図4の場合、スイッチ用TFT35のみからなる。また、こ

ここでは第1の配線としてソース配線 $S_j$ を用いているが、これに限らず、電源配線 $PS$ および共通陽極 $COM_2$ とは異なる配線であって、その電位が設定可能な配線であればよい。

【0068】

スイッチ用 $TFT_{31}$ のゲート端子はゲート配線 $G_i$ に、スイッチ用 $TFT_{33}$ のゲート端子は制御配線 $W_i$ に、スイッチ用 $TFT_{34}$ のゲート端子は制御配線 $R_i$ に、スイッチ用 $TFT_{35}$ のゲート端子は制御配線 $U_i$ に接続されている。

【0069】

なお、駆動用 $TFT_{32}$ とスイッチ用 $TFT_{34}$ と有機 $EL$ 素子 $EL_1$ とを上記のような接続関係とする場合、駆動用 $TFT_{32}$ を $n$ チャネル型とし、電源配線 $PS$ と駆動用 $TFT_{32}$ のソース端子とを接続するとともに、有機 $EL$ 素子 $EL_2$ の陽極と共通陽極 $COM_2$ とを接続するのが好ましい。この理由は、駆動用 $TFT_{32}$ が $p$ チャネル型である場合は、駆動用 $TFT_{32}$ のソース端子は有機 $EL$ 素子 $EL_2$ 側となり、ソースフォロワとなるため、負荷変動に対し有機 $EL$ 素子 $EL_2$ から駆動用 $TFT_{32}$ へ流れる電流値が変動してしまうためである。また、スイッチ用 $TFT_{34}$ と有機 $EL$ 素子 $EL_2$ との位置は互いに入れ替わってもよい。

10

【0070】

上記構成の画素回路 $A_{ij2}$ の動作は、前述の画素回路 $A_{ij1}$ の図3の動作において、 $TFT$ のチャネル極性に合せて電位の高低関係を適宜入れ替えただけのもとなるので、その説明は省略する。

20

【0071】

〔実施例3〕

図5は、本実施例の画素回路 $A_{ij}$ である画素回路 $A_{ij3}$ の構成を示す回路図である。

【0072】

図5に示すように、画素回路 $A_{ij3}$ は、駆動用 $TFT_{22}$ 、スイッチ用 $TFT_{21} \cdot 23 \cdot 25$ 、コンデンサ $C_1 \cdot C_2$ 、及び、有機 $EL$ 素子 $EL_1$ を備えている。駆動用 $TFT_{22}$ 及びスイッチ用 $TFT_{25}$ は $p$ チャネル型であり、スイッチ用 $TFT_{21} \cdot 23$ は $n$ チャネル型である。なお、上記 $TFT$ のチャネル極性は全て同じであってもよい。

30

【0073】

この画素回路 $A_{ij3}$ の構成は、図1の画素回路 $A_{ij1}$ において、スイッチ用 $TFT_{24}$ を短絡除去するとともに制御配線 $R_i$ を除去し、共通陰極 $COM_1$ を電源配線（第2の電圧源配線） $CA$ としたものである。従って、駆動用 $TFT_{22}$ のドレイン端子と有機 $EL$ 素子 $EL_1$ の陽極とは直接接続されて、第1の経路上の素子は駆動用 $TFT_{22}$ および有機 $EL$ 素子 $EL_1$ のみとなり、その接続点がノード $K$ となる。

【0074】

図6は、上記構成の画素回路 $A_{ij3}$ の動作を示すタイミングチャートである。この画素回路 $A_{ij3}$ の動作は、コントロール回路12から供給される前述の各種の信号に基づいて、ソースドライバ回路11およびゲートドライバ回路3によって制御される。以下、本画素回路 $A_{ij3}$ の動作を図6のタイミングチャートを用いて説明する。

40

【0075】

図6においては、ゲート配線 $G_i$ 、制御配線 $W_i$ 、制御配線 $U_i$ 、電源配線 $CA_i$ 、ソース配線 $S_j$ にそれぞれ設定される電位が変化するタイミングが示されている。また、ゲート配線 $G_{i+1}$ 、制御配線 $W_{i+1}$ 、制御配線 $U_{i+1}$ 、電源配線 $CA_{i+1}$ のそれぞれは、同じソース配線 $S_j$ に接続され、かつゲート配線 $G_i$ の次に走査されるゲート配線 $G_{i+1}$ に接続される画素回路 $A_{(i+1)j}$ に対応する。

【0076】

図6に示すように、時刻 $t_1 \sim$ 時刻 $t_{10}$ は画素回路 $A_{ij}$ の選択期間である。

【0077】

まず、最初の時刻 $t_1$ に電源配線 $CA$ の電位を、時刻 $t_1 \sim$ 時刻 $t_7$ で有機 $EL$ 素子 $E$

50

L1の発光に寄与する電流を流さない電位に設定する。これにより、第1の経路のうちのノードKから電源配線CA側の枝部が非導通となる。このとき、電源配線CAの電位を、有機EL素子EL1の陽極と陰極との間に印加される電圧が順方向で有機EL素子EL1の閾値電圧となるような電位 ( $V_{com}'$ ) に設定するのが好ましい。電源配線CAを、有機EL素子EL1の陽極と陰極との間に印加される電圧が順方向で有機EL素子EL1の閾値電圧より小さくなったり、逆方向となったりするような電位に設定すると、 $V_{com}'$  の値が大きくなるため、電源配線CAを充放電するのに伴う消費電力が大きくなり、表示装置1の消費電力が大きくなってしまうためである。時刻  $t_1$  ~ 時刻  $t_2$  を第0期間とする。

#### 【0078】

10

次に、時刻  $t_2$  でゲート配線Giの電位をGH (High) とすることにより、スイッチ用TFT21をON状態とする。次に、時刻  $t_3$  で制御配線Uiの電位をGL (Low) とすることにより、スイッチ用TFT25をON状態とする。制御配線UiがGLとなる時刻  $t_3$  ~ 時刻  $t_5$  は、第2の経路導通期間である。次に、時刻  $t_4$  で制御配線Wiの電位をGHとして、スイッチ用TFT23をON状態とする。このとき、図2に示したD/Aコンバータ10...により、ソース配線S1~Smに初期化電位  $V_{pc}$  が付与されている。これにより、駆動用TFT22のゲート端子電位はソース配線Sjの電位である初期化電位  $V_{pc}$  となる。このとき、有機EL素子EL1の陽極と陰極との間に閾値電圧が印加されているので、電源配線PSから駆動用TFT22とスイッチ用TFT25とを順に通ってソース配線Sjへ流れ、有機EL素子EL1には電流は流れない。仮に、この初期化電位  $V_{pc}$  を駆動用TFT22がOFF状態となるように設定すれば、駆動用TFT22はOFF状態となる。時刻  $t_2$  ~ 時刻  $t_5$  が第1期間に相当する。

20

#### 【0079】

次に、時刻  $t_5$  で制御配線Uiの電位をGHとすることにより、スイッチ用TFT25をOFF状態とする。これにより、駆動用TFT22のゲート端子電位は徐々に高くなり、駆動用TFT22の閾値電圧 ( $V_{th}$ ; 但し  $V_{th}$  はゲート・ソース間電圧であって負の値) に対応した値 ( $V_p + V_{th}$ ) となったときに、駆動用TFT22はOFF状態となる。時刻  $t_5$  ~ 時刻  $t_6$  が第2期間に相当する。この第2期間は、TFTの閾値電圧に製造上のばらつきがあるために、このばらつきを補償するために実行する期間である。この第2期間を実行することにより、駆動用TFT22がどのような閾値電圧を有していても、当該駆動用TFT22を必ず閾値状態とすることができる。従って、駆動用TFT22に所望の電流を流すように制御するには、この後に駆動用TFT22のゲート・ソース間電圧を、閾値状態から所望の電流に応じた電圧だけ変化させればよい。

30

#### 【0080】

そこで次に、時刻  $t_6$  で制御配線Wiの電位をGLとすることにより、スイッチ用TFT23をOFF状態とする。これにより、コンデンサC1に、駆動用TFT22の閾値電圧に対応した値が記憶される。このとき、接続端Aの電位は  $V_{pc}$  であるため、コンデンサC1の両端に印加される電圧は、ソース配線Sj側を基準にして  $V_p + V_{th} - V_{pc}$  となる。そして、ソース配線Sjの電位が初期化電位  $V_{pc}$  から変化すれば、駆動用TFT22の閾値電圧に関係なく、その電位変化に対応した電流が駆動用TFT22を流れる。時刻  $t_6$  ~ 時刻  $t_7$  が第3期間に相当する。

40

#### 【0081】

そして次に、時刻  $t_7$  で、ソース配線Sjの電位を、有機EL素子EL1に所望の電流が流れる駆動用TFT22のゲート端子電位 ( $V_{da}$ ) が得られるような電位 ( $V_{da}'$ ) に切り換える。

#### 【0082】

このとき、ゲート端子電位  $V_{da}$  は

$$V_{da} = V_p + V_{th} - V_{pc} + V_{da}'$$

となる。

#### 【0083】

50

そこで、上記ソース配線の電位  $V_{da}'$  が

$$V_{da}' \geq V_{pc}$$

ならば、駆動用 T F T 2 2 は O F F 状態となる。逆に、

$$V_{da}' < V_{pc}$$

ならば、駆動用 T F T 2 2 は O N 状態となる。

【0084】

次に、時刻  $t_8$  で制御配線  $G_i$  の電位を  $G_L$  とし、さらに時刻  $t_9$  でソース配線  $S_j$  の電位をスイッチ用 T F T 2 1 が O F F 状態となる電位 ( $V_{off}$ : 図6では初期化電位  $V_{pc}$ ) とすることにより、スイッチ用 T F T 2 1 を O F F 状態とする。

【0085】

次に、時刻  $t_{10}$  で、電源配線  $CA$  の電位を  $V_{com}$  とすることにより、第1の経路のうちのノード  $K$  から電源配線  $CA$  側の枝部が導通し、駆動用 T F T 2 2 から有機 E L 素子  $EL_1$  へ所望の電流が流れる。従って、画素回路  $A_{ij2}$  において、電源配線  $CA$  はゲート配線  $G_i$  毎に、すなわち各ゲート配線  $G_i$  に接続されている画素回路  $A_{ij2}$  のグループ毎に分離されている方が好ましい。このことにより、選択されているグループの画素回路  $A_{ij2}$  のみ電源配線  $CA$  の電位を変動させることができるので、選択されていない画素回路  $A_{ij2}$  の発光期間をより多くとることができ、有機 E L 素子  $EL_1$  の輝度を下げることができる。この結果、有機 E L 素子  $EL_1$  の劣化を抑制することができる。この時刻  $t_{10}$  から次に画素回路  $A_{ij}$  が選択期間となるまでを第4期間とする。第4期間は枝部導通期間であり、画素回路  $A_{ij}$  の表示期間である。

【0086】

〔実施例4〕

図7は、本実施例の画素回路  $A_{ij}$  である画素回路  $A_{ij4}$  の構成を示す回路図である。

【0087】

図7に示すように、画素回路  $A_{ij4}$  は、図5の画素回路  $A_{ij3}$  において有機 E L 素子の駆動電流を流す電源の極性を反転させたものであり、駆動用 T F T 3 2、スイッチ用 T F T 3 1・3 3・3 5、コンデンサ  $C_3$ ・ $C_4$ 、及び、有機 E L 素子 (電気光学素子)  $EL_2$  を備えている。電源配線  $PS$  は第1の電圧源配線であり、電源配線  $CA$  は第2の電圧源配線である。駆動用 T F T 3 2 及びスイッチ用 T F T 3 1・3 3 は n チャンネル型であり、スイッチ用 T F T 3 5 は p チャンネル型である。なお、上記 T F T のチャンネル極性は全て同じであってもよい。駆動用 T F T 3 2 と有機 E L 素子  $EL_2$  とは直接接続されている。また、この画素回路  $A_{ij4}$  の構成は、図4の画素回路  $A_{ij2}$  において、スイッチ用 T F T 3 4 を短絡除去するとともに制御配線  $R_i$  を除去し、共通陽極  $COM_2$  を電源配線  $CA$  としたものであるため、これ以上の接続関係の詳細な説明は省略する。

【0088】

上記構成の画素回路  $A_{ij4}$  の動作は、前述の画素回路  $A_{ij3}$  の図6の動作において、T F T のチャンネル極性と、有機 E L 素子  $EL_2$  の陽極を電源配線  $CA$  に接続したこととに合せて電位の高低関係を適宜入れ替えただけのものとなるので、その説明は省略する。

【0089】

〔実施例5〕

図12は、本実施例の画素回路  $A_{ij}$  である画素回路  $A_{ij5}$  の構成を示す回路図である。

【0090】

画素回路  $A_{ij5}$  は、駆動用 T F T 2 2、スイッチ用 T F T 2 1・2 3・2 4・2 5、コンデンサ  $C_1$ ・ $C_2$ 、及び、有機 E L 素子  $EL_1$  を備えている。

【0091】

図1との違いは、配線 (第1の配線)  $P_{cj}$  が追加されているところである。配線  $P_{cj}$  は一定の電圧を供給する配線である。また、スイッチ用 T F T (第1のスイッチング素子) 2 5 はスイッチングトランジスタであり、第1の経路上の駆動用 T F T 2 2 と有機 E

10

20

30

40

50

L素子EL1との間、ここでは特に駆動用TFT22とスイッチ用TFT24との間のノードK（すなわち駆動用TFT22のドレイン端子）と、配線Pcjとを結ぶ第2の経路上に設けられている。

【0092】

上記TFTは全て同じチャネル極性であってもよい。また、画素回路Aij5において、実施例3のように、スイッチ用TFT24を省略し、共通陰極COMを電源配線CAとして、電源配線CAをゲート配線Gi毎に、すなわち各ゲート配線Giに接続されている画素回路Aij5のグループ毎に分離してもよい。

【0093】

画素回路Aij5の回路構成は、上記以外については、図1のAij1の回路構成と同様であるため、その説明を省略する。 10

【0094】

画素回路Aij5の動作を示すタイミングチャートについては、図3と同様である。ただし、配線Pcjが供給する電位は初期化電位Vpcであるとする。

【0095】

図3において、時刻t2でゲート配線Giの電位をGH（High）とすることにより、スイッチ用TFT21をON状態とする。次に、時刻t3で制御配線Uiの電位をGL（Low）とすることにより、スイッチ用TFT25をON状態とする。制御配線UiがGLとなる時刻t3～時刻t5は、第2の経路導通期間である。

【0096】

次に、時刻t4で制御配線Wiの電位をGHとして、スイッチ用TFT23をON状態とする。このとき、図2に示したD/Aコンバータ10…により、ソース配線S1～Smに初期化電位Vpcが付与されている。これにより、駆動用TFT22のゲート端子電位は配線Pcjの電位である初期化電位Vpcとなる。このとき、スイッチ用TFT24がOFF状態にあるため、電流は電源配線PSから駆動用TFT22とスイッチ用TFT25とを順に通って配線Pcjへ流れ、有機EL素子EL1には電流は流れない。仮に、この初期化電位Vpcを駆動用TFT22がOFF状態となるように設定すれば、駆動用TFT22はOFF状態となる。時刻t2～時刻t5が第1期間に相当する。 20

【0097】

時刻t1、時刻t6～時刻t10については、実施例1と同様のため説明を省略する。 30

【0098】

〔実施例6〕

図13は、本実施例の画素回路Aijである画素回路Aij6の構成を示す回路図である。

【0099】

画素回路Aij6は、駆動用TFT22、スイッチ用TFT21・23・24・25、コンデンサC1・C2、及び、有機EL素子EL1を備えている。

【0100】

図1との違いは、制御配線Uiが取り除かれ、スイッチ用TFT21をpチャネル極性としているところである。また、スイッチ用TFT（第1のスイッチング素子）25はスイッチングトランジスタであり、第1の経路上の駆動用TFT22と有機EL素子EL1との間、ここでは特に駆動用TFT62とスイッチ用TFT24との間のノードK（すなわち駆動用TFT22のドレイン端子）と、共通陰極（第2の電圧源配線）COM1とを結ぶ第2の経路上に設けられている。そして、スイッチ用TFT25のゲート端子はゲート配線Giに接続されている。 40

【0101】

上記TFTは全て同じチャネル極性であってもよい。また、画素回路Aij6において、実施例3のように、スイッチ用TFT24を省略し、共通陰極COMを電源配線CAとして、電源配線CAをゲート配線Gi毎に、すなわち各ゲート配線Giに接続されている画素回路Aij6のグループ毎に分離してもよい。 50

## 【0102】

画素回路Aij6の回路構成は、上記以外については、図1のAij1の回路構成と同様であるため、その説明を省略する。

## 【0103】

画素回路Aij6の動作を示すタイミングチャートを図14に示す。

## 【0104】

図14において、時刻t2でゲート配線Giの電位をGL(Low)とすることにより、スイッチ用TFT21・25をON状態とする。このとき、ゲート端子電位は、駆動用TFT22の閾値電圧(Vth；但しVthはゲート・ソース間電圧であって負の値)を越えない値、つまりゲート端子電位<VDD+Vthとなるように設定される。また、図2に示したD/Aコンバータ10…により、ソース配線S1~Smに初期化電位Vpcが付与されているため、接続端Aの電位はソース配線Sjの電位である初期化電位Vpcとなる。このとき、スイッチ用TFT24がOFF状態にあるため、電流は電源配線PSから駆動用TFT22とスイッチ用TFT25とを順に通って共通陰極COM1へ流れ、有機EL素子EL1には電流は流れない。時刻t2~時刻t5が第1期間に相当する。

10

## 【0105】

時刻t1、時刻t6~時刻t10については、実施例1と同様であるため、その説明を省略する。

## 【0106】

〔実施例7〕

図15は、本実施例の画素回路Aijである画素回路Aij7の構成を示す回路図である。

20

## 【0107】

画素回路Aij7は、駆動用TFT22、スイッチ用TFT21・23・24・25、コンデンサC1・C2、及び、有機EL素子EL1を備えている。

## 【0108】

図1との違いは、スイッチ用TFT21がpチャネル極性となっていることと、制御配線Uiが取り除かれていることである。また、スイッチ用TFT(第1のスイッチング素子)25はスイッチングトランジスタであり、第1の経路上の駆動用TFT22と有機EL素子EL1との間、ここでは特に駆動用TFT22とスイッチ用TFT24との間のノードK(すなわち駆動用TFT22のドレイン端子)と、ゲート配線Giとを結ぶ第2の経路上に設けられている。すなわち、本実施例では、ゲート配線を第1の配線に用いる。そして、スイッチ用TFTのゲート端子はゲート配線(画素回路Aij7のスイッチング素子の制御配線)Giに接続されている。

30

## 【0109】

上記TFTは全て同じチャネル極性であってもよい。また、画素回路Aij7において、実施例3のように、スイッチ用TFT24を省略し、共通陰極COMを電源配線CAとして、電源配線CAをゲート配線Gi毎に、すなわち各ゲート配線Giに接続されている画素回路Aij7のグループ毎に分離してもよい。

## 【0110】

画素回路Aij7の回路構成は、上記以外については、図1のAij1の回路構成と同様であるため、その説明を省略する。

40

## 【0111】

画素回路Aij7の動作を示すタイミングチャートは前述の図14と同じである。

## 【0112】

図14において、時刻t2でゲート配線Giの電位をGL(Low)とすることにより、スイッチ用TFT21・25をON状態とする。このとき、GLは、駆動用TFT22の閾値電圧(Vth；但しVthはゲート・ソース間電圧であって負の値)を越えない値、つまりGL<VDD+Vthとなるように設定される。また、図2に示したD/Aコンバータ10…により、ソース配線S1~Smに初期化電位Vpcが付与されているため、

50

接続端Aの電位はソース配線S<sub>j</sub>の電位である初期化電位V<sub>pc</sub>となる。次に、時刻t<sub>4</sub>で制御配線W<sub>i</sub>の電位をGHとして、スイッチ用TFT<sub>23</sub>をON状態とする。このとき、スイッチ用TFT<sub>24</sub>がOFF状態にあるため、電流は電源配線PSから駆動用TFT<sub>22</sub>とスイッチ用TFT<sub>25</sub>とを順に通ってゲート配線G<sub>i</sub>へ流れ、有機EL素子EL<sub>1</sub>には電流は流れない。

#### 【0113】

なお、スイッチ用TFT<sub>25</sub>のゲート端子は、ゲート配線G<sub>i</sub>と同様のタイミングのパルス波形を持ち、ゲート配線G<sub>i</sub>とは独立した制御配線に接続されている方が望ましい。その理由は以下の通りである。図2に示すように、ゲート配線G<sub>i</sub>にはm個の画素回路A<sub>ij</sub>が接続されている。したがって、図15では、時刻t<sub>4</sub>においてゲート配線G<sub>i</sub>には、画素回路A<sub>ij</sub>のm倍の電流が流れることになる。一般的に、ゲート配線には金属配線が用いられるため、この金属配線に電流が流れると、電圧降下を生じる。これにより、各画素回路A<sub>ij</sub>間でゲート配線G<sub>i</sub>から供給される電圧が異なってしまうため、スイッチ用TFT<sub>25</sub>のゲート端子は、ゲート配線G<sub>i</sub>と同様のタイミングのパルス波形を持ち、ゲート配線G<sub>i</sub>とは独立した制御配線に接続されている方が望ましい。時刻t<sub>2</sub>～時刻t<sub>5</sub>が第1期間に相当する。

10

#### 【0114】

時刻t<sub>1</sub>、時刻t<sub>6</sub>～時刻t<sub>10</sub>については、実施例1と同様であるため、その説明を省略する。

#### 【0115】

20

#### 〔実施例8〕

図16は、本実施例の画素回路A<sub>ij</sub>である画素回路A<sub>ij</sub>8の構成を示す回路図である。

#### 【0116】

図16に示すように、画素回路A<sub>ij</sub>8は、駆動用TFT<sub>32</sub>、スイッチ用TFT<sub>31</sub>・33・34・35、コンデンサC<sub>3</sub>・C<sub>4</sub>、及び、有機EL素子EL<sub>2</sub>を備えている。

#### 【0117】

図4との違いは、制御配線U<sub>i</sub>を取り除き、スイッチ用TFT<sub>35</sub>をnチャネル極性としていることである。また、スイッチ用TFT（第1のスイッチング素子）35はスイッチングトランジスタであり、第1の経路上の駆動用TFT<sub>32</sub>と有機EL素子EL<sub>2</sub>との間、ここでは特に駆動用TFT<sub>32</sub>とスイッチ用TFT<sub>34</sub>との間のノードK（すなわち駆動用TFT<sub>32</sub>のドレイン端子）と、ゲート配線G<sub>i</sub>とを結ぶ第2の経路上に設けられている。すなわち、本実施例では、ゲート配線G<sub>i</sub>を第1の配線として用いる。そして、スイッチ用TFT<sub>35</sub>のゲート端子は、ゲート配線（画素回路A<sub>ij</sub>8のスイッチング素子の制御配線）G<sub>i</sub>に接続されている。

30

#### 【0118】

上記TFTは全て同じチャネル極性であってもよい。また、画素回路A<sub>ij</sub>8において、実施例4のように、スイッチ用TFT<sub>34</sub>を省略し、共通陰極COM<sub>2</sub>を電源配線CAとして、電源配線CAをゲート配線G<sub>i</sub>毎に、すなわち各ゲート配線G<sub>i</sub>に接続されている画素回路A<sub>ij</sub>8のグループ毎に分離してもよい。

40

#### 【0119】

画素回路A<sub>ij</sub>8の回路構成は、上記以外については、図4のA<sub>ij</sub>2の回路構成と同様であるため、その説明を省略する。

#### 【0120】

上記構成の画素回路A<sub>ij</sub>8の動作は、前述の図15の画素回路A<sub>ij</sub>7の動作において、TFTのチャネル極性に合せて電位の高低関係を適宜入れ替えただけのものであるため、その説明は省略する。

#### 【0121】

また、スイッチ用TFT<sub>35</sub>のゲート端子は、ゲート配線G<sub>i</sub>と同様のタイミングのパルス波形を持ち、ゲート配線G<sub>i</sub>とは独立した制御配線に接続されている方が望ましい。

50

その理由は、図15の画素回路A<sub>ij</sub>7と同様のため、説明を省略する。

【0122】

以上、各実施例について述べた。

【0123】

各実施例では、駆動用TFTから電流を流しながら有機EL素子に電流を流さない状態と、駆動用TFTから有機EL素子に電流を流す状態とを区別して形成することができる。これにより、画素回路において表示期間以外には電気光学素子を発光させないようにすることができる。表示期間以外に電気光学素子に電流が流れなければ表示のコントラストは向上する。また、発光期間がそれだけ短くなるため、電気光学素子の劣化が少なくなる。

10

【0124】

以上により、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置を実現することができる。

【0125】

本発明で用いた有機EL素子は、低電圧・低消費電力で発光可能であり、さらにバックライトが不要な分、液晶より薄型を実現でき、前記携帯サイズの応用製品にとってより好ましい電気光学素子である。

【0126】

なお、本実施の形態では、画素回路の電気光学素子として有機EL素子を用いたが、これに限らず、電流駆動型の電気光学素子であればよい。従って、当該発光部として、半導体LEDやFEDの発光部なども使用可能である。

20

【0127】

また、電気光学素子の駆動用トランジスタとして、ガラス基板などの絶縁基板上に形成されるMOSトランジスタ（シリコンゲートMOS構造も含めてMOSトランジスタと称する）であるTFTを用いたが、これに限らず、電流制御端子に印加する制御電圧で出力電流を制御する電圧制御型の素子であって、制御電圧に出力電流の有無を決定する閾値電圧が存在する素子であればよい。従って、当該素子として、半導体基板上に形成されるMOSトランジスタなども含む、一般の絶縁ゲート型電界効果トランジスタが使用可能である。

【0128】

以上のように、本発明の表示装置は、前記第1の経路の前記ノードから前記電気光学素子側の枝部に、前記電気光学素子と互いに直列の関係に設けられた第2のスイッチング素子を備えていることを特徴としている。

30

【0129】

上記の発明によれば、第2のスイッチング素子をON状態とOFF状態とで切り替えることにより、第1の経路の前記枝部に電流を流すか否かを切り替えることができる。

【0130】

また、本発明の表示装置は、前記第1の電圧源配線および前記第2の電圧源配線のうち、前記第1の経路の前記ノードから前記電気光学素子側の枝部に接続されている枝部側電源配線の電位は可変であることを特徴としている。

40

【0131】

上記の発明によれば、枝部側電源配線の電位を、電気光学素子に電流が流れない電圧が印加されるような電位と、電気光学素子に電流が流れる電圧が印加されるような電位とで切り替えることにより、第1の経路の前記枝部に電流を流すか否かを切り替えることができる。

【0132】

また、前記枝部に素子および当該素子に付随する配線を追加することなく前記枝部に電流を流すか否かを切り替えることができるので、画素回路を縮小化して多画素化することにより高精細の表示装置を実現することができる。

【0133】

50

また、本発明の表示装置は、前記第1の電圧源配線は前記第2の電圧源配線よりも高電位とされており、前記電気光学素子の陰極と前記第2の電圧源配線とが互いに接続されていることを特徴としている。

【0134】

上記の発明によれば、第1の電圧源配線が第2の電圧源配線よりも高電位とされており、電気光学素子の陰極と第2の電圧源配線とが互いに接続されていることにより、電気光学素子が発光する方向に電流が流れる。

【0135】

また、本発明の表示装置は、前記第2の電圧源配線は前記第1の電圧源配線よりも高電位とされており、前記電気光学素子の陽極と前記第2の電圧源配線とが互いに接続されていることを特徴としている。 10

【0136】

上記の発明によれば、第2の電圧源配線が第1の電圧源配線よりも高電位とされており、電気光学素子の陽極と第2の電圧源配線とが互いに接続されていることにより、電気光学素子が発光する方向に電流が流れる。

【0137】

また、本発明の表示装置は、前記電気光学素子は有機EL素子であることを特徴としている。

【0138】

上記の発明によれば、電流駆動型の電気光学素子として頻繁に用いられる有機EL素子を備えた表示装置において、コントラストを高くすることが可能であり、かつ、有機EL素子の劣化を抑制することができる。 20

【0139】

また、本発明の表示装置は、前記駆動素子は絶縁ゲート型電界効果トランジスタであることを特徴としている。

【0140】

上記の発明によれば、絶縁ゲート型電界効果トランジスタの閾値電圧のばらつきがある場合に、駆動素子の閾値電圧を補償する工程において、駆動素子から流す電流を電気光学素子に流さないようにすることができる。 30

【0141】

また、本発明の表示装置は、前記駆動素子、前記第1のスイッチング素子、および、前記第2のスイッチング素子は薄膜トランジスタであることを特徴としている。

【0142】

上記の発明によれば、薄膜トランジスタが形成可能な表示装置において、駆動素子、第1のスイッチング素子、および第2のスイッチング素子を全て薄膜トランジスタで構成することにより、表示装置を容易かつ高性能に製造することができる。 30

【0143】

また、本発明の表示装置は、前記画素回路に含まれる絶縁ゲート型電界効果トランジスタは全て同じチャンネル極性であることを特徴としている。

【0144】

上記の発明によれば、絶縁ゲート型電界効果トランジスタを同じプロセスで製造することができるので、異なるチャンネル極性が混在することによるマスク種類の増加などのプロセスの煩雑さを回避することが可能になる。従って、表示装置を低コスト化することができる。 40

【0145】

また、本発明の表示装置は、前記画素回路は、前記駆動素子に前記第1の経路に流す電流を設定するために、複数個ずつのグループ単位で走査線によって走査されるものであり、前記枝部側電源配線は前記グループごとに分離されている。

【0146】

上記の発明によれば、走査されている画素回路に対してのみ、枝部側電源配線の電位を 50

変化させることができるので、その間、走査されていない画素回路を表示期間とすることができる。従って、画素回路がマトリクス状に設けられていても、各画素回路において表示期間を長く確保することができるため、その分、電気光学素子の輝度を低く抑制することができる、電気光学素子の劣化をさらに抑制することができる。

【0147】

また、本発明の表示装置は、前記駆動素子は p チャンネル型の絶縁ゲート型電界効果トランジスタであることを特徴としている。

【0148】

上記の発明によれば、駆動素子から流す電流を、駆動素子のゲート端子の、第1の電圧源配線の一定電位に対する電位で決定することができる。従って、ソースフォロワにおける負荷変動を回避して、駆動素子から正確な電流を流すことができる。 10

【0149】

また、本発明の表示装置は、前記駆動素子は n チャンネル型の絶縁ゲート型電界効果トランジスタであることを特徴としている。

【0150】

上記の発明によれば、駆動素子から流す電流を、駆動素子のゲート端子の、第2の電圧源配線の一定電位に対する電位で決定することができる。従って、ソースフォロワにおける負荷変動を回避して、駆動素子から正確な電流を流すことができる。

【0151】

また、本発明の表示装置は、前記第1のスイッチング素子を ON 状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子を OFF 状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行することを特徴としている。 20

【0152】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0153】

また、本発明の表示装置は、前記第1のスイッチング素子を ON 状態とすることにより前記第2の経路を導通させるとともに、前記第2のスイッチング素子を OFF 状態とすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子を OFF 状態とすることにより前記第2の経路を非導通とするとともに、前記第2のスイッチング素子を ON 状態とすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴としている。 30

【0154】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0155】

また、本発明の表示装置は、前記第1のスイッチング素子を ON 状態とすることにより前記第2の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子を OFF 状態とすることにより前記第2の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴としている。 40

【0156】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路 50

に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0157】

また、本発明の表示装置は、前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴としている。

【0158】

上記の発明によれば、枝部の導通と非導通とを切り替えるときの枝部側電源配線の電位変動を最も小さくすることができる。従って、電位変動による枝部側電源配線の充放電に伴う電力消費を極力小さく抑制することができ、低消費電力の表示装置を実現することができる。

10

【0159】

また、本発明の表示装置は、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行し、前記第2の経路導通期間は、前記駆動素子を閾値状態とする前に前記駆動素子の出力電流を前記第2の経路に流すために設定される期間であり、前記枝部導通期間は、前記第2の経路導通期間の後に前記駆動素子が前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第1の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴としている。

20

【0160】

上記の発明によれば、駆動素子の閾値電圧のばらつきを補償する期間の中で、第2の経路導通期間を実行することにより、駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間を表示期間として実行することにより、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0161】

また、本発明の表示装置は、前記第1の配線は、前記電気光学素子の発光輝度データを前記画素回路に供給する信号線であることを特徴としている。

30

【0162】

上記の発明によれば、駆動素子から電流を流しながら電気光学素子に電流を流さない状態を形成するときにおいて、画素回路に電気光学素子の発光輝度データを供給して記憶させる場合に、画素回路に電気光学素子の発光輝度データを供給するまでに、発光輝度データを画素回路に供給する信号線を第1の配線として用いるようにすることにより、第1の配線として別途配線を設ける必要がない。

【0163】

また、本発明の表示装置は、前記第1の配線は、一定の電位を供給する配線であることを特徴としている。

【0164】

上記の発明によれば、第1の配線として設ける配線を一定の電位とすればよいので、第1の配線を駆動する構成が簡単になる。

40

【0165】

また、本発明の表示装置は、前記第1の配線は、前記画素回路に備えられるスイッチング素子の制御配線であることを特徴としている。

【0166】

上記の発明によれば、画素回路に備えられるスイッチング素子の制御配線を第1の配線として用いるようにすることにより、第1の配線として別途配線を設ける必要がない。

【0167】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法で

50

あって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行することを特徴としている。

【0168】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0169】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第2のスイッチング素子をOFF状態とすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記第2のスイッチング素子をON状態とすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴としている。

【0170】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0171】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴としている。

【0172】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0173】

また、本発明の表示装置の駆動方法は、前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴としている。

【0174】

上記の発明によれば、枝部の導通と非導通とを切り替えるときの枝部側電源配線の電位変動を最も小さくすることができる。従って、電位変動による枝部側電源配線の充放電に伴う電力消費を極力小さく抑制することができ、低消費電力の表示装置を実現することができる。

【0175】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行し、前記第2の経路導通期間は、前記駆動素子を閾値状態とする前に前記駆動素子の出力

10

20

30

40

50

電流を前記第2の経路に流すために設定される期間であり、前記枝部導通期間は、前記第2の経路導通期間の後に前記駆動素子が前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第1の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴としている。

【0176】

上記の発明によれば、駆動素子の閾値電圧のばらつきを補償する期間の中で、第2の経路導通期間を実行することにより、駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間を表示期間として実行することにより、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

10

【0177】

なお、発明を実施するための最良の形態の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と請求の範囲内で、いろいろと変更して実施することができるものである。

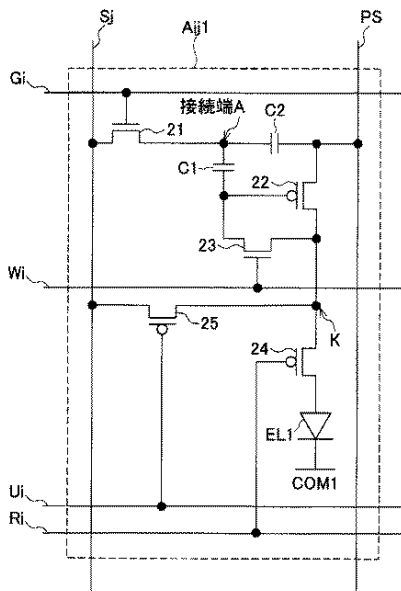
【産業上の利用可能性】

【0178】

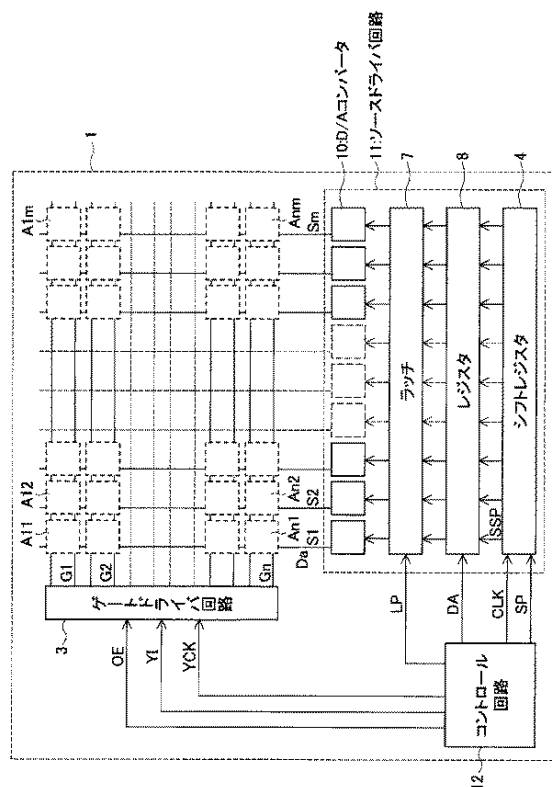
本発明の表示装置は、駆動用トランジスタの電流制御端子の制御電圧を閾値電圧に対応した値に設定する際に、電気光学素子に電流を流さないため、高画質化を図ることができるので、電流駆動型表示素子を用いた表示装置に好適に利用することができる。

20

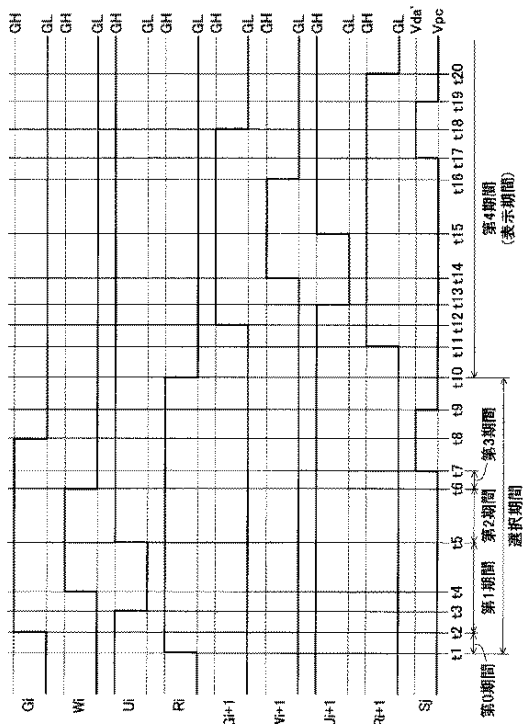
【図1】



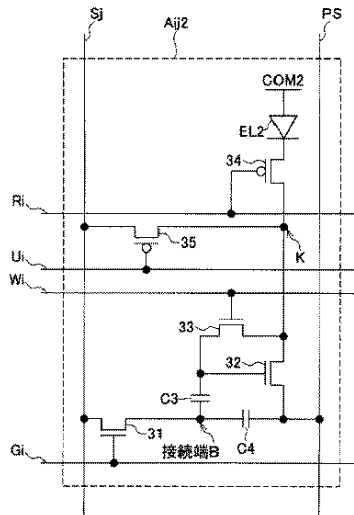
【図2】



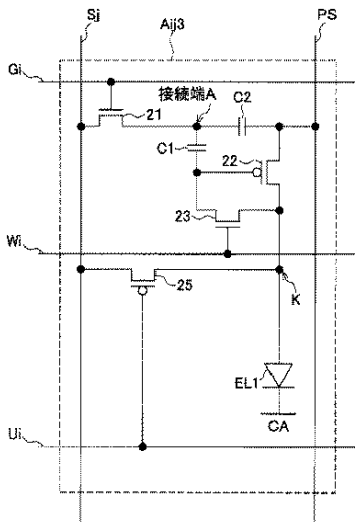
【図3】



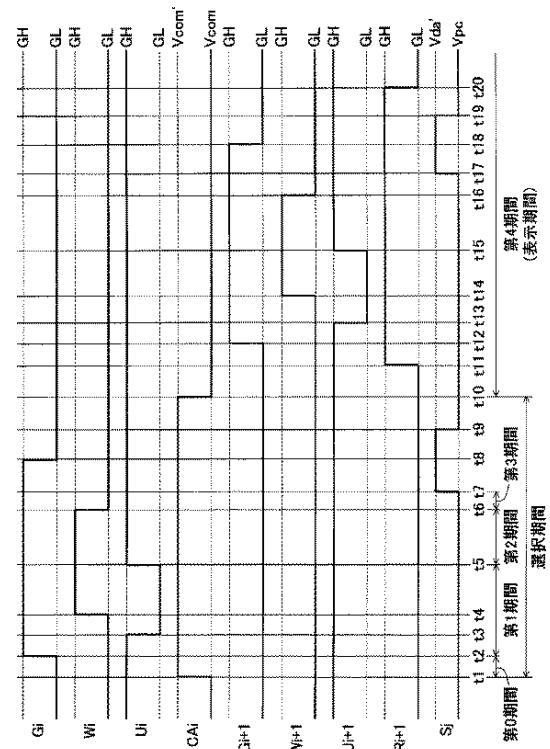
【図4】



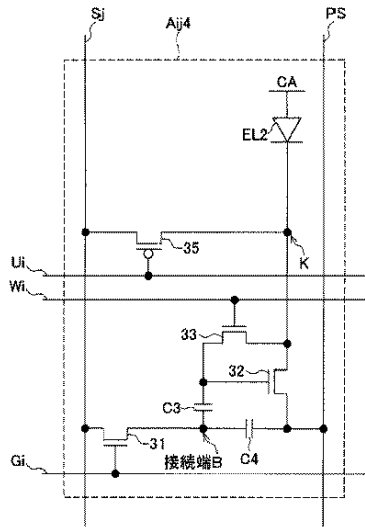
【図5】



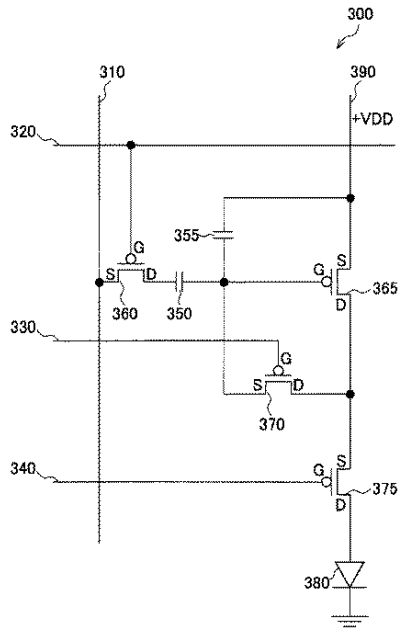
【図6】



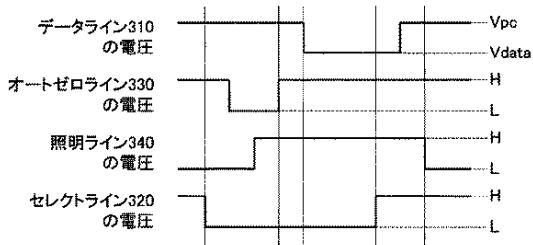
【図7】



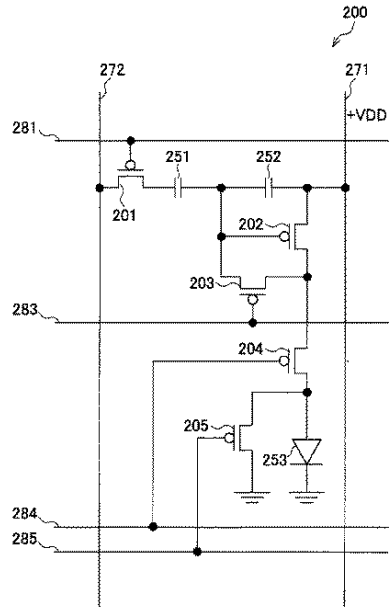
【図8】



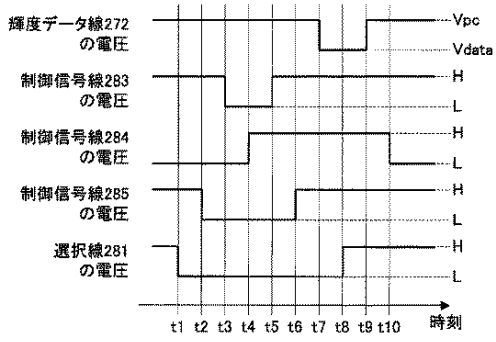
【図9】



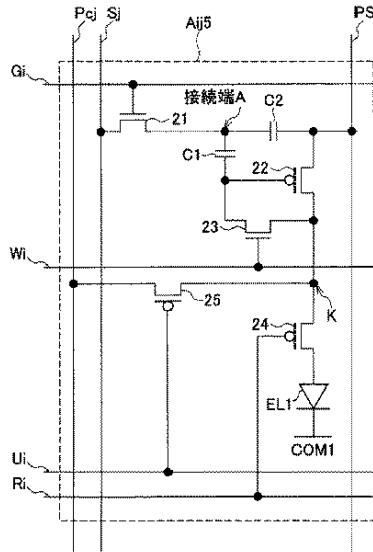
【図10】



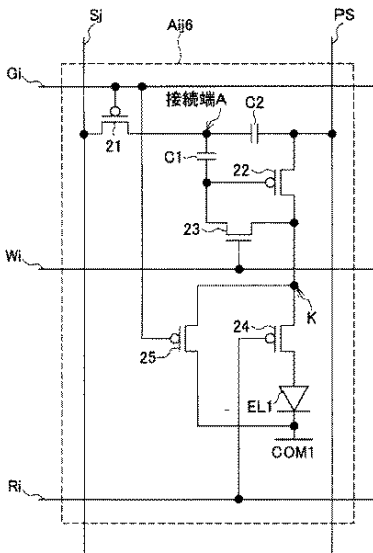
【図11】



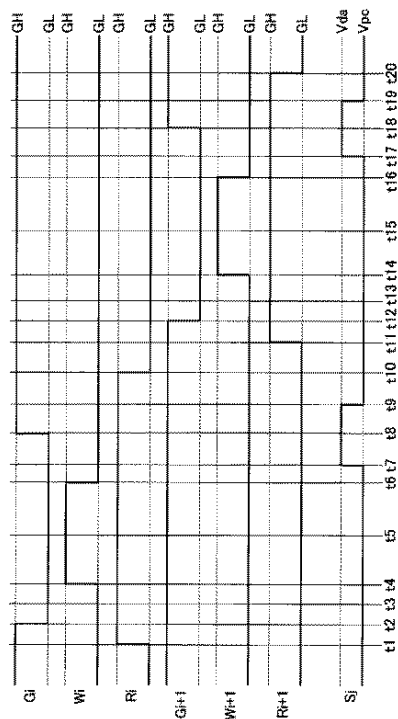
【図12】



【図13】



【図14】





## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311856

A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-351401 A (Mitsubishi Electric Corp.), 06 December, 2002 (06.12.02), Full text; all drawings	1,4-9,11-12, 18-20
Y	& WO 2002/075712 A1 & US 2003/0112208 A1 & EP 1372132 A1	2-3,10, 13-17,21-25
Y	JP 2004-138773 A (Tohoku Pioneer Corp.), 13 May, 2004 (13.05.04), Par. Nos. [0025] to [0040]; Figs. 5 to 9 & US 2004/0080475 A1 & EP 1411489 A2	2-3,10, 13-17,21-25
Y	JP 7-92931 A (Sharp Corp.), 07 April, 1995 (07.04.95), Par. No. [0028]; Fig. 5 (Family: none)	16,24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"
"E"	earlier application or patent but published on or after the international filing date	"X"
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 02 August, 2006 (02.08.06)		Date of mailing of the international search report 08 August, 2006 (08.08.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/311856

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-62794 A (Sharp Corp.), 10 March, 2005 (10.03.05), Full text; all drawings & WO 2004/088623 A1 & EP 1610291 A1	1-25

国際調査報告		国際出願番号 PCT/JP2006/311856									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006,01)i, G09G3/20(2006,01)i, H01L51/50(2006,01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X	JP 2002-351401 A (三菱電機株式会社) 2002.12.06, 全文全図 & WO 2002/075712 A1	1, 4-9, 11-12, 18-20									
Y	& US 2003/0112208 A1 & EP 1372132 A1	2-3, 10, 13-17, 21-25									
Y	JP 2004-138773 A (東北バイオニア株式会社) 2004.05.13, 段落【0025】-【0040】, 図5-9 & US 2004/0080475 A1 & EP 1411489 A2	2-3, 10, 13-17, 21-25									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 02.08.2006		国際調査報告の発送日 08.08.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広	2G 9509								
		電話番号 03-3581-1101 内線	3226								

国際調査報告

国際出願番号 PCT/JP2006/311856

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-92931 A (シャープ株式会社) 1995. 04. 07, 段落【0028】, 図5 (ファミリーなし)	16, 24
A	JP 2005-62794 A (シャープ株式会社) 2005. 03. 10, 全文全図 & WO 2004/088623 A1 & EP 1610291 A1	1-25

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局（W I P O）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	<a href="#">JPWO2006137295A1</a>	公开(公告)日	2009-01-15
申请号	JP2007522244	申请日	2006-06-13
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大橋誠二 仙田孝裕		
发明人	大橋 誠二 仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2310/06 G09G2320/0238 G09G2320/043 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.642.D G09G3/20.641.D G09G3/20.624.B H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC32 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2005183993 2005-06-23 JP		
其他公开文献	JP4685100B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

驱动TFT ( 22 )，开关TFT ( 24 ) 和有机EL元件 ( EL1 ) 串联设置在连接电源布线 ( PS ) 和公共阴极 ( COM1 ) 的第一路径上。此外，开关TFT ( 25 ) 设置在连接驱动TFT ( 22 ) 和开关TFT ( 24 ) 之间的节点 ( K ) 和源极布线 ( Sj ) 的第二路径上。通过使开关TFT ( 25 ) 进入导通状态，使第二路径导通，并且将开关TFT ( 24 ) 关断，使得有机EL提供使元件 ( EL1 ) 侧的分支部分不导电的时段。这使得与传统像素电路相比可以增加对比度，并且实现能够抑制电光元件劣化的显示装置及其驱动方法。

【图 1】

