

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4958392号
(P4958392)

(45) 発行日 平成24年6月20日 (2012.6.20)

(24) 登録日 平成24年3月30日 (2012.3.30)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 621F
	G09G 3/20 623C
	G09G 3/20 623D
	G09G 3/20 623R
請求項の数 10 (全 21 頁) 最終頁に続く	

(21) 出願番号 特願2004-234902 (P2004-234902)
 (22) 出願日 平成16年8月11日 (2004.8.11)
 (65) 公開番号 特開2006-53348 (P2006-53348A)
 (43) 公開日 平成18年2月23日 (2006.2.23)
 審査請求日 平成19年8月8日 (2007.8.8)

(73) 特許権者 510048417
 グローバル・オーエーディー・テクノロジー・リミテッド・ライアビリティー・カンパニー
 GLOBAL OLED TECHNOLOGY LLC.
 アメリカ合衆国、バージニア州、ハーンドン、パーク・センター・ロード 13873、スイート 330
 13873 Park Center Road, Suite 330, Herndon, VA 20171, United States of America

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

電流駆動されるダイオード型発光素子と前記ダイオード型発光素子を制御する複数の薄膜トランジスタとを1つの画素回路として、前記画素回路をマトリクス状に配置したアクティブマトリクス型表示アレイと、

前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号を供給するデータラインと、

前記データラインへの前記データ信号の供給を制御するデータドライバと、

前記マトリクスの各行に対応して設けられ、対応する行の画素回路に選択信号を供給する選択ラインと、

前記選択ラインに選択信号を供給するゲートドライバと、
 を有し、

前記データ信号は、オン電流を供給するか否かで、「1」、「0」を表すデジタル信号であり、

さらに、

前記データラインに接続される補助回路を有し、

前記補助回路は、データラインに供給されるオン電流の一部を流すトランジスタと、その状態におけるトランジスタのゲート電圧を保持するコンデンサを有し、前記データラインに供給された前記データドライバからのデータ信号の前記オン電流の一部を流すことが可能であり、

前記画素回路は、この補助回路のコンデンサに保持された電圧に応じて前記ダイオード型発光素子を電流駆動する

ことを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

前記データドライバは、オン電流を供給しない場合には、所定のオフ電位をデータラインに供給することを特徴とする表示装置。

【請求項 3】

請求項 1 に記載の表示装置において、

前記データラインに対し、データ信号の供給に先立って所定のプリチャージ電圧を供給するプリチャージ回路を有し、このプリチャージ回路が所定のオフ電位をデータラインに供給することを特徴とする表示装置。

10

【請求項 4】

請求項 1 ~ 3 のいずれか 1 つに記載の表示装置において、

前記データドライバは、1 フレームにおける画素毎の表示データに基づいて、各画素についての 1 フレーム内の複数のサブフレームにおける前記データ信号の「1」、「0」を決定し、サブフレーム毎に前記データ信号をデータラインに供給することを特徴とする表示装置。

【請求項 5】

請求項 4 に記載の表示装置において、

前記データドライバは、1 つのデータラインに対し、異なる行であって、異なるサブフィールドの画素についてのデータ信号を順次供給し、

前記ゲートドライバは、データラインに供給されるデータ信号を供給すべき行の選択ラインをデータ信号の供給に同期して順次選択することを特徴とする表示装置。

20

【請求項 6】

請求項 1 に記載の表示装置において、

前記補助回路は、電流供給力が画素回路と比較して大きいことを特徴とする表示装置。

【請求項 7】

請求項 6 に記載の表示装置において、

前記補助回路は、1 つのデータラインに対し異なる電流供給力を有する複数の補助回路から構成されることを特徴とする表示装置。

30

【請求項 8】

請求項 6 または 7 のいずれか 1 つに記載の表示装置において、

前記補助回路は、スイッチを介しデータラインに接続され、1 水平期間に少なくとも 1 回、前記データラインに接続されることを特徴とする表示装置。

【請求項 9】

請求項 6 ~ 8 のいずれか 1 つに記載の表示装置において、

前記データドライバは同じデータ電圧に対し、複数のデータ電流を前記データラインに供給することが可能であり、1 水平期間中に前記複数のデータ電流を切り替えることを特徴とする表示装置。

40

【請求項 10】

請求項 9 に記載の表示装置において、

前記複数のデータ電流は、前記データラインに、1 水平期間の前半に画素に書き込むデータ電流より大きい電流として供給されることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流駆動されるダイオード型発光素子と前記ダイオード型発光素子を制御する複数の薄膜トランジスタとを 1 つの画素回路として、この画素回路をマトリクス状に配置したアクティブマトリクス型の表示装置に関する。

50

【背景技術】

【0002】

近年、情報化が進展し、携帯情報端末にも、かつてのパーソナルコンピュータに匹敵する処理能力を要求されるようになってきた。これに伴い、映像表示装置にも高精細化、高品質化が要求され、薄型、軽量、高視野角、低消費電力なものが望まれている。

【0003】

この要求に応えるべく、ガラス基板上にマトリクス状に薄膜能動素子（薄膜トランジスタ、Thin Film Transistor、または単にTFT）を形成し、その上にTFTによって駆動が制御される電気光学素子を形成した表示装置（ディスプレイ）の開発がさかんに行われている。

10

【0004】

薄膜能動素子を形成する基板はアモルファスシリコンやポリシリコンなどの半導体膜を成膜後、パターニングし、メタルで配線接続した形態が主流である。薄膜能動素子の電気的特性の違いから、アモルファスシリコンを利用する場合は別に駆動用のIC（Integrated Circuit）を必要とし、ポリシリコンを利用する場合は駆動用の回路を基板上に形成できるという特徴がある。

【0005】

現在、広く用いられている液晶ディスプレイ（Liquid Crystal Display、または単にLCD）では、大型なものに関しては、前者のアモルファスシリコンタイプが普及しているが、中・小型では後者の高精細化に向くポリシリコンタイプが主流になりつつある。

20

【0006】

自己発光型で、薄型、軽量、高視野角といった特長を有するエレクトロルミネッセンス型（有機EL）ディスプレイは、ポリシリコンタイプのみ量産されている。

【0007】

一般に、有機EL素子は、TFTと組み合わせることによって、その電圧電流制御作用を利用し、電流が制御される。ここでいう電流電圧制御作用とは、TFTのゲート端子に電圧を印加して、ソース・ドレイン間の電流を制御する作用のことをいう。有機EL素子に駆動電流を供給するTFTのゲート端子の電圧を輝度データ（階調データ）に応じたものにセットすることで、輝度データに応じた駆動電流を有機EL素子供給して、発光強度を調整することができ、所望の階調を表示することが可能となる。

30

【0008】

しかし、このような構成を採用しているため、有機EL素子の発光強度はTFTの特性に非常に敏感に影響を受ける。特に、ポリシリコンTFT、中でも低温ポリシリコンと呼ばれる低温プロセスで形成されるポリシリコンTFTは、隣接画素間においても比較的大きな電気的特性の違いが生じることが確認されており、有機ELディスプレイの表示品質、特に画面内の表示均一性を劣化させる大きな要因の一つとなっている。

【0009】

それを改善する従来技術が、特許文献1に開示されている。この従来技術では、有機EL素子を駆動するポリシリコンTFTをスイッチとして用い、点灯、消灯の二つの状態でのみ動作させる（デジタル駆動する）ことでその特性のばらつきを抑え、その点灯期間を制御することで多階調化している。

40

【0010】

【特許文献1】特開2002-297094

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、ポリシリコンTFTをスイッチとして用い、有機EL素子に電圧を印加するか否かで駆動すると、有機EL素子の経時劣化により、比較的短期間で駆動電圧が上昇し、オン電流が低下する。このオン電流が低下した画素は焼きつきとして表示に現れるため、比較的寿命が短くなるという問題があった。

50

【課題を解決するための手段】

【0012】

本発明は、電流駆動されるダイオード型発光素子と前記ダイオード型発光素子を制御する複数の薄膜トランジスタとを1つの画素回路として、前記画素回路をマトリクス状に配置したアクティブマトリクス型表示アレイと、前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号を供給するデータラインと、前記データラインへの前記データ信号の供給を制御するデータドライバと、前記マトリクスの各行に対応して設けられ、対応する行の画素回路に選択信号を供給する選択ラインと、前記選択ラインに選択信号を供給するゲートドライバと、を有し、前記データ信号は、オン電流を供給するかどうかで、「1」、「0」を表すデジタル信号であることを特徴とする。

10

【0013】

また、前記データドライバは、オン電流を供給しない場合には、所定のオフ電位をデータラインに供給することが好適である。

【0014】

また、前記データラインに対し、データ信号の供給に先立って所定のプリチャージ電圧を供給するプリチャージ回路を有し、このプリチャージ回路が所定のオフ電位をデータラインに供給することが好適である。

【0015】

また、前記データドライバは、1フレームにおける画素毎の表示データに基づいて、各画素についての1フレーム内の複数のサブフレームにおける前記データ信号の「1」、「0」を決定し、サブフレーム毎に前記データ信号をデータラインに供給することが好適である。

20

【0016】

また、前記データドライバは、1つのデータラインに対し、異なる行であって、異なるサブフィールドの画素についてのデータ信号を順次供給し、前記ゲートドライバは、データラインに供給されるデータ信号を供給すべき行の選択ラインをデータ信号の供給に同期して順次選択することが好適である。

【0017】

さらに、前記データラインに接続される補助回路を有し、前記補助回路は前記データラインに供給された前記データドライバからのデータ信号の前記オン電流の一部を流すことが可能であることが好適である。

30

【0018】

また、前記補助回路は、データラインに供給されるオン電流の一部を流すトランジスタと、その状態におけるトランジスタのゲート電圧を保持するコンデンサを有し、前記画素回路は、この補助回路のコンデンサに保持された電圧に応じて前記ダイオード型発光素子を電流駆動することが好適である。

【0019】

また、前記補助回路は、電流供給力が画素回路と比較して大きいことが好適である。

【0020】

また、前記補助回路は、1つのデータラインに対し異なる電流供給力を有する複数の補助回路から構成されることが好適である。

40

【0021】

また、前記補助回路は、スイッチを介しデータラインに接続され、1水平期間に少なくとも1回、前記データラインに接続されることが好適である。

【0022】

また、前記データドライバは同じデータ電圧に対し、複数のデータ電流を前記データラインに供給することが可能であり、1水平期間中に前記複数のデータ電流を切り替えることが好適である。

【0023】

また、前記複数のデータ電流は、前記データラインに、1水平期間の前半に画素に書き

50

込むデータ電流より大きい電流として供給されることが好適である。

【発明の効果】

【0024】

有機EL素子を電流駆動する画素構成とし、有機EL素子をオンする場合には、データラインにオン電流を供給し、オフする場合にはデータラインにオフ電位を供給して画素に書き込むことで、有機EL素子を駆動TFTで電流駆動する。このため、有機EL素子の経時劣化による駆動電圧が上昇しても一定の電流でデジタル駆動でき、画素の焼きつきを防止して、寿命を長くすることができる。

【0025】

特に、補助回路を利用することで、データラインに大電流を流し、データの書き込みを行うことができ、電流書き込みを短時間で完了することができる。

10

【発明を実施するための最良の形態】

【0026】

以下、図面を用いて本発明の実施の形態を詳細に説明する。

【0027】

(1) 第1実施形態

<全体構成>

図1に、本発明における第1実施形態の全体構成を示す。

【0028】

有機ELディスプレイ1は、各画素がマトリクス状に配置されているアクティブマトリクス型表示アレイ101、表示アレイ101の各列に設けられたデータライン107にデータ信号を供給するデータドライバ102、表示アレイ101の各行に設けられた第1選択ライン108と、第2選択ライン109に第1の選択電位と、第2の選択電位をそれぞれ供給するゲートドライバ103、各データライン107のデータ電流の一部を流す補助回路110、データ制御バス112を介してデータドライバ102に映像信号および制御信号を供給するとともにゲート制御バス113を介してゲートドライバ103に制御信号を供給する制御回路106、メモリバス114を介して制御回路106に制御されるフレームメモリ121、外部からの映像信号やクロックを入力する入力バス111から構成されている。低温ポリシリコンプロセスを適用すれば、制御回路106、フレームメモリ121以外の回路は、すべてガラス基板上に容易に形成でき、表示デバイス105を構成

20

30

【0029】

制御回路106は、外部からの映像信号やクロックについて、必要に応じて所定のレベルへの変換処理を施し、変換後の信号をデータドライバ102、ゲートドライバ103へ供給する。

【0030】

制御回路106とフレームメモリ121はそれぞれ単体のICで構成してもよいが、メモリバス114のバス幅が広がるため、制御回路106のピン数が増え、実装面積が増大し、またコスト、消費電力が上昇する。

40

【0031】

そこで、SoC(System On Chip)として制御回路106内にフレームメモリ121を内蔵し、一つのICとして用いてもよい。あるいはSiP(System In Package)として、制御回路106とフレームメモリ121を一つのパッケージ内に封止し、メモリバス114をパッケージ内に収めて、実装面積を縮小し、外部ピンの増加と消費電力を低減してもよい。

【0032】

現在、液晶ディスプレイ用のICにはRAM内蔵ドライバと呼ばれる、RAM(フレームメモリ)をデータドライバ内に組み込んだICが提供されている。これに倣い、フレ

50

ムメモリ121とデータドライバ102をICとして一体化し、それを用いてもよい。

【0033】

<画素回路構成>

次に、図2を用いて、アクティブマトリクス型表示アレイ101内にマトリクス状に配置されている、本実施形態で用いる画素回路の構成について説明する。

【0034】

画素回路は、有機EL素子201、有機EL素子201を電流駆動する駆動TFT202、駆動TFT202のゲート端子とドレイン端子を接続するダイオードスイッチTFT203、有機EL素子201を点灯するか否か（電流を流すか流さないか）を制御する点灯制御TFT204、データライン107からの階調電流を画素内へ供給制御するゲートTFT205、保持容量206、有機EL素子201に電流を供給する電流供給ライン211、保持容量206の一方の端子電位を所定値に固定する固定電位ライン212を有して構成される。固定電位ライン212は電流供給ライン211と接続してもよい。

10

【0035】

駆動TFT202のソース端子は電流供給ライン211に、ドレイン端子は点灯制御TFT204のソース端子とダイオードスイッチTFT203のソース端子に、ゲート端子は保持容量206の固定電位ライン212に接続されていない片方の端子とゲートTFT205のドレイン端子、ダイオードスイッチTFT203のドレイン端子に接続される。

【0036】

点灯制御TFT204のゲート端子は第1選択ライン108に接続され、ドレイン端子は有機EL素子201のアノードに接続される。

20

【0037】

ゲートTFT205のゲート端子は第1選択ライン108に、ソース端子はデータライン107に接続される。

【0038】

ダイオードスイッチTFT203のゲート端子は第2選択ライン109に接続される。

【0039】

電流供給ライン211、固定電位ライン212、有機EL素子のカソード電極はすべての画素で共有されている。

【0040】

なお、駆動TFT202、ダイオードスイッチTFT203、点灯制御TFT204はPチャンネル型TFTであり、ゲートTFT205はNチャンネル型TFTである。

30

【0041】

データドライバ102、ゲートドライバ103、補助回路110を用いて図2の画素回路を制御する方法に関しては後述するが、以下に図2の画素を用いて有機EL素子を駆動する方法を説明する。

【0042】

<画素駆動方法>

画素に書き込むデータ信号は、オン電流とオフ電位の2値である。まず、第1、第2選択ライン108、109をアクティブとすると、ゲートTFT205がオン、点灯制御TFT204がオフ、ダイオードスイッチTFT203がオンする。

40

【0043】

オン電流を書き込む際には、データライン107に所望のオン電流を流すと、駆動TFT202は、ダイオードスイッチTFT203によりゲート端子とドレイン端子が接続されてMOSダイオードとなっているため、電流供給ライン211から駆動TFT202のソース端子、ドレイン端子を経由し、ダイオードスイッチTFT203のソース端子、ドレイン端子を通過後、ゲートTFT205を介してデータライン107に流れる。

【0044】

この際、駆動TFT202のゲート端子には駆動TFT202がデータライン107に流れているオン電流を流す電位が生成され、これが保持容量206に保持される。

50

【 0 0 4 5 】

この電位が安定した後、第1、第2選択ライン108、109を非アクティブとすることで保持容量206（駆動TFT202のゲート）にオン電流を生成する電位が保持され、次にアクセスされるまで駆動TFT202は書き込まれたオン電流を有機EL素子201に流しつづける。

【 0 0 4 6 】

オフ電位の書き込みは、同様に第1、第2選択ライン108、109をオンし、駆動TFT202がオフする電位をデータライン107へ供給すると、保持容量にオフ電位が書き込まれるため、その電位が安定した後、第1、第2選択ライン108、109をオフすることで、次にアクセスされるまで駆動TFT202は有機EL素子201に電流を流さない状態を維持する。

10

【 0 0 4 7 】

図2の画素回路のように、ゲートTFT205をN型、ダイオードスイッチTFT203をP型とすると、ゲートTFT205が“High”でアクティブ、ダイオードスイッチTFT203が“Low”でアクティブとなる。したがって、この構成では、両TFTは、互いに逆の極性で制御されるため、保持容量206に保持された電位は選択ライン108、109の選択電位による変動を受けにくくなる。

【 0 0 4 8 】

すなわち、階調電流の書き込み時には、第1選択ライン108は“High”、第2選択ライン109は“Low”となるため、保持容量に与える影響が互いにキャンセルされ、選択解除時にも、第1選択ライン108は“Low”、第2選択ライン109は“High”となるため、同様にキャンセルされる。

20

【 0 0 4 9 】

このように、画素回路を、複数の選択ラインを互いに逆極性で制御する構成にすると、保持容量206に保持される電位の変動を抑制することができる。

【 0 0 5 0 】

次に、図2の画素回路がマトリクス状に配置された表示アレイ101を前述のように駆動するために用いるデータドライバ102および補助回路110の構成について図3に基づいて説明する。ここで、データドライバ内の出力回路304の構成については図16、個々の補助回路305の構成については図17に示す。また、ゲートドライバ103の構成について図4を用いてその内部構成を説明する。

30

【 0 0 5 1 】

<データドライバ>

データドライバ102はシフトレジスタ301、1ライン分のデータを順次ラッチする第1ラッチ回路302、1ライン分のデータを一定期間保持する第2ラッチ回路303、ラッチデータに基づきオン電流、オフ電位をデータライン107に供給する出力回路304、データバス311、データ転送制御ライン312から構成される。

【 0 0 5 2 】

デジタル駆動を行う場合、各データラインはオン電流、オフ電位の2値で駆動されるため、データバス311の1本で1画素のデータを伝送できる。例えば、データバス311が24本とすると、フルカラーディスプレイでは、8画素分を1度に転送することができることになる。

40

【 0 0 5 3 】

上記例に従うと、データバス311上の8画素データは、シフトレジスタ301のパルスで第1ラッチ回路302に順次転送され、1ライン分のデータとして、次にシフトレジスタのパルスが入力されるまで保持される。この間、第1ラッチ302のデータは第2データラッチ303に反映されず、1ライン分のデータラッチ動作が完了した時点でデータ転送制御ライン312をアクティブとすることで、第1ラッチ302のデータを第2ラッチ303に転送する。

【 0 0 5 4 】

50

出力回路304は、第2ラッチ303のデータに応じてオン電流、オフ電位を生成し、データライン107に供給する。

【0055】

出力回路304がデータライン107にデータを供給している間、第1ラッチ302は再度シフトレジスタ301のシフトパルスにより、次のラインデータを8画素毎に順次ラッチする。これらの動作を繰り返して1画面のデータライン107へのデータ供給を続ける。

【0056】

<出力回路構成>

出力回路304は、図16に示されるが、簡単な構成では図16(a)に示されるように、Pチャネル型のオフ電位スイッチTFT1601、Nチャネル型のオン電流生成TFT1602、レベルシフト1603、入力部1600から構成される。

【0057】

入力部1600は、オフ電位スイッチTFT1601のゲート端子、レベルシフト1603の入力に接続され、オフ電位スイッチTFT1601のソース端子は電源ラインVDDに、ドレイン端子はデータライン107に接続されている。

【0058】

オン電流生成TFT1602のゲート端子はレベルシフト1603の出力へ接続され、ソース端子は電源ラインVSSへ、ドレイン端子はデータライン107へ接続されている。

【0059】

入力部1600は第2ラッチ回路303に接続されているため、第2ラッチ回路303のデータにより、データライン107はオン電流、もしくはオフ電位が供給される。

【0060】

第2ラッチ回路303のラッチデータが"High"の場合、オフ電位スイッチTFT1601はオフしており、レベルシフト1603の出力に、この"High"がレベルシフトされた電位が生成されることから、オン電流生成TFT1602が前記シフト電位に応じた電流を生成し、データライン107に供給する。

【0061】

第2ラッチ303のラッチデータが"Low"の場合、レベルシフト1603の出力にはオン電流生成TFT1602がオフするレベルが生成され、オフ電位スイッチ1601がオンするため、データライン107にはオフ電位が供給される。

【0062】

オン電流生成TFT1602により生成されるオン電流は、オン電流生成TFT1602のVthのばらつきにより、著しく変化するので、図16(b)のようなVth補正回路を付加することが望ましい。

【0063】

図16(b)のVth補正回路付き出力回路は、図16(a)の回路に加え、Nチャネル型リセットTFT1604、1605、Pチャネル型スイッチTFT1606、1607、リセット容量1608、出力制御ライン1610を有している。

【0064】

<閾値電圧Vth補正>

Vth補正手順を以下に説明する。まず、出力制御ライン1610を非アクティブとすると、スイッチTFT1606、1607がオフ、リセットTFT1604、1605がオンする。リセットTFT1604、1605がオンすると、オン電流生成TFT1602は、ゲート端子とドレイン端子が接続され、MOSダイオードとなり、リセット容量1608にオン電流生成TFT1602のVthが書き込まれる。

【0065】

次に、出力制御ライン1610をアクティブとすると、リセットTFT1604、1605はオフ、スイッチTFT1606、1607がオンするため、リセット容量1608

10

20

30

40

50

に書き込まれた V_{th} は保持され、レベルシフト 1603 の出力は保持容量の一端に接続される。このため、オン電流生成 T F T 1602 のゲート電位 V_{gs} は、レベルシフト 1603 の出力電位を V_{ls} とすると、 $V_{gs} = V_{th} + V_{ls}$ となり、常に V_{th} が加算されるゲート電位となる。

【0066】

V_{th} が補正されたゲート電位により生成されるオン電流は、アクティブな出力制御ライン 1610 によりオンとなったスイッチ T F T 1606 を経由してデータライン 107 に供給される。

【0067】

< 補助回路 >

補助回路 110 は、各データラインに接続可能な補助回路 305、補助回路イネーブルライン 313 から構成される。

【0068】

個々の補助回路 305 は、図 17 に示されるように、画素回路内の有機 E L 素子 201、点灯制御 T F T 204 を略し、ダイオードスイッチ T F T 203 のゲート電位を図 17 (a) に示すようにダイオードスイッチ T F T 203 がオンする固定電位に接続するか、もしくは図 17 (b) に示すように画素回路と同様に、第 2 の補助回路イネーブルライン 314 を設け、それに接続して構成される。なお、補助回路 305 においては、画素回路へのデータ書き込み時にのみ電流を流せばよいため、補助容量 206 は省略してもよい。

【0069】

補助回路 305 内の駆動 T F T 202 は、画素回路と比較して、同じゲート電位に対し、より大きな電流を流すことができる (電流供給力が高い) 。ここでは後の説明のため、 x を 1 以上の実数とし、 $(x - 1)$ 倍の電流供給力を有するものとする。

【0070】

選択画素にオン電流を書き込む場合、データラインの配線容量が数 p F ~ 数十 p F 程度存在するため、書き込み時間をある程度消費すること、またデジタル駆動では書き込み時間が通常駆動と比較して短いことなどを考慮すると、より高速な電流書き込みを実現する必要がある。

【0071】

そこで、データライン 107 に、より大きな電流を流してデータラインを高速に駆動し、補助回路 305 にその一部の電流を流すことで、選択画素には所望の電流を流すように制御する。

【0072】

ここでは、画素の駆動 T F T が流すオン電流を i とすると、補助回路の電流供給力が画素回路の $(x - 1)$ 倍であることから、データライン 107 に $x * i$ の電流を流すと、補助回路には $(x - 1) * i$ の電流が流れ、画素回路には i の電流が流れる。

【0073】

データライン 107 に流す電流を決定する倍率 x は選択画素に割り当てられたアクセスタイム、配線容量などを考慮して決定する。

【0074】

補助回路 305 の駆動 T F T と画素回路の駆動 T F T で特性が異なる場合、画素に書き込まれる電流は所望の値と異なる。

【0075】

そこで、選択期間の前半に補助回路を接続し、データラインに $x * i$ の電流を流して高速に駆動しつつ、画素には間接的に電流 i に近い電流を流す。その後半では補助回路をデータラインから切り離し、データラインに所望の電流 i を流して、画素に直接電流 i を書き込むというように 2 段階で制御してもよい。

【0076】

この場合、データドライバ 102 内の出力回路には $x * i$ の電流と、 i の電流を切り替えるため、図 16 の回路をもう 1 つ用意するか、レベルシフト 1603 に 2 値の電圧レベ

10

20

30

40

50

ルを設け、切り替えてもよい。また、オン電流 i 、倍率 x は R G B それぞれで異なる値としてもよい。

【 0 0 7 7 】

また、補助回路 3 0 5 は、図 1 8 に示されるように、データライン 1 0 7 に複数設けておいてもよい。図 1 8 (a) は電流供給力の等しい複数の補助回路をデータラインに接続可能な例で、補助回路イネーブルライン S U B A、S U B B、S U B C をアクティブにして、データラインに接続すべき補助回路を選択可能としている。

【 0 0 7 8 】

図 1 8 (b) は電流供給力の異なる複数の補助回路をデータラインに接続可能な例で、例えば電流供給力を 2 のべき乗に異なる補助回路を 4 つ接続可能とした場合、補助回路イネーブルライン S U B 0、S U B 1、S U B 2 をアクティブにして、合計 1 6 通りの電流供給力が生成できるため、電流供給力の調整が可能となる。

【 0 0 7 9 】

< ゲートドライバ >

次に、図 4 を用いてゲートドライバ 1 0 3 の内部構成を説明する。ゲートドライバ 1 0 3 は、シフトレジスタ 4 0 1、イネーブル回路 4 0 2、レベルシフタ 4 0 3、バッファ 4 0 4 で構成される。V 1 ~ V n はシフトレジスタ 4 0 1 の出力、E 1 ~ 3 はイネーブル制御ラインである。

【 0 0 8 0 】

イネーブル回路 4 0 2 の 1 入力にはシフトレジスタの出力 V i (i は自然数) がそれぞれ入力され、他の 1 入力には 3 本のイネーブル制御線 E 1 ~ E 3 のいずれかが接続されている。つまり、図 4 に示すように、シフトレジスタの出力 V 1、V 4、 \dots 、V 3 * i - 2 に接続されるイネーブル回路 4 0 2 にはイネーブル制御線 E 1 が、V 2、V 5、 \dots 、V 3 * i - 1 に接続されるイネーブル回路にはイネーブル制御線 E 2 が、V 3、V 6、 \dots 、V 3 * i に接続されるイネーブル回路にはイネーブル制御線 E 3 が接続されている。

【 0 0 8 1 】

シフトレジスタ 4 0 1 は、入力パルスをクリックによってシフトし、出力 V i にシフトパルスを出力する。シフトレジスタ 4 0 1 から出力されたシフトパルスは、イネーブル制御ライン E 1 ~ E 3 のいずれかで制御されるイネーブル回路 4 0 2 によって選択的に有効化され、レベルシフタ 4 0 3 へ反映する。

【 0 0 8 2 】

レベルシフタ 4 0 3 は、シフトレジスタ 4 0 1 の信号レベルを、ゲート信号線を駆動可能な信号レベルに変換する。バッファ 4 0 4 はレベルシフタ 4 0 3 の信号レベルをバッファして第 1、第 2 選択ライン 1 0 8、1 0 9 に互いに逆極性で出力することで選択ラインを所定の電位に駆動する。

【 0 0 8 3 】

図 4 では、イネーブル制御線は E 1 ~ E 3 の 3 本としたが、それに限定されることはなく、4 本以上でもよい。

【 0 0 8 4 】

< 駆動方法 >

以上に説明したデータドライバ 1 0 2、ゲートドライバ 1 0 3、補助回路 1 1 0 を用いてデジタル駆動を行うための駆動方法について説明する。

【 0 0 8 5 】

図 5 は、アクティブマトリクス型ディスプレイにおけるデジタル駆動の駆動シーケンスを、横軸を時間、縦軸を書き込みを行うラインとして示している。図 5 は説明を簡単にするため、4 ビット 1 6 階調のデジタル駆動の例である。

【 0 0 8 6 】

デジタル駆動では 1 フレーム期間を複数のサブフレーム S F 0 ~ S F n に分割し、各サブフレーム期間はビットデータに相当する重み付けされた表示期間が割り当てられている

10

20

30

40

50

。図5に示すT0～T3は各サブフレーム期間を示し、それぞれがビットデータD0～D3に対応している。D0～D3のビットが“1”の時、それに対応するサブフレームSF0～SF3がT0～T3の期間点灯し、ビットが“0”の時、それに対応するサブフレームSF0～SF3がT0～T3の期間消灯する。

【0087】

点灯及び消灯期間は、概ねT0：T1：T2：T3＝1：2：4：8となるように制御する。このように制御することで4ビット16階調表示が可能となる。さらに6ビットや8ビットといった多階調化を実現する場合も同様な考え方が適用できることは言うまでもない。

【0088】

図6は、図5のX-X'期間のタイミングチャートである。説明を簡単にするため、10ラインの表示を考える。

【0089】

601はゲートドライバ103のシフトレジスタに入力する入力パルス、602はシフトレジスタのデータをシフトするTv周期のクロックである。603は初段のシフトレジスタの出力V1で、このパルスがシフトクロック602によって各シフトレジスタに順次シフトされ、各出力Vi(iは1～10)にパルスを出力する。

【0090】

入力パルス601は、パルス幅をP0＝2×Tv、P1＝5×Tv、P2＝8×Tv、P3＝16×Tvとあらかじめ決めて入力している。

【0091】

X-X'期間に着目すると、この期間、シフトレジスタ出力V2、V7、V9が“High”となっているが、図4のゲートドライバの構成で示したように、V2はE2、V7はE1、V9はE3のイネーブル制御ラインでイネーブルされるため、第2ライン、第7ライン、第9ラインの選択ラインは時分割で選択することができる。

【0092】

<時分割選択>

図7は、図6のX-X'期間に、第2、第7、第9ラインを時分割で選択する際のタイミングチャートである。

【0093】

701は、第2、第7、第9段のシフトレジスタ出力V2、V7、V9の出力パルスである。702は、第3、第8、第10段のシフトレジスタ出力V3、V8、V10の出力パルスである。703、704、705はそれぞれE1、E2、E3のイネーブルパルス、706はデータドライバ102のシフトレジスタ301に入力するデータ転送開始パルス、707は第1ラッチ302のデータ、708は第1ラッチ302のデータを第2ラッチ303へ転送する転送パルス、709は第2ラッチ304のデータである。

【0094】

データドライバ102の初段のシフトレジスタに入力されるデータ転送開始パルス706は、シフトレジスタ301によりパルスが順次転送され、第1ラッチに1ライン分のデータを取り込む。1ライン分のデータが第1ラッチに取り込まれた後、データ転送パルス708がデータ転送制御ライン312に入力され、1ライン分の第1ラッチデータが第2ラッチに一括転送される。

【0095】

オン電流生成TF1602のVth補正を行う場合、データ転送パルス708を出力制御ライン1610に入力し、この“High”期間にVth補正を行えばよい。

【0096】

第2ラッチデータ304の値は出力回路305によりデータライン107に出力され、画素にオン電流、オフ電圧として書き込まれるが、書き込まれる情報は第2ラッチデータで決まるため、ここではデータライン107上の信号は示していない。

【0097】

10

20

30

40

50

X - X' 期間の3分割された最初の期間で、E1が“Low”、E2が“High”、E3が“Low”であるため、V2のパルスがイネーブル回路により有効となり、第2ラインの選択ラインがアクティブになる。このタイミングで第2ラッチ303のデータが第2ラインのビット2データであるため、第2ラインの画素にはこのデータが書き込まれ、サブフレームSF1の表示が終了し、サブフレームSF2の表示を開始する。

【0098】

第2番目の区間では、E1が“Low”、E2が“Low”、E3が“High”であるため、V9のパルスがイネーブル回路により有効となり、第9ラインの選択ラインがアクティブになる。このタイミングで第2ラッチ303のデータが第9ラインのビット0データであるため、第9ラインの画素にはこのデータが書き込まれ、サブフレームSF3の表示が終了し、サブフレームSF0の表示を開始する。

10

【0099】

最後の区間では、E1が“High”、E2が“Low”、E3が“Low”であるため、V7のパルスがイネーブル回路により有効となり、第7ラインのゲート線がアクティブになる。このタイミングで第2データラッチ303のデータが第7ラインのビット1データであるため、第7ラインの画素にはこのデータが書き込まれ、サブフレームSF0の表示が終了し、サブフレームSF1の表示を開始する。

【0100】

図8は、図6のY - Y' 期間の時分割選択タイミングチャートで、801はV1、V9の出力パルス、802はV2、V10の出力パルス、803、804、805はそれぞれE1、E2、E3のイネーブル信号、807は第1ラッチ302、809は第2ラッチ303のデータである。

20

【0101】

Y - Y' 期間の3分割された最初の区間では、E1が“Low”、E2が“Low”、E3が“High”であるため、V9のパルスがイネーブル回路により有効となり、第9ラインの選択ラインがアクティブになる。このタイミングで第2ラッチ303のデータが第9ラインのビット2データであるため、第9ラインの画素にはこのデータが書き込まれ、サブフレームSF1の表示が終了し、サブフレームSF2の表示を開始する。

【0102】

次の区間では、E1が“High”、E2が“Low”、E3が“Low”であるため、V1のパルスがイネーブル回路により有効となり、第1ラインの選択ラインがアクティブになる。このタイミングで第2ラッチ303のデータが第1ラインのビット3データであるため、第1ラインの画素にはこのデータが書き込まれ、サブフレームSF2の表示が終了し、サブフレームSF3の表示を開始する。

30

【0103】

最後の区間では、E1～E3いずれも“High”でないため、どの選択ラインもアクティブにならない。

【0104】

このように駆動することで、図6に示すように、1フレームをサブフレームSF0～SF3に分割し、全ライン数が10ラインという少ない例ではあるが、矛盾無く各画素に時分割でビットデータを書き込むことができる。

40

【0105】

図9には、各サブフレームSF0～SF3の時分割選択順序、パルス間隔P0～P3、サブフレーム期間(現サブフレーム開始から次のサブフレームの開始までの期間)、SF0のサブフレーム期間T0に対するT1～T3の比率がテーブルに示されている。

【0106】

図10に図9のサブフレーム期間で階調を生成した場合の入出力階調特性が示されている。図9のテーブルに従えば、増加する入力階調に対し、階調レベルが反転することなく生成可能であることが理解される。

【0107】

50

< データ処理 >

図 11 は、図 7、8 で示したタイミングで第 2 ラッチにデータを保持するため、フレームメモリ 121 を用いてデータ制御回路 106 が処理するデータ処理タイミングを示す。

【 0108 】

1101 は入力バス 111 より入力される入力データ、1102 は制御回路 106 により生成され、フレームメモリ 121 に書き込むデータ、1103 はフレームメモリ 121 から読み出すデータである。

【 0109 】

入力バス 111 より入力される映像データはフルカラーディスプレイの場合、RGB の 3 チャンネル存在するが、RGB いずれも同じ操作であるため、図 11 ではそのうちの 1

10

【 0110 】

a : b と表記したビットデータは、1 ラインのデータのうち、第 a 番目の第 b ビット目のビットデータを意味し、1 : 0 であれば、第 1 番目データのビット 0 であり、320 : 3 であれば、第 320 番目データのビット 3 データである。

【 0111 】

図 11 には、1 ラインが 320 画素のラインデータが 320 クロックで入力される例が示されており、入力されるデータ 1101 のうち、連続する 4 ビットの 4 画素データ毎に、連続する 4 画素のビット 0 データ、ビット 1 データ、ビット 2 データ、ビット 3 データにデータの並べ替えを行い、データ 1102 を生成する。

20

【 0112 】

並べ替えられたビットデータ 1102 はフレームメモリ 121 に 320 クロックで書き込まれる。

【 0113 】

読み出し時には、例えば X - X' 期間の場合、第 2 ラインのビット 2、第 9 ラインのビット 0、第 7 ラインのビット 1 の順にデータを供給する必要がある。図 11 では、80 クロックで第 2 ラインのビット 2 データから 320 画素分読み出し、次の 80 クロックで第 9 ラインのビット 0 データ、次の 80 クロックで第 7 ラインのビット 1 を読み出している。

【 0114 】

このようにフレームメモリ 121 からデータを読み出すことで、時分割選択時に必要なデータを供給できる。

30

【 0115 】

< 多階調化駆動方法 >

以上、例として 4 ビット 16 階調表示例を示したが、実際、携帯情報端末等で用いられているディスプレイでは 6 ~ 8 ビット、すなわち 64 ~ 256 階調表示が求められている。このような多階調表示時でも前述の駆動方法を適用できる。

【 0116 】

ただし、時分割選択がゲートドライバ 103 の構成では、最大 3 ラインに限られる。このような構成であっても、8 ビット、256 階調表示を可能とするデジタル駆動方法について説明する。

40

【 0117 】

8 ビット 256 階調表示では、 $T_0 : T_1 \cdots : T_7 = 1 : 2 \cdots : 128$ として設定され、発光期間の短いサブフレームから発光期間の長いサブフレームまで必要となる。短いサブフレームはパルス間隔が密になり、時分割でゲート線を選択するにはより多くのイネーブル制御ラインを必要とする。また、長いサブフレームは点灯期間が低周波となるため、フリッカの要因となりやすい。

【 0118 】

そこで、パルス間隔 P0 ~ P7、時分割選択順序を図 12 のように設定した。ここで SF7 - 1、SF7 - 2 は 3 本のイネーブル制御ラインでデジタル駆動するために SF7 の

50

パルス区間を例えば均等に分割したそれぞれのパルス間隔 $P7 - 1$ 、 $P7 - 2$ である。

【0119】

2つの $P7$ のパルス間隔はビットデータ7に対応しているため、 $P7 - 1$ と $P7 - 2$ のデータは一致している。

【0120】

図13には、横軸を時間、縦軸を選択ラインとし、サブフレーム $SF7$ を2つに分割した8ビット256階調駆動シーケンスが示されている。

【0121】

例えば、240ラインあるパネルを考えると、サブフレーム $SF0$ のデータを書き込んでいる選択ラインが第100ラインである図14の $X - X'$ 期間において、図12より、サブフレーム $SF1$ の選択ラインは第96ライン、サブフレーム $SF7 - 1$ の選択ラインは89ラインにあり、それ以降は画面内に存在していないことになる。

10

【0122】

図14は、 $X - X'$ 期間の時分割タイミングチャートであり、1401はシフトレジスタ出力 $V89$ 、 $V96$ 、 $V100$ の出力パルス、1402はシフトレジスタ出力 $V90$ 、 $V97$ 、 $V101$ の出力パルス、1403、1404、1405はそれぞれイネーブル制御ライン $E1$ 、 $E2$ 、 $E3$ のイネーブルパルス、1406はデータドライバ102のシフトレジスタの初段に入力するデータ転送開始パルス、1407は第1ラッチ302のデータ、1408は第1ラッチ302のデータを第2ラッチ303に転送するパルス、1409は第2ラッチ303のデータである。

20

【0123】

シフトレジスタの出力パルス $V89$ 、 $V96$ 、 $V100$ の“High”期間を3分割した最初の期間で、 $E1$ が“Low”、 $E2$ が“Low”、 $E3$ が“High”であるため、 $E3$ に接続されているイネーブル回路により、 $V96$ の信号が有効化され、第96ラインの選択ラインがアクティブになる。そのタイミングで第2ラッチ303にはライン96のビット1データが保持されているため、第96ラインの画素にそのデータが書き込まれ、 $T1$ の期間その表示を行う。

【0124】

2番目の期間では、 $E1$ が“High”、 $E2$ が“Low”、 $E3$ が“Low”であるため、 $E1$ に接続されているイネーブル回路により、 $V100$ の信号が有効化され、第100ラインの選択ラインがアクティブになる。そのタイミングで第2ラッチ303にはライン100のビット0データが格納されているため、第100ラインの画素にそのデータが書き込まれ、 $T0$ の期間その表示を行う。

30

【0125】

最後期間では、 $E1$ が“Low”、 $E2$ が“High”、 $E3$ が“Low”であるため、 $E2$ に接続されているイネーブル回路により、 $V89$ の信号が有効化され、第89ラインの選択ラインがアクティブになる。そのタイミングで第2ラッチ303にはライン89のビット7データが格納されているため、第89ラインの画素にそのデータが書き込まれ、 $T7 - 1$ の期間その表示を行う。

【0126】

図12のサブフレーム期間 $T0 \sim T7$ で256階調表示を行うと、図15のような入力階調と出力階調の特性が得られる。

40

【0127】

このように、サブフレーム間隔が密な部分に、サブフレーム間隔の大きなサブフレームの一部を挿入することで、3本のイネーブル制御ラインで多階調化できる。

【0128】

(2) 第2実施形態

<画素回路構成>

図20は、従来に用いられている画素回路で、図20において、ダイオードスイッチ $FT203$ 、点灯制御 $FT204$ を略し、駆動 $FT202$ のドレイン端子を有機 EL

50

素子 201 のアノードに接続した構成である。

【0129】

図 20 の画素回路は、トランジスタ数が少ない構成であるため、回路面積を比較的消費しない。したがって、開口率を向上でき、さらに高精細なパネルを構成できる利点がある。

【0130】

<画素駆動方法>

画素回路は、データドライバ 102、ゲートドライバ 103、補助回路 305 を用いて以下のように駆動される。

【0131】

データドライバ 102 の出力回路 304 がデータライン 107 にオン電流を供給し、選択ライン 108 と補助回路イネーブルライン 313 をアクティブとすると、補助回路 305 がデータライン 107 に接続され、データライン 107 のオン電流が補助回路 305 に流される。

【0132】

補助回路 305 の駆動 T F T が画素回路の駆動 T F T に対し、 x を正の実数として、 x 倍の電流供給力を有するものとする、データライン 107 に $x * i$ の電流を流した際、画素回路には電流は流れず、補助回路に $x * i$ の電流が流れる。

【0133】

データライン 107 には補助回路の駆動 T F T が $x * i$ を流す電位が生成され、その電位が画素回路に書き込まれる。

【0134】

画素回路の駆動 T F T は補助回路の駆動 T F T に対し、 x 分の 1 の電流供給力であるので、書き込み電位に対し、電流 i を生成する。

【0135】

選択ライン 108 を非アクティブとすると、前記電位は次にアクセスされるまで保持容量 206 に保持され、有機 E L 素子 201 を電流 i で駆動し続ける。

【0136】

ただし、画素内の駆動 T F T と補助回路の駆動 T F T の特性に差があると、データライン上の電流に対し、均一に x 分の 1 の電流が有機 E L 素子に流れない。

【0137】

そこで、補助回路を複数設けた図 18 の構成を用いて、補正することが可能である。例えば、図 18 (a) を用いて特性の近いいずれか一つの補助回路を選択する方法、もしくは各ラインで、データラインに接続する補助回路を変更するなどの方法が考えられる。

【0138】

図 18 (b) を用いれば、いくつかの補助回路を組み合わせることで特性を補正することができ、また各ラインで組み合わせを変更するなどの方法が適用できる。

【0139】

(3) 第 3 実施形態

<全体構成>

図 19 には第 3 実施形態の全体構成が示されている。

【0140】

有機 E L ディスプレイ 2 は、図 1 の有機 E L ディスプレイ 1 において、データライン 107 に接続され、所定のプリチャージ電位を供給するプリチャージ回路 104、プリチャージイネーブルライン 115 が付加されて構成される。

【0141】

プリチャージ回路 104 を設けた場合、データドライバ 102 の出力回路 304 はオフ電位を供給する必要がないため、図 16 の出力回路構成において、オフ電位スイッチ T F T 1601 は略すことができる。

【0142】

10

20

30

40

50

< 駆動方法 >

プリチャージ回路 104 を用いてデジタル駆動を行う方法について以下説明する。

【0143】

図 21 は図 6 の X - X' 期間の時分割選択タイミングチャートで、710 はプリチャージイネーブルライン 115 に供給されるプリチャージパルス、711 はデータライン 107 上のデータ信号である。

【0144】

図 21 において、各 3 分割された選択期間の前半で、プリチャージイネーブルラインがアクティブであることから、データライン 107 にはまずプリチャージ電位が供給されている。

10

【0145】

図 2 の画素回路において、第 1、第 2 選択ライン 108、109 がアクティブになると、まず、画素内に前記プリチャージ電位が書き込まれる。このプリチャージ電位は駆動 TFT 202 をオフするレベル、すなわちオフ電位である。

【0146】

次に、補助回路 110 がデータライン 107 に接続され、データドライバ 102 の出力回路 304 がオン電流を供給すれば、その後、データライン 107 にデータ電流が供給され、補助回路の駆動 TFT と画素内の駆動 TFT の電流供給力に応じたデータ電流が画素回路に書き込まれる。

【0147】

オフ電位スイッチ 1601 が略された、データドライバ 102 の出力回路 304 の出力がハイインピーダンスとなると、データライン 107 にはプリチャージ回路 104 に供給されたオフ電位がそのまま維持されるため、画素内にはオフ電位が保持される。

20

【0148】

以降の駆動方法は第 1 実施形態と同じで、同様な電流駆動型デジタル駆動を行うことができる。

【図面の簡単な説明】

【0149】

【図 1】第 1 実施形態の全体構成図である。

【図 2】画素回路構成図である。

30

【図 3】データドライバ内部構成図である。

【図 4】ゲートドライバの内部構成図である。

【図 5】4 ビット 16 階調デジタル駆動のサブフレームチャートである。

【図 6】ゲートドライバのタイミングチャートである。

【図 7】時分割選択タイミングチャートである。

【図 8】時分割選択タイミングチャートである。

【図 9】4 ビット 16 階調デジタル駆動サブフレーム設定テーブルである。

【図 10】4 ビット 16 階调入出力階調特性図である。

【図 11】4 ビット 16 階調デジタル駆動データ処理タイミングチャートである。

【図 12】8 ビット 256 階調サブフレーム設定テーブルである。

40

【図 13】8 ビット 256 階調デジタル駆動のサブフレームチャートである。

【図 14】時分割選択タイミングチャートである。

【図 15】8 ビット 256 階调入出力階調特性図である。

【図 16】出力回路の内部構成図である。

【図 17】補助回路の内部構成図である。

【図 18】複数の補助回路の構成図である。

【図 19】第 3 実施形態の全体構成図である。

【図 20】画素回路構成図である。

【図 21】時分割タイミングチャートである。

【符号の説明】

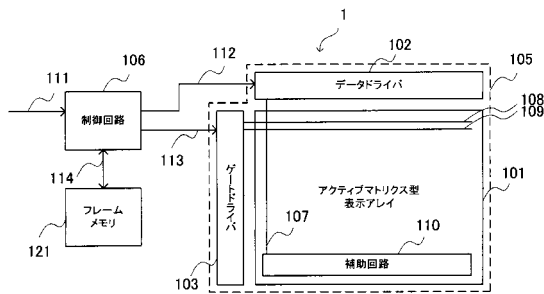
50

【 0 1 5 0 】

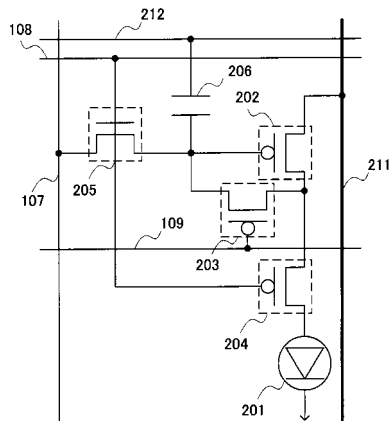
101 アクティブマトリクス型表示アレ、102 データドライバ、103 ゲートドライバ、104 プリチャージ回路、105 表示デバイス、106 制御回路、107 データライン、108 第1選択ライン、109 第2選択ライン、110 補助回路、111 入力バス、112 データ制御バス、113 ゲート制御バス、114 メモリバス、121 フレームメモリ、201 有機EL素子、202 駆動TFT、203 ダイオードスイッチTFT、204 点灯制御TFT、205 ゲートTFT、206 保持容量、211 電流供給ライン、212 固定電位ライン、301 シフトレジスタ、302 第1ラッチ回路、303 第2ラッチ回路、304 出力回路、305 補助回路、311 データバス、312 データ転送制御ライン、313, 314 補助回路イネーブルライン、401 シフトレジスタ、402 イネーブル回路、403 レベルシフタ、404 バッファ回路、1600 入力部、1601 オフ電位スイッチTFT、1602 オン電流生成TFT、1603 レベルシフタ、1604, 1605 リセットTFT、1606, 1607 スイッチTFT、1608 リセット容量、1610 出力制御ライン。

10

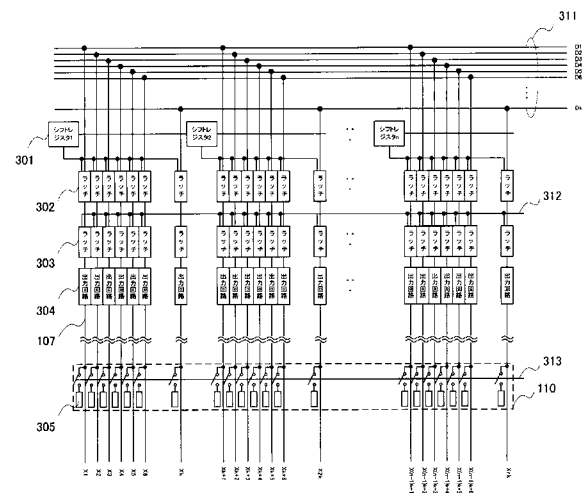
【 図 1 】



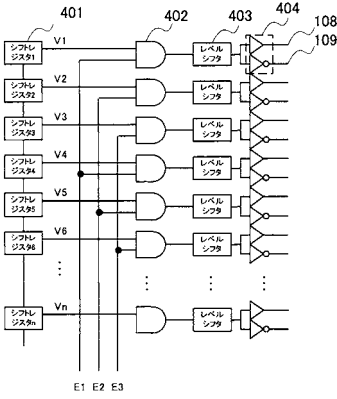
【 図 2 】



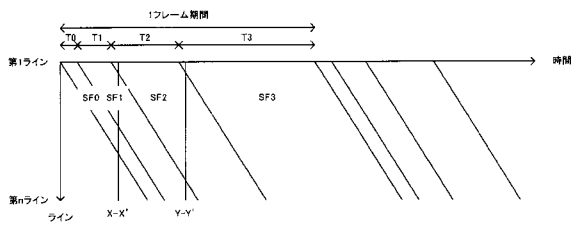
【 図 3 】



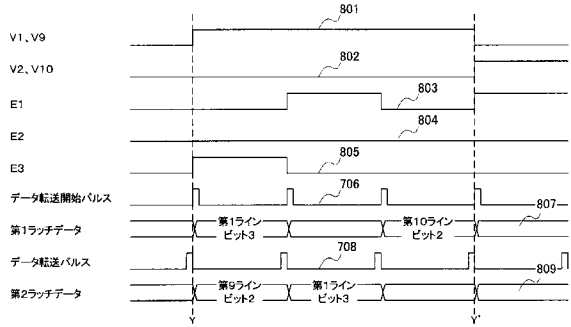
【図4】



【図5】



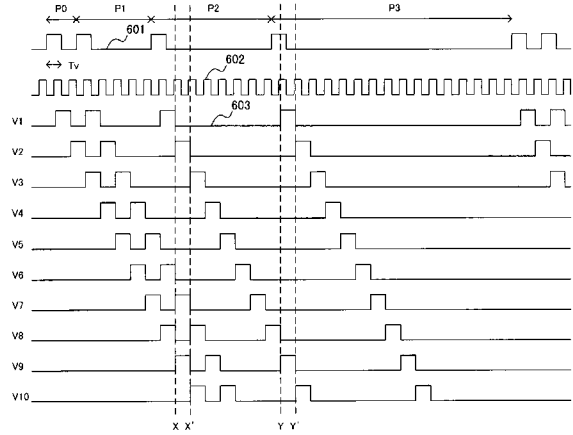
【図8】



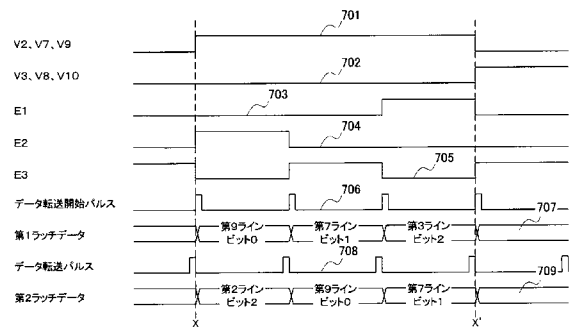
【図9】

	順序	パルス間隔 FKTv	サブフレーム期間 TKTv	比率
SF0	2	2	2+1/3	1
SF1	3	5	4+1/3	1.86
SF2	1	8	8+1/3	3.57
SF3	2	16	16	6.86

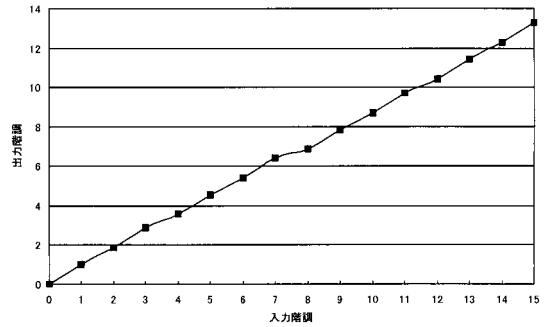
【図6】



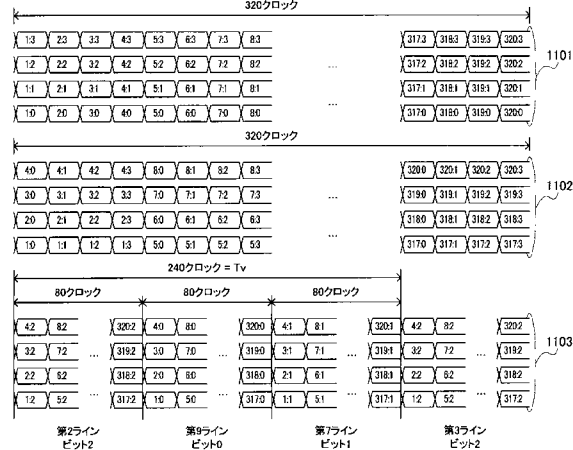
【図7】



【図10】



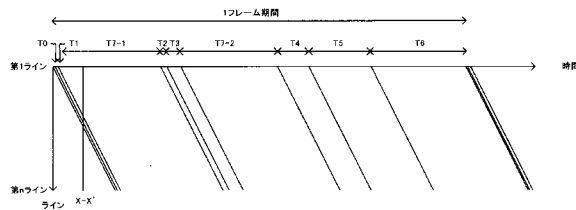
【図11】



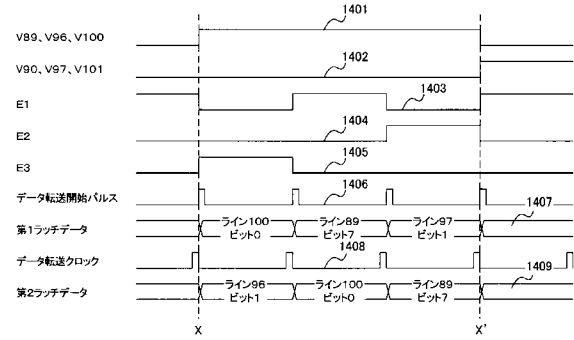
【図12】

	順序	パルス間隔 P(Tv)	サブフレーム期間 T(Tv)	比率
SF0	2	4	$3+2/3$	1
SF1	1	7	$7+2/3$	2.09
SF7-1	3	256	$255+2/3$	69.73
SF2	2	16	$15+2/3$	4.27
SF3	1	31	$31+2/3$	8.64
SF7-2	3	256	$255+2/3$	69.73
SF4	2	64	$63+2/3$	17.36
SF5	1	127	$127+2/3$	34.82
SF6	3	256	$255+2/3$	69.73

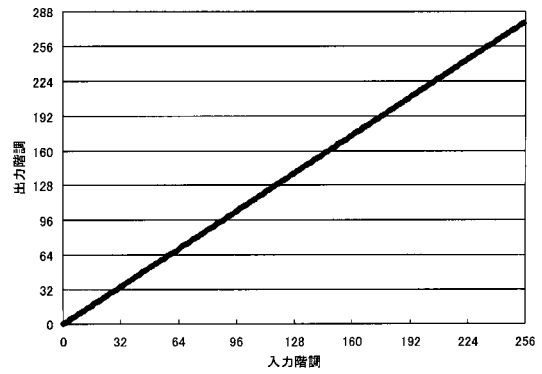
【図13】



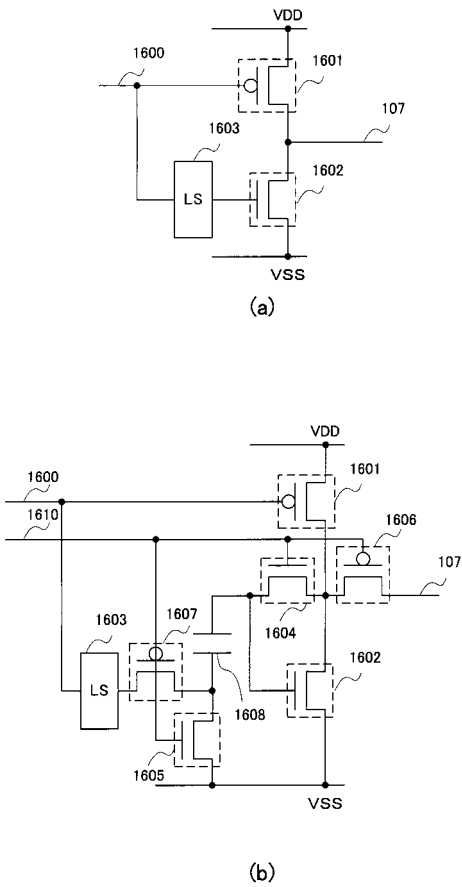
【図14】



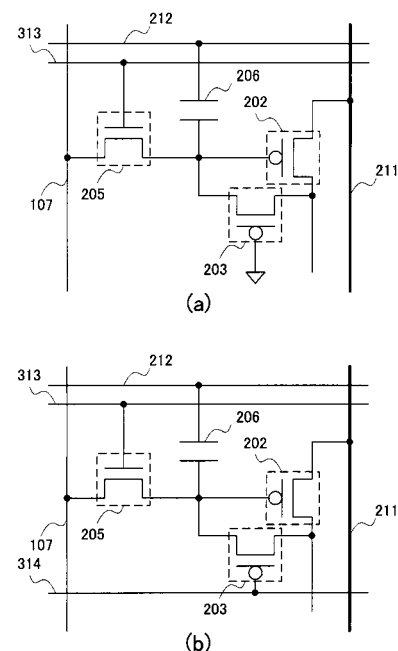
【図15】



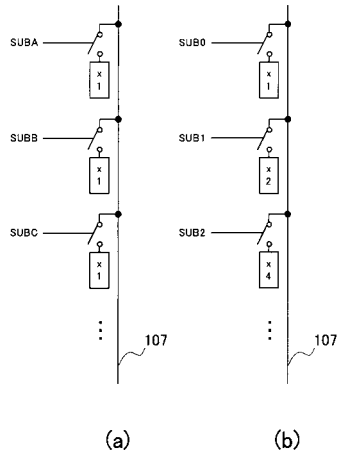
【図16】



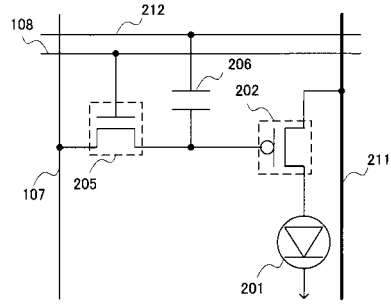
【図17】



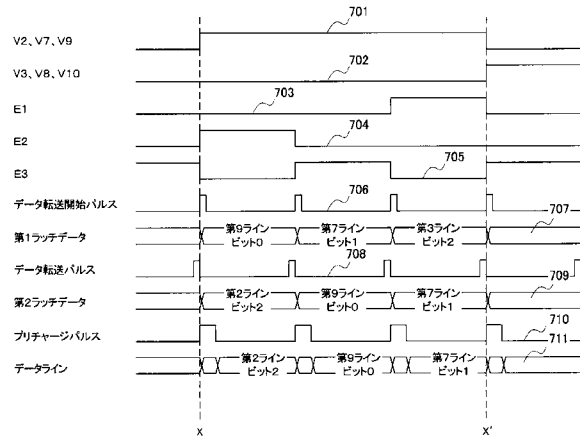
【図18】



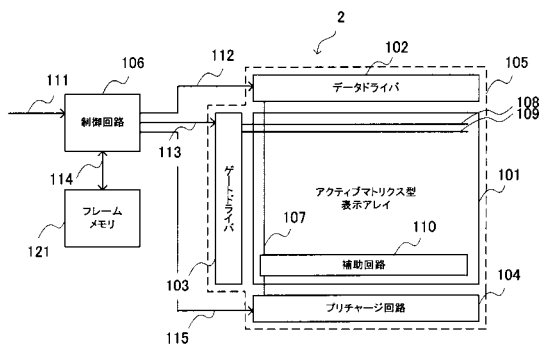
【図20】



【図21】



【図19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 Y
G 0 9 G 3/20 6 4 1 E
G 0 9 G 3/20 6 7 0 K

(74)代理人 100110423
弁理士 曾我 道治
(74)代理人 100084010
弁理士 古川 秀利
(74)代理人 100094695
弁理士 鈴木 憲七
(74)代理人 100111648
弁理士 梶並 順
(74)代理人 100122437
弁理士 大宅 一宏
(74)代理人 100147566
弁理士 上田 俊一
(72)発明者 川辺 和佳
東京都中央区新川 2 - 2 7 - 1 コダック株式会社内

審査官 小川 浩史

(56)参考文献 特開 2 0 0 2 - 2 2 1 9 3 6 (J P , A)
特開 2 0 0 4 - 4 7 8 7 (J P , A)
特開 2 0 0 3 - 5 0 5 6 4 (J P , A)
特開 2 0 0 3 - 1 5 0 1 0 9 (J P , A)
特開 2 0 0 2 - 3 5 1 3 5 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8

专利名称(译)	表示装置		
公开(公告)号	JP4958392B2	公开(公告)日	2012-06-20
申请号	JP2004234902	申请日	2004-08-11
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
当前申请(专利权)人(译)	全球豪迪E.科技有限责任公司		
[标]发明人	川边和佳		
发明人	川边 和佳		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/2033 G09G3/2022 G09G3/3233 G09G3/3266 G09G3/3283 G09G3/3291 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2310/027 G09G2320/029 G09G2320/043 G09G2360/12		
FI分类号	G09G3/30.J G09G3/20.621.F G09G3/20.623.C G09G3/20.623.D G09G3/20.623.R G09G3/20.623.Y G09G3/20.641.E G09G3/20.670.K G09G3/20.611.H G09G3/20.622.P G09G3/20.624.B G09G3/3225 G09G3/3266 G09G3/3275 H05B33/14.A		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107 /CC02 3K107/CC21 3K107/CC33 3K107/CC34 3K107/CC35 3K107/CC36 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/DD07 5C080 /DD08 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380 /AB23 5C380/AB24 5C380/AB34 5C380/AC12 5C380/BA39 5C380/BC02 5C380/BC13 5C380/BD02 5C380/CA08 5C380/CA14 5C380/CA16 5C380/CA17 5C380/CB01 5C380/CB12 5C380/CB14 5C380 /CB16 5C380/CB17 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CF02 5C380/CF07 5C380/CF09 5C380/CF12 5C380/CF24 5C380/CF32 5C380 /DA09 5C380/DA35 5C380/DA47		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
审查员(译)	小川博		
其他公开文献	JP2006053348A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，即使由于有机EL装置中的老化而导致驱动电压升高，也可以用恒定电流进行数字驱动，并且可以通过防止像素燃烧而更持久。解决方案：有源矩阵型显示阵列101的每个像素电路被配置为电流驱动有机EL器件。当接通有机EL器件时，数据驱动器102将有机EL器件的导通状态电流提供给数据线107，并且当关闭有机EL器件时，数据驱动器向数据线提供截止状态电位，执行写入像素。此外，准备辅助电路110，并且当写入导通电流时，使大电流流过数据线107。因此，数据线107被快速驱动。 Z

