

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4552108号
(P4552108)

(45) 発行日 平成22年9月29日(2010.9.29)

(24) 登録日 平成22年7月23日(2010.7.23)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 622C
HO1L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 642C
	G09G 3/20 642P
請求項の数 6 (全 14 頁) 最終頁に続く	

(21) 出願番号	特願2003-407034 (P2003-407034)	(73) 特許権者	000002185
(22) 出願日	平成15年12月5日(2003.12.5)		ソニー株式会社
(65) 公開番号	特開2005-165178 (P2005-165178A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年6月23日(2005.6.23)	(74) 代理人	100082131
審査請求日	平成18年6月30日(2006.6.30)		弁理士 稲本 義雄
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	福村 拓
最終頁に続く			

(54) 【発明の名称】 画素回路及び表示装置とこれらの駆動方法

(57) 【特許請求の範囲】

【請求項1】

行状の走査線と列状の信号線とが交差する部分に各々配された画素回路であって、
 サンプリングトランジスタと保持容量とドライプトランジスタと負荷素子とスイッチングトランジスタとを含み、

前記サンプリングトランジスタは、該走査線により選択された時該信号線から信号をサンプリングして該保持容量に保持させ、

前記ドライプトランジスタは、該保持容量に保持された信号電位に応じて該負荷素子に通電し、

前記スイッチングトランジスタは該ドライプトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する画素回路において、

第1及び第2の閾値電圧補正回路を備えており、

前記第1の閾値電圧補正回路は、該ドライプトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライプトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、

前記第2の閾値電圧補正回路は、該ドライプトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライプトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする画素回路。

【請求項2】

前記第2の閾値電圧補正回路は、該スイッチングトランジスタのゲートと該ゲートパルスを提供する配線との間に挿入された容量と、該第1の閾値電圧補正回路と該容量との間に挿入されたトランジスタとを含み、

該トランジスタは該第1の閾値電圧補正回路で検知された該閾値電圧を読み取って該容量に書き込み、以って該ゲートパルスの振幅に上載せすることを特徴とする請求項1記載の画素回路。

【請求項3】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、サンプリングトランジスタと保持容量とドライブトランジスタと発光素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から映像信号をサンプリングして該保持容量に保持させ、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該発光素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する表示装置において、

10

前記画素回路は、第1及び第2の閾値電圧補正回路を備えており、

前記第1の閾値電圧補正回路は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、

前記第2の閾値電圧補正回路は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする表示装置。

20

【請求項4】

前記第2の閾値電圧補正回路は、該スイッチングトランジスタのゲートと該ゲートパルスを提供する配線との間に挿入された容量と、該第1の閾値電圧補正回路と該容量との間に挿入されたトランジスタとを含み、

該トランジスタは該第1の閾値電圧補正回路で検知された該閾値電圧を読み取って該容量に書き込み、以って該ゲートパルスの振幅に上載せすることを特徴とする請求項3記載の表示装置。

【請求項5】

30

行状の走査線と列状の信号線とが交差する部分に各々配され、サンプリングトランジスタと保持容量とドライブトランジスタと負荷素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から信号をサンプリングして該保持容量に保持させ、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該負荷素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する画素回路の駆動方法において、

第1及び第2の閾値電圧補正手順を含んでおり、

前記第1の閾値電圧補正手順は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、

40

前記第2の閾値電圧補正手順は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする画素回路の駆動方法。

【請求項6】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、サンプリングトランジスタと保持容量とドライブトランジスタと発光素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から映像信号をサンプリングして該保持容量に保持させ

50

、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該発光素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する表示装置の駆動方法において、

第1及び第2の閾値電圧補正手順を含んでおり、

前記第1の閾値電圧補正手順は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、

前記第2の閾値電圧補正手順は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せしめて該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した負荷素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機EL発光素子などの負荷素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

20

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ, TFT)によって制御するものである。

30

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

40

従来の典型的な画素回路は、行状の走査線と列状の信号線とが交差する部分に配され、サンプリングトランジスタと保持容量とドライブトランジスタと負荷素子とスイッチングトランジスタとを含む。サンプリングトランジスタは、走査線により選択された時信号線から信号をサンプリングして保持容量に保持する。ドライブトランジスタは、保持容量に保持された信号電位に応じて負荷素子に通電する。スイッチングトランジスタはドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして通電をオン/オフ制御する。

【0005】

ドライブトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 I_{ds} はドレイン電流を表わしている。 V_{gs} はソ

50

ースを基準としてゲートに印加される電圧を表わしており、これが正の値である時上記の順バイアスと呼んでいる。 V_{th} はトランジスタの閾電圧である。その他 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わし、 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて正側に大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。換言すると順バイアス(V_{gs})が閾電圧(V_{th})を超えるとオン状態となる。逆に V_{gs} が V_{th} を下回ると薄膜トランジスタはカットオフし、ドレイン電流 I_{ds} は流れなくなる。

【0006】

10

ところで薄膜トランジスタの閾電圧 V_{th} は必ずしも一定ではなく経時的に変動する傾向にある。前述のトランジスタ特性式から明らかな様に、ドライブトランジスタの閾電圧 V_{th} が変動すると、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。これにより発光素子の通電量が変わってしまう為発光輝度の変化が生じるという課題がある。すなわち所定の映像信号を送っても実際の発光輝度が変化してしまう為意図する表示が得られないという課題がある。

【0007】

又スイッチングトランジスタに着目した場合、閾値電圧が大幅に上方変動してゲートパルスの振幅を超えると、常時カットオフ状態となり、正常なオン/オフ動作が行なえなくなる。前述した様に、スイッチングトランジスタはゲートパルスにตอบสนองして負荷素子に対する通電をオン/オフ制御している。例えば負荷素子が発光素子の場合、通電をオン/オフ制御して発光時間をコントロールし、以って画面の明るさなどを調整している。このスイッチングトランジスタが閾値変動により正常なオン/オフ動作を行なえなくなると、発光素子はフィールド期間中非発光状態に陥り、正常な表示が妨げられる。

20

【課題を解決するための手段】

【0008】

上述した従来の技術の課題に鑑み、本発明は画素回路に組み込まれるドライブトランジスタやスイッチングトランジスタなどの閾値変動を回路的に補正する手段を講ずることを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、行状の走査線と列状の信号線とが交差する部分に各々配された画素回路であって、サンプリングトランジスタと保持容量とドライブトランジスタと負荷素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から信号をサンプリングして該保持容量に保持させ、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該負荷素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する画素回路において、第1及び第2の閾値電圧補正回路を備えており、前記第1の閾値電圧補正回路は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、前記第2の閾値電圧補正回路は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする。

30

40

【0009】

具体的には、前記第2の閾値電圧補正回路は、該スイッチングトランジスタのゲートと該ゲートパルスを供給する配線との間に挿入された容量と、該第1の閾値電圧補正回路と該容量との間に挿入されたトランジスタとを含み、該トランジスタは該第1の閾値電圧補正回路で検知された該閾値電圧を読み取って該容量に書き込み、以って該ゲートパルスの振幅に上載せする。

【0010】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画

50

素回路とからなり、前記画素回路は、サンプリングトランジスタと保持容量とドライブトランジスタと発光素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から映像信号をサンプリングして該保持容量に保持させ、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該発光素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する表示装置において、前記画素回路は、第1及び第2の閾値電圧補正回路を備えており、前記第1の閾値電圧補正回路は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、前記第2の閾値電圧補正回路は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする。

10

【0011】

具体的には、前記第2の閾値電圧補正回路は、該スイッチングトランジスタのゲートと該ゲートパルスを供給する配線との間に挿入された容量と、該第1の閾値電圧補正回路と該容量との間に挿入されたトランジスタとを含み、該トランジスタは該第1の閾値電圧補正回路で検知された該閾値電圧を読み取って該容量に書き込み、以って該ゲートパルスの振幅に上載せする。

【0012】

又本発明は、行状の走査線と列状の信号線とが交差する部分に各々配され、サンプリングトランジスタと保持容量とドライブトランジスタと負荷素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から信号をサンプリングして該保持容量に保持させ、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該負荷素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する画素回路の駆動方法において、第1及び第2の閾値電圧補正手順を含んでおり、前記第1の閾値電圧補正手順は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、前記第2の閾値電圧補正手順は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする。

20

30

【0013】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、サンプリングトランジスタと保持容量とドライブトランジスタと発光素子とスイッチングトランジスタとを含み、前記サンプリングトランジスタは、該走査線により選択された時該信号線から映像信号をサンプリングして該保持容量に保持させ、前記ドライブトランジスタは、該保持容量に保持された信号電位に応じて該発光素子に通電し、前記スイッチングトランジスタは該ドライブトランジスタに直列接続しており、ゲートパルスにตอบสนองして該通電をオン/オフ制御する表示装置の駆動方法において、第1及び第2の閾値電圧補正手順を含んでおり、前記第1の閾値電圧補正手順は、該ドライブトランジスタの閾値電圧を検知し、且つ検知した閾値電圧を該信号電位に加えて該ドライブトランジスタのゲートにフィードバックし、以って閾値電圧の変動をキャンセルし、前記第2の閾値電圧補正手順は、該ドライブトランジスタの該検知された閾値電圧を該ゲートパルスの振幅に上載せして該スイッチングトランジスタのゲートに印加し、以って該ドライブトランジスタとほぼ同等とみなされる該スイッチングトランジスタの閾値電圧の変動を補正することを特徴とする。

40

【発明の効果】

【0014】

50

本発明によれば、画素回路を構成するドライブトランジスタ及びスイッチングトランジスタの各々に対応して第1及び第2の閾値電圧補正回路を設けている。第1の閾値電圧補正回路は、ドライブトランジスタの閾値電圧を検知しこれをゲートにフィードバックすることで閾値電圧の変動をキャンセルしている。これにより、ドライブトランジスタはその閾値電圧が変動しても常に一定の駆動電流を負荷素子に通電できる。この様な第1の閾値電圧補正回路と同一構成の閾値電圧補正回路をスイッチングトランジスタにも用意することが考えられる。しかしながら、同一構成の閾値電圧補正回路を設けることは回路構成が複雑になるばかりでなく、重複による無駄も生じる。そこでスイッチングトランジスタに対応して設けた第2の閾値電圧補正回路は、第1の閾値電圧補正回路の検知結果を利用してスイッチングトランジスタの閾値電圧変動を補正する構成とし、以って回路構成の簡略化及び合理化を図っている。その前提として、ドライブトランジスタ及びスイッチングトランジスタは直列接続されて互いに近傍に配されており、デバイス特性はほぼ同等になるという推定がある。すなわち、スイッチングトランジスタの閾値電圧の変動は、ドライブトランジスタの閾値電圧の変動と同一傾向にあることが推定される。この推定に基づき、第2の閾値電圧補正回路は、ドライブトランジスタの検知された閾値電圧を利用してスイッチングトランジスタの閾値電圧の変動を補正する。具体的には、検知された閾値電圧をゲートパルスの振幅に上載せしてスイッチングトランジスタのゲートに印加し、以ってドライブトランジスタとほぼ同等とみなされるスイッチングトランジスタの閾値電圧の変動を補正している。

10

【発明を実施するための最良の形態】

20

【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は画素回路を包含する一般的なアクティブマトリクス表示装置の参考例を示すブロック図である。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路群とで構成されている。周辺の回路群は水平セレクタ2、ドライブスキャナ3、ライトスキャナ4などを含んでいる。

【0016】

画素アレイ1は行状の走査線WSと列状の信号線DLと両者の交差する部分にマトリクス状に配列した画素回路5とで構成されている。信号線DLは水平セレクタ2によって駆動される。走査線WSはライトスキャナ4によって走査される。尚、走査線WSと平行に別の走査線DSも配線されており、これはドライブスキャナ3によって走査される。各画素回路5は、走査線WSによって選択された時信号線DLから信号をサンプリングする。更に走査線DSによって選択された時、該サンプリングされた信号に応じて負荷素子を駆動する。この負荷素子は各画素回路5に形成された電流駆動型の発光素子などである。

30

【0017】

図2は、図1に示した画素回路5の基本的な構成を示す参考図である。本画素回路5は、サンプリング用薄膜トランジスタ(サンプリングトランジスタTr1)、ドライブ用薄膜トランジスタ(ドライブトランジスタTr2)、スイッチング用薄膜トランジスタ(スイッチングトランジスタTr3)、保持容量C1、負荷素子(有機EL発光素子)などで構成されている。

40

【0018】

サンプリングトランジスタTr1は走査線WSによって選択された時導通し、信号線DLから映像信号をサンプリングして保持容量C1に保持する。ドライブトランジスタTr2は保持容量C1に保持された信号電位に応じて発光素子ELに対する通電量を制御する。スイッチングトランジスタTr3は走査線DSによって制御され、発光素子ELに対する通電をオン/オフする。すなわち、ドライブトランジスタTr2は通電量に応じて発光素子ELの発光輝度(明るさ)を制御する一方、スイッチングトランジスタTr3は発光素子ELの発光時間を制御している。これらの制御により、各画素回路5に含まれる発光素子ELは映像信号に応じた輝度を呈し、画素アレイ1に所望の表示が映し出される。

【0019】

50

図3は、図2に示した画素アレイ1及び画素回路5の動作説明に供するタイミングチャートである。1フィールド期間(1f)の先頭で、1水平期間(1H)の間1行目の画素回路5に走査線WSを介して選択パルス $w_s[1]$ が印加され、サンプリングトランジスタ Tr_1 が導通する。これにより信号線DLから映像信号がサンプリングされ、保持容量C1に書き込まれる。保持容量C1の一端はドライブトランジスタ Tr_2 のゲートに接続している。従って、映像信号が保持容量C1に書き込まれると、ドライブトランジスタ Tr_2 のゲート電位が、書き込まれた信号電位に応じて上昇する。この時、他の走査線DSを介してスイッチングトランジスタ Tr_3 に選択パルス $d_s[1]$ が印加される。この間発光素子ELは発光を続ける。1フィールド期間1fの後半は $d_s[1]$ がローレベルになるので発光素子ELは非発光状態となる。パルス $d_s[1]$ のデューティを調整することで、発光期間と非発光期間の割合を調整でき、所望の画面輝度が得られる。次の水平期間に移行すると、2行目の画素回路に対し、各走査線WS, DSからそれぞれ走査用の信号パルス $w_s[2]$, $d_s[2]$ が印加される。

【0020】

ここで図2に戻り参考例として示した画素回路5の問題点につき説明する。参考例の画素回路5は、 $Tr_1 \sim Tr_3$ が全てNチャンネル型の薄膜トランジスタで構成されており、コスト的に有利な非晶質シリコン膜を活性層に使えるという利点がある。しかしながら、ドライブトランジスタ Tr_2 のドレインが電源電圧 V_{cc} に接続される一方、ソースがスイッチングトランジスタ Tr_3 を介して発光素子ELのアノードに接続されており、いわゆるソースフォロワとなっていることで問題がある。トランジスタ Tr_2 のゲートには保持容量C1に保持された信号電圧が印加されており、基本的には一定に維持されている。しかしながら、ソース電位は発光素子ELの電流/電圧特性の経時的な変化に伴い変動する。一般には発光素子ELの経時劣化に伴いアノード電位は上昇しその結果ソース電位も上昇する。ドライブトランジスタ Tr_2 は飽和領域で動作しており、前述したトランジスタ特性式で示す様に、ドレイン電流 I_{ds} はソース電位を基準にしたゲート電位 V_{gs} に依存している。ゲート電圧自体は一定に保たれているにも関わらず、 Tr_2 はソースフォロワとして動作するのでソース電位が発光素子ELの特性劣化に伴い変動し、これに応じて V_{gs} も変化する。従ってドレイン電流 I_{ds} が変動し発光素子ELの輝度劣化につながるという問題がある。

【0021】

更にドライブトランジスタ Tr_2 はそれ自身閾電圧 V_{th} の経時変動がある。前述のトランジスタ特性式から明らかな様に、飽和領域で動作する場合仮に V_{gs} を一定に保つても、閾電圧 V_{th} が変動すると、ドレイン電流 I_{DS} も変化してしまい、これに伴って発光素子ELの輝度も変動してしまう。特に、非晶質シリコン薄膜を活性層(チャンネル領域)とする薄膜トランジスタは閾電圧の経時的な変動が目立つ為、これに対処しないと発光素子の輝度を正確に制御することはできない。

【0022】

図4は図2に示した画素回路に改良を加えた別の参考例に係る画素回路を表わしており、(A)は構成を表わした回路図、(B)は動作を表わしたタイミングチャートである。

【0023】

(A)に示す様にこの改良例は、図2の画素回路に、ブートストラップ回路6と閾値電圧補正回路7を加えた構成となっている。ブートストラップ回路6は発光素子ELの特性変動を吸収する様に、ドライブトランジスタ Tr_2 のゲート(G)に印加される信号電位のレベルを自動的に制御するものであり、スイッチングトランジスタ Tr_4 を含んでいる。このスイッチングトランジスタ Tr_4 のゲートには走査線WSが接続し、ソースは電源電位 V_{ss} に接続し、ドレインは保持容量C1の一端に接続するとともにドライブトランジスタ Tr_2 のソース(S)に接続している。走査線WSに選択パルスが印加されると、サンプリングトランジスタ Tr_1 がオンするとともにスイッチングトランジスタ Tr_4 もオンする。これにより、結合容量C2を介して保持容量C1に映像信号 V_{sig} が書き込まれる。この後走査線WSから選択パルスが解除されるとスイッチングトランジスタ Tr

10

20

30

40

50

4 がオフする為、保持容量 C_1 は電源電位 V_{ss} から切り離され、ドライブトランジスタ T_{r2} のソース (S) に結合される。この後走査線 DS に選択パルスが印加されるとスイッチングトランジスタ T_{r3} がオンしドライブトランジスタ T_{r2} を通って駆動電流が発光素子 EL に供給される。発光素子 EL は発光を開始するとともにその電流 / 電圧特性に応じアノード電位が上昇しドライブトランジスタ T_{r2} のソース電位の上昇をもたらす。この時保持容量 C_1 は V_{ss} から切り離されている為ソース電位の上昇とともに保持された信号電位も上昇 (ブートストラップ) し、ドライブトランジスタ T_{r2} のゲート (G) の電位上昇をもたらす。すなわち、発光素子 EL の特性変動があっても、ドライブトランジスタ T_{r2} のゲート電圧 V_{gs} は常に保持容量 C_1 に保持された正味の信号電位と一致する様になっている。この様なブートストラップ動作により、発光素子 EL の特性変動があっても、常にドライブトランジスタ T_{r2} のドレイン電流は保持容量 C_1 に保持された信号電位によって一定に保たれ、発光素子 EL の輝度の変化が生じない。この様なブートストラップ手段 6 を追加することで、ドライブトランジスタ T_{r2} は発光素子 EL に対し正確な定電流源として機能できる。

【0024】

閾値電圧補正回路 7 はドライブトランジスタ T_{r2} の閾電圧の変動をキャンセルする様にドライブトランジスタ T_{r2} のゲート (G) に印加される信号電位のレベルを調節するものであり、スイッチングトランジスタ T_{r5} , T_{r6} を含んでいる。スイッチングトランジスタ T_{r5} のゲートは別の走査線 AZ に接続され、ドレイン / ソースはドライブトランジスタ T_{r2} のゲートとドレインとの間に接続されている。スイッチングトランジスタ T_{r6} のゲートは同じく走査線 AZ に接続され、ソースは所定のオフセット電圧 V_{ofs} に接続され、ドレインは結合容量 C_2 の一方の電極に接続されている。尚、図示の例ではオフセット電圧 V_{ofs} 、電源電位 V_{ss} 、カソード電圧 (GND) はそれぞれ異なった電位を取り得るが、場合により全て共通の電位 (例えば GND) に合わせてもよい。

【0025】

走査線 AZ に制御パルスが印加されるとスイッチングトランジスタ T_{r5} が導通し、 V_{cc} 側からドライブトランジスタ T_{r2} のゲートに向かって電流が流れる為、ゲート (G) 電位が上昇する。これによりドライブトランジスタ T_{r2} にドレイン電流が流れ出し、ソース (S) の電位が上昇する。ちょうどゲート電位 (G) とソース電位 (S) の電位差 V_{gs} がドライブトランジスタ T_{r2} の閾電圧 V_{th} と一致したところで、前述のトランジスタ特性式に従って、ドレイン電流は流れなくなる。この時のソース / ゲート間電圧 V_{gs} がトランジスタ T_{r2} の閾電圧 V_{th} として保持容量 C_1 に書き込まれる。この保持容量 C_1 に書き込まれた V_{th} は信号電位 V_{sig} に上載せしてドライブトランジスタ T_{r2} のゲートに印加されるので、閾電圧 V_{th} の効果はキャンセルされる。従ってドライブトランジスタ T_{r2} の閾電圧 V_{th} が経時的に変動しても、閾値電圧補正回路 7 はこの変動をキャンセルすることができる。

【0026】

(B) は各走査線 WS , DS , AZ に印加される走査パルス波形とドライブトランジスタ T_{r2} のゲート (G) 及びソース (S) の電位波形を表わすタイミングチャートである。図示する様に V_{th} キャンセル期間に入ると走査線 AZ にパルスが印加され、スイッチングトランジスタ T_{r5} が導通して、 T_{r2} のゲート電位が上昇する。その後走査線 DS のパルスが立ち下がる為電源 V_{cc} 側からの電流供給が断たれる。これによりゲート電位とソース電位の差が縮小しちょうど V_{th} となったところで電流が 0 になる。この結果、 V_{th} が T_{r2} のゲート / ソース間に接続された保持容量 C_1 に書き込まれる。次に走査線 WS に選択パルスが印加されるとサンプリングトランジスタ T_{r1} がオンし、結合容量 C_2 を介して保持容量 C_1 に信号 V_{sig} が書き込まれる。これにより、ドライブトランジスタ T_{r2} のゲートに入力される信号 V_{in} は先に書き込まれた V_{th} と所定のゲインで保持された V_{sig} の和となる。更に走査線 DS にパルスが印加され、スイッチングトランジスタ T_{r3} がオンする。これによりドライブトランジスタ T_{r2} が入力ゲート信号 V_{in} に応じてドレイン電流を発光素子 EL に供給し、発光が開始する。これにより発光

10

20

30

40

50

素子ELのアノード電位が V だけ上昇するが、ブートストラップ効果によりこの V がドライブトランジスタ $T_r 2$ に対する入力信号 V_{in} に上載せられる。以上の閾電圧キャンセル機能及びブートストラップ機能により、ドライブトランジスタ $T_r 2$ の閾電圧変動や発光素子ELの特性変動があっても、これらをキャンセルして発光輝度を一定に保つことが可能である。

【0027】

図5は薄膜トランジスタのデバイス特性を示すグラフであり、特に閾電圧の変動傾向を模式的に表わしている。図示する様に、薄膜トランジスタのゲートに順バイアス ($+V_{gs}$) が継続的に印加され続けると、閾電圧 V_{th} は上方変動する傾向にある。一方逆バイアス ($-V_{gs}$) が印加され続けると、閾電圧 V_{th} は下方変動する傾向にある。尚ここでは、ソース電位に対してゲート電位が正の場合を順バイアスと表現し、ソース電位に対してゲート電位が負の場合を逆バイアスと呼んでいる。この様なデバイス特性は、同一基板上に集積形成された薄膜トランジスタでほぼ共通とみなされる。

10

【0028】

ここで図4の画素回路に着目すると、ドライブトランジスタ $T_r 2$ ばかりでなくスイッチングトランジスタ $T_r 3$ にも順バイアスが反復的に印加されているので、その閾電圧も上方シフトする傾向にある。しかるに、図4の参考例に係る画素回路では、最も重要なドライブトランジスタ $T_r 2$ について閾電圧補正回路7を設けているものの、その近傍に配されたスイッチングトランジスタ $T_r 3$ については閾電圧補正回路は装備されていない。これは、ドライブトランジスタ $T_r 2$ の閾電圧変動が直接発光素子ELの輝度変動をもたらすのに対し、スイッチングトランジスタ $T_r 3$ は単に通電をオン/オフ制御するだけなので、閾電圧の上方変動がゲートパルスの振幅を超えない限り問題はないからである。しかしながら実際にはスイッチングトランジスタ $T_r 3$ は順バイアスの反復的な印加により、閾電圧 V_{th} は経時的に上昇していく。これを見込んでスイッチングトランジスタ $T_r 3$ に対するゲートパルスの振幅をあらかじめ大きめに設定しておくことも考えられる。すなわち閾電圧が上方変動してもカットオフしないレベルまでゲートパルスの振幅を上げておけばよいが、これでは高耐圧パルスドライバの開発が必要となりコスト増となる。又スイッチングトランジスタ $T_r 3$ も高耐圧化が必要になる。

20

【0029】

本発明は図4に示した参考例に係る画素回路の係る問題を解決するものである。本発明のポイントは、ドライブトランジスタ $T_r 2$ とスイッチングトランジスタ $T_r 3$ の閾電圧変動がほぼ同等となることを利用している。具体的にはドライブトランジスタ $T_r 2$ の V_{th} キャンセル時に得られる V_{th} 値を、スイッチングトランジスタ $T_r 3$ に印加されるゲートパルス振幅にも上載せする。これにより、ドライブトランジスタ $T_r 2$ とほぼ同じ様にスイッチングトランジスタ $T_r 3$ も V_{th} キャンセルされる。スイッチングトランジスタ $T_r 3$ の V_{th} の変動にほぼ相当する分だけ、スイッチングトランジスタ $T_r 3$ のゲートパルス振幅が変化し、カットオフしなくなる。

30

【0030】

図6は、本発明に係る画素回路の実施形態を示す回路図である。理解を容易にする為図4に示した参考例の画素回路と対応する部分には対応する参照番号を付している。改良点は、ドライブトランジスタ $T_r 2$ に対応する第1の閾電圧補正回路7に加え、スイッチングトランジスタ $T_r 3$ に対応した第2の閾電圧補正回路8を追加したことである。

40

【0031】

第2閾電圧補正回路8は、第1閾電圧補正回路7で検知されたドライブトランジスタ $T_r 2$ の閾電圧を利用して、スイッチングトランジスタ $T_r 3$ の閾電圧の変動を補正するものである。この第2閾電圧補正回路8は、第1閾電圧補正回路7によって検知された閾電圧をゲートパルスの振幅に上載せしてスイッチングトランジスタ $T_r 3$ のゲートに印加し、以ってドライブトランジスタ $T_r 2$ とほぼ同等と見なされるスイッチングトランジスタ $T_r 3$ の閾電圧の変動を補正する。具体的に見ると、この第2閾電圧補正回路8は追加の薄膜トランジスタ $T_r 8$ と追加の容量 C_x とで構成されている。容量

50

Cxは、スイッチングトランジスタTr3のゲート(ノードDSx)と、ゲートパルスを提供する配線である走査線DSとの間に挿入されている。追加トランジスタTr8は、第1閾値電圧補正回路7と容量Cxとの間に挿入されている。具体的にはこのトランジスタTr8のソースがドライブトランジスタTr2のドレイン(D)に接続し、ドレインがノードDSxに接続し、ゲートには走査線AZが接続されている。トランジスタTr8は走査線AZに印加されるパルスにตอบสนองして動作し、第1閾値電圧補正回路7で検知された閾値電圧を読み取って容量Cxに書き込み、以って走査線DSから供給されるゲートパルスの振幅に上載せしている。これにより、スイッチングトランジスタTr3の閾値電圧が変動してもほぼ過不足なく上載せされた閾値電圧によってキャンセルされる。

【0032】

図7は、図6に示した画素回路の動作説明に供するタイミングチャートである。図示のタイミングチャートは、走査線WSに印加される選択パルスを便宜の為同じくWSで表わしている。同様に走査線AZに印加されるパルスをAZで表わし、走査線DSに印加されるゲートパルスを同じくDSで表わしてある。これに加え、ノードDSxの電位変化も便宜の為DSxとしてタイミングチャートに載せてある。まずVth補正期間になるとパルスAZがトランジスタTr5及びTr6に印加され、ドライブトランジスタTr2の閾電圧Vthが検知される。この検知された閾電圧VthはドライブトランジスタTr2のゲート電位(G)とソース電位(S)との間の差となって現われ、保持容量C1に保持される。この時同時にパルスAZにตอบสนองしてトランジスタTr8が導通し、Vthが容量Cxに書き込まれる。換言すると容量Cxが検知された電圧Vthで充電される。この後サンプリングトランジスタTr1及びTr4にパルスWSが1Hの期間印加されると、映像信号Vsigがサンプリングされ、保持容量C1に保持される。この結果ドライブトランジスタTr2のゲート電位(G)はソース電位(S)に対して信号分だけ上昇する。続いて発光期間に入るとゲートパルスDSが印加され、スイッチングトランジスタTr3が導通してドライブトランジスタTr2を通じ発光素子ELを通電する。タイミングチャートではゲートパルスDSはGNDレベルから立ち上がっており、その振幅をVgで表わしてある。このゲートパルスDSは容量Cxを介してスイッチングトランジスタTr3のゲートに印加される。従ってスイッチングトランジスタTr3のゲート電圧はDSxで表わされる。この容量CxにはあらかじめVthが充電されている。従ってDSパルスがGNDからVg分だけ立ち上がると、容量Cxを介してノードDSxの電位もVgだけ上昇する。結果的に、DSx電位は、Vg+Vthとなる。この後非発光期間に入るとゲートパルスDSはGNDまで立ち下がり、スイッチングトランジスタTr3は非導通状態となって発光素子ELに対する通電を遮断する。この様に本発明によれば、非晶質シリコンTFTやポリシリコンTFTの閾値電圧が変動しても、回路で補正をかけることができる為、有機EL発光素子の輝度劣化を防ぐことができ、高品質な有機ELディスプレイを提供できる。特に、誤動作につながるトランジスタのカットオフを防ぐ為にゲートパルスの振幅を大きくする必要がなく、回路の低コスト化が実現できる。

【図面の簡単な説明】

【0033】

【図1】画素回路を含むアクティブマトリクス表示装置の参考例を示すブロック図である。

【図2】画素回路の参考例を示す回路図である。

【図3】図2に示した画素回路の動作説明に供するタイミングチャートである。

【図4】画素回路の他の参考例を示す回路図及びタイミングチャートである。

【図5】薄膜トランジスタのデバイス特性を示すグラフである。

【図6】本発明に係る画素回路の実施形態を示す回路図である。

【図7】図6に示した画素回路の動作説明に供するタイミングチャートである。

【符号の説明】

【0034】

1・・・画素アレイ、2・・・水平セレクタ、3・・・ドライブスキャナ、4・・・ライ

10

20

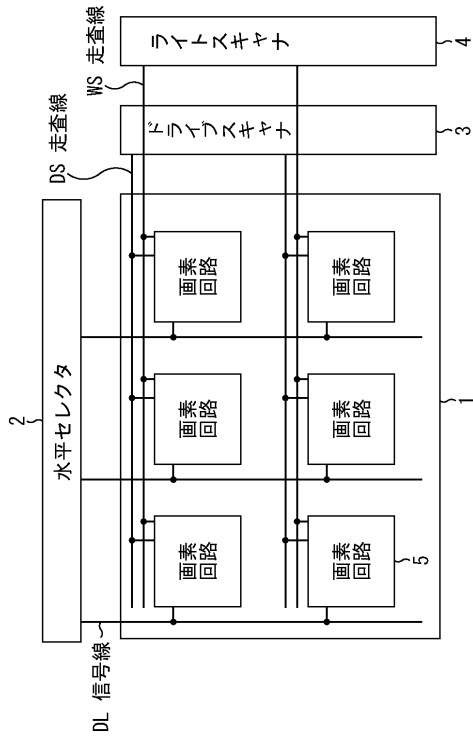
30

40

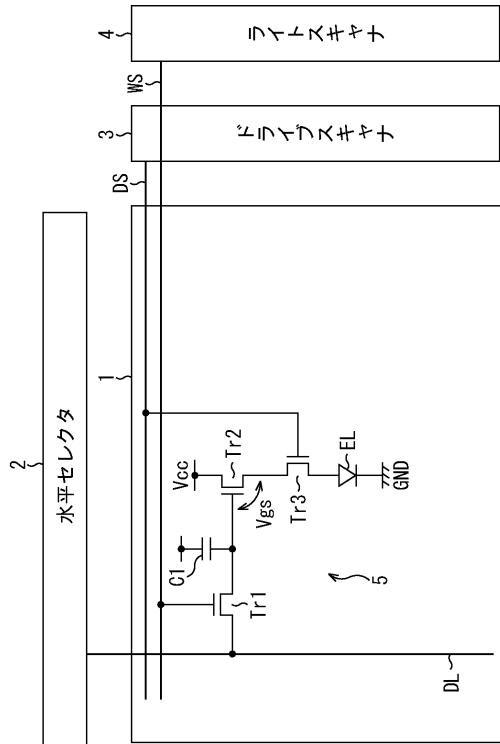
50

トスキャナ、5・・・画素回路、6・・・ブートストラップ回路、7・・・第1閾値電圧補正回路、8・・・第2閾値電圧補正回路

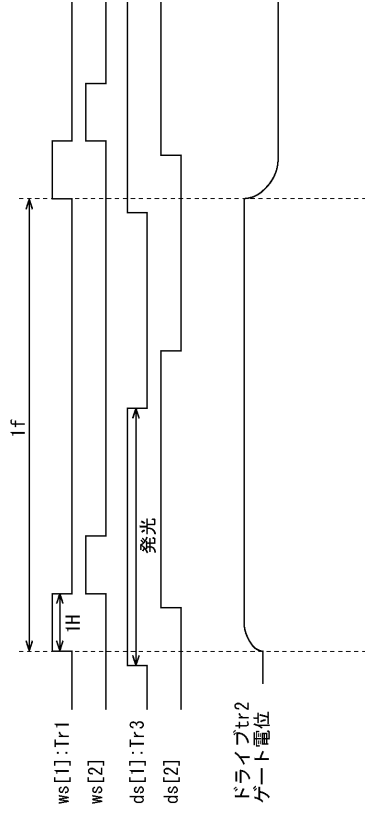
【図1】



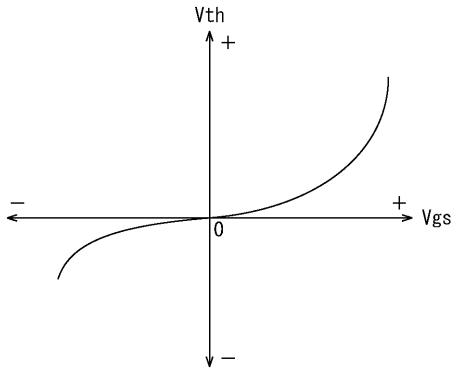
【図2】



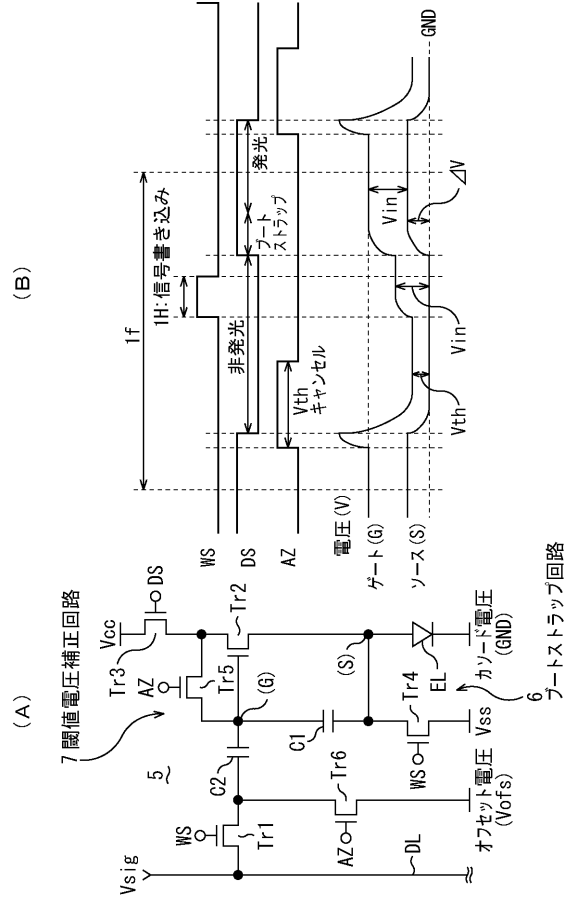
【 図 3 】



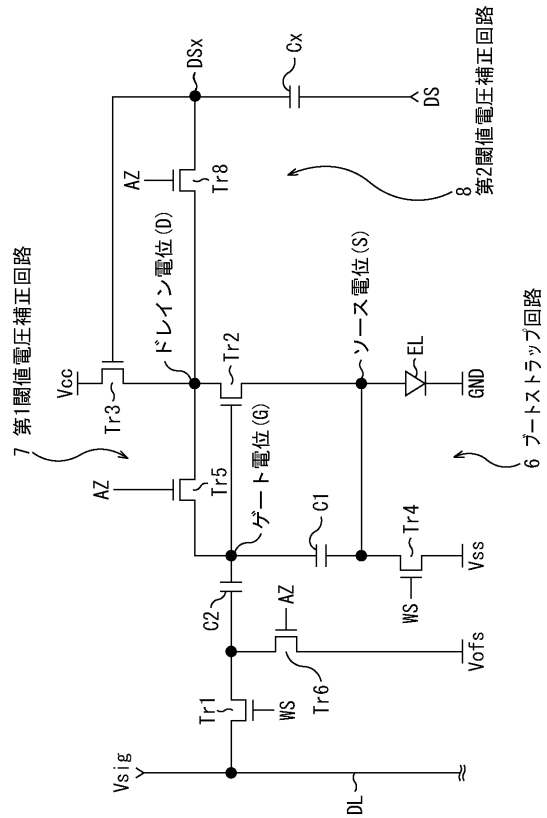
【 図 5 】



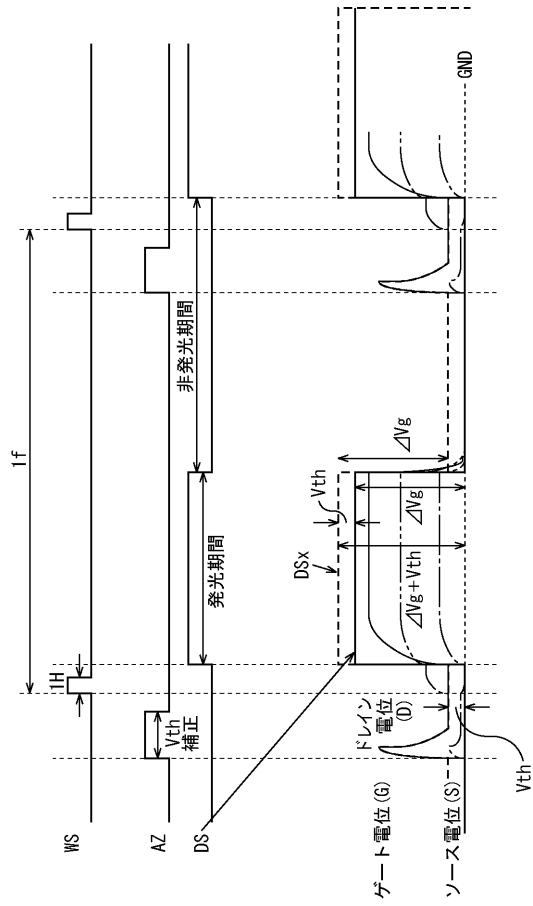
【 図 4 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 J
H 0 5 B 33/14 A

(56)参考文献 特開2005-004173(JP,A)
特開2003-223138(JP,A)
特開2003-271095(JP,A)
特開2003-255897(JP,A)
特開2003-173154(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	像素电路和显示装置及其驱动方法		
公开(公告)号	JP4552108B2	公开(公告)日	2010-09-29
申请号	JP2003407034	申请日	2003-12-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
CPC分类号	G09G2310/0254 G09G2310/0256		
FI分类号	G09G3/30.J G09G3/20.622.C G09G3/20.624.B G09G3/20.642.C G09G3/20.642.P G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD03 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD026 5C380/CD027 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA50		
审查员(译)	福村 拓		
其他公开文献	JP2005165178A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过电路操作校正内置在像素电路中的晶体管的阈值变化。解决方案：当通过扫描线WS选择时，采样晶体管Tr1对来自信号线DL的信号Vsig进行采样，并将其保持在保持电容器C1中。根据保持电容器C1保持的信号电位，驱动晶体管Tr2被激励到负载元件EL。开关晶体管Tr3响应于栅极脉冲DS而接通和断开电源。第一阈值电压校正电路7检测驱动晶体管Tr2的阈值电压，将其加到信号电位，并将得到的电压反馈到栅极G，以消除阈值电压的变化。第二阈值电压校正电路8通过使用检测到的驱动晶体管Tr2的阈值电压来校正开关晶体管Tr3的阈值电压的变化。Z

【 図 2 】

