

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-145532

(P2011-145532A)

(43) 公開日 平成23年7月28日(2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G</b> 3/30 (2006.01)	G09G 3/30 J	3K107
<b>G09G</b> 3/20 (2006.01)	G09G 3/20 624B	5C080
<b>H01L</b> 51/50 (2006.01)	G09G 3/20 642A	5C380
	G09G 3/20 611H	
	G09G 3/20 612G	
審査請求 未請求 請求項の数 6 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2010-6991 (P2010-6991)  
(22) 出願日 平成22年1月15日 (2010.1.15)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100098785  
弁理士 藤島 洋一郎  
(74) 代理人 100109656  
弁理士 三反崎 泰司  
(74) 代理人 100130915  
弁理士 長谷部 政男  
(74) 代理人 100155376  
弁理士 田名網 孝昭  
(72) 発明者 三並 徹雄  
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

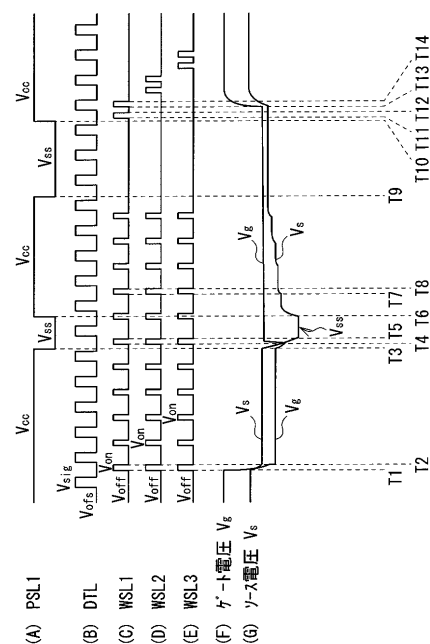
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

## (57) 【要約】

【課題】ユニットスキャンにおいて、発光期間を短くすることなく、スジ状の模様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】電源線PSLが、複数の画素行を一つのユニットUとして、ユニットUごとに一つずつ設けられている。電源線PSLの電圧を利用して各駆動トランジスタ $Tr_1$ のゲート-ソース間電圧 $V_{gs}$ を駆動トランジスタ $Tr_1$ の閾値電圧 $V_{th}$ よりも大きくした上で、各駆動トランジスタ $Tr_1$ の閾値補正がなされる。その後、各有機EL素子11を発光させる前に再度、必要なラインに対して駆動トランジスタ $Tr_1$ の閾値電圧が補正される。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、

各画素を駆動する駆動部と

を備え、

各画素は、発光素子および画素回路を有し、

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記信号線の電圧を前記第 1 トランジスタに書き込む第 2 トランジスタとを有し、

前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられ、

前記駆動部は、前記複数のユニットのうち第 1 ユニットにおいて、各発光素子を消光したのち、前記電源線の電圧をローにしている間であって各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする第 1 パルス信号を各走査線に印加して各第 1 トランジスタのゲート - ソース間電圧を前記第 1 トランジスタの閾値電圧よりも大きくし、続いて、前記電源線の電圧をハイにし、各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする第 2 パルス信号を各走査線に印加して各第 1 トランジスタの閾値電圧を補正し、さらに、各発光素子を発光させる前であって各信号線に非階調信号を印加している間に前記第 1 ユニットに含まれる複数の走査線のうち少なくとも最後に発光素子を発光させるラインの走査線に対して、前記第 2 トランジスタをオンする第 3 パルス信号を印加して当該第 3 パルス信号の印加されたラインの第 1 トランジスタの閾値電圧を補正する

表示装置。

## 【請求項 2】

前記駆動部は、前記第 1 ユニットにおいて、前記第 1 パルス信号を各走査線に同時に印加する

請求項 1 に記載の表示装置。

## 【請求項 3】

前記駆動部は、前記第 1 ユニットにおいて、前記第 2 パルス信号を各走査線に同時に印加する

請求項 1 または請求項 2 に記載の表示装置。

## 【請求項 4】

前記駆動部は、前記第 1 ユニットにおいて、前記第 3 パルス信号を各走査線に印加する  
請求項 1 または請求項 2 に記載の表示装置。

## 【請求項 5】

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、

各画素を駆動する駆動部と

を備え、

各画素は、発光素子および画素回路を有し、

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記信号線の電圧を前記第 1 トランジスタに書き込む第 2 トランジスタとを有し、

前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられた表示装置において、前記複数のユニットのうち第 1 ユニットにおいて、各発光素子を消光したのち、前記電源線の電圧をローにしている間であって各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする第 1 パルス信号を各走査線に印加して各第 1 トランジスタのゲート - ソース間電圧を前記第 1 トランジスタの閾値電圧よりも大きくし、続いて、前記電源線の電圧をハイにし、各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする第 2 パルス信号を各走査線に印加して各第 1 トランジスタの閾値電圧を補正し、さらに、各発光素子を発光させる前であって各信号線

に非階調信号を印加している間に前記第 1 ユニットに含まれる複数の走査線のうち少なくとも最後に発光素子を発光させるラインの走査線に対して、前記第 2 トランジスタをオンする第 3 パルス信号を印加して当該第 3 パルス信号の印加されたラインの第 1 トランジスタの閾値電圧を補正する

表示装置の駆動方法。

【請求項 6】

表示装置を備え、

前記表示装置は、

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、

各画素を駆動する駆動部と

を備え、

各画素は、発光素子および画素回路を有し、

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記信号線の電圧を前記第 1 トランジスタに書き込む第 2 トランジスタとを有し、

前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられ、

前記駆動部は、前記複数のユニットのうち第 1 ユニットにおいて、各発光素子を消光したのち、前記電源線の電圧をローにしている間であって各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする第 1 パルス信号を各走査線に印加して各第 1 トランジスタのゲート - ソース間電圧を前記第 1 トランジスタの閾値電圧よりも大きくし、続いて、前記電源線の電圧をハイにし、各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする第 2 パルス信号を各走査線に印加して各第 1 トランジスタの閾値電圧を補正し、さらに、各発光素子を発光させる前であって各信号線に非階調信号を印加している間に前記第 1 ユニットに含まれる複数の走査線のうち少なくとも最後に発光素子を発光させるラインの走査線に対して、前記第 2 トランジスタをオンする第 3 パルス信号を印加して当該第 3 パルス信号の印加されたラインの第 1 トランジスタの閾値電圧を補正する

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (Electro Luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 E L 素子は、液晶素子などと異なり自発光素子である。そのため、有機 E L 素子を用いた表示装置（有機 E L 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0003】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を駆動トランジスタによって制御するものである。

【0004】

一般に、駆動トランジスタの閾値電圧  $V_{th}$  や移動度  $\mu$  が経時的に変化したり、製造プロ

10

20

30

40

50

セスのばらつきによって閾値電圧  $V_{th}$  や移動度  $\mu$  が画素ごとに異なったりする場合がある。閾値電圧  $V_{th}$  や移動度  $\mu$  が画素ごとに異なる場合には、駆動トランジスタに流れる電流値が画素ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機 EL 素子の発光輝度がばらつき、画面の一様性（ユニフォームティ）が損なわれる。そこで、閾値電圧  $V_{th}$  や移動度  $\mu$  の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献 1 参照）。

#### 【0005】

ところで、アクティブマトリクス方式の表示装置では、信号線を駆動する水平駆動回路や、各画素を順次選択する書き込み走査回路、各画素に電力を供給する電源走査回路は、いずれも基本的にシフトレジスタ（図示せず）で構成されており、画素の各列または各行に対応して、1 段ごとに信号出力部（図示せず）を備えている。そのため、画素の列および行の数が増えると、それに従って信号線やゲート線の本数が増え、シフトレジスタの出力段数もその分増加するので、表示装置の周辺回路の大型化を招いていた。

#### 【0006】

そこで、シフトレジスタの出力段を共用し、周辺回路の大型化を低減する方策が従来から行われている。例えば特許文献 2 では、信号線を複数の画素で共用化する方法が提案されている。この様にすれば、水平駆動回路内のシフトレジスタの出力段を複数の画素列で共用化でき、その分回路規模の縮小化、回路面積の縮小化、回路コストの低減化が可能になる。

#### 【先行技術文献】

#### 【特許文献】

#### 【0007】

【特許文献 1】特開 2008 - 083272 号公報

【特許文献 2】特開 2006 - 251322 号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0008】

特許文献 2 には、水平駆動回路内のシフトレジスタの出力段を複数の画素列で共用化することが記載されていたが、書き込み走査回路や電源走査回路においてもシフトレジスタの出力段の共用化を図ることは表示装置のコストパフォーマンスを高める上で重要である。特に、電源走査回路については、電流供給能力の安定化のため、信号出力部のサイズを大きくとる必要があるので、電源走査回路内のシフトレジスタの出力段を複数の画素行で共用化し、信号出力部の数を少なくすることにより、表示装置の低コスト化および小型化を効果的に実現することができる。

#### 【0009】

図 18 は、電源走査回路内の信号出力部が複数の画素行で共用化された表示装置の概略構成を表したものである。図 18 に記載の表示装置 100 では、電源線駆動回路 140 内の個々の信号出力部に電源線 PSL（PSL1，PSL2，...）が一つずつ接続されており、個々の電源線 PSL（PSL1，PSL2，...）に複数の画素行（図 18 では 3 行）に属する画素 111 が接続されている。一方、信号線駆動回路 120 内の個々の信号出力部に信号線 DTL（DTL1，DTL2，...）が一つずつ接続されており、個々の信号線（DTL1，DTL2，...）に各行の画素 111 が一つずつ接続されている。また、書込線駆動回路 130 内の個々の信号出力部に書込線 WSL（WSL1，WSL2，...）が一つずつ接続されており、個々の書込線 WSL（WSL1，WSL2，...）に各列の画素 111 が一つずつ接続されている。

#### 【0010】

図 19 は、図 18 に記載の表示装置 100 における各種波形の一例を表したものである。図 19 には、電源線 PSL に 2 種類の電圧（ $V_{cc}$ 、 $V_{ss} (< V_{cc})$ ）が、書込線 WSL1 ~ WSL6 に 2 種類の電圧（ $V_{on}$ 、 $V_{off} (< V_{on})$ ）が印加されている様子が示されている。図 19 からわかるように、表示装置 100 では、複数の画素行（図 19 では 3 行

10

20

30

40

50

）を一つのユニットとして、電源線 P S L ( P S L 1 , P S L 2 , ... ) から各画素 1 1 にユニットごとに共通のタイミングで  $V_{cc}$  と  $V_{ss}$  が印加される。

【 0 0 1 1 】

図 1 9 に示したように、同一ユニット内において、電源線 P S L の電圧が  $V_{ss}$  から  $V_{cc}$  に上がった時 (  $T_1$  ) から閾値補正を開始する時 (  $T_2$  ) までの時間 ( 待ち時間 ) がラインによって異なっている。例えば、同一ユニット内に 3 0 ライン含まれている場合に、1 ライン目の待ち時間と 3 0 ライン目の待ち時間との差が 2 9 H となる。この待ち時間の間、画素回路内において電流リークが生じているので、駆動トランジスタのソース電圧は、待ち時間が長ければ長いほど、上昇してしまう。そのため、一のユニット内において、最後のラインの画素 1 1 1 のゲート - ソース間電圧は最初のラインの画素 1 1 1 のゲート - ソース間電圧よりも小さくなる。その結果、一のユニットに含まれるライン数が多すぎると、時刻  $T_1 \sim T_2$  の間、最後のラインの輝度は最初のラインの輝度よりも暗くなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

10

【 0 0 1 2 】

そこで、上記の待ち時間を十分に長くし、各ラインの画素 1 1 1 のゲート - ソース間電圧の差を小さくする方策が考えられる。しかし、そのようにした場合には、発光期間が短くなってしまうという問題があった。

【 0 0 1 3 】

また、閾値補正を行う際には、駆動トランジスタのソース電圧を事前に所定の値よりも下げておくことが必要となるが、図 1 9 の例では、駆動トランジスタのソース電圧が  $V_{ss} + V_{th}$  までしか下がらない。そのため、 $V_{ss}$  を大きく下げることが必要となるが、そのようにした場合には、電源線駆動回路 1 4 0 から印加される選択パルスによるカップリングにより、ユニット間にスジ状の模様が発生してしまう。

20

【 0 0 1 4 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、ユニットスキャンにおいて、発光期間を短くすることなく、スジ状の模様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 1 5 】

本発明の表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。各画素は、発光素子および画素回路を有している。画素回路は、発光素子に流れる電流を制御する第 1 トランジスタと、信号線の電圧を第 1 トランジスタに書き込む第 2 トランジスタとを有している。複数の電源線は、複数の画素行を 1 つのユニットとして、ユニットごとに 1 つずつ設けられている。駆動部は、複数のユニットのうち第 1 ユニットにおいて、以下の 3 つの動作を ( A ) , ( B ) , ( C ) の順に実行するようになっている。

30

( A ) 各発光素子を消光したのち、電源線の電圧をローにしている間であって各信号線に非階調信号を印加している間に第 2 トランジスタをオンする第 1 パルス信号を各走査線に印加して各第 1 トランジスタのゲート - ソース間電圧を第 1 トランジスタの閾値電圧よりも大きくすること

40

( B ) 続いて、電源線の電圧をハイにし、各信号線に非階調信号を印加している間に第 2 トランジスタをオンする第 2 パルス信号を各走査線に印加して各第 1 トランジスタの閾値電圧を補正すること

( C ) さらに、各発光素子を発光させる前であって各信号線に非階調信号を印加している間に第 1 ユニットに含まれる複数の走査線のうち少なくとも最後に発光素子を発光させるラインの走査線に対して、第 2 トランジスタをオンする第 3 パルス信号を印加して当該第 3 パルス信号の印加されたラインの第 1 トランジスタの閾値電圧を補正すること

【 0 0 1 6 】

本発明の電子機器は、上記表示装置を備えたものである。

50

## 【 0 0 1 7 】

本発明の表示装置の駆動方法は、以下の構成を備えた表示装置において、複数のユニットのうち第 1 ユニットに対して、以下の 3 つのステップを ( A ) , ( B ) , ( C ) の順に実行するものである。

( A ) 各発光素子を消光したのち、電源線の電圧をローにしている間であって各信号線に非階調信号を印加している間に第 2 トランジスタをオンする第 1 パルス信号を各走査線に印加して各第 1 トランジスタのゲート - ソース間電圧を第 1 トランジスタの閾値電圧よりも大きくするステップ

( B ) 続いて、電源線の電圧をハイにし、各信号線に非階調信号を印加している間に第 2 トランジスタをオンする第 2 パルス信号を各走査線に印加して各第 1 トランジスタの閾値電圧を補正するステップ

( C ) さらに、各発光素子を発光させる前であって各信号線に非階調信号を印加している間に第 1 ユニットに含まれる複数の走査線のうち少なくとも最後に発光素子を発光させるラインの走査線に対して、第 2 トランジスタをオンする第 3 パルス信号を印加して当該第 3 パルス信号の印加されたラインの第 1 トランジスタの閾値電圧を補正するステップ

## 【 0 0 1 8 】

上記駆動方法が用いられる表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。各画素は、発光素子および画素回路を有している。画素回路は、発光素子に流れる電流を制御する第 1 トランジスタと、信号線の電圧を第 1 トランジスタに書き込む第 2 トランジスタとを有している。複数の電源線は、複数の画素行を 1 つのユニットとして、ユニットごとに 1 つずつ設けられている。

## 【 0 0 1 9 】

本発明の表示装置およびその駆動方法ならびに電子機器では、電源線の電圧を利用して各第 1 トランジスタのゲート - ソース間電圧を第 1 トランジスタの閾値電圧よりも大きくした上で、各第 1 トランジスタの閾値補正がなされる。従って、電源線の電圧を大きく下げることがない。また、各発光素子を発光させる前に再度、必要なラインに対して第 1 トランジスタの閾値電圧が補正される。これにより、各ラインにおいて、第 1 トランジスタの閾値補正の待ち時間を短くすることができる。

## 【 発明の効果 】

## 【 0 0 2 0 】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、電源線の電圧を大きく下げることがないようにすると共に、各ラインにおいて、第 1 トランジスタの閾値補正の待ち時間を短くするようにした。これにより、ユニットスキャンにおいて、発光期間を短くすることなく、スジ状の模様が発生するのを防止することができる。

## 【 図面の簡単な説明 】

## 【 0 0 2 1 】

【 図 1 】 本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【 図 2 】 図 1 の画素の内部構成の一例を表す構成図である。

【 図 3 】 図 1 の表示装置のユニットスキャンについて説明するための概念図である。

【 図 4 】 図 1 の表示装置の動作の一例について説明するための波形図である。

【 図 5 】 一の画素における動作の一例について説明するための波形図である。

【 図 6 】 一の画素内の発光時の電圧関係について説明するための回路図である。

【 図 7 】 一の画素内の時刻  $T_1$  の電圧関係について説明するための回路図である。

【 図 8 】 一の画素内の時刻  $T_3$  の電圧関係について説明するための回路図である。

【 図 9 】 一の画素内の時刻  $T_4$  の電圧関係について説明するための回路図である。

【 図 10 】 一の画素内の時刻  $T_6$  の電圧関係について説明するための回路図である。

【 図 11 】 一の画素内の時刻  $T_{13}$  の電圧関係について説明するための回路図である。

【 図 12 】 上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

10

20

30

40

50

【図 1 3】上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【図 1 4】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 1 5】適用例 3 の外観を表す斜視図である。

【図 1 6】適用例 4 の外観を表す斜視図である。

【図 1 7】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【図 1 8】従来の表示装置の一例を表す構成図である。

【図 1 9】図 1 8 の表示装置の動作の一例について説明するための波形図である。

【図 2 0】図 1 8 の表示装置における電流リークについて説明するための回路図である。

【発明を実施するための形態】

【0022】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態 (図 1 ~ 図 1 1)

2. モジュールおよび適用例 (図 1 2 ~ 図 1 7)

3. 従来例 (図 1 8 ~ 図 2 0)

【0023】

< 実施の形態 >

図 1 は、本発明の一実施の形態に係る表示装置 1 の全体構成の一例を表したものである。この表示装置 1 は、例えば、表示パネル 1 0 (表示部) と、駆動回路 2 0 (駆動部) とを備えている。

【0024】

(表示パネル 1 0)

表示パネル 1 0 は、発光色の互いに異なる 3 種類の有機 EL 素子 1 1 R, 1 1 G, 1 1 B (発光素子) が 2 次元配置された表示領域 1 0 A を有している。表示領域 1 0 A とは、有機 EL 素子 1 1 R, 1 1 G, 1 1 B から発せられる光を利用して映像を表示する領域である。有機 EL 素子 1 1 R は赤色光を発する有機 EL 素子であり、有機 EL 素子 1 1 G は緑色光を発する有機 EL 素子であり、有機 EL 素子 1 1 B は青色光を発する有機 EL 素子である。なお、以下では、有機 EL 素子 1 1 R, 1 1 G, 1 1 B の総称として有機 EL 素子 1 1 を適宜、用いるものとする。

【0025】

(表示領域 1 0 A)

図 2 は、表示領域 1 0 A 内の回路構成の一例を表したものである。表示領域 1 0 A 内には、複数の画素回路 1 2 が個々の有機 EL 素子 1 1 と対となって 2 次元配置されている。なお、本実施の形態では、一对の有機 EL 素子 1 1 および画素回路 1 2 が 1 つの画素 1 3 を構成している。より詳細には、図 1 に示したように、一对の有機 EL 素子 1 1 R および画素回路 1 2 が 1 つの画素 1 3 R (赤色用の画素) を構成し、一对の有機 EL 素子 1 1 G および画素回路 1 2 が 1 つの画素 1 3 G (緑色用の画素) を構成し、一对の有機 EL 素子 1 1 B および画素回路 1 2 が 1 つの画素 1 3 B (青色用の画素) を構成している。さらに、互いに隣り合う 3 つの画素 1 3 R, 1 3 G, 1 3 B が 1 つの表示画素 1 4 を構成している。

【0026】

各画素回路 1 2 は、例えば、有機 EL 素子 1 1 に流れる電流を制御する駆動トランジスタ  $Tr_1$  (第 1 トランジスタ) と、信号線 DTL の電圧を駆動トランジスタ  $Tr_1$  に書き込む書き込みトランジスタ  $Tr_2$  (第 2 トランジスタ) と、保持容量  $C_s$  とによって構成されたものであり、2  $Tr_1$  C の回路構成となっている。駆動トランジスタ  $Tr_1$  および書き込みトランジスタ  $Tr_2$  は、例えば、n チャネル MOS 型の薄膜トランジスタ (TFET (T

10

20

30

40

50

hin Film Transistor) ) により形成されている。駆動トランジスタ  $T_{r1}$  または書き込みトランジスタ  $T_{r2}$  は、例えば、pチャネルMOS型のTFTであってもよい。

【0027】

表示領域10Aにおいて、複数の書込線WSL(走査線)が行状に配置され、複数の信号線DTLが列状に配置されている。表示領域10Aには、さらに、複数の電源線PSL(電源電圧の供給される部材)が書込線WSLに沿って行状に配置されている。各信号線DTLと各走査線WSLとの交差点近傍には、有機EL素子11が1つずつ設けられている。各信号線DTLは、後述の信号線駆動回路23の出力端(図示せず)と、書き込みトランジスタ  $T_{r2}$  のドレイン電極およびソース電極のいずれか一方(図示せず)に接続されている。各走査線WSLは、後述の書込線駆動回路24の出力端(図示せず)と、書き込みトランジスタ  $T_{r2}$  のゲート電極(図示せず)に接続されている。各電源線PSLは、後述の電源線駆動回路25の出力端(図示せず)と、駆動トランジスタ  $T_{r1}$  のドレイン電極およびソース電極のいずれか一方(図示せず)に接続されている。書き込みトランジスタ  $T_{r2}$  のドレイン電極およびソース電極のうち信号線DTLに非接続の方(図示せず)は、駆動トランジスタ  $T_{r1}$  のゲート電極(図示せず)と、保持容量  $C_s$  の一端に接続されている。駆動トランジスタ  $T_{r1}$  のドレイン電極およびソース電極のうち電源線PSLに非接続の方(図示せず)と保持容量  $C_s$  の他端とが、有機EL素子11のアノード電極(図示せず)に接続されている。有機EL素子11のカソード電極(図示せず)は、例えば、グラウンド線GNDに接続されている。

10

【0028】

電源線PSLは、図1、図3に示したように、複数の画素行を一つのユニットUとして、ユニットUごとに一つずつ設けられている。なお、図3には、ユニットUが5つ設けられている場合が例示されているが、ユニット数はそれに限られるものではない。また、図3では、5つのユニットUに対して、電源線駆動回路25の走査方向に向かうにつれて、1つずつ増えるサフィックスを付与している。従って、ユニットU1は走査方向の初回ユニットに相当し、ユニットU5は走査方向の最終ユニットに相当する。

20

【0029】

(駆動回路20)

次に、駆動回路20内の各回路について、図1を参照して説明する。駆動回路20は、タイミング生成回路21、映像信号処理回路22、信号線駆動回路23、書込線駆動回路24、および電源線駆動回路25を有している。

30

【0030】

タイミング生成回路21は、映像信号処理回路22、信号線駆動回路23、書込線駆動回路24、および電源線駆動回路25が連動して動作するように制御するものである。タイミング生成回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、上述した各回路に対して制御信号21Aを出力するようになっている。

【0031】

映像信号処理回路22は、外部から入力された映像信号20Aに対して所定の補正を行うと共に、補正した後の映像信号22Aを信号線駆動回路23に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

40

【0032】

信号線駆動回路23は、制御信号21Aの入力に応じて(同期して)、映像信号処理回路22から入力された映像信号22A(信号電圧  $V_{sig}$ )を各信号線DTLに印加して、選択対象の画素13に書き込むものである。なお、書き込みとは、駆動トランジスタ  $T_{r1}$  のゲートに所定の電圧を印加することを指している。

【0033】

信号線駆動回路23は、例えばシフトレジスタ(図示せず)によって構成されており、画素13の各列に対応して、1段ごとに信号出力部(図示せず)を備えている。この信号線駆動回路23は、制御信号21Aの入力に応じて(同期して)、各信号線DTLに対し

50



て、2種類の電圧 ( $V_{ofs}$ 、 $V_{sig}$ ) を出力可能となっている。具体的には、信号線駆動回路23は、各画素13に接続された信号線DTLを介して、書込線駆動回路24により選択された画素13へ2種類の電圧 ( $V_{ofs}$ 、 $V_{sig}$ ) を順番に供給するようになっている。

#### 【0034】

ここで、電圧  $V_{ofs}$  は、有機EL素子11の閾値電圧  $V_{el}$  よりも低い電圧値となっている。また、 $V_{sig}$  は、映像信号22Aに対応する電圧値となっている。 $V_{sig}$  の最小電圧は  $V_{ofs}$  よりも低い電圧値となっており、 $V_{sig}$  の最大電圧は  $V_{ofs}$  よりも高い電圧値となっている。

#### 【0035】

書込線駆動回路24は、例えばシフトレジスタ(図示せず)によって構成されており、画素13の各行に対応して、1段ごとに信号出力部(図示せず)を備えている。この書込線駆動回路24は、制御信号21Aの入力に応じて(同期して)、各書込線WSLに対して、2種類の電圧 ( $V_{on}$ 、 $V_{off}$ ) を出力可能となっている。具体的には、書込線駆動回路24は、各画素13に接続された書込線WSLを介して、駆動対象の画素13へ2種類の電圧 ( $V_{on}$ 、 $V_{off}$ ) を供給し、書き込みトランジスタ  $Tr_2$  を制御するようになっている。

#### 【0036】

ここで、電圧  $V_{on}$  は、書き込みトランジスタ  $Tr_2$  のオン電圧以上の値となっている。 $V_{on}$  は、後述の消光時や閾値補正時に、書込線駆動回路24から出力される電圧値である。 $V_{off}$  は、書き込みトランジスタ  $Tr_2$  のオン電圧よりも低い値となっており、かつ、 $V_{on}$  よりも低い値となっている。

#### 【0037】

電源線駆動回路25は、例えばシフトレジスタ(図示せず)によって構成されており、各ユニット(U1~U5)に対応して、各ユニット(U1~U5)に含まれる行数と等しい数の段ごとに信号出力部(図示せず)を備えている。つまり、本実施の形態では、電源線駆動回路25内のシフトレジスタの出力段がユニット(U1~U5)ごとに共用化されており、ユニットスキャン方式が採られている。そのため、各画素列に対応して1段ごとに信号出力部を設けた場合と比べて、電源線駆動回路25内の信号出力部の数が少ない。

#### 【0038】

この電源線駆動回路25は、制御信号21Aの入力に応じて(同期して)、2種類の電圧 ( $V_{ss}$ 、 $V_{cc}$ ) を出力可能となっている。具体的には、電源線駆動回路25は、各画素13に接続された電源線PSLを介して、駆動対象の画素13へ2種類の電圧 ( $V_{ss}$ 、 $V_{cc}$ ) を供給し、有機EL素子11の発光および消光を制御するようになっている。

#### 【0039】

ここで、 $V_{ss}$  は、有機EL素子11の閾値電圧  $V_{el}$  と、有機EL素子11のカソードの電圧  $V_{ca}$  とを足し合わせた電圧 ( $V_{el} + V_{ca}$ ) よりも低い電圧値である。また、 $V_{cc}$  は、電圧 ( $V_{el} + V_{ca}$ ) 以上の電圧値である。

#### 【0040】

次に、本実施の形態の表示装置1の動作(消光から発光までの動作)の一例について説明する。本実施の形態では、駆動トランジスタ  $Tr_1$  の閾値電圧  $V_{th}$  や移動度  $\mu$  が経時変化したりしても、それらの影響を受けることなく、有機EL素子11の発光輝度を一定に保つようにするために、閾値電圧  $V_{th}$  や移動度  $\mu$  の変動に対する補正動作が組み込まれている。

#### 【0041】

図4は、表示装置1における各種波形の一例を表したものである。図4には、電源線PSLに2種類の電圧 ( $V_{ss}$ 、 $V_{cc}$ ) が、書込線WSL1~WSL6に2種類の電圧 ( $V_{on}$ 、 $V_{off}$ ) が印加されている様子が示されている。図1、図4からわかるように、表示装置1では、電源線PSL(PSL1, PSL2, ...) から各画素13に、ユニット(U1~U5)ごとに共通のタイミングで  $V_{ss}$ 、 $V_{cc}$  が印加される。

#### 【0042】

10

20

30

40

50

図5は、表示装置1のユニットU1に印加される電圧波形の一例を表したものである。具体的には、電源線PSL1に2種類の電圧( $V_{ss}$ 、 $V_{cc}$ )が、信号線DTLに2種類の電圧( $V_{sig}$ 、 $V_{ofs}$ )が、書込線WSL1、WSL2、WSL3に2種類の電圧( $V_{on}$ 、 $V_{off}$ )が印加されている様子が示されている。さらに、図5には、電源線PSL1、信号線DTLおよび書込線WSL1への電圧印加に応じて、駆動トランジスタ $Tr_1$ のゲート電圧 $V_g$ およびソース電圧 $V_s$ が時々刻々変化している様子が示されている。

#### 【0043】

(消光期間)

まず、有機EL素子11の消光を行う。具体的には、まず、駆動トランジスタ $Tr_1$ のドレイン電圧 $V_d$ の電圧が $V_{cc}$ となっており、駆動トランジスタ $Tr_1$ のゲート電圧 $V_g$ が $V_{sig}$ よりも高い電圧となっており、かつ駆動トランジスタ $Tr_1$ のソース電圧 $V_s$ が有機EL素子11の駆動電圧 $V_{dr}$ となっており、有機EL素子11が発光しているとする(図6)。このように有機EL素子11が発光している期間において、信号線DTLの電圧が $V_{ofs}$ となったときに、書込線駆動回路24が書込線WSLの電圧を $V_{off}$ から $V_{on}$ に上げ( $T_1$ )、駆動トランジスタ $Tr_1$ のゲートを信号線DTLに接続する。すると、駆動トランジスタ $Tr_1$ のゲート電圧 $V_g$ が下がり始め、保持容量 $C_s$ を介したカップリングにより駆動トランジスタ $Tr_1$ のソース電圧 $V_s$ も下がり始める。その後、ゲート電圧 $V_g$ が $V_{ofs}$ となるとともに、ソース電圧 $V_s$ が $V_{el} + V_{ca}$ ( $V_{ca}$ は有機EL素子11のカソード電圧)となり、有機EL素子11が消光する(図7)。その後、有機EL素子11が消光したときに書込線駆動回路24が書込線WSLの電圧を $V_{on}$ から $V_{off}$ に下げ、駆動トランジスタ $Tr_1$ のゲートをフローティングにする( $T_2$ )。

#### 【0044】

(閾値補正準備期間)

次に、閾値補正の準備を行う。具体的には、書込線WSL1の電圧が $V_{off}$ となっている時に、電源線駆動回路25が電源線PSL1の電圧(駆動トランジスタ $Tr_1$ のドレイン電圧 $V_d$ )を $V_{cc}$ から $V_{ss}$ に下げる( $T_3$ )(図8)。すると、駆動トランジスタ $Tr_1$ の電源線PSL1側がソースとなって駆動トランジスタ $Tr_1$ のドレイン-ソース間に電流 $I_d$ が流れ、ゲート電圧 $V_g$ が $V_{ss} + V_{th}$ となったところで、電流 $I_d$ が止まる。このとき、ソース電圧 $V_s$ が $V_{el} + V_{ca} - (V_{ofs} - (V_{ss} + V_{th}))$ となっており、電位差 $V_{gs}$ が $V_{th}$ よりも小さくなっている。

#### 【0045】

続いて、電源線PSL1の電圧(駆動トランジスタ $Tr_1$ のドレイン電圧 $V_d$ )が $V_{ss}$ となっており、かつ信号線DTLの電圧が $V_{ofs}$ となっている時に、書込線駆動回路24が書込線WSL1の電圧を $V_{off}$ から $V_{on}$ に上げ( $T_4$ )、駆動トランジスタ $Tr_1$ のゲートを信号線DTLに接続する。すると、駆動トランジスタ $Tr_1$ のゲート電圧 $V_g$ が上がり始め、駆動トランジスタ $Tr_1$ のソース電圧 $V_s$ は逆にさらに下がり始め、ゲート電圧 $V_g$ が $V_{ofs}$ となり、ソース電圧 $V_s$ が $V_{ss}$ となる(図9)。このとき、書込線駆動回路24が書込線WSL1の電圧を $V_{on}$ から $V_{off}$ に下げ、駆動トランジスタ $Tr_1$ のゲートをフローティングにする( $T_5$ )。

#### 【0046】

続いて、書込線WSL1の電圧が $V_{on}$ となっており、かつ信号線DTLの電圧が $V_{ofs}$ となっている時に、電源線駆動回路25が電源線PSL1の電圧を $V_{ss}$ から $V_{cc}$ に上げる( $T_6$ )(図10)。すると、駆動トランジスタ $Tr_1$ のドレイン-ソース間に電流 $I_d$ が流れ、ソース電圧 $V_s$ が、駆動トランジスタ $Tr_1$ のゲート-ドレイン間の寄生容量と、保持容量 $C_s$ との容量結合によって上昇する。

#### 【0047】

(最初の閾値補正期間)

次に、閾値補正を行う。具体的には、電源線PSL1の電圧が $V_{cc}$ となっており、かつ信号線DTLの電圧が $V_{ofs}$ となっている時に、書込線駆動回路24が書込線WSL1の電圧を $V_{off}$ から $V_{on}$ に上げて、駆動トランジスタ $Tr_1$ のゲート電圧 $V_g$ を $V_{ofs}$ にする(

$T_7$ ) (図 10)。すると、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れ、ソース電圧  $V_s$  が、駆動トランジスタ  $T_{r1}$  のゲート - ドレイン間の寄生容量と、保持容量  $C_s$  との容量結合によって上昇する。その後、書込線駆動回路 24 が書込線  $W S L$  の電圧を  $V_{on}$  から  $V_{off}$  に下げる ( $T_8$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなり、閾値補正が一旦停止する。

#### 【0048】

(最初の閾値補正休止期間)

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行 (画素) とは異なる他の行 (画素) において、信号線  $D T L$  の電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行 (画素) において、ソース電圧  $V_s$  が  $V_{ofs} - V_{th}$  よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行 (画素) において、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れ、ソース電圧  $V_s$  が上昇し、保持容量  $C_s$  を介したカップリングによりゲート電圧  $V_g$  も上昇する。

#### 【0049】

(2 回目の閾値補正期間)

閾値補正休止期間が終了した後、閾値補正を再び行う。具体的には、信号線  $D T L$  の電圧が  $V_{ofs}$  となっており、閾値補正が可能となっている時に、書込線駆動回路 24 が書込線  $W S L$  の電圧を  $V_{off}$  から  $V_{on}$  に上げ、駆動トランジスタ  $T_{r1}$  のゲートを  $V_{ofs}$  にする ( $T_7$ ) (図 10)。このとき、ソース電圧  $V_s$  が  $V_{ofs} - V_{th}$  よりも低い場合 (閾値補正がまだ完了していない場合) には、駆動トランジスタ  $T_{r1}$  がカットオフするまで (電位差  $V_{gs}$  が  $V_{th}$  になるまで)、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れる。その後、信号線駆動回路 23 が信号線  $D T L$  の電圧を  $V_{ofs}$  から  $V_{sig}$  に切り替える前に、書込線駆動回路 24 が書込線  $W S L$  の電圧を  $V_{on}$  から  $V_{off}$  に下げる ( $T_8$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなるので、電位差  $V_{gs}$  を信号線  $D T L$  の電圧の大きさに拘わらず一定に維持することができる。

#### 【0050】

なお、この閾値補正期間において、保持容量  $C_s$  が  $V_{th}$  に充電され、電位差  $V_{gs}$  が  $V_{th}$  となった場合には、閾値補正を終了するが、電位差  $V_{gs}$  が  $V_{th}$  にまで到達しなかった場合には、電位差  $V_{gs}$  が  $V_{th}$  に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

#### 【0051】

(休止期間)

次に、必要に応じて、電源線駆動回路 25 が電源線  $P S L 1$  の電圧を  $V_{cc}$  から  $V_{ss}$  に下げたのち ( $T_9$ )、しばらくしてから  $V_{ss}$  から  $V_{cc}$  に上げる ( $T_{10}$ )。これにより、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間や、有機  $E L$  素子 11 に生じる電流リークを抑える。

#### 【0052】

(最後の閾値補正期間)

信号書き込みを行う直前に、閾値補正を再び行う。具体的には、信号線  $D T L$  の電圧が  $V_{ofs}$  となっており、閾値補正が可能となっている時に、書込線駆動回路 24 が書込線  $W S L$  の電圧を  $V_{off}$  から  $V_{on}$  に上げ、駆動トランジスタ  $T_{r1}$  のゲートを  $V_{ofs}$  にする ( $T_{11}$ ) (図 10)。このとき、ソース電圧  $V_s$  が  $V_{ofs} - V_{th}$  よりも低い場合 (閾値補正が完了していない場合) には、駆動トランジスタ  $T_{r1}$  がカットオフするまで (電位差  $V_{gs}$  が  $V_{th}$  になるまで)、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れる。その後、書込線駆動回路 24 が書込線  $W S L$  の電圧を  $V_{on}$  から  $V_{off}$  に下げる ( $T_{12}$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなるので、電位差  $V_{gs}$  を信号線  $D T L$  の電圧の大きさに拘わらず一定に維持することができる。

#### 【0053】

(書き込み・ $\mu$ 補正期間)

閾値補正期間が終了した後、書き込みと  $\mu$  補正を行う。具体的には、信号線  $D T L$  の電

10

20

30

40

50

圧が  $V_{sig}$  となっている間に、書込線駆動回路 24 が書込線 WSL の電圧を  $V_{off}$  から  $V_{on}$  に上げ ( $T_{13}$ )、駆動トランジスタ  $T_{r1}$  のゲートを信号線 DTL に接続する。すると、駆動トランジスタ  $T_{r1}$  のゲートの電圧が  $V_{sig}$  となる (図 11)。このとき、有機 EL 素子 11 のアノードの電圧はこの段階ではまだ有機 EL 素子 11 の閾値電圧  $V_{el}$  よりも小さく、有機 EL 素子 11 はカットオフしている。そのため、電流  $I_d$  は有機 EL 素子 11 の素子容量に流れ、素子容量が充電されるので、ソース電圧  $V_s$  が  $V$  だけ上昇し、やがて、ソース電圧  $V_s$  が  $V_{ofs} - V_{th} + V$  となり、電位差  $V_{gs}$  が  $V_{sig} - (V_{ofs} - V_{th} + V)$  となる。このようにして、書き込みと同時に  $\mu$  補正が行われる。

【0054】

(発光)

最後に、書込線駆動回路 24 が書込線 WSL の電圧を  $V_{on}$  から  $V_{off}$  に下げる ( $T_{14}$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなり、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れ、ソース電圧  $V_s$  が上昇する。その結果、有機 EL 素子 11 が所望の輝度で発光する。

【0055】

本実施の形態の表示装置 1 では、上記のようにして、各画素 13 において画素回路 12 がオンオフ制御され、各画素 13 の有機 EL 素子 11 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル 10 の表示領域 10A において画像が表示される。

【0056】

ところで、例えば、図 18 に示したような従来の表示装置 100 におけるユニットスキャン方式では、例えば、図 19 に示したように、同一ユニット内において、電源線 PSL の電圧が  $V_{ss}$  から  $V_{cc}$  に上がった時 ( $T_1$ ) から閾値補正を開始する時 ( $T_2$ ) までの時間 (待ち時間) がラインによって異なっている。例えば、同一ユニット内に 30 ライン含まれている場合に、1 ライン目の待ち時間と 30 ライン目の待ち時間との差が 29H となる。この待ち時間の間、例えば、図 20 に示したように、駆動トランジスタ  $T_{r1}$  のリーク電流  $I_{Dr}$  と、有機 EL 素子 11 のリーク電流  $I_{EL}$  とが生じているので、駆動トランジスタ  $T_{r1}$  のソース電圧  $V_s$  は、待ち時間が長ければ長いほど、上昇してしまう。そのため、同一のユニット内において、最後のラインの画素 11 のゲート - ソース間電圧 (電位差  $V_{gs}$ ) は最初のラインの画素 11 のゲート - ソース間電圧 (電位差  $V_{gs}$ ) よりも小さくなる。その結果、一のユニットに含まれるライン数が多すぎると、時刻  $T_1 \sim T_2$  の間、最後のラインの輝度は最初のラインの輝度よりも暗くなってしまう、隣接するユニット間にスジ状の模様が発生してしまう。

【0057】

そこで、上記の待ち時間を十分に長くし、各ラインの画素 11 のゲート - ソース間電圧の差を小さくする方策が考えられる。しかし、そのようにした場合には、発光期間が短くなってしまうという問題があった。

【0058】

また、閾値補正を行う際には、駆動トランジスタのソース電圧を事前に所定の値よりも下げておくことが必要となるが、図 19 の例では、駆動トランジスタのソース電圧が  $V_{ss} - V_{th}$  までしか下がらない。そのため、 $V_{ss}$  を大きく下げることが必要となるが、そのようにした場合には、電源線駆動回路 140 から印加される選択パルスによるカップリングにより、ユニット間にスジ状の模様が発生してしまう。

【0059】

一方、本実施の形態の表示装置 1 では、電源線 PSL の電圧を利用して各駆動トランジスタ  $T_{r1}$  のゲート - ソース間電圧  $V_{gs}$  を駆動トランジスタ  $T_{r1}$  の閾値電圧  $V_{th}$  よりも大きくした上で、各駆動トランジスタ  $T_{r1}$  の閾値補正がなされる。従って、電源線 PSL の電圧を大きく下げる必要がない。また、各有機 EL 素子 11 を発光させる前に再度、必要なラインに対して駆動トランジスタ  $T_{r1}$  の閾値電圧が補正される。これにより、各ラインにおいて、駆動トランジスタ  $T_{r1}$  の閾値補正の待ち時間を短くすることができる。

10

20

30

40

50

これにより、ユニットスキャンにおいて、発光期間を短くすることなく、スジ状の模様が発生するのを防止することができる。

【 0 0 6 0 】

< モジュールおよび適用例 >

以下、上記実施の形態で説明した表示装置 1 の適用例について説明する。上記実施の形態の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 0 6 1 】

( モジュール )

上記実施の形態の表示装置 1 は、例えば、図 1 2 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 1 の一辺に、表示領域 1 0 A を封止する封止用基板 3 2 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、駆動回路 2 0 の配線を延長して外部接続端子 ( 図示せず ) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 ( F P C ; Flexible Printed Circuit ) 2 2 0 が設けられていてもよい。

【 0 0 6 2 】

( 適用例 1 )

図 1 3 は、上記実施の形態の表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 3 】

( 適用例 2 )

図 1 4 は、上記実施の形態の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 4 】

( 適用例 3 )

図 1 5 は、上記実施の形態の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 5 】

( 適用例 4 )

図 1 6 は、上記実施の形態の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート / ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 6 】

( 適用例 5 )

図 1 7 は、上記実施の形態の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 ( ヒンジ部 ) 7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記実施の形態に係る表示装置 1 により構成されている。

10

20

30

40

50

## 【 0 0 6 7 】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

## 【 0 0 6 8 】

例えば、上記実施の形態等では、表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 2 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路 1 2 に追加してもよい。その場合、画素回路 1 2 の変更に応じて、上述した信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 のほかに、必要な駆動回路を追加してもよい。

10

## 【 0 0 6 9 】

また、上記実施の形態等では、信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 の駆動をタイミング生成回路 2 1 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

## 【 0 0 7 0 】

また、上記実施の形態等では、画素回路 1 2 が、 $2Tr1C$  の回路構成となっていたが、デュアルゲート型のトランジスタが有機 EL 素子 1 1 に直列に接続された回路構成を含んでいるものであれば、 $2Tr1C$  の回路構成以外の回路構成となってもよい。

20

## 【 0 0 7 1 】

また、上記実施の形態等では、駆動トランジスタ  $Tr_1$ 、書き込みトランジスタ  $Tr_2$  は、 $n$ チャネル MOS 型の薄膜トランジスタにより形成されている場合が例示されていたが、 $p$ チャネルトランジスタ（例えば  $p$ チャネル MOS 型の TFT）により形成されていてもよい。ただし、その場合には、トランジスタ  $Tr_2$  のソースおよびドレインのうち電源線 PSL と未接続の方と保持容量  $C_s$  の他端とを有機 EL 素子 1 1 のカソードに接続し、有機 EL 素子 1 1 のアノードを GND などに接続することが好ましい。

## 【 符号の説明 】

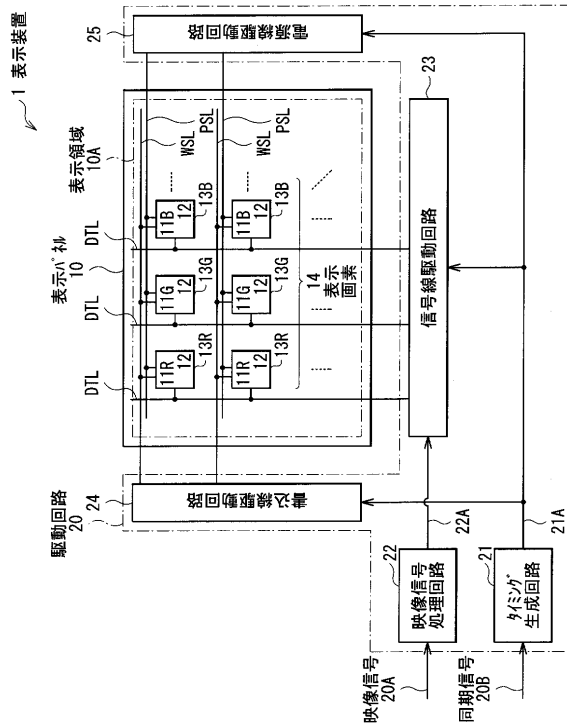
## 【 0 0 7 2 】

1, 100 ... 表示装置、10, 110 ... 表示パネル、10A ... 表示領域、11, 11R, 11G, 11B, 111R, 111G, 111B ... 有機 EL 素子、12 ... 画素回路、13, 13R, 13G, 13B, 111 ... 画素、14 ... 表示画素、20 ... 駆動回路、20A, 22A ... 映像信号、20B ... 同期信号、21 ... タイミング生成回路、21A ... 制御信号、22 ... 映像信号処理回路、23, 120 ... 信号線駆動回路、24, 130 ... 書込線駆動回路、25, 140 ... 電源線駆動回路、31 ... 基板、32 ... 封止用基板、210 ... 領域、220 ... FPC、300 ... 映像表示画面部、310 ... フロントパネル、320 ... フィルターガラス、410 ... 発光部、420, 530, 640 ... 表示部、430 ... メニュースイッチ、440 ... シャッターボタン、510 ... 本体、520 ... キーボード、610 ... 本体部、620 ... レンズ、630 ... スタート/ストップスイッチ、710 ... 上側筐体、720 ... 下側筐体、730 ... 連結部、740 ... ディスプレイ、750 ... サブディスプレイ、760 ... ピクチャーライト、770 ... カメラ、 $C_s$  ... 保持容量、DTL (DTL1, DTL2, ...) ... 信号線、 $I_d$  ... 電流、 $I_{Dr}$ ,  $I_{EL}$  ... リーク電流、GND ... グラウンド線、PSL (PSL1, PSL2, ...) ... 電源線、 $Tr_1$  ... 駆動トランジスタ、 $Tr_2$  ... 書き込みトランジスタ、 $V_g$  ... ゲート電圧、 $V_{gs}$  ... 電位差、 $V_s$  ... ソース電圧、 $V_{sig}$  ... 信号電圧、 $V_{cc}$ ,  $V_{off}$ ,  $V_{ofs}$ ,  $V_{on}$ ,  $V_{ss}$ ,  $V$  ... 電圧、 $V_{th}$ ,  $V_{el}$  ... 閾値電圧、WSL (WSL1, WSL2, ...) ... 書込線、X ... ユニット数、 $\mu$  ... 移動度。

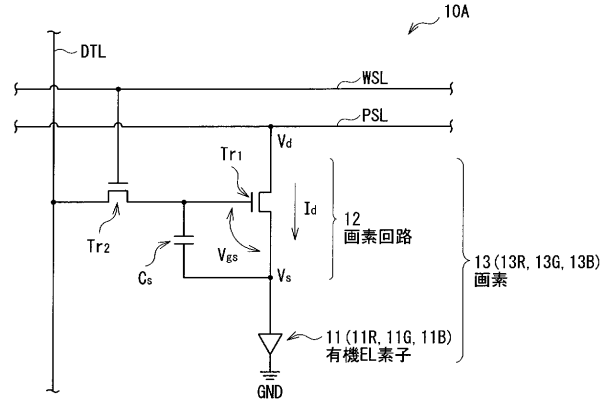
30

40

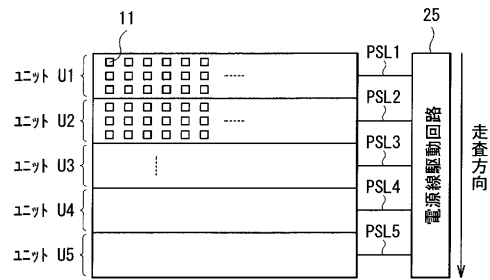
【図 1】



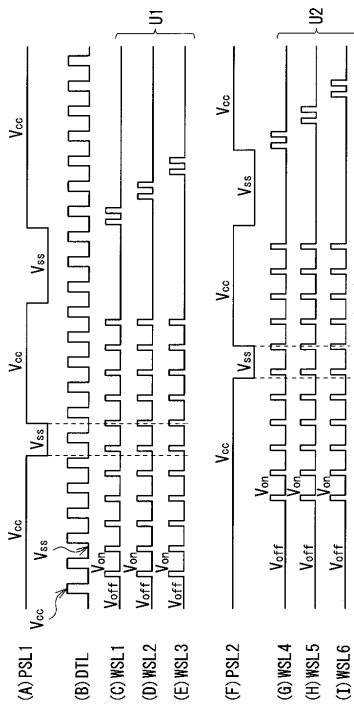
【図 2】



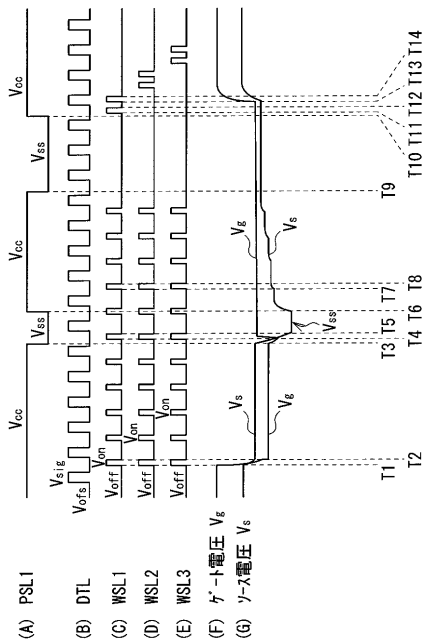
【図 3】



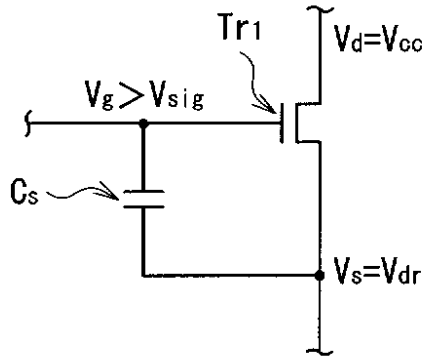
【図 4】



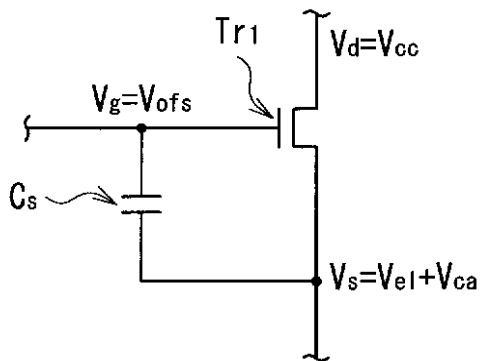
【図 5】



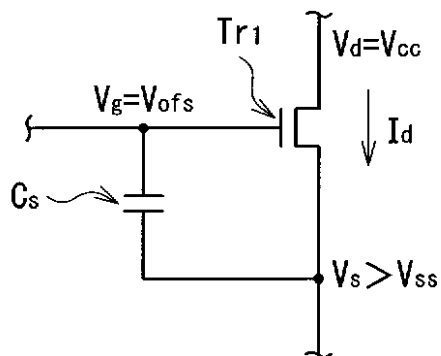
【図 6】



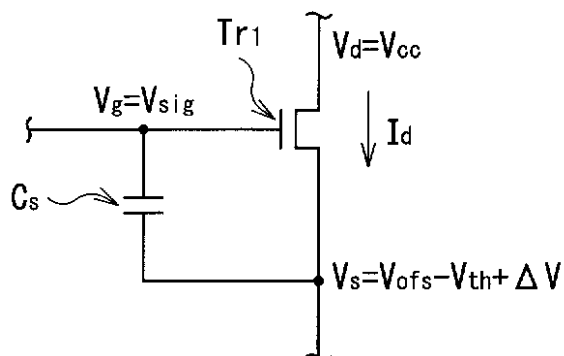
【図 7】



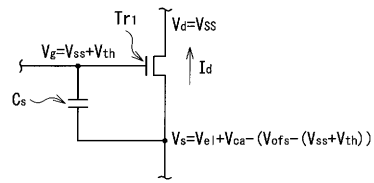
【図 10】



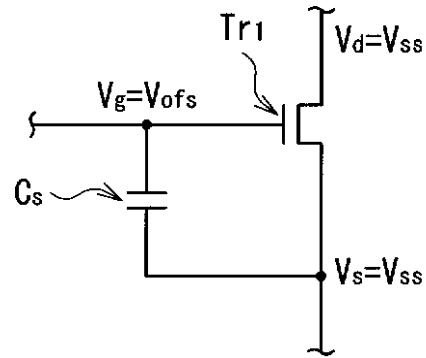
【図 11】



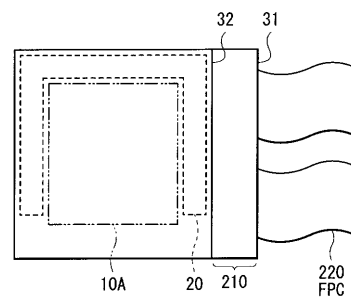
【図 8】



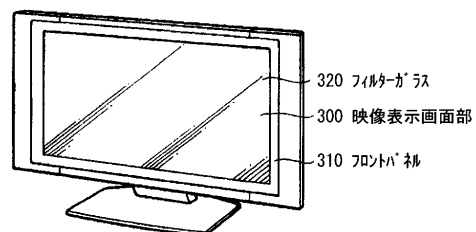
【図 9】



【図 12】

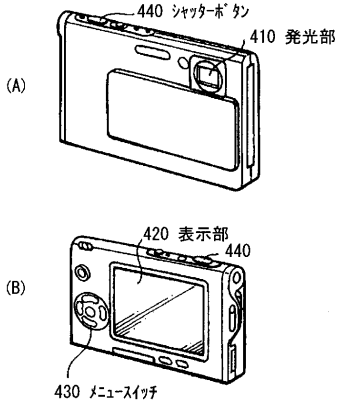


【図 13】

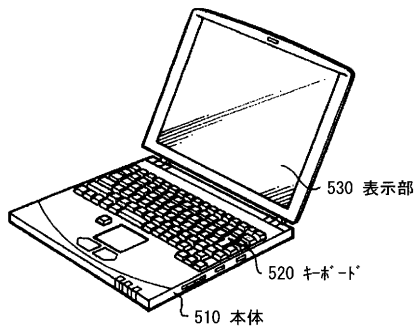




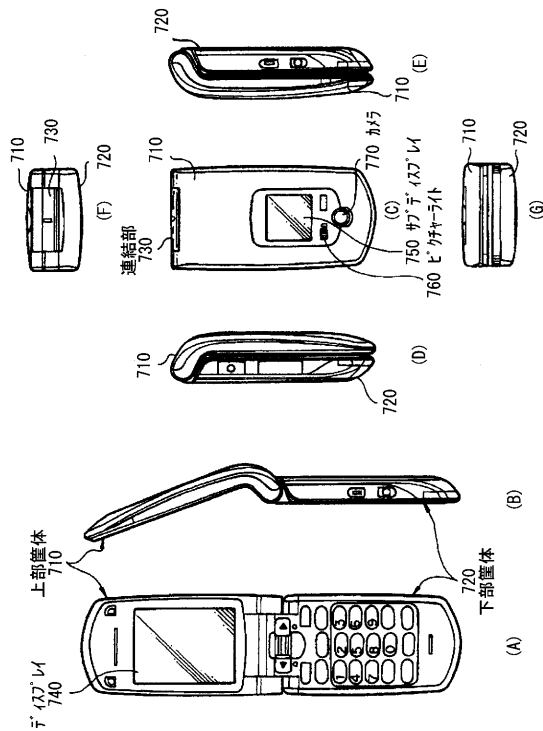
【図 14】



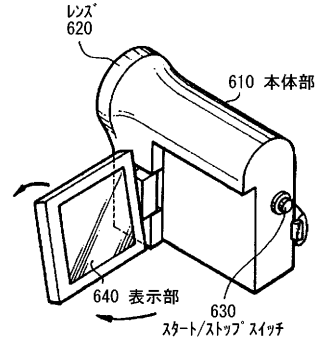
【図 15】



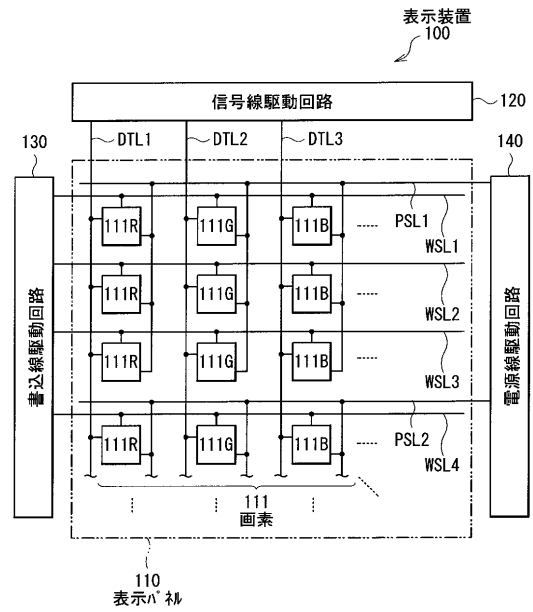
【図 17】



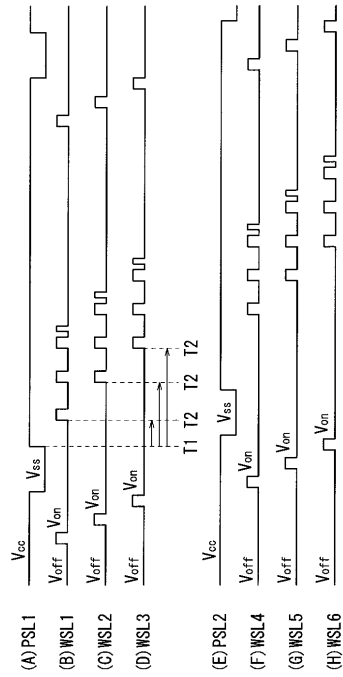
【図 16】



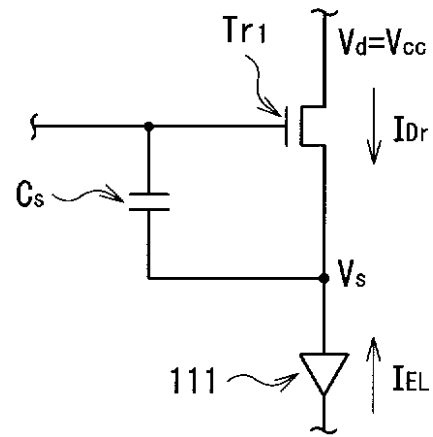
【図 18】



【図 19】



【図 20】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 9 G 3/20 6 2 3 X  
H 0 5 B 33/14 A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH02 HH04 HH05  
5C080 AA06 BB05 CC03 DD05 JJ02 JJ03 JJ04 KK02 KK43 KK47  
5C380 AA01 AB06 AB34 AB46 AC07 AC08 AC09 AC11 BA21 BA38  
BA39 BB02 BD02 CA08 CA12 CA17 CB01 CB09 CB14 CB20  
CB26 CC02 CC03 CC04 CC05 CC07 CC27 CC33 CC41 CC62  
CD012 CE19 CF07 DA06 DA47 HA05 HA11

专利名称(译)	显示装置，其驱动方法和电子设备		
公开(公告)号	<a href="#">JP2011145532A</a>	公开(公告)日	2011-07-28
申请号	JP2010006991	申请日	2010-01-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	三並 徹雄 内野 勝秀		
发明人	三並 徹雄 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A G09G3/20.611.H G09G3/20.612.G G09G3/20.623.X H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA21 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA17 5C380/CB01 5C380/CB09 5C380/CB14 5C380/CB20 5C380/CB26 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CE19 5C380/CF07 5C380/DA06 5C380/DA47 5C380/HA05 5C380/HA11		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

要解决的问题：提供一种能够在不减少发光时段的情况下防止在单位扫描中产生条纹图案的显示装置，并提供一种用于驱动显示装置和电子设备的方法。解决方案：在每个单元U中提供电源线PSL，其包括多个像素行作为一个单元U.在设置每个驱动晶体管Tr的栅极 - 源极电压 $V_{gs}$ 之后通过使用电源线PSL的电压，每个驱动的阈值，1 高于驱动晶体管Tr 1 的阈值电压 $V_{th}$  晶体管Tr 1 被校正。然后，在每个有机EL元件11中发光之前，再次相对于必要的线校正驱动晶体管Tr 1 的阈值电压。 Z

