

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-251205

(P2009-251205A)

(43) 公開日 平成21年10月29日(2009.10.29)

| | | |
|-----------------------------|----------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| G09G 3/20 (2006.01) | G09G 3/20 624B | 5C080 |
| G09F 9/33 (2006.01) | G09G 3/20 611H | 5C094 |
| HO1L 51/50 (2006.01) | G09G 3/20 642A | |
| | G09G 3/20 642P | |

審査請求 未請求 請求項の数 9 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2008-97896 (P2008-97896)
 (22) 出願日 平成20年4月4日 (2008.4.4)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 基田 誠一郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04
 5C080 AA06 BB05 DD05 EE29 FF07
 FF11 HH09 JJ02 JJ03 JJ05
 JJ06 KK01 KK07 KK43 KK47
 5C094 AA04 AA07 AA25 AA53 AA55
 BA03 BA27 CA19 DB01 DB04
 EA04 EA07 FB12 FB14 FB18
 GA10 HA08 HA10

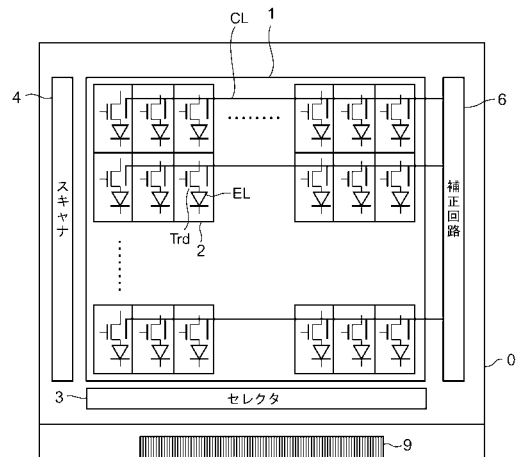
(54) 【発明の名称】 表示装置と電子機器

(57) 【要約】

【課題】 各画素に形成された駆動トランジスタの特性ばらつきを補正可能なアクティブマトリクス型表示装置を提供する。

【解決手段】 画素2は、映像信号に応じて駆動電流を出力する駆動トランジスタTrdと、駆動電流に応じた輝度で発光する発光素子ELを含む。駆動トランジスタTrdは、電源と発光素子ELとの間に接続する一対の電流端と、一対の電流端の間にあるチャンネル領域と、信号線から信号が書き込まれる第1ゲート電極と、チャンネル領域を間にして第1ゲート電極と対向する第2ゲート電極とを有する。補正回路6は、制御線CLを介して駆動トランジスタTrdの特性のバラツキを補正するための補正電位を第2ゲート電極に印加する。

【選択図】 図14



【特許請求の範囲】**【請求項 1】**

画素アレイ部と回路部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、

前記回路部は、各走査線を介して画素を行単位で選択する走査回路と、選択された画素に各信号線を介して信号を供給する信号回路とを含み、

前記画素は、該信号に応じて駆動電流を出力する駆動トランジスタと、該駆動電流に応じた輝度で発光する発光素子とを含み、

前記駆動トランジスタは、電源と該発光素子との間に接続する一対の電流端と、一対の電流端の間にあるチャンネル領域と、該信号線から信号が書き込まれる第 1 ゲート電極と、該チャンネル領域を間にして該第 1 ゲート電極と対向する第 2 ゲート電極とを有し、

前記回路部は、該駆動トランジスタの特性のバラツキを補正するための補正電位を該第 2 ゲート電極に印加する補正回路を含む表示装置。

10

【請求項 2】

前記画素アレイ部は、各画素に含まれる駆動トランジスタの第 2 ゲート電極を行単位又は列単位で共通接続する制御線を有し、

前記補正回路は、各制御線毎に補正電位を印加する請求項 1 記載の表示装置。

【請求項 3】

前記駆動トランジスタは、その閾電圧特性のバラツキに応じて駆動電流が変動し、

前記補正回路は、該閾電圧特性のバラツキを補正する補正電位を該第 2 ゲート電極に印加する請求項 2 記載の表示装置。

20

【請求項 4】

前記回路部は該補正回路を含めて該画素アレイ部と同じパネル上に配されており、

前記補正回路は、各制御線単位で補正電位を自動的に検出し、且つ検出した補正電位を対応する制御線に印加する請求項 2 記載の表示装置。

【請求項 5】

前記補正回路は、各制御線に対応して配された補正ユニットの集合からなり、

前記補正ユニットは、電源ラインと接地ラインとの間で直列接続された検出トランジスタと抵抗素子とからなり、

各補正ユニットに対応する制御線は、該検出トランジスタと該抵抗素子の中点に接続している請求項 4 記載の表示装置。

30

【請求項 6】

前記補正回路は、各制御線に対応して配された補正ユニットの集合からなり、

前記補正ユニットは、電源ラインと接地ラインとの間で直列接続された一対の検出トランジスタと相補トランジスタとからなり、

各補正ユニットに対応する制御線は、該検出トランジスタと該相補トランジスタの中点に接続している請求項 4 記載の表示装置。

【請求項 7】

前記一対の検出トランジスタ及び相補トランジスタをオンして補正電位を自動的に検出し、その後前記一対の検出トランジスタ及び相補トランジスタをオフして該検出した補正電位を該中間点に保持し対応する制御線に印加する請求項 6 記載の表示装置。

40

【請求項 8】

前記検出トランジスタは、対応する制御線に接続している駆動トランジスタと同一サイズで同一ライン上に位置する請求項 5 又は請求項 6 記載の表示装置。

【請求項 9】

表示部とこれに情報を表示する本体部とを有し、

前記表示部は、画素アレイ部と回路部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、

50

前記回路部は、各走査線を介して画素を行単位で選択する走査回路と、選択された画素に各信号線を介して信号を供給する信号回路とを含み、

前記画素は、該信号に応じて駆動電流を出力する駆動トランジスタと、該駆動電流に応じた輝度で発光する発光素子とを含み、

前記駆動トランジスタは、電源と該発光素子との間に接続する一对の電流端と、一对の電流端の間にあるチャンネル領域と、該信号線から信号が書き込まれる第1ゲート電極と、該チャンネル領域を間にして該第1ゲート電極と対向する第2ゲート電極とを有し、

前記回路部は、該駆動トランジスタの特性のバラツキを補正するための補正電位を該第2ゲート電極に印加する補正回路を含む電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置に関する。より詳しくは、発光素子を駆動するトランジスタの閾電圧のばらつきを補正する技術に関する。

【背景技術】

【0002】

従来のアクティブマトリクス型表示装置は、画素アレイ部と回路部とからなる。画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含む。回路部は、各走査線を介して画素を行単位で選択する走査回路と、選択された画素に各信号線を介して信号を供給する信号回路とを含む。画素は、信号に応じて駆動電流を出力する駆動トランジスタと、駆動電流に応じた輝度で発光する発光素子とを含む。かかる構成を有するアクティブマトリクス型の表示装置は、例えば以下の特許文献1に記載されている。

【特許文献1】特開2007-310311

【発明の開示】

【発明が解決しようとする課題】

【0003】

各画素に形成された駆動トランジスタは、回路部から供給される映像信号に応じて駆動電流を出力し、発光素子を駆動している。しかしながら駆動トランジスタはその電気特性が必ずしも均一ではなく、画素間でばらつきがある。この特性ばらつきの結果駆動電流がばらつき、画素アレイ部内で画素の発光輝度にムラが生じ、ユニフォームティを損ねているという課題がある。

【課題を解決するための手段】

【0004】

上述した従来の技術の課題に鑑み、本発明は各画素に形成された駆動トランジスタの特性ばらつきを補正可能なアクティブマトリクス型表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち、本発明にかかる表示装置は、画素アレイ部と回路部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、前記回路部は、各走査線を介して画素を行単位で選択する走査回路と、選択された画素に各信号線を介して信号を供給する信号回路とを含む。前記画素は、該信号に応じて駆動電流を出力する駆動トランジスタと、該駆動電流に応じた輝度で発光する発光素子とを含み、前記駆動トランジスタは、電源と該発光素子との間に接続する一对の電流端と、一对の電流端の間にあるチャンネル領域と、該信号線から信号が書き込まれる第1ゲート電極と、該チャンネル領域を間にして該第1ゲート電極と対向する第2ゲート電極とを有し、前記回路部は、該駆動トランジスタの特性のバラツキを補正するための補正電位を該第2ゲート電極に印加する補正回路を含む。

【0005】

好ましくは、前記画素アレイ部は、各画素に含まれる駆動トランジスタの第2ゲート電極を行単位又は列単位で共通接続する制御線を有し、前記補正回路は、各制御線毎に補正

10

20

30

40

50

電位を印加する。又前記駆動トランジスタは、その閾電圧特性のバラツキに応じて駆動電流が変動し、前記補正回路は、該閾電圧のバラツキを補正する補正電位を該第2ゲート電極に印加する。又前記回路部は該補正回路を含めて該画素アレイ部と同じパネル上に配されており、前記補正回路は、各制御線単位で補正電位を自動的に検出し、且つ検出した補正電位を対応する制御線に印加する。又前記補正回路は、各制御線に対応して配された補正ユニットの集合からなり、前記補正ユニットは、電源ラインと接地ラインとの間で直列接続された検出トランジスタと抵抗素子とからなり、各補正ユニットに対応する制御線は、該検出トランジスタと該抵抗素子の中点に接続している。或いは前記補正ユニットは、電源ラインと接地ラインとの間で直列接続された一対の検出トランジスタと相補トランジスタからなり、各補正ユニットに対応する制御線は、該検出トランジスタと該相補トランジスタの中点に接続している。又前記一対の検出トランジスタ及び相補トランジスタをオンして補正電位を自動的に検出し、その後前記一対の検出トランジスタ及び相補トランジスタをオフして該検出した補正電位を該中間点に保持し対応する制御線に印加する。又前記検出トランジスタは、対応する制御線に接続している駆動トランジスタと同一サイズで同一ライン上に位置する。

10

20

30

40

50

【発明の効果】**【0006】**

本発明によれば、駆動トランジスタがいわゆるダブルゲート構造（サンドイッチゲート構造）を有している。即ち、駆動トランジスタは、チャンネル領域を間にして互いに対向した第1ゲート電極及び第2ゲート電極を有している。第1ゲート電極は直接的もしくは間接的に信号線に接続している。一方第2ゲート電極は補正回路に接続している。この補正回路は各駆動トランジスタの第2ゲート電極に補正電位を印加して、特性のばらつきを補正している。かかる構成により、画素アレイ部は局所的な輝度のムラがなくなり、ユニフォームリティを改善することができる。

【発明を実施するための最良の形態】**【0007】**

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる表示装置の第1実施形態を示す模式的な平面図である。図示するように、本表示装置は、画素アレイ部1と回路部とからなる。画素アレイ部1はパネル0に形成されている。また回路部の一部も、パネル0に搭載されている。画素アレイ部1は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素2とを含む。本実施形態の場合、画素2には赤緑青三原色（RGB）のいずれかが割り当てられており、カラー表示を行う。但し本発明はカラー表示装置に限られるものではなく、例えば白黒の単色表示装置も含まれる。

【0008】

一方回路部は、セレクタ3とスキャナ4とを含む。本実施形態では、スキャナ4はパネル0に搭載されており、各走査線を介して画素2を行単位で選択する走査回路となっている。またセレクタ3もパネル0に搭載されており、選択された画素2に各信号線を介して映像信号を供給する。パネル0には端子9が形成されている。この端子9は、外部の回路部からパネル内のスキャナ4やセレクタ3に映像信号や制御信号を供給するためのものである。

【0009】

個々の画素2は、少なくとも駆動トランジスタTrdと発光素子ELを含んでいる。駆動トランジスタTrdはセレクタ3から供給された映像信号（以下単に信号と呼ぶ場合がある）に応じて駆動電流を出力する。発光素子ELは例えば二端子型の有機エレクトロルミネッセンス素子からなり、駆動電流に応じた輝度で発光する。この駆動トランジスタTrdは、電源と発光素子ELとの間に接続する一対の電流端（ソース/ドレイン）と、一対の電流端の間にあるチャンネル領域と、第1ゲート電極と、第2ゲート電極とを有する。この駆動トランジスタTrdは一対のゲート電極を備えており、いわゆるダブルゲート型もしくはサンドイッチゲート構造となっている。第1ゲート電極は、直接的もしくは間接

的に信号線に接続している。一方第2ゲート電極は、チャンネル領域を間にして第1ゲート電極に対向している。回路部は、前述したセクタ3やスキャナ4に加え、補正回路を含んでいる。本実施形態では、この補正回路はパネル0の外部に設けてある。補正回路は、所定の補正電位を各駆動トランジスタT_{rd}の第2ゲート電極に印加する。この補正電位は個々の駆動トランジスタT_{rd}の特性ばらつきを補正する。これにより画素アレイ部0の全体にわたって駆動電流のばらつきがなくなり、各画素の発光輝度が均一化し、画面のユニフォームリティを改善することができる。

【0010】

本実施形態では、画素アレイ部1は前述した行状の走査線や列状の信号線に加え制御線C_Lを有している。この制御線C_Lは各画素2に含まれる駆動トランジスタT_{rd}の第2ゲート電極を行単位で共通接続している。換言すると、制御線C_Lは走査線と平行に行状に配されている。各制御線C_Lはパネル0の外周部に設けた端子に接続している。これらの端子にはパネル外の補正回路が接続している。補正回路は行状の各制御線C_Lに補正電位V_{bg}(1)~V_{bg}(n)を印加している。なお括弧で示した数字は画素アレイ部1の行番号を表している。nは最終段の行番号を表している。換言すると画素アレイ部1は本実施形態の場合n行の画素で構成されていることになる。なお本発明の場合、補正電位はダブルゲート構造の駆動トランジスタT_{rd}の第2ゲート電極(バックゲート電極)に印加されるので、補正電位をバックゲート電位(V_{bg})と呼ぶ場合がある。

10

【0011】

駆動トランジスタT_{rd}は、製造プロセスなどの影響を受けて、種々の特性ばらつきが現れる。この中には、特にチャンネル領域の閾電圧のばらつきが含まれる。駆動トランジスタT_{rd}は、このチャンネル領域の閾電圧のばらつきに応じて駆動電流が変動し、画面のユニフォームリティを損なう。そこで本実施形態では特に、補正回路は駆動トランジスタT_{rd}の閾電圧のばらつきを補正する補正電位V_{bg}を第2ゲート電極(バックゲート)に印加している。

20

【0012】

図2は、本発明にかかる表示装置の第2実施形態を示す模式的な平面図である。理解を容易にするため、図1に示した第1実施形態と対応する部分には対応する参照番号を付してある。第1実施形態と異なる点は、制御線C_Lが、信号線と平行になるように列状に配されていることである。即ち本実施形態では、制御線C_Lは、各画素2に含まれる駆動トランジスタT_{rd}の第2ゲート電極(バックゲート電極)を列単位で共通接続している。各制御線C_Lの列に対応して、パネル0の外周端に端子が配されている。これらの端子にはパネル外の補正回路から補正電位(バックゲート電位V_{bg})が印加される。この制御線C_Lは各画素2に割り当てられたRGB三原色に分かれて配されている。各色ごとにm本の制御線C_Lが含まれる。なおパネル0には外部の補正回路と接続するための端子に加え、別の端子9も含まれている。この端子9は、外部の回路部からパネル内のスキャナ4やセクタ3に映像信号や制御信号を供給するためのものである。

30

【0013】

図3は、図1または図2に示した実施形態に含まれる駆動トランジスタの電流電圧特性を示すグラフである。駆動トランジスタT_{rd}はNチャンネル型の薄膜トランジスタ(TFT)からなる。グラフはこのNチャンネル型TFTのゲート電圧V_{gs}とドレイン電流I_{ds}との関係を表している。ゲート電圧V_{gs}はソース(S)を基準にしたゲート(G)の電圧を表し、ダブルゲート構造の駆動トランジスタの第1ゲート電極に印加される。従ってセクタ3から供給される映像信号に対応している。一方ドレイン電流I_{ds}は駆動トランジスタT_{rd}の一对の電流端(ソース/ドレイン)に流れる駆動電流であり、発光素子に供給される。

40

【0014】

グラフに示すように、個々の駆動トランジスタの閾電圧特性は必ずしも狙い特性どおりではなく、エンハンス側もしくはデプレッション側にばらついている。Nチャンネル型TFTの場合、エンハンスTFT特性になると閾電圧V_{th}は正側にシフトする一方、デプレシ

50

オンTFT特性では閾電圧が負側にシフトする。このような閾電圧のばらつきにより、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じるため、各画素で必ずしも発光輝度が一樣にならず、画面のユニフォーミティが損なわれる。そこで本発明では、駆動トランジスタ T_{rd} の第2ゲート電極(バックゲート電極)に補正電位 V_{bg} を印加することで、閾電圧のばらつきを取り除くようにしている。具体的には、エンハンスTFT特性の駆動トランジスタに対しては、相対的に高めのバックゲート電位を印加することで、特性をデプレション方向にシフトさせ、その閾電圧特性を目標の狙い特性に近づけることができる。逆にデプレションTFT特性の駆動トランジスタには相対的に低めのバックゲート電位(補正電位)を印加することで、特性をエンハンス方向にシフトさせ、その閾電圧特性を目標の狙い特性に近付けることができる。この様にして、画面全体にわたり駆動トランジスタの閾電圧を目標の狙い特性に合わせ込むことで、画面のユニフォーミティを改善することができる。

10

【0015】

以下図4～図11を参照して、本発明の背景、構成、作用および効果を詳細に説明する。図4は、表示装置の典型的な構成例を示す模式的な平面図である。図示するように、画素アレイ部1は、行状の走査線 WS と、列状の信号線 SL と、各走査線 WS と各信号線 SL とが交差する部分に配された行列状の画素2とを含む。スキャナ4は各走査線 WS を介して画素2を行単位で選択する。セクタ3は、選択された画素2に各信号線 SL を介して信号を供給する。

20

【0016】

画素2は、サンプリングトランジスタ T_{r1} と駆動トランジスタ T_{rd} と発光素子 EL とで構成されている。サンプリングトランジスタ T_{r1} 及び駆動トランジスタ T_{rd} はNチャンネル型のTFTである。サンプリングトランジスタ T_{r1} の一方の電流端は信号線 SL に接続されている。他方の電流端は駆動トランジスタ T_{rd} のゲートに接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線 WS に接続されている。駆動トランジスタ T_{rd} の一方の電流端であるドレインは電源 V_{ccp} に接続されている。駆動トランジスタ T_{rd} の他方の電流端であるソースは発光素子 EL のアノードに接続されている。発光素子 EL のカソードは接地電位に接続している。即ちこの接地電位はカソード電位 V_{cath} となっている。前述したように駆動トランジスタ T_{rd} の制御端となる第1のゲート電極はサンプリングトランジスタ T_{r1} を介して信号線 SL に接続している。

30

【0017】

図5は、図4に示した画素2の動作説明に供する模式図である。図示するように、サンプリングトランジスタ T_{r1} は走査線 WS により選択されたときオンして、信号線 SL から映像信号 V_{sig} をサンプリングし、駆動トランジスタ T_{rd} のゲート G に書き込む。駆動トランジスタ T_{rd} はゲート G に書き込まれたゲート電圧 V_{gs} に応じて、ドレイン電流 I_{ds} を出力する。発光素子 EL はこのドレイン電流(駆動電流) I_{ds} に応じた輝度で発光する。このとき駆動電流 I_{ds} は電源 V_{ccp} から駆動トランジスタ T_{rd} 及び発光素子 EL の直列接続を通して接地ライン(カソード電位 V_{cath})に流れる。

【0018】

図5のグラフに示すように、発光素子 EL の電流 I と輝度 L は比例関係にある。即ち駆動トランジスタ T_{rd} から供給される電流 I が大きいほど、発光素子 EL の輝度 L が高くなる。駆動電流 I_{ds} はゲート電圧 V_{gs} により制御される。ゲート電圧 V_{gs} は映像信号 V_{sig} に対応している。従ってこの画素2は映像信号 V_{sig} (即ち階調を表すデータ電圧)に応じて発光素子の輝度 L を制御しており、電圧プログラム-電流駆動タイプとなっている。

40

【0019】

電圧プログラム-電流駆動タイプの画素2に組み込まれる駆動トランジスタ T_{rd} は飽和領域で動作し、図5に示したトランジスタ特性式に従って駆動電流 I_{ds} を出力している。トランジスタ特性式から明らかなように、駆動トランジスタ T_{rd} は飽和領域で動作するとき、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えた時点でドレイン電流 I_{ds} が流れ始

50

め、以降ゲート電圧 V_{gs} が大きくなるほど、ドレイン電流 I_{ds} が増大する。なおトランジスタ特性式に含まれる係数は、パラメータ W 、 L 、 μ 、 C_{ox} で決まる定数である。ここで W は駆動トランジスタ T_{rd} のチャネル幅を表し、 L は同じくチャネル長を表し、 μ は同じく移動度を表し、 C_{ox} はゲート酸化膜の単位容量を表している。

【0020】

以上の説明から明らかなように、図5に示した電圧プログラム - 電流駆動タイプの画素回路は、セクタ（ソースドライバ）から供給される映像信号 V_{sig} をノード G に書き込み、駆動トランジスタ T_{rd} を飽和領域で動作させることで、これを電流源として利用している。一方この電流源に接続した発光素子 EL は輝度が電流に比例する。この様にして駆動トランジスタ T_{rd} は信号 V_{sig} （データ電圧）を発光電流に変換する役割を担っている。映像信号 V_{sig} （データ電圧）は階調に応じたレベルを有している。 V_{sig} と V_{gs} が対応しているため、発光素子 EL の輝度を階調制御することができる。

10

【0021】

図5のトランジスタ特性式に示すように、閾電圧 V_{th} やパラメータ μ にばらつきがなければ、ゲート電圧 V_{gs} に応じて正確に I_{ds} が得られるため、各画素の発光輝度にばらつきは生じない。しかしながら実際には製造プロセスの影響を受けて、閾電圧 V_{th} やパラメータ μ 中の移動度 μ にばらつきが生じ、画面のユニフォームリティが乱される。

【0022】

図6は、薄膜トランジスタ（TFT）の製造プロセスを示す模式図である。薄膜トランジスタは素子領域が例えば多結晶シリコン薄膜からなる。多結晶シリコンは非晶質シリコン（以下、アモルファスシリコンと呼ぶ場合もある）の薄膜にレーザー光を照射しアニールすることで得られる。図6は、このレーザーアニールプロセスを示す模式図である。エキシマレーザーから放射したレーザー光はミラー $M1$ で反射された後、バリアブルアッテネータを通過する。その後ミラー $M2$ で光路が折り曲げられ、ビーム整形器、ホモジナイザー、フィールドレンズ、ミラー $M3$ 、投影レンズを通過してラインビーム LB に整形される。ラインビーム LB は真空チャンバのウィンドウを通過して、ガラス基板 100 に照射される。ガラス基板 100 には予め非晶質シリコン薄膜が成膜されており、これにラインビーム LB を照射することで、多結晶シリコンに転換する。

20

【0023】

図示するように、ラインビーム LB は長軸及び短軸を有する短冊状になっている。このラインビーム LB を基板 100 に対して短軸方向にシフトしながら照射することで、基板 100 全面のアモルファスシリコンを多結晶シリコンに転換することができる。実際のプロセスでは、ラインビーム LB の位置を固定する一方、基板 100 をスライドシフトしながら照射を行う。

30

【0024】

ラインビーム LB の強度は常に一定となるように調整しているが、実際にはその強度が時間的に変動してしまう。これにより多結晶シリコンの結晶ばらつきが生じ、結果的に薄膜トランジスタの特性にばらつきが生じる。このTFT特性のばらつきが表示装置のユニフォームリティの低下原因となっている。

【0025】

図7は、画素アレイ部1の表示状態を示す写真図である。図7は、パネル0の画面を写真撮影した図である。前述したように、レーザーアニールは、短冊状のラインビーム LB をパネル0になる基板に対して断続的に照射していく。基板を短軸方向にずらしてはラインビーム LB を照射するという処理を繰り返すことで、基板全面のアモルファスシリコンを多結晶化できる。ラインビームは照射するたびにエネルギーばらつきがあるため、ラインビーム LB の照射領域ごとにTFT特性の差が発生する。ラインビーム LB 内では、長軸方向に沿って多少のエネルギー分布もあるが、これは連続的であるため大きな影響はない。長軸方向に沿ったTFTの特性ばらつきは連続的であるため、発光輝度のムラもグラデーションを持った状態となり、視覚的には目立たない。これに対して短軸方向に沿って重なり合うラインビーム LB の境界ではTFT特性が非連続的に変化するため、TFT特

40

50

性のばらつきも非連続的となる。このため、画面上では輝度の差が横スジとして認識され、目立つようになってしまう。図のパネル写真では、ラインビームLBの長軸方向に沿った横スジが現れてしまい、パネル0のユニフォーミティの低下原因となっている。

【0026】

図8は多結晶シリコン薄膜を素子領域とする薄膜トランジスタTFTの構成を示す模式的な断面図である。上側はボトムゲート構造のTFTを表し、下側はトップゲート構造のTFTを表している。いずれも画素の駆動トランジスタTrdとして用いられる。

【0027】

ボトムゲート構造では、基板100の上にゲート電極Gが形成され、その上にゲート絶縁膜101を介して多結晶シリコン膜102が形成されている。前述したように、この多結晶シリコン薄膜102はレーザアニールによりアモルファスシリコンから転換されたものである。多結晶シリコン膜102は、ゲート電極Gの直上に位置するチャンネル領域と、その両側に位置するソース領域S及びドレイン領域Dに分かれている。多結晶シリコン膜102は層間絶縁膜103で被覆されており、その上にソース電極S及びドレイン電極Dが形成されている。

10

【0028】

トップゲート構造の駆動トランジスタTrdは、基板100の上に下地膜104を介して多結晶シリコン膜102が形成されている。その上にはゲート絶縁膜101を介してゲート電極Gが形成されている。ゲート電極Gは層間絶縁膜103により被覆されており、その上にソース電極S及びドレイン電極Dが形成されている。

20

【0029】

いずれの構造においても、駆動トランジスタTrdのチャンネル領域は多結晶シリコン膜102で形成されており、レーザアニールプロセスの変動の影響を受けている。具体的には、チャンネル領域の閾電圧 V_{th} や移動度 μ が個々の画素ごとにばらつく。より具体的には、ラインビームの照射領域と対応した関係で駆動トランジスタの閾電圧 V_{th} や移動度 μ にばらつきが生じる。図5に示したトランジスタ特性式から明らかなように、 V_{th} や μ がばらつくと、駆動電流が変動するため、画素の発光輝度に差が生じる。この発光輝度差はラインビームの長軸方向に沿って現れるため、画面上ではスジとなって現れてしまう。なお、トランジスタ特性式を見ると、 V_{th} や μ の他、パラメータとしてチャンネル幅 W 、チャンネル長 L 、ゲート酸化膜単位容量 C_{ox} などが含まれるが、これらは成膜プロセスや露光プロセスと関係するため、局所的なムラの原因にはなるが、スジの原因とはなり得ない。

30

なお、これらのプロセスに関係するムラは、連続的な変化であるため、スジのように非連続的に特性が変化することはない。ユニフォーミティを最も悪化させるのは非連続な特性の変化であるり、この原因となるのは、LTPS(低温ポリシリコン)プロセスのELA(エキシマレーザーアニール)である。

【0030】

以上の説明から明らかなように、画面のユニフォーミティを改善するためには、個々の駆動トランジスタの閾電圧 V_{th} や移動度 μ のばらつきを抑制する必要がある。しかしながらレーザアニールプロセスを用いてアモルファスシリコンを多結晶シリコンに転換する場合、ラインビームの境界で現れるTFT特性のばらつきは抑えることができない。そのため、この様な特性ばらつきを補正する手段が必要である。この目的で、本発明はダブルゲート構造の薄膜トランジスタを駆動トランジスタTrdに採用している。図9は、このダブルゲート構造の駆動トランジスタTrdを示す模式的な断面図である。図示するように基板100の上に第1ゲート電極Gが形成されている。その上にはゲート絶縁膜101を介して多結晶シリコン膜(以下、ポリシリコン膜と呼ぶ場合がある)102が形成されている。その上には層間絶縁膜103を介して第2ゲート電極(バックゲート電極)BGが形成されている。即ち層間絶縁膜103がポリシリコン膜102のチャンネル領域と第2ゲート電極BGとの間のゲート絶縁膜となっている。この層間絶縁膜103の上にはソース電極Sとドレイン電極Dも形成されている。ポリシリコン膜102のチャンネル領域を問

40

50

にして、第1ゲート電極Gと第2ゲート電極BGは互いに対向している。

【0031】

チャンネル領域の閾電圧 V_{th} や移動度 μ はレーザアニールプロセスの影響を受けてラインごとにばらつく。 V_{th} ばらつきに対して μ ばらつきの影響は $1/10$ 程度である。従って画面のユニフォームリティを改善するためには、 V_{th} 補正が重要である。閾電圧 V_{th} はゲート電界によって補正することができる。そこで本発明では、図9に示したダブルゲート構造を採用し、閾電圧のばらつきを補正する補正電位(バックゲート電位)を第2ゲート電極BGに印加している。なお図9のダブルゲート構造では、第1ゲート電極Gと第2ゲート電極BGのサイズはチャンネル領域と合わせて同じになっている。但し本発明はこれに限られるものではなく、駆動トランジスタ T_{rd} の閾電圧 V_{th} を調整可能な範囲でバックゲート電極BGのサイズを設定することができる。

10

【0032】

図10は、ダブルゲート構造のトランジスタの回路図である。左側はNチャンネル型であり、右側はPチャンネル型である。いずれの場合も、一对の電流端(ソース領域S及びドレイン領域D)の間に位置するチャンネル部に対して、第1ゲート電極G及び第2ゲート電極BGが対向配置されている。回路図の上にある模式図に示すように、ポリシリコン膜PSがソース領域S及びドレイン領域Dとその間のチャンネル領域(チャンネル部)に分かれている。チャンネル部の下側に第1ゲート電極(Gate1)が配されている一方、チャンネル部の上側に第2ゲート電極(Gate2)が配されている。第1ゲート電極Gate1はチャンネル部の導通状態(電気抵抗)を制御する。これに対し第2ゲート電極Gate2はチャンネル部に加える電界によってチャンネル部の閾電圧を調整する。

20

【0033】

図11はダブルゲート型トランジスタの動作説明に供する回路図及び特性グラフである。図示するように、ダブルゲートトランジスタのドレインD、第1ゲートG及び第2ゲートBGに対し、ソースSを基準として所定の電位が印加され、チャンネル部の状態を決定している。第1ゲート電極Gにゲート電圧 V_{gs} が印加されている。前述したように、このゲート電圧 V_{gs} は映像信号に対応しており、ソースSとドレインDの間に流れる電流 I_{ds} を制御している。またソースSとドレインDとの間に印加される電圧 V_{ds} は駆動トランジスタ T_{rd} が飽和領域で動作するように、十分な電圧幅となるように設定されている。最後に第2ゲート電極BGに印加されるバックゲート電圧 V_{bgs} が本発明にかかる補正電位であり、チャンネル領域の閾電圧 V_{th} のばらつきを抑制している。

30

【0034】

Nチャンネル型のTFT(NMOS)の場合、バックゲート電位 V_{bgs} を高レベル H_i から低レベル L_o に変化することで、NMOSの特性はデプレッション側からエンハンス側に変化する。この様に適切な補正電位 V_{bgs} を駆動トランジスタのバックゲートに印加することで、駆動トランジスタの閾電圧 V_{th} を所定の狙い値に近づけることができる。

【0035】

またPチャンネル型のトランジスタ(PMOS)の場合も、バックゲート電位 V_{bgs} を低レベル L_o 側からハイレベル H_i 側に変化させると、PMOSのトランジスタ特性はデプレッション側からエンハンス側に変化する。 V_{bgs} を適切に設定することで、個々のPMOSTランジスタの閾電圧 V_{th} を狙い値に揃えることが可能である。

40

【0036】

TFT特性のばらつきのほとんどが V_{th} ばらつきである。よってバックゲートによる V_{th} シフトを用いれば、 V_{th} ばらつきを補正することができる。実際のTFTでは、 V_{th} ばらつきの $1/10$ 程度が μ ばらつきである。 V_{th} ばらつきが10%ならば、 μ ばらつきは1%程度である。人間の輝度差視認能力は1%以上なので、本発明に従って V_{th} ばらつきを画面全体にわたって1%以下に補正すれば、画質ユニフォームリティは実際上問題のないレベルまで改善できる。換言すると、駆動トランジスタのバックゲートに印加する補正電位を適切に制御することで、駆動トランジスタの V_{th} ばらつきを1%以内に収める。

50

【 0 0 3 7 】

図 1 2 は、本発明にかかる表示装置の第 3 実施形態を示す模式的な平面図である。図 1 に示した第 1 実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。第 1 実施形態と異なる点は、各画素 2 の駆動トランジスタが N チャンネル型ではなく P チャンネル型としたことである。この P チャンネル型の駆動トランジスタ T r d もポリシリコンを素子領域とした T F T である。このポリシリコンはレーザアニールでアモルファスシリコンをポリシリコンに転換したものである。各駆動トランジスタ T r d の第 2 ゲート電極（バックゲート電極）は制御線 C L によって共通接続されている。この制御線 C L は画素 2 の行と平行に配されている。レーザアニールに用いたラインビームの長軸方向は、同じく画素 2 の行方向と平行に設定されている。レーザアニールでアモルファスシリコンをポリシリコンに転換した T F T は、ラインビームの長軸方向に沿って T F T 特性が揃っている。そこで本実施形態は行方向に沿って駆動トランジスタ T r d のバックゲートを共通接続している。バックゲートを共通接続した制御線 C L に対し、外部の補正回路から補正電位 V b g を印加する。

10

【 0 0 3 8 】

図 1 3 は、図 1 2 に示した P チャンネル型駆動トランジスタ T r d の電流電圧特性を示すグラフである。理解を容易にするため、図 3 に示した N チャンネル型トランジスタの電流電圧特性グラフと同様の表記を採用している。図 1 1 で説明したように、P チャンネル型の T F T の場合、バックゲート電位を低レベル L o から高レベル H i に変化させると、T F T 特性はデプレション側からエンハンス側に変化する。そこで画素の駆動トランジスタ T r d がデプレション特性を示す場合、相対的に高いバックゲート電圧を印加して、T F T 特性を目標の狙い特性に近づける。逆に画素の駆動トランジスタ T r d がエンハンス特性を示す場合、相対的に低い補正電位をバックゲートに印加して、T F T 特性を目標となる狙い特性に近づける。

20

【 0 0 3 9 】

レーザアニールを用いた低温ポリシリコンプロセスで生じる T F T 特性ばらつきの中で、最も目立つものは V t h ばらつきである。これは、レーザアニールに用いるラインビームの長軸方向と平行に、T F T の閾電圧特性が揃うためである。従って、本発明ではラインビームの長軸方向に合わせてバックゲート補正を行っている。画素の行または列に沿ったスジ状の T F T ばらつきは、主としてレーザアニールプロセスによるものであるが、これ以外にシリコン薄膜の膜厚やシリコン薄膜に注入する不純物の濃度に起因する、ムラ状の T F T 特性ばらつきもある。このムラに対処するためには、画素アレイ部を格子状に領域分割し、個々の領域ごとにバックゲート補正を行うようにすればよい。究極的には、各駆動トランジスタを画素単位で個別にバックゲート補正すれば、理想的な状態で画面のユニフォーム性を高めることができる。本発明の技術は、T F T 特性ばらつきを抑える手法として、画素アレイ部に形成される T F T の他、画素アレイ部 1 と同じパネル 0 上に形成される周辺回路の T F T にも適用できる。例えばスキャナ 4 やセクタ 3 を構成する T F T にも、その閾電圧ばらつきを補正するために本発明のバックゲート補正を採用することができる。本発明にかかるバックゲート補正は、様々な種類の T F T に適用できる。低温ポリシリコン T F T だけでなく、高温ポリシリコン T F T 、アモルファスシリコン T F T にも応用できる。さらには L S I 製造プロセスにも適用可能である。

30

40

【 0 0 4 0 】

図 1 4 は、本発明にかかる表示装置の第 4 実施形態を示す模式的な平面図である。理解を容易にするため、図 1 に示した第 1 実施形態と対応する部分には対応する参照番号を付してある。本実施形態の表示装置も、基本的に画素アレイ部 1 と回路部とからなる。画面を構成する画素アレイ部 1 はパネル 0 に配されている。画素アレイ部 1 を駆動する周辺回路部も同じパネル 0 上に搭載されている。パネル 0 に搭載された回路部は、セクタ 3 やスキャナ 4 ばかりでなく、補正回路 6 も含んでいる。この補正回路 6 は、各制御線 C L 単位で補正電位を自動的に検出し、且検出した補正電位を対応する制御線 C L に印加する。

【 0 0 4 1 】

50

以上の説明から明らかなように第4実施形態は補正回路6をパネル0に内蔵する点で、先の第1実施形態と異なる。図1に示した第1実施形態は、補正電位（バックゲート電位）をパネルの外部から入力する構成になっている。そのためにパネルの外周端に沿って端子を設けている。その端子数（パッド数）は画素アレイ部の行数もしくは列数と同じである。例えば制御線CLを走査線と平行に配する場合、画素の行ごとにパッドを設ける必要がある。画素アレイ部が高精細化して画素密度が高くなると、非常に細かい間隔でパッドを形成する必要があり、外部の補正回路との接続が難しくなってくる。また各制御線CLごとに適切なバックゲート電位を決定するために工数がかかるなどの問題がある。これに対し本実施形態はパネル0内に補正回路6を内蔵し、各制御線CLごとに最適な補正電位を自動的に検出すると共に、この検出した補正電位を対応する制御線CLに印加している。かかる構成により、パネル0の内側の画素アレイ部1と、外側の補正回路を結線する必要がなくなる。

10

【0042】

図15は、図14に示した第4実施形態に含まれる補正回路6の具体的な構成例を示す回路図である。図示するように、補正回路6は、各制御線CLに対応して配された補正ユニットの集合からなる。この補正ユニットは、電源ライン（高電位Vh）と接地ライン（低電位Vl）との間で直列接続された検出トランジスタTrnと抵抗素子Rからなる。各補正ユニットに対応する制御線CLは、検出トランジスタTrnと抵抗素子Rの中間（中間ノード）に接続している。本実施形態では、この中間ノードの電位をバックゲート電位（補正電位）として各制御線CLに印加している。

20

【0043】

検出トランジスタTrnは、対応する制御線CLに接続している駆動トランジスタTrdと同一サイズで同一ライン上に位置する。駆動トランジスタTrdはNチャンネル型であり、検出トランジスタTrnもこれに対応してNチャンネル型となっている。同一の制御線CLに接続している駆動トランジスタTrdと検出トランジスタTrnは同一ライン上に位置し、同じタイミングでラインビームの照射を受けている。従って同じ制御線CLに接続した駆動トランジスタTrdと検出トランジスタTrnは同一の特性を備えている。このことを利用して行単位（ライン単位）で駆動トランジスタTrdの特性を検出し、それに合わせた補正電位を自動的に設定している。

【0044】

引き続き図15を参照して、補正回路6の動作を詳細に説明する。各補正ユニットに含まれる検出トランジスタTrnのゲートに外部から所定の動作電圧Vgを印加する。これにより、各補正ユニットの検出トランジスタTrnはオン状態となり、負荷抵抗Rに高電位Vh側から低電位Vl側に向かって電流が流れる。

30

【0045】

かかる動作で、狙いTF特性（平均TF特性）よりも駆動トランジスタTrdがデプレッションのTF特性を示すラインでは、対応する補正ユニットの中間ノード電位は比較的低くなる。このため対応する制御線CLには比較的低いバックゲート電位が印加される。これにより図3に示したとおりTF特性がエンハンス方向にずれる。デプレッション特性がエンハンス方向にシフトすることで、狙いのTF特性が得られる。

40

【0046】

逆に狙いTF特性（平均TF特性）よりもエンハンスのTF特性を示すラインでは、対応する補正ユニットの中間ノード電位は比較的高レベルになる。そのため対応する制御線CLにはバックゲート電位（補正電位）として比較的高い電位が印加され、TF特性がデプレッション方向にシフトする。エンハンス特性がデプレッション方向にずれることで、狙いのTF特性になる。この様な動作により、各駆動トランジスタの特性がライン単位で調節され、画素アレイ部1全体として均一になる為、図7に示したようなスジムラが改善される。

【0047】

補正回路6に動作電圧Vg、電源電圧Vh及び接地電圧Vlを供給するため、パネル0

50

の外周端には3個の端子(パッド)が形成されている。図1に示した実施形態と比較すれば明らかなように、外部接続用のパッド数が大幅に削減できる。外部からゲート電位 V_g 、高電位 V_h 及び低電位 V_l を調整することで、補正回路6で行われるバックゲート補正の程度(かかり具合)を調整することができる。

【0048】

図16を参照して、図15に示した補正回路6の動作を詳細に説明する。図16は1個の補正ユニットの等価回路図である。また検出トランジスタ T_{rn} の $V_{gs} - I_{ds}$ 特性を示すグラフも併せて載せてある。検出トランジスタ T_{rn} がデプレション特性を示す場合、ドレイン電流 I_{ds} が高いため、中間ノードは V_l よりの電位となる。中間ノードに現れる補正電位 V_{bg} が低くなるため、検出トランジスタ T_{rn} と同じくデプレション特性を示す同一ライン上のNチャンネル駆動トランジスタ T_{rd} はエンハンス方向にシフトし、狙いのTFT特性となる。逆に検出トランジスタ T_{rd} がエンハンス特性の場合、ドレイン電流 I_{ds} が低いため、中間ノードは V_h よりの電位となる。中間ノードに現れる補正電位 V_{bg} が高いため、エンハンス特性を示す同一ライン上のNチャンネル駆動トランジスタ T_{rd} はデプレション方向にシフトし、やはり狙いのTFT特性となる。

10

【0049】

図17は、本発明にかかる表示装置の第5実施形態を示す模式的な平面図である。図14及び図15に示した第4実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。図15に示した第4実施形態と異なり、この第5実施形態は駆動トランジスタ T_{rd} がPチャンネル型である。これに対応して補正回路6側の各補正ユニットにはPチャンネル型の検出トランジスタ T_{rp} を用いている。

20

【0050】

図18は、図17に示した第5実施形態に含まれる補正回路の動作説明に供する模式図である。1個の補正ユニットの等価回路図と、この補正ユニットに含まれる検出トランジスタ T_{rp} の $V_{gs} - I_{ds}$ 特性を示すグラフである。図示するように補正ユニットは高電位 V_h と低電位 V_l との間に直列接続された検出トランジスタ T_{rp} と負荷抵抗 R からなり、両者の中間ノードに補正電位(バックゲート電位) V_{bg} が現れる。外部から供給される動作電位 V_g に応じて検出トランジスタ T_{rp} がオンすると、高電位 V_h から低電位 V_l に向かってドレイン電流 I_{ds} が流れる。

30

【0051】

検出トランジスタ T_{rp} がデプレション特性の場合、 I_{ds} が高いため中間ノードは V_h よりの電位になる。中間ノードに現れる V_{bg} 電位が高いため、同じくデプレション特性を示す同一ライン上の駆動トランジスタ T_{rp} はエンハンス方向にシフトし、狙いのTFT特性になる。逆に検出トランジスタ T_{rp} がエンハンス特性を示す場合、 I_{ds} が低いため中間ノードは V_l よりの電位となる。中間ノードに現れるバックゲート電位 V_{bg} が低いため、同じくエンハンス特性を示す同一ライン上のPチャンネル駆動トランジスタ T_{rp} はデプレション方向にシフトし、狙いのTFT特性になる。

【0052】

図19は、本発明にかかる表示装置の第6実施形態を示す模式的な平面図である。図15に示した第4実施形態と対応する部分には対応する参照番号を付してある。第4実施形態と異なる点は、各補正ユニットの負荷抵抗 R を負荷トランジスタで置き換えていることである。即ち各制御線 CL に対応する各補正ユニットは、電源ライン V_h と接地ライン V_l との間で直列接続された一対の検出トランジスタ T_{rn} とこれに相補的な負荷トランジスタ T_{rp} とからなる。各補正ユニットに対応する制御線 CL は、検出トランジスタ T_{rn} と負荷トランジスタ T_{rp} の中間ノードに接続している。検出トランジスタ T_{rn} のゲートには外部からゲート電圧 V_{gn} が印加され、負荷トランジスタ T_{rp} のゲートにも外部からゲート電圧 V_{gp} が印加される。

40

【0053】

図15に示した第4実施形態は、補正回路6を動作させるために、検出トランジスタ T_{rn} を常に通電状態におく必要がある。常に高電位 V_h から低電位 V_l に向かって動作電

50

流が流れることになり、結果的にパネルの消費電力が高くなってしまふ。これに対処するため、本実施形態は一对の相補トランジスタを直列接続して補正ユニットとし、消費電力の節約を図っている。即ち図19に示した第6実施形態は一对の相補トランジスタをオンして補正電位を自動的に検出し、その後一对の相補トランジスタをオフして検出した補正電位を中間ノードに保持する構成としている。この保持された補正電位をバックゲート電位として対応する制御線CLに印加する。かかる構成により補正電位の検出及び印加に要する消費電力を大幅に削減できる。直列接続されたNチャネルトランジスタ T_{rn} 及びPチャネルトランジスタ T_{rp} のゲート電位を同時にオフすることで、中間ノードに補正電位が保持される。これにより常時貫通電流が流れるという状態がなくなる。定期的に相補トランジスタ T_{rn} 、 T_{rp} のゲートをオンにすることで、中間ノードの電位をリフレッシュできる。

10

【0054】

図20は、本発明にかかる表示装置の第7実施形態を示す模式的な平面図である。理解を容易にするため、図19に示した第6実施形態と対応する部分には対応する参照番号を付してある。第6実施形態と同様にこの第7実施形態も、各補正ユニットが一对の相補トランジスタ T_{rn} 、 T_{rp} の直列接続からなる。異なる点は、図19に示した第6実施形態がNチャネル型の駆動トランジスタを用いているのに対し、本実施形態では各画素2がPチャネル型の駆動トランジスタ T_{rd} を用いていることである。これに対応して補正ユニット側ではPチャネルトランジスタ T_{rp} が検出トランジスタになり、Nチャネルトランジスタ T_{rn} が負荷トランジスタとなる。但し補正回路6の各ユニットの構成は第6実施形態と第7実施形態で同様となっており、動作もまったく同じようになる。

20

【0055】

図21を参照して、第6実施形態及び第7実施形態の動作を詳細に説明する。図21は1個の補正ユニットの等価回路と、Pチャネルトランジスタ T_{rp} の $V_{gs} - I_{ds}$ 特性及びNチャネルトランジスタ T_{rn} の $V_{gs} - I_{ds}$ 特性を示している。図示するようにPチャネルトランジスタ T_{rp} とNチャネルトランジスタ T_{rn} は高電位 V_h と低電位 V_l との間で直列接続されており、両トランジスタの中間ノードに補正電位 V_{bg} が現れる。ゲート電位 V_{gp} 及び V_{gn} を制御することで、トランジスタ T_{rp} 、 T_{rn} をオンオフ切替できる。

【0056】

第6実施形態及び第7実施形態では、トランジスタ T_{rn} 及び T_{rp} が同一層のポリシリコンで形成されている。即ちトランジスタ T_{rn} と T_{rp} はチャンネル領域が共通のポリシリコンで形成されている。この場合、Nチャネルトランジスタ T_{rn} がデプレション特性を示すときPチャネルトランジスタはエンハンス特性を示す特徴がある。逆にNチャネルトランジスタ T_{rn} がエンハンス特性を示すとき、Pチャネルトランジスタ T_{rp} はデプレション特性を示す特徴がある。この様に、NMOSとPMOSのチャンネル部が共通となっている場合には、NMOSとPMOSの間でTF特性に逆の相関がある。

30

【0057】

トランジスタ T_{rn} がデプレション特性で且トランジスタ T_{rp} がエンハンス特性の場合、両トランジスタをオンすると中間ノードの電位は V_l よりになる。補正電位 V_{bg} が低いため、駆動トランジスタ T_{rd} がNチャネル型であればエンハンス特性にシフトする。逆に駆動トランジスタ T_{rd} がPチャネル型であればデプレション傾向にシフトする。従って駆動トランジスタ T_{rd} はNチャネル型及びPチャネル型のいずれの場合でも狙いのTF特性に近づくことになる。

40

【0058】

逆にトランジスタ T_{rn} がエンハンスメント特性でトランジスタ T_{rp} がデプレション特性を示す場合、両者の中間ノード電位は V_h よりになる。中間ノードに現れる補正電位 V_{bg} が高いため、駆動トランジスタ T_{rd} がNチャネル型であればデプレションシフト傾向となり、逆にPチャネル型であればエンハンスシフト傾向となる。よって駆動トランジスタ T_{rd} がNMOS及びPMOSのいずれの場合も、共に狙いのTF特性になる。

50

【0059】

トランジスタ T_{rn} 、 T_{rp} に印加するゲート電圧を変更することで簡単に各トランジスタ T_{rn} 、 T_{rp} のオン抵抗を変更でき、従って両者の中間ノードに現れる補正電位 V_{bg} を上下方向に調整できる。消費電力を抑えた補正回路とするためには、トランジスタ T_{rn} 、 T_{rp} に印加するゲート電位をパルス状とし、定期的に補正ユニットをオンオフすればよい。このようにすることで、各補正ユニットはオンのときのみ貫通電流が流れる。このオンタイミングは中間ノードの電位保持状態によって決めることが可能である。

【0060】

第6実施形態や第7実施形態のように、補正ユニットをPMOSとNMOSの直列接続で構成すると、その中間電位はバックゲート補正をかけ易い方向に働く。第4実施形態や第5実施形態のように負荷抵抗とTFTの直列接続で構成した補正ユニットと比較すると、PMOSとNMOSの直列接続の方が、特性ばらつきの差を検出し易くなる。各補正ユニットの中間ノードに現れる補正電位は、外部から供給される電位 V_{gn} 、 V_{gp} 、 V_h 、 V_l で適切に調整可能である。デプレション特性のトランジスタとエンハンス特性のトランジスタで I_{ds} の差が大きくなる動作点で、 $V_{gp} - V_h$ 、 $V_{gn} - V_l$ を設定すれば、中間ノードに現れる補正電位はTFT特性によって大きな差を出すことが可能である。 V_{gn} 、 V_{gp} 、 V_h 、 V_l の電位は画質を確認しながら調整することができる。調整電源数が4個なので工数を大幅に短縮できる。

10

【0061】

図22は、画素アレイ部側の駆動トランジスタ T_{rd} と、補正回路側のトランジスタ T_{rn} 、 T_{rp} の配置関係を示す模式図である。前述したようにTFT特性はレーザアニールに用いるラインビームの長軸方向に揃うため、これに合わせて各画素2の駆動トランジスタ T_{rd} と、補正回路側の検出トランジスタ T_{rn} が長軸ライン上に並ぶように配置することが好ましい。またトランジスタサイズも駆動トランジスタ T_{rd} と検出トランジスタ T_{rn} で揃えておく必要がある。トランジスタサイズが異なると、チャンネル内の多結晶シリコン結晶数が異なってしまい、TFT特性に若干のずれが生まれる原因となる。またトランジスタ構造やその周辺のレイアウトも駆動トランジスタ T_{rd} と検出トランジスタ T_{rn} で同じにしておくことが好ましい。レーザアニールでは加熱状態がレイアウトによって異なるためである。

20

【0062】

以上に説明したように本発明は駆動トランジスタをダブルゲート構造とし、そのバックゲート電圧を調整することで閾電圧のばらつきを補正している。本発明は、個々の画素内に閾電圧補正機能や移動度補正機能を組み込んだ表示装置にも適用可能である。本発明に従ってライン単位で大まかに閾電圧のばらつきを補正し、さらに各画素に組み込まれた閾電圧補正機能で閾電圧のばらつきを精密に補正することで、画面のユニフォーミティをさらに一層改善することができる。

30

【0063】

図23は、各画素内に閾電圧補正機能と移動度補正機能を組み込んだ表示装置の一例を示す模式的なブロック図である。閾電圧と異なり移動度はバックゲート電位で補正することが難しい。従って移動度は個々の画素内で補正することにより、本発明と組み合わせることでより一層画面のユニフォーミティを高めることができる。

40

【0064】

図示する様に本表示装置は、画素アレイ部1とこれを駆動する回路部とからなる。画素アレイ部1は、行状の走査線 W_S と、列状の信号線 S_L と、両者が交差する部分に配された行列状の画素2と、画素2の各行に対応して配された給電線 D_S とを備えている。回路部は、各走査線 W_S に順次制御信号を供給して画素2を行単位で線順次走査するライトスキャナ4と、この線順次走査に合わせて各給電線 D_S に高電位と低電位で切り替わる電源電圧を供給するドライブスキャナ5と、この線順次走査に合わせて列状の信号線 S_L に映像信号となる信号電位と基準電位を供給する水平セレクタ3とを備えている。ここでライトスキャナ4とドライブスキャナ5がスキャナ部を構成し、水平セレクタ3が信号ドライバ

50

を構成している。

【0065】

個々の画素2は、サンプリングトランジスタ T_{r1} と駆動トランジスタ T_{rd} と保持容量 C_s と発光素子 E_L とで構成されている。個々の発光素子 E_L はRGB三原色のいずれかの色で発光するようになっている。赤色発光素子を備えた画素(RED)と緑色発光素子を備えた画素(GREEN)と青色発光素子を備えた画素(BLUE)とで画素トリオを構成している。この画素トリオを画素アレイ部1上でマトリクス状に配列することによりカラー表示ができる。

【0066】

図24は、図23に示した表示装置に含まれる画素2の具体的な構成及び結線関係を示す回路図である。図示する様に、この画素2は、有機 E_L デバイスなどで代表される発光素子 E_L と、サンプリングトランジスタ T_{r1} と、駆動トランジスタ T_{rd} と、保持容量 C_s とを含む。サンプリングトランジスタ T_{r1} はそのゲートが対応する走査線 W_S に接続し、そのソース及びドレインの一方が対応する信号線 S_L に接続し、他方が駆動トランジスタ T_{rd} のゲート G に接続する。駆動トランジスタ T_{rd} は、そのソース S が発光素子 E_L に接続し、ドレインが対応する給電線 D_S に接続している。発光素子 E_L のカソードは接地電位 V_{cath} に接続している。なおこの接地配線は全ての画素2に対して共通に配線されている。保持容量(画素容量) C_s は、駆動トランジスタ T_{rd} のソース S とゲート G との間に接続している。

【0067】

図24に示した画素構成は一例であって、本発明が適用される表示装置はこの回路構成に限られるものではない。基本的に各画素2は、サンプリングトランジスタ T_{r1} と駆動トランジスタ T_{rd} と発光素子 E_L と保持容量 C_s とを含む。サンプリングトランジスタ T_{r1} は、その制御端(ゲート)が走査線 W_S に接続し、その一对の電流端(ソース及びドレイン)が信号線 S_L と駆動トランジスタ T_{rd} の制御端との間に接続している。駆動トランジスタ T_{rd} は一对の電流端(ソース及びドレイン)の一方が発光素子 E_L に接続し、他方が給電線 D_S に接続している。保持容量 C_s は、駆動トランジスタ T_{rd} の制御端(ゲート G)と駆動トランジスタ T_{rd} の一对の電流端(ソース及びドレイン)の片方(ソース S)との間に接続している。

【0068】

図25は、図24に示した画素2の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線 W_S の電位変化、給電線 D_S の電位変化及び信号線 S_L の電位変化を表してある。またこれらの電位変化と並行に、駆動トランジスタ T_{rd} のゲート G 及びソース S の変化も表してある。

【0069】

このタイミングチャートは、画素2の動作の遷移に合わせて期間を(0)~(7)まで便宜的に区切ってある。まず発光期間(0)では、給電線 D_S が高電位 V_{ccp} にあり、駆動トランジスタ T_{rd} が駆動電流 I_{ds} を発光素子 E_L に供給している。駆動電流 I_{ds} は高電位 V_{ccp} にある給電線 D_S から駆動トランジスタ T_{rd} を介して発光素子 E_L を通り、共通接地配線 V_{cath} に流れ込んでいる。

【0070】

続いて期間(1)に入ると、給電線 D_S を高電位 V_{ccp} から低電位 V_{ini} に切り換える。これにより給電線 D_S は V_{ini} まで放電され、さらに駆動トランジスタ T_{rd} のソース電位は V_{ini} に近い電位まで遷移する。給電線 D_S の配線容量が大きい場合は比較的早いタイミングで給電線 D_S を高電位 V_{ccp} から低電位 V_{ini} に切り換えると良い。

【0071】

次に期間(2)に進むと、走査線 W_S を低レベルから高レベルに切り換えることで、サンプリングトランジスタ T_{r1} が導通状態になる。このとき信号線 S_L は基準電位 V_{ofs} にある。よって駆動トランジスタ T_{rd} のゲート電位は導通したサンプリングトランジスタ T_{r1} を通じて信号線 S_L の基準電位 V_{ofs} となる。これと同時に駆動トランジスタ

10

20

30

40

50

T_{rd} のソース電位は即座に低電位 V_{ini} に固定される。以上により駆動トランジスタ T_{rd} のソース電位が映像信号線 SL の基準電位 V_{ofs} より十分低い電位 V_{ini} に初期化(リセット)される。具体的には駆動トランジスタ T_{rd} のゲートソース間電圧 V_{gs} (ゲート電位とソース電位の差)が駆動トランジスタ T_{rd} の閾電圧 V_{th} より大きくなるように、給電線 DS の低電位 V_{ini} を設定する。

【0072】

以上の説明から明らかなように、期間(1)と期間(2)が閾電圧補正動作の準備過程となっている。即ちこの準備過程では、駆動トランジスタ T_{rd} のゲート G である制御端を基準電位 V_{ofs} に保持する一方、駆動トランジスタ T_{rd} のソース S となる電流端の間のゲート/ソース間電圧 V_{gs} を閾電圧 V_{th} より大きく設定して、駆動トランジスタ T_{rd} をオン状態にする。

10

【0073】

次に V_{th} キャンセル期間(3)に進むと、給電線 DS が低電位 V_{ini} から高電位 V_{ccp} に遷移し、駆動トランジスタ T_{rd} のソース電位が上昇を開始する。やがて駆動トランジスタ T_{rd} のゲートソース間電圧 V_{gs} が閾電圧 V_{th} となったところで電流がカットオフする。このようにして駆動トランジスタ T_{rd} の閾電圧 V_{th} に相当する電圧が保持容量(画素容量) C_s に書き込まれる。これが閾電圧補正動作である。このとき電流が専ら保持容量 C_s 側に流れ、発光素子 EL 側には流れないようにするため、発光素子 EL がカットオフとなるように共通接地配線 V_{cath} の電位を設定しておく。

【0074】

以上の説明から明らかなように、この V_{th} キャンセル期間(3)が閾電圧補正動作の通電過程となっている。この通電過程では、ゲート G を基準電位 V_{ofs} に維持したまま駆動トランジスタ T_{rd} に通電し駆動トランジスタ T_{rd} がカットオフしたときそのゲート/ソース間に現れる閾電圧相当の電圧を保持容量 C_s に保持する。

20

【0075】

期間(4)に進むと、走査線 WS が低電位側に遷移し、サンプリングトランジスタ Tr_1 が一端オフ状態になる。このとき駆動トランジスタ T_{rd} のゲート G はフローティングになるが、ゲートソース間電圧 V_{gs} は駆動トランジスタ T_{rd} の閾電圧 V_{th} に等しいためカットオフ状態であり、ドレイン電流 I_{ds} は流れない。

【0076】

続いて期間(5)に進むと、信号線 SL の電位が基準電位 V_{ofs} からサンプリング電位(信号電位) V_{sig} に遷移する。これにより次のサンプリング動作及び移動度補正動作(信号書込み及び移動度 μ キャンセル)の準備が完了する。

30

【0077】

信号書込み/移動度 μ キャンセル期間(6)に入ると、走査線 WS が高電位側に遷移してサンプリングトランジスタ Tr_1 がオン状態となる。従って駆動トランジスタ T_{rd} のゲート電位は信号電位 V_{sig} となる。ここで発光素子 EL は始めカットオフ状態(ハイインピーダンス状態)にあるため、駆動トランジスタ T_{rd} のドレインソース間電流 I_{ds} は発光素子容量に流れ込み、充電を開始する。したがって駆動トランジスタ T_{rd} のソース電位は上昇を開始し、やがて駆動トランジスタ T_{rd} のゲートソース間電圧 V_{gs} は $V_{sig} + V_{th} - V$ となる。このようにして、信号電位 V_{sig} のサンプリングと補正量 V の調整が同時に行われる。 V_{sig} が高いほど I_{ds} は大きくなり、 V の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行われる。 V_{sig} を一定とした場合、駆動トランジスタ T_{rd} の移動度 μ が大きいほど V の絶対値が大きくなる。換言すると移動度 μ が大きいほど負帰還量 V が大きくなるので、画素ごとの移動度 μ のばらつきを取り除くことができる。

40

【0078】

最後に発光期間(7)になると、走査線 WS が低電位側に遷移し、サンプリングトランジスタ Tr_1 はオフ状態となる。これにより駆動トランジスタ T_{rd} のゲート G は信号線 SL から切り離される。同時にドレイン電流 I_{ds} が発光素子 EL を流れ始める。これに

50

より発光素子ELのアノード電位は駆動電流 I_{ds} に応じて上昇する。発光素子ELのアノード電位の上昇は、即ち駆動トランジスタ T_{rd} のソース電位の上昇に他ならない。駆動トランジスタ T_{rd} のソース電位が上昇すると、保持容量 C_s のブートストラップ動作により、駆動トランジスタ T_{rd} のゲート電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間(7)中駆動トランジスタ T_{rd} のゲートソース間電圧 V_{gs} は $V_{sig} + V_{th} - V$ で一定に保持される。なお以上の説明では、 $V_{ofs} = V_{cath} = 0V$ として V_{gs} を計算している。

【0079】

本発明にかかる表示装置は、図26に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスター部(図では1個のTFTを例示)、保持容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTFTプロセスでトランジスター部や容量部が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

10

【0080】

本発明にかかる表示装置は、図27に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリクス状に集積形成した画素アレイ部を設ける、この画素アレイ部(画素マトリクス部)を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC(フレキシブルプリントサーキット)を設けてもよい。

20

【0081】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器の本体部に入力された、若しくは、電子機器の本体部内で生成した情報を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイ(表示部)に適用することが可能である。以下この様な表示部を備えた電子機器の例を示す。

【0082】

図28は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

30

【0083】

図29は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

【0084】

図30は本発明が適用されたノート型パーソナルコンピューターであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

40

【0085】

図31は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部(ここではヒンジ部)25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0086】

図32は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被

50

写体撮影用のレンズ 34、撮影時のスタート/ストップスイッチ 35、モニター 36等を含み、本発明の表示装置をそのモニター 36に用いることにより作製される。

【図面の簡単な説明】

【0087】

【図1】本発明にかかる表示装置の第1実施形態を示す模式的な平面図である。

【図2】同じく第2実施形態を示す模式的な平面図である。

【図3】Nチャンネル型駆動トランジスタの特性を示すグラフである。

【図4】表示装置の典型的な構成例を示す回路図である。

【図5】図4に示した表示装置の動作説明に供する模式図である。

【図6】レーザアニール処理を示す模式図である。

【図7】表示装置の画面写真図である。

【図8】駆動トランジスタの断面図である。

【図9】ダブルゲート構造を有する駆動トランジスタの断面図である。

【図10】ダブルゲートトランジスタの等価回路図である。

【図11】ダブルゲートトランジスタの動作特性を示す回路図及びグラフである。

【図12】本発明にかかる表示装置の第3実施形態を示す平面図である。

【図13】Pチャンネル型駆動トランジスタの特性式である。

【図14】本発明にかかる表示装置の第4実施形態を示す平面図である。

【図15】同じく第4実施形態を示す回路図である。

【図16】第4実施形態の動作説明に供する模式図である。

【図17】本発明にかかる表示装置の第5実施形態を示す模式的な平面図である。

【図18】第5実施形態の動作説明に供する模式図である。

【図19】本発明にかかる表示装置の第6実施形態を示す模式的な平面図である。

【図20】同じく第7実施形態を示す模式的な平面図である。

【図21】第6実施形態及び第7実施形態の動作説明に供するグラフである。

【図22】駆動トランジスタと検出トランジスタのレイアウトを示す模式図である。

【図23】本発明が適用される表示装置の一例を示すブロック図である。

【図24】図23に示した表示装置の動作説明に供する回路図である。

【図25】図23に示した表示装置の動作説明に供するタイミングチャートである。

【図26】本発明にかかる表示装置のデバイス構成を示す断面図である。

【図27】本発明にかかる表示装置のモジュール構成を示す平面図である。

【図28】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図29】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図30】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【図31】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

【図32】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【符号の説明】

【0088】

0・・・パネル、1・・・画素アレイ部、2・・・画素、3・・・セクタ（信号回路）、4・・・スキャナ（走査回路）、Trd・・・駆動トランジスタ、Trn・・・検出トランジスタ、Trp・・・検出トランジスタ、EL・・・発光素子、6・・・補正回路、CL・・・制御線、WS・・・走査線、SL・・・信号線

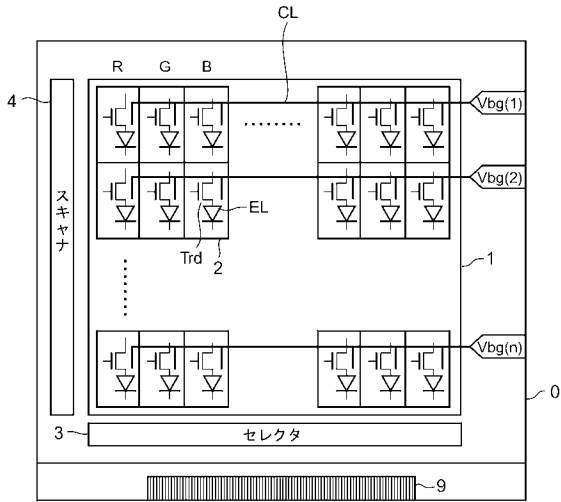
10

20

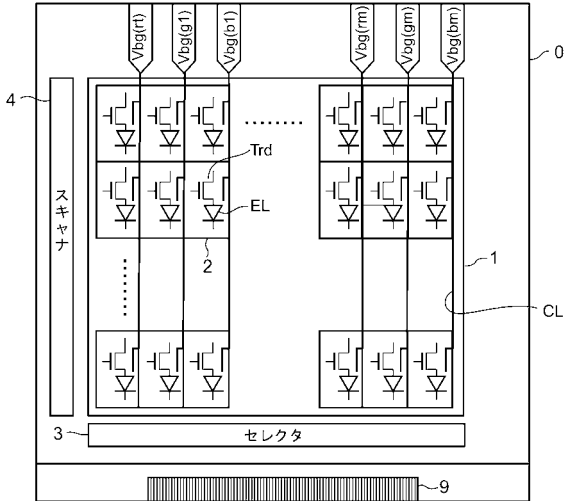
30

40

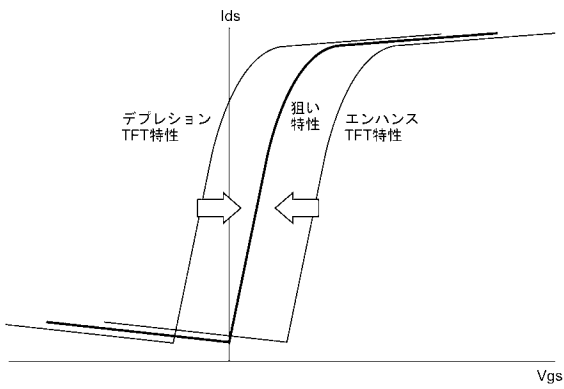
【 図 1 】



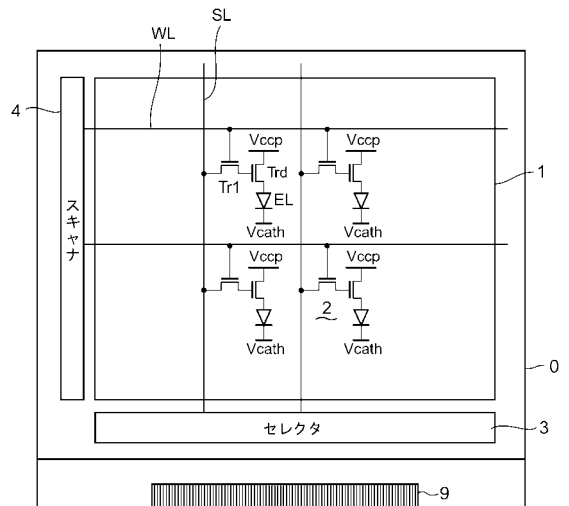
【 図 2 】



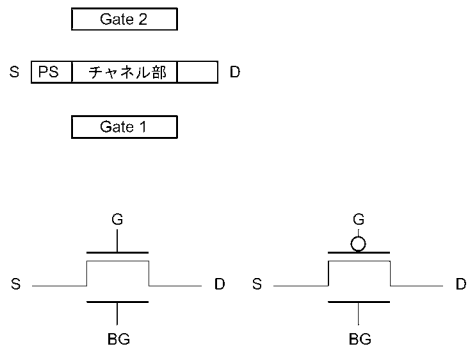
【 図 3 】



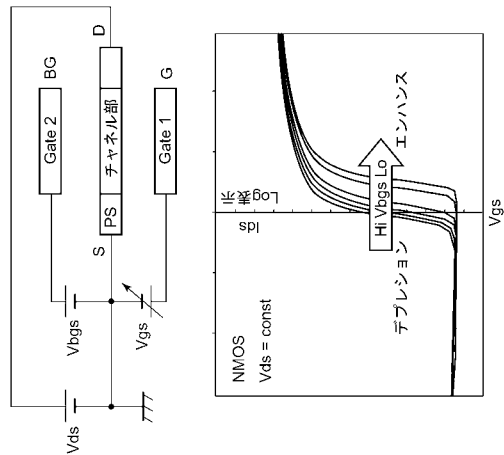
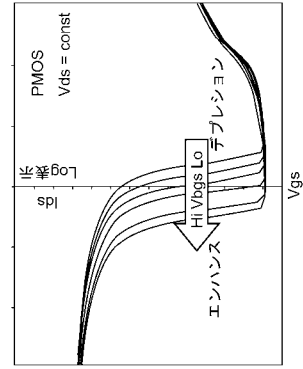
【 図 4 】



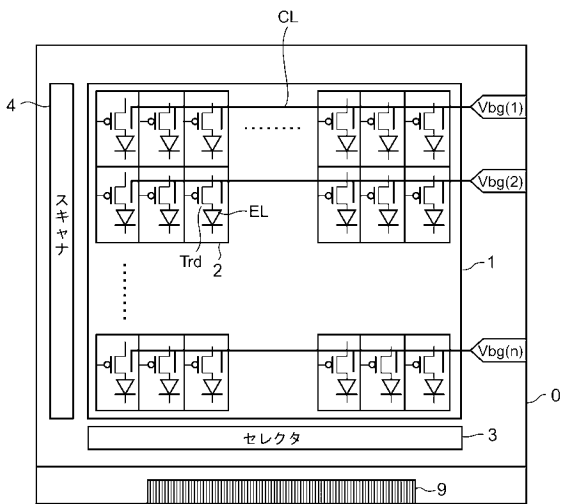
【図 1 0】



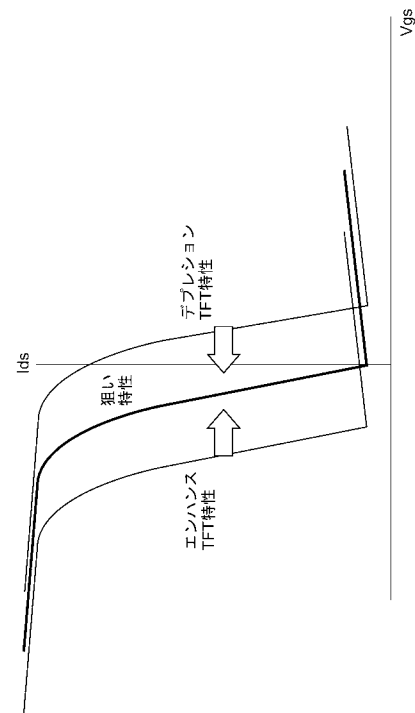
【図 1 1】



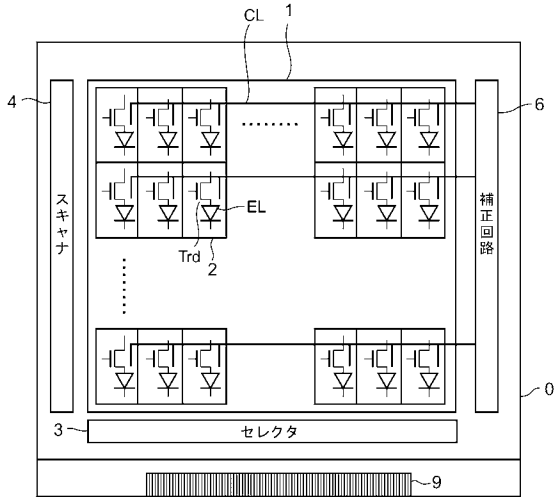
【図 1 2】



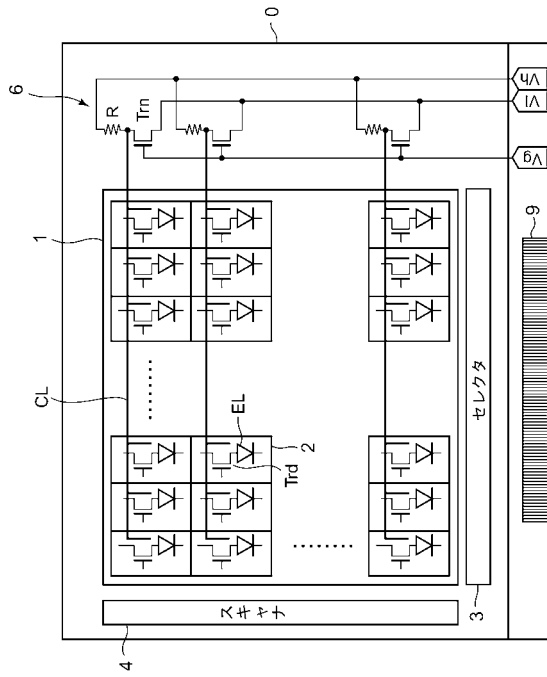
【図 1 3】



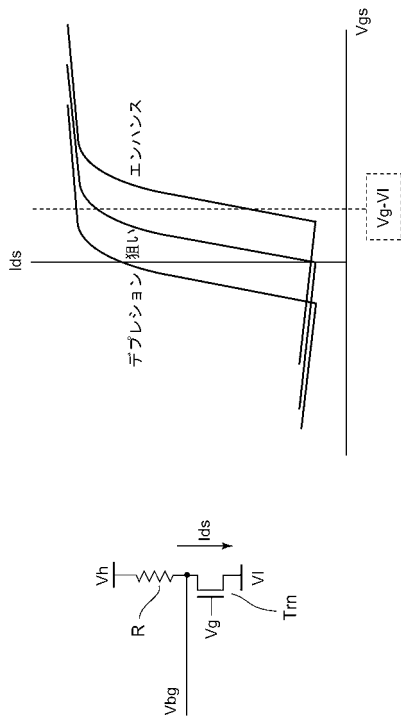
【図 14】



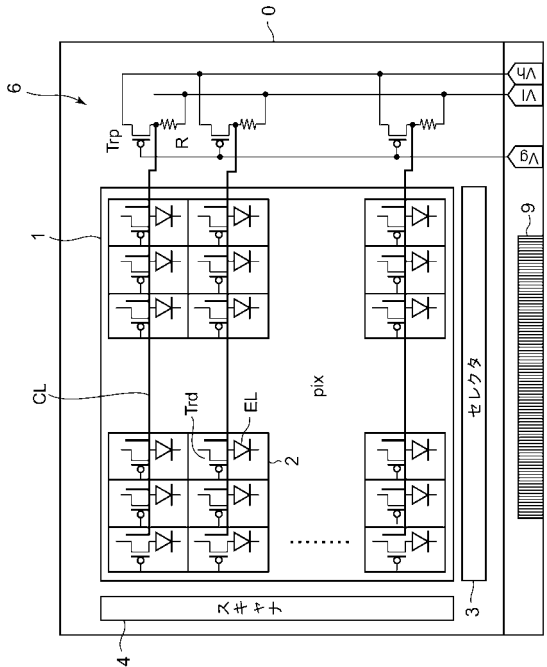
【図 15】



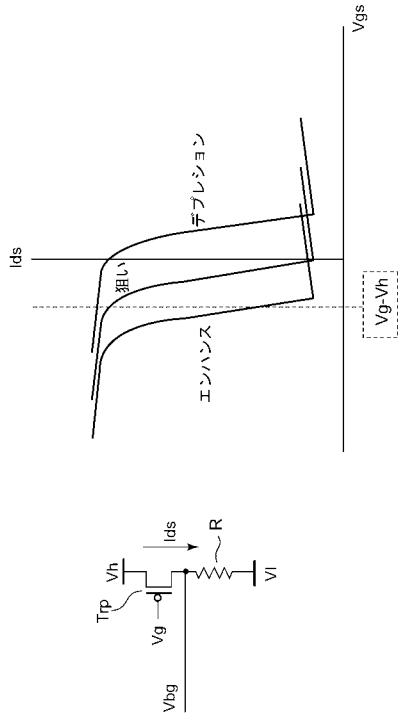
【図 16】



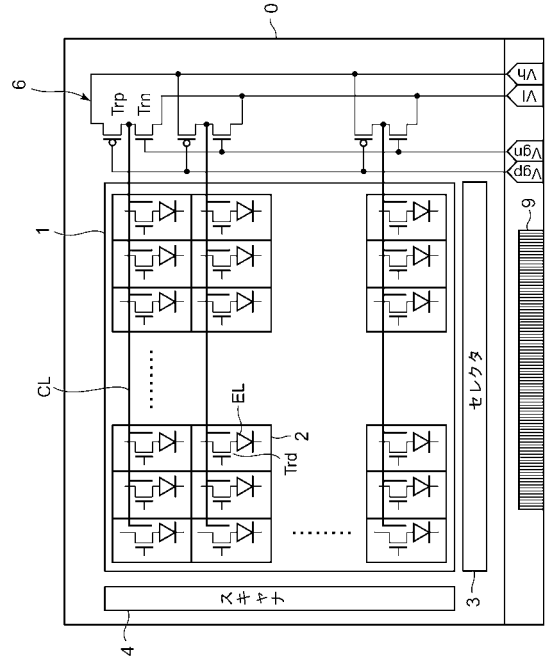
【図 17】



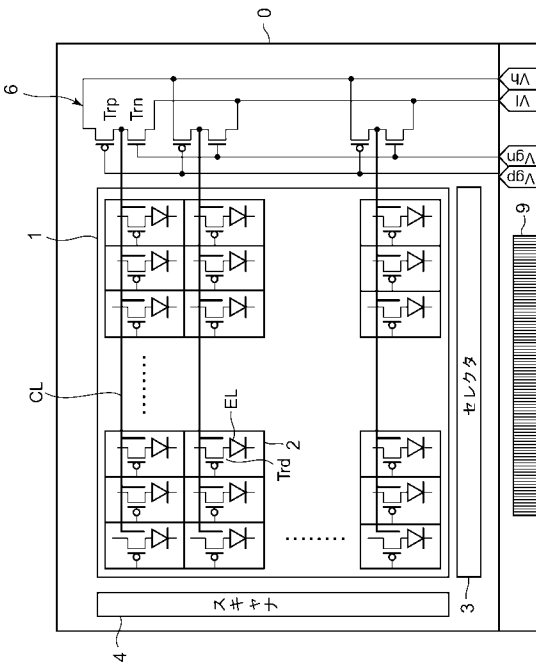
【図 18】



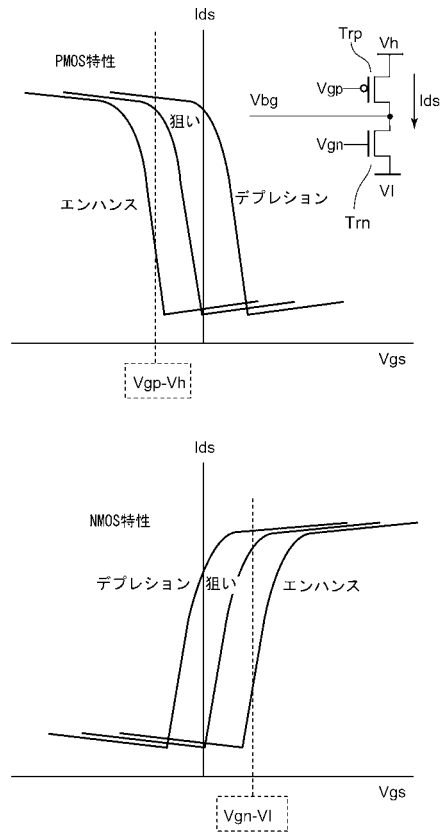
【図 19】



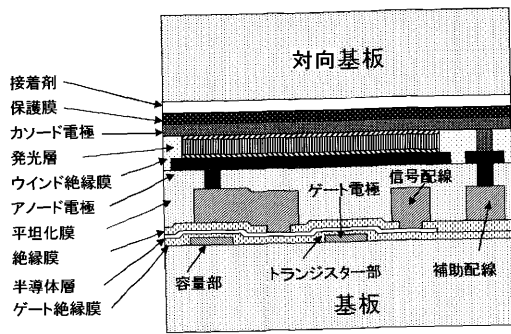
【図 20】



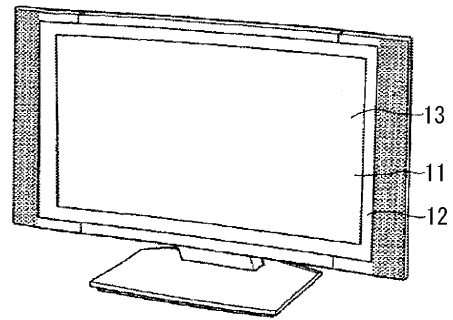
【図 21】



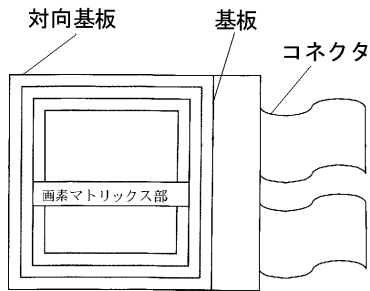
【図 26】



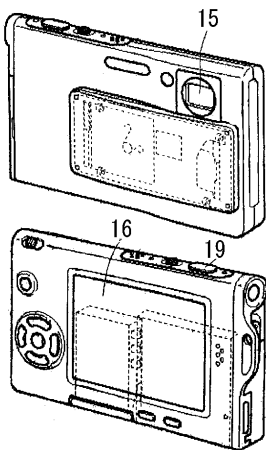
【図 28】



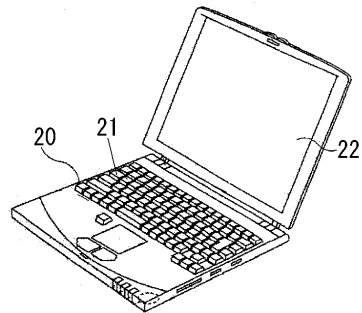
【図 27】



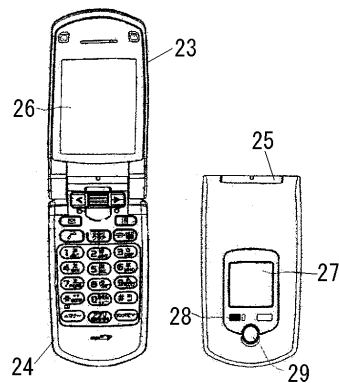
【図 29】



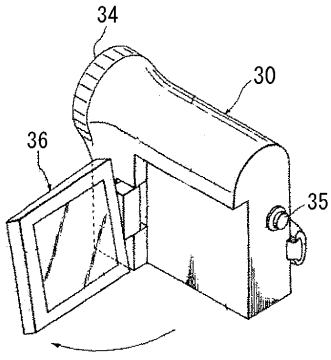
【図 30】



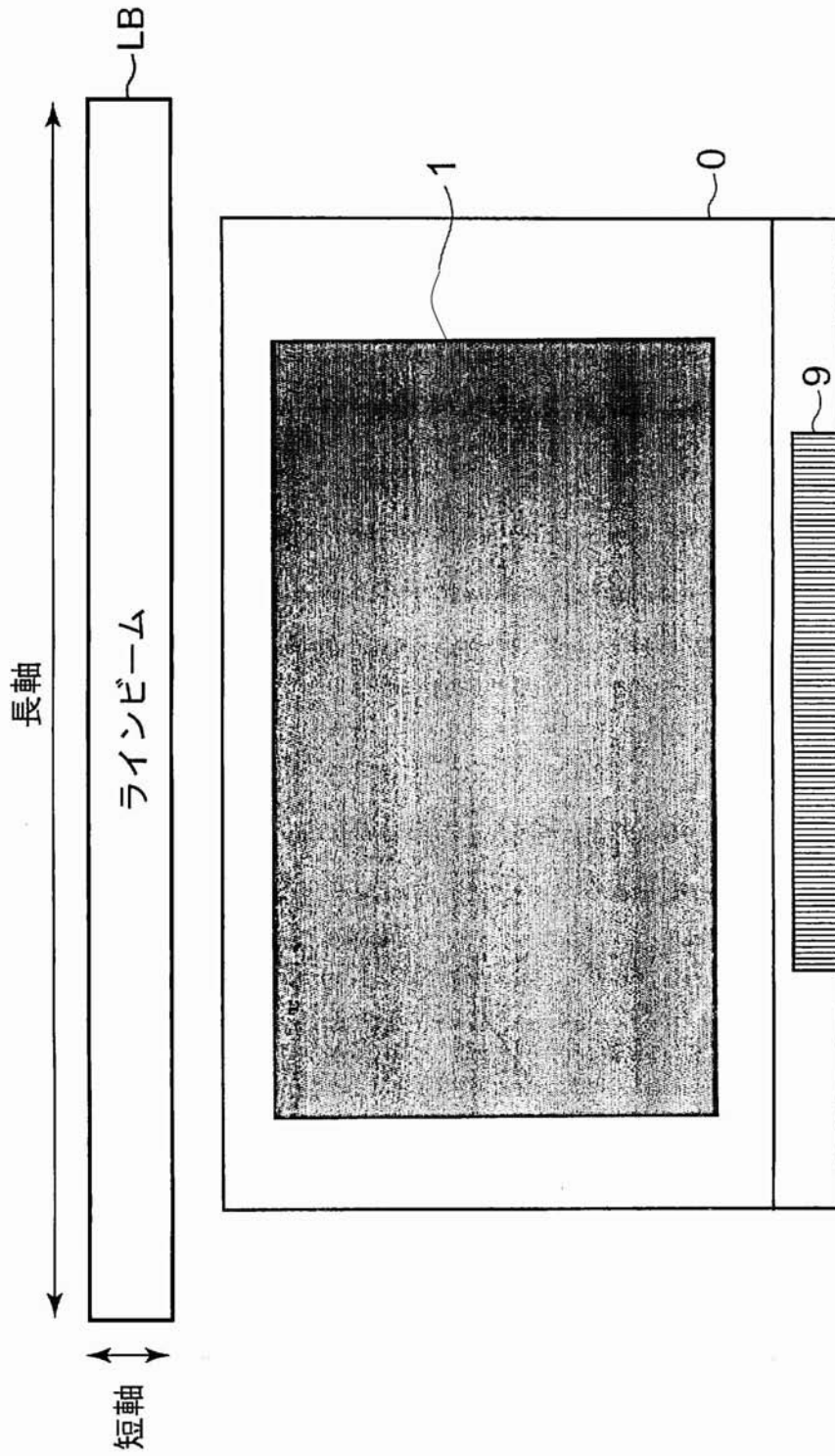
【図 31】



【 図 3 2 】



【図7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/33

Z

H 0 5 B 33/14

A

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 显示设备和电子设备 | | |
| 公开(公告)号 | JP2009251205A | 公开(公告)日 | 2009-10-29 |
| 申请号 | JP2008097896 | 申请日 | 2008-04-04 |
| [标]申请(专利权)人(译) | 索尼公司 | | |
| 申请(专利权)人(译) | 索尼公司 | | |
| [标]发明人 | 甚田誠一郎 | | |
| 发明人 | 甚田 誠一郎 | | |
| IPC分类号 | G09G3/30 G09G3/20 G09F9/33 H01L51/50 | | |
| FI分类号 | G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.642.P G09F9/33.Z H05B33/14.A G09F9/33 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C094/AA04 5C094/AA07 5C094/AA25 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/FB12 5C094/FB14 5C094/FB18 5C094/GA10 5C094/HA08 5C094/HA10 5C380/AA01 5C380/AB06 5C380/AB16 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AB45 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB04 5C380/BB05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CD072 5C380/CE08 5C380/CF41 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA33 5C380/DA47 5C380/DA50 5C380/FA02 5C380/FA22 5C380/HA03 5C380/HA05 5C380/HA13 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供一种能够校正在各个像素中形成的驱动晶体管的特性变化的有源矩阵显示装置。ΣSOLUTION：像素2包括根据图像信号输出驱动电流的驱动晶体管Trd和以与驱动电流相应的亮度发光的发光元件EL。驱动晶体管Trd包括连接在电源和发光元件EL之间的一对电流端，在该对电流端之间的沟道区，从信号线写入信号的第一栅电极，以及第二栅电极。栅电极通过沟道区面对第一栅电极设置。校正电路6经由控制线CL施加用于校正驱动晶体管Trd的特性向第二栅电极的变化的校正电位。Σ

