

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-287139

(P2008-287139A)

(43) 公開日 平成20年11月27日(2008.11.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 642A	
	G09G 3/20 624B	
	G09G 3/20 623A	
審査請求 有 請求項の数 5 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2007-133862 (P2007-133862)	(71) 出願人	000002185
(22) 出願日	平成19年5月21日 (2007. 5. 21)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100092336
			弁理士 鈴木 晴敏
		(72) 発明者	山下 淳一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 CC43 EE03
			HH00 HH04 HH05
			5C080 AA06 BB05 DD05 DD22 FF11
			JJ02 JJ03 JJ04 JJ06 KK02
			KK07 KK43

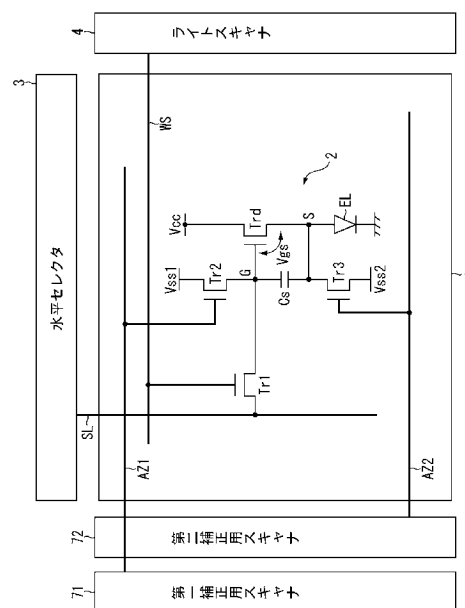
(54) 【発明の名称】 表示装置及びその駆動方法と電子機器

(57) 【要約】

【課題】周辺の駆動部に含まれるスキヤナの数削減してパネル額縁部の面積を縮小化する。

【解決手段】画素2は、各フィールドで発光期間と非発光期間とに分かれて動作し、且つ非発光期間にドライブトランジスタTrdの閾値電圧補正動作、保持容量Csに対する映像信号の書込動作及びドライブトランジスタTrdの移動度補正動作を行う。信号セクタ3は、各信号線SLに対して映像信号のほかに各発光素子ELを消灯するための所定電位を供給する。ライトスキヤナ4は、信号線SLから映像信号を画素に取り込むための制御信号のほかに、信号線SLから所定電位を画素に取り込むための制御信号を各走査線WSに供給する。サンプリングトランジスタTr1は、信号線SLから所定電位を取り込んでドライブトランジスタTrdのゲートに印加し、発光素子ELを消灯して発光期間から非発光期間への切り換えを行う。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とからなり、

前記駆動部は少なくとも、フィールド毎に走査線の順次走査を行って各走査線に制御信号を供給するライトスキャナと、該順次走査に合わせて各信号線に映像信号を供給する信号セレクトとを有し、

各画素は少なくとも、サンプリングトランジスタと、ドライブトランジスタと、保持容量と、発光素子とを含み、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、

前記ドライブトランジスタは、一対の電流端の一方が電源に接続し他方が該発光素子に接続し、

前記保持容量は該ドライブトランジスタの制御端に接続し、

前記サンプリングトランジスタは、該制御信号に応じてオンし該映像信号をサンプリングして該保持容量に書き込み、

前記ドライブトランジスタは、該保持容量に書き込まれた映像信号に応じた駆動電流を該発光素子に供給する表示装置であって、

各画素は、各フィールドで発光期間と非発光期間とに分かれて動作し、且つ非発光期間に該ドライブトランジスタの閾値電圧補正動作、保持容量に対する映像信号の書込動作及び該ドライブトランジスタの移動度補正動作を行い、

前記信号セレクトは、各信号線に対して映像信号のほかに各発光素子を消灯するための所定電位を供給し、

前記ライトスキャナは、信号線から映像信号を画素に取り込むための制御信号のほかに、信号線から所定電位を画素に取り込むための制御信号を各走査線に供給し、

前記サンプリングトランジスタは、該ライトスキャナから供給された制御信号に応じて信号線から該所定電位を取り込んでドライブトランジスタの制御端に印加し、以って発光素子を消灯して発光期間から非発光期間への切り換えを行うことを特徴とする表示装置。

【請求項 2】

前記画素は、該保持容量が該ドライブトランジスタの制御端と電流端との間に接続しており、

該映像信号のサンプリングに先立って、該ドライブトランジスタがカットオフするまで電流を流し、カットオフした時現われるドライブトランジスタの制御端と電流端との間の電圧を該保持容量に書き込み、以って該ドライブトランジスタの閾電圧補正動作を行うことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記画素は、該保持容量が該ドライブトランジスタの制御端と電流端との間に接続しており、

該サンプリングトランジスタがオンして映像信号を該保持容量に書き込む際、該ドライブトランジスタに流れる駆動電流を所定の補正期間該保持容量に負帰還し、以って該ドライブトランジスタの移動度補正動作を行うことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

請求項 1 に記載の表示装置を含む電子機器。

【請求項 5】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とからなり、

前記駆動部は少なくとも、フィールド毎に走査線の順次走査を行って各走査線に制御信号を供給するライトスキャナと、該順次走査に合わせて各信号線に映像信号を供給する信

10

20

30

40

50

号セレクトとを有し、

各画素は少なくとも、サンプリングトランジスタと、ドライブトランジスタと、保持容量と、発光素子とを含み、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、

前記ドライブトランジスタは、一对の電流端の一方が電源に接続し他方が該発光素子に接続し、

前記保持容量は該ドライブトランジスタの制御端に接続し、

前記サンプリングトランジスタは、該制御信号に応じてオンし該映像信号をサンプリングして該保持容量に書き込み、

前記ドライブトランジスタは、該保持容量に書き込まれた映像信号に応じた駆動電流を該発光素子に供給する表示装置の駆動方法であって、

各フィールドで発光期間と非発光期間とに分かれて各画素を動作させ、且つ非発光期間に該ドライブトランジスタの閾値電圧補正動作、保持容量に対する映像信号の書込動作及び該ドライブトランジスタの移動度補正動作を行わせ、

各信号線に対して映像信号のほかに各発光素子を消灯するための所定電位を前記信号セレクトから供給し、

信号線から映像信号を画素に取り込むための制御信号のほかに、信号線から所定電位を画素に取り込むための制御信号を前記ライトスキャナから各走査線に供給し、

前記サンプリングトランジスタが、該ライトスキャナから供給された制御信号に応じて信号線から所定電位を取り込んでドライブトランジスタの制御端に印加し、以って発光素子を消灯して発光期間から非発光期間への切り換えを行うことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各画素に設けた絶縁ゲート型電界効果トランジスタによって有機ＥＬなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。またこの表示装置を備えた電子機器に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機ＥＬ素子を画素に用いた有機ＥＬディスプレイなどにおいても同様であるが、液晶画素と異なり有機ＥＬ素子は自発光素子である。その為、有機ＥＬディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、ＴＦＴ）によって制御するものであり、以下の特許文献に記載がある。

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【特許文献３】特開２００４－１３３２４０

【特許文献４】特開２００４－０２９７９１

10

20

30

40

50

【特許文献 5】特開 2 0 0 4 - 0 9 3 6 8 2

【特許文献 6】特開 2 0 0 6 - 2 1 5 2 1 3

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと保持容量とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。保持容量は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、保持容量に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

10

【0005】

ドライブトランジスタは、保持容量に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち保持容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

20

【0006】

ここでドライブトランジスタの動作特性は以下の式 1 で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式 1 において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式 1 から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式 1 が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォর্মリティ）が得られるはずである。

30

【0007】

しかしながら実際には、ポリシリコンなどの半導体膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。例えば閾電圧 V_{th} は必ずしも一定ではなく、デバイスごとにばらつきがある。前述のトランジスタ特性式 1 から明らかなように、ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらつきてしまうため、画面のユニフォームリティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能（閾電圧補正機能）を組み込んだ画素回路が開発されており、例えば前記の特許文献 3 に開示がある。

40

【0008】

ドライブトランジスタは閾電圧 V_{th} に加え移動度 μ もデバイスごとにばらつきがある。前述のトランジスタ特性式 1 から明らかなように、移動度 μ がばらつくとゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に移動度がばらついてしまうため、画面のユニフォームリティを損なう。従来からドライブトランジスタの移

50

動度のばらつきをキャンセルする機能（移動度補正機能）を組み込んだ画素回路も開発されており、例えば前記の特許文献6に開示がある。

【0009】

従来の画素回路は、各フィールドで発光期間と非発光期間とに別れて動作し、且つ非発光期間で上述したドライブトランジスタの閾電圧補正動作や移動度補正動作を行っている。

【0010】

従来の画素回路は、各フィールドで発光期間と非発光期間を切り換えるため、サンプリングトランジスタやドライブトランジスタに加えてスイッチングトランジスタを備えていた。このスイッチングトランジスタをオンオフ制御することで、画素の発光状態と非発光状態を切り換えている。

10

【0011】

かかる構成を有する画素をマトリクス状に配した画素アレイ部を駆動するため、周辺の駆動部はサンプリングトランジスタを線順次走査するためのライトスキャナに加え、スイッチングトランジスタをオンオフ制御して発光期間と非発光期間を切り換えるため別のスキャナを必要としていた。

【0012】

従来のアクティブマトリクス型表示装置は一枚のパネルで構成されている。パネルの中央部に画面を構成する画素アレイ部が配され、画面を囲む周辺部に駆動回路が配される。パネルの周辺部は中央の画面を額縁のように囲んでいるため、周辺部を額縁部と呼ぶ場合がある。ここで駆動回路に必要とされるスキャナの数が多くなるほど、レイアウト的にパネル額縁部の面積が大きくなってしまふ。パネルの額縁サイズが大きいほど中央の画面領域を圧迫し、セット製品の形状やデザインの自由度が減少し、セットの設計を大きく制限している。周辺駆動回路の複雑化に伴う額縁部面積の肥大化は解決すべき課題となっている。

20

【課題を解決するための手段】

【0013】

上述した従来の技術の課題に鑑み、本発明は周辺の駆動部に含まれるスキャナの手数を削減して額縁部の面積の縮小化（以下本明細書ではこれを狭額縁化と呼ぶ場合がある）を達成することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とからなり、前記駆動部は少なくとも、フィールド毎に走査線の順次走査を行って各走査線に制御信号を供給するライトスキャナと、該順次走査に合わせて各信号線に映像信号を供給する信号セレクトとを有し、各画素は少なくとも、サンプリングトランジスタと、ドライブトランジスタと、保持容量と、発光素子とを含み、前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、前記ドライブトランジスタは、一対の電流端の一方が電源に接続し他方が該発光素子に接続し、前記保持容量は該ドライブトランジスタの制御端に接続し、前記サンプリングトランジスタは、該制御信号に応じてオンし該映像信号をサンプリングして該保持容量に書き込み、前記ドライブトランジスタは、該保持容量に書き込まれた映像信号に応じた駆動電流を該発光素子に供給する表示装置であって、各画素は、各フィールドで発光期間と非発光期間とに分かれて動作し、且つ非発光期間に該ドライブトランジスタの閾値電圧補正動作、保持容量に対する映像信号の書き込み動作及び該ドライブトランジスタの移動度補正動作を行い、前記信号セレクトは、各信号線に対して映像信号のほかに各発光素子を消灯するための所定電位を供給し、前記ライトスキャナは、信号線から映像信号を画素に取り込むための制御信号のほかに、信号線から所定電位を画素に取り込むための制御信号を各走査線に供給し、前記サンプリングトランジスタは、該ライトスキャナから供給された制御信号に応じて信号線から該所定電位を取り込んでドライブトランジスタの制御端に印加し、以って発光素子を消灯して発光期間から非発光期間への切り

30

40

50

換えを行うことを特徴とする。

【 0 0 1 4 】

一態様では、前記画素は、該保持容量が該ドライブトランジスタの制御端と電流端との間に接続しており、該映像信号のサンプリングに先立って、該ドライブトランジスタがカットオフするまで電流を流し、カットオフした時現われるドライブトランジスタの制御端と電流端との間の電圧を該保持容量に書き込み、以って該ドライブトランジスタの閾電圧補正動作を行う。又、該サンプリングトランジスタがオンして映像信号を該保持容量に書き込む際、該ドライブトランジスタに流れる駆動電流を所定の補正期間該保持容量に負帰還し、以って該ドライブトランジスタの移動度補正動作を行う。

【 発明の効果 】

10

【 0 0 1 5 】

本発明によれば、ライトスキャナは信号線から映像信号を画素に取り込むための制御信号の他に、信号線から所定電位を画素に取り込むための制御信号を各走査線に供給している。サンプリングトランジスタはライトスキャナから供給されたこの制御信号に応じて信号線から所定電位を取り込んでドライブトランジスタをカットオフし、以って発光素子を消灯して発光期間から非発光期間への切り換えを行っている。かかる構成により、各画素は発光期間と非発光期間を切り換えるためのスイッチングトランジスタが不要になる。また駆動部はこのスイッチングトランジスタを線順次走査するためのスキャナが不要になり、パネルの狭額縁化を達成することができる。

【 発明を実施するための最良の形態 】

20

【 0 0 1 6 】

以下図面を参照して本発明の実施の形態を詳細に説明する。その前に本発明の背景を明らかにするため、図 1 を参照してアクティブマトリクス型表示装置の参考例を説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ 1 と周辺の回路部とで構成されている。周辺の回路部は水平セクタ 3、ライトスキャナ 4、ドライブスキャナ 5、補正用スキャナ 7 1, 7 2 などを含んでいる。画素アレイ 1 は行状の走査線 W S と列状の信号線 S L と両者の交差する部分にマトリクス状に配列した画素 R, G, B とで構成されている。カラー表示を可能とする為、R G B の三原色画素を用意しているが、本発明はこれに限られるものではない。各画素 R, G, B は夫々画素回路 2 で構成されている。信号線 S L は水平セクタ 3 によって駆動される。水平セクタ 3 は信号部を構成し、信号線 S L に映像信号を供給する。走査線 W S はライトスキャナ 4 によって走査される。なお走査線 W S と並行に別の走査線 D S, A Z 1 及び A Z 2 も配線されている。走査線 D S はドライブスキャナ 5 によって走査される。走査線 A Z 1 は第一補正用スキャナ 7 1 によって走査される。走査線 A Z 2 は第二補正用スキャナ 7 2 によって走査される。ライトスキャナ 4, ドライブスキャナ 5、第一補正用スキャナ 7 1 及び第二補正用スキャナ 7 2 はスキャナ部を構成しており、1 水平期間ごと画素の行を順次走査する。この参考例は合計 4 個のスキャナを備えているため、額縁部の面積が広くなり狭額縁化の妨げとなっている。各画素回路 2 は走査線 W S によって選択されたとき信号線 S L から映像信号をサンプリングする。さらに走査線 D S によって選択されたとき、サンプリングされた映像信号によって画素回路 2 内に含まれている発光素子を駆動する。換言すると走査線 D S に制御信号を供給するドライブスキャナ 5 は、画素を発光期間と非発光期間とで切り換えている。加えて画素回路 2 は走査線 A Z 1 及び A Z 2 によって走査されたとき、予め決められた補正動作を行う。

30

40

【 0 0 1 7 】

上述した画素アレイ 1 は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路 2 は低温ポリシリコン T F T で形成されている。低温ポリシリコン T F T の場合、信号部及びスキャナ部も同じ低温ポリシリコン T F T で形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。信号部とスキャナ部とで周辺駆動部を構成している。

【 0 0 1 8 】

50

図2は、図1に示した参考例にかかる表示装置に含まれる画素の構成を示す回路図である。画素回路2は、5個の薄膜トランジスタ $T r 1 \sim T r 4$ 及び $T r d$ と1個の容量素子(保持容量) $C s$ と1個の発光素子 $E L$ とで構成されている。トランジスタ $T r 1 \sim T r 3$ と $T r d$ はNチャネル型のポリシリコンTFTである。トランジスタ $T r 4$ のみPチャネル型のポリシリコンTFTである。1個の容量素子 $C s$ は本画素回路2の容量部を構成している。発光素子 $E L$ は例えばアノード及びカソードを備えたダイオード型の有機 $E L$ 素子である。

【0019】

画素回路2の中心となるドライブトランジスタ $T r d$ はそのゲート G が保持容量 $C s$ の一端に接続され、そのソース S が同じく保持容量 $C s$ の他端に接続されている。またドライブトランジスタ $T r d$ のゲート G はスイッチングトランジスタ $T r 2$ を介して基準電位 $V s s 1$ に接続されている。ドライブトランジスタ $T r d$ のドレインはスイッチングトランジスタ $T r 4$ を介して電源 $V c c$ に接続されている。このスイッチングトランジスタ $T r 2$ のゲートは走査線 $A Z 1$ に接続されている。スイッチングトランジスタ $T r 4$ のゲートは走査線 $D S$ に接続している。発光素子 $E L$ のアノードはドライブトランジスタ $T r d$ のソース S に接続し、カソードは接地されている。この接地電位は $V c a t h$ で表される場合がある。また、ドライブトランジスタ $T r d$ のソース S と別の基準電位 $V s s 2$ との間にスイッチングトランジスタ $T r 3$ が介在している。このトランジスタ $T r 3$ のゲートは走査線 $A Z 2$ に接続している。一方サンプリングトランジスタ $T r 1$ は信号線 $S L$ とドライブトランジスタ $T r d$ のゲート G との間に接続されている。サンプリングトランジスタ $T r 1$ のゲートは走査線 $W S$ に接続している。

【0020】

かかる構成において、サンプリングトランジスタ $T r 1$ は、所定のサンプリング期間に走査線 $W S$ から供給される制御信号 $W S$ に応じ導通して信号線 $S L$ から供給された映像信号 $V s i g$ を容量部 $C s$ にサンプリングする。容量部 $C s$ は、サンプリングされた映像信号 $V s i g$ に応じてドライブトランジスタのゲート G とソース S 間に入力電圧 $V g s$ を印加する。ドライブトランジスタ $T r d$ は、所定の発光期間中入力電圧 $V g s$ に応じた出力電流 $I d s$ を発光素子 $E L$ に供給する。なおこの出力電流(ドレイン電流) $I d s$ はドライブトランジスタ $T r d$ のチャネル領域のキャリア移動度 μ 及び閾電圧 $V t h$ に対して依存性を有する。発光素子 $E L$ は、ドライブトランジスタ $T r d$ から供給された出力電流 $I d s$ により映像信号 $V s i g$ に応じた輝度で発光する。

【0021】

画素回路2はスイッチングトランジスタ $T r 2 \sim T r 4$ で構成される補正手段を備えており、出力電流 $I d s$ のキャリア移動度 μ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部 $C s$ に保持された入力電圧 $V g s$ を補正する。具体的には、この補正手段($T r 2 \sim T r 4$)は、走査線 $W S$ 及び $D S$ から供給される制御信号 $W S, D S$ に応じてサンプリング期間の一部で動作し、映像信号 $V s i g$ がサンプリングされている状態でドライブトランジスタ $T r d$ から出力電流 $I d s$ を取り出し、これを容量部 $C s$ に負帰還して入力電圧 $V g s$ を補正する。さらにこの補正手段($T r 2 \sim T r 4$)は、出力電流 $I d s$ の閾電圧 $V t h$ に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ $T r d$ の閾電圧 $V t h$ を検出し、且つ検出された閾電圧 $V t h$ を入力電圧 $V g s$ に足し込む様にしている。

【0022】

ドライブトランジスタ $T r d$ はNチャネル型トランジスタでドレインが電源 $V c c$ 側に接続する一方、ソース S が発光素子 $E L$ 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ $T r d$ から出力電流 $I d s$ を取り出して、容量部 $C s$ 側に負帰還する。その際補正手段は、発光期間の先頭部分でドライブトランジスタ $T r d$ のソース S 側から取り出した出力電流 $I d s$ が、発光素子 $E L$ の有する容量に流れ込むようにしている。具体的には、発光素子 $E L$ はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドラ

10

20

30

40

50

イブトランジスタ T_{rd} のソース S に接続する一方カソード側が接地されている。この構成で、補正手段 ($T_{r2} \sim T_{r4}$) は、予め発光素子 E_L のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が発光素子 E_L に流れ込む時、このダイオード型の発光素子 E_L を容量性素子として機能させている。なお補正手段は、サンプリング期間内でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより容量部 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

【0023】

図3は、図2に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にする為、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} などを書き加えてある。以下図3に基づいて、本画素回路2の基本的な動作を説明する。

【0024】

図4は、図3に示した画素回路のタイミングチャートである。図4を参照して、図3に示した画素回路の動作をより具体的且つ詳細に説明する。図4は、時間軸 T に沿って各走査線 WS , $AZ1$, $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} , T_{r2} , T_{r3} はNチャンネル型なので、走査線 WS , $AZ1$, $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS , $AZ1$, $AZ2$, DS の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

【0025】

図4のタイミングチャートではタイミング $T1 \sim T8$ までを1フィールド ($1f$) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS , $AZ1$, $AZ2$, DS の波形を表してある。

【0026】

当該フィールドが始まる前のタイミング $T0$ で、全ての制御線号 WS , $AZ1$, $AZ2$, DS がローレベルにある。したがってNチャンネル型のトランジスタ T_{r1} , T_{r2} , T_{r3} はオフ状態にある一方、Pチャンネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E_L に供給している。したがってタイミング $T0$ で発光素子 E_L は発光している。この時ドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で表される。

【0027】

当該フィールドが始まるタイミング $T1$ で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング $T1$ に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

【0028】

続いてタイミング $T2$ に進むと、制御信号 $AZ1$ 及び $AZ2$ がハイレベルになるので、スイッチングトランジスタ T_{r2} 及び T_{r3} がオンする。この結果、ドライブトランジスタ T_{rd} のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング $T3$ で行われる V_{th} 補正の準備を行う。換言すると期間 $T2 \sim T3$ は、ドライブトランジスタ T_{rd} のリセット期間に相当する。また、発光素子 E_L の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。

10

20

30

40

50

これにより、発光素子 E L にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V t h 補正動作及び移動度補正動作を正常に行うために必要である。

【 0 0 2 9 】

タイミング T 3 では制御信号 A Z 2 をローレベルにし且つ直後制御信号 D S もローレベルにしている。これによりトランジスタ T r 3 がオフする一方トランジスタ T r 4 がオンする。この結果ドレイン電流 I d s が保持容量 C s に流れ込み、V t h 補正動作を開始する。この時ドライブトランジスタ T r d のゲート G は V s s 1 に保持されており、ドライブトランジスタ T r d がカットオフするまで電流 I d s が流れる。カットオフするとドライブトランジスタ T r d のソース電位 (S) は $V s s 1 - V t h$ となる。ドレイン電流がカットオフした後のタイミング T 4 で制御信号 D S を再びハイレベルに戻し、スイッチングトランジスタ T r 4 をオフする。さらに制御信号 A Z 1 もローレベルに戻し、スイッチングトランジスタ T r 2 もオフする。この結果、保持容量 C s に V t h が保持固定される。この様にタイミング T 3 - T 4 はドライブトランジスタ T r d の閾電圧 V t h を検出する期間である。ここでは、この検出期間 T 3 - T 4 を V t h 補正期間と呼んでいる。

【 0 0 3 0 】

この様に V t h 補正を行った後タイミング T 5 で制御信号 W S をハイレベルに切り替え、サンプリングトランジスタ T r 1 をオンして映像信号 V s i g を保持容量 C s に書き込む。発光素子 E L の等価容量 C o l e d に比べて保持容量 C s は十分に小さい。この結果、映像信号 V s i g のほとんど大部分が保持容量 C s に書き込まれる。正確には、V s s 1 に対する V s i g の差分 $V s i g - V s s 1$ が保持容量 C s に書き込まれる。したがってドライブトランジスタ T r d のゲート G とソース S 間の電圧 V g s は、先に検出保持された V t h と今回サンプリングされた $V s i g - V s s 1$ を加えたレベル ($V s i g - V s s 1 + V t h$) となる。以降説明簡易化の為 $V s s 1 = 0 V$ とすると、ゲート / ソース間電圧 V g s は図 4 のタイミングチャートに示すように $V s i g + V t h$ となる。かかる映像信号 V s i g のサンプリングは制御信号 W S がローレベルに戻るタイミング T 7 まで行われる。すなわちタイミング T 5 - T 7 がサンプリング期間に相当する。

【 0 0 3 1 】

サンプリング期間の終了するタイミング T 7 より前のタイミング T 6 で制御信号 D S がローレベルとなりスイッチングトランジスタ T r 4 がオンする。これによりドライブトランジスタ T r d が電源 V c c に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T r 1 がまだオン状態で且つスイッチングトランジスタ T r 4 がオン状態に入った期間 T 6 - T 7 で、ドライブトランジスタ T r d の移動度補正を行う。即ち参考例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 T 6 - T 7 で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 E L は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 T 6 - T 7 では、ドライブトランジスタ T r d のゲート G が映像信号 V s i g のレベルに固定された状態で、ドライブトランジスタ T r d にドレイン電流 I d s が流れる。ここで $V s s 1 - V t h < V t h E L$ と設定しておく事で、発光素子 E L は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ T r d に流れる電流 I d s は保持容量 C s と発光素子 E L の等価容量 C o l e d の両者を結合した容量 $C = C s + C o l e d$ に書き込まれていく。これによりドライブトランジスタ T r d のソース電位 (S) は上昇していく。図 4 のタイミングチャートではこの上昇分を ΔV で表してある。この上昇分 ΔV は結局保持容量 C s に保持されたゲート / ソース間電圧 V g s から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T r d の出力電流 I d s を同じくドライブトランジスタ T r d の入力電圧 V g s に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 ΔV は移動度補正期間 T 6 - T 7 の時間幅 t を調整する事で最適化可能である。

【 0 0 3 2 】

10

20

30

40

50

タイミングT7では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号Vsigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間保持容量Csに保持されたゲート/ソース間電圧Vgsは($V_{sig} - V + V_{th}$)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、先のトランジスタ特性式1のVgsに $V_{sig} - V + V_{th}$ を代入する事で、以下の式2のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \cdots \text{式2}$$

上記式2において、 $k = (1/2)(W/L)Cox$ である。この特性式2から V_{th} の項がキャンセルされており、発光素子ELに供給される出力電流IdsはドライブトランジスタTrdの閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流Idsは映像信号の信号電圧Vsigによって決まる。換言すると、発光素子ELは映像信号Vsigに応じた輝度で発光する事になる。その際Vsigは帰還量Vで補正されている。この補正量Vは丁度特性式2の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流Idsは実質的に映像信号Vsigのみに依存する事になる。

【0033】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0034】

上述のように参考例にかかる表示装置は画素アレイ部を駆動するため4個のスクアナが必要であり、狭額縁化の妨げとなっている。図5は本発明にかかる表示装置の第1実施形態を示しており、上述した参考例の問題点に対処したものである。図示するように、本アクティブマトリクス表示装置は主要部となる画素アレイ部1と周辺の駆動部とで構成されている。周辺の駆動部は水平セクタ3、ライトスクアナ4、第一補正用スクアナ71及び第二補正用スクアナ72を含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号となる信号電位と所定電位を時分割で供給する。この所定電位はドライブトランジスタをカットオフするための電位である。走査線WSはライトスクアナ4によって走査される。なお走査線WSと並行に別の走査線AZ1及びAZ2も配線されている。走査線AZ1は第一補正用スクアナ71によって走査される。走査線AZ2は第二補正用スクアナ72によって走査される。ライトスクアナ4、第一補正用スクアナ71及び第二補正用スクアナ72はスクアナ部を構成しており、1水平期間ごと画素の行を順次走査する。図1に示した参考例と比較すれば明らかなように、本実施形態の表示装置はスクアナ部が3個のスクアナからなり参考例より1個少なく、狭額縁化を達成している。

【0035】

各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号の信号電位をサンプリングする。また各画素回路2は他のタイミングで走査線WSによって選択されたとき信号線SLから所定電位をサンプリングし、ドライブトランジスタをカットオフして発光期間から非発光期間に切り換える。加えて画素回路2は走査線AZ1及びAZ2によって走査されたとき、非発光期間で予め決められた補正動作を行う。

【0036】

図6は、図5に示した第1実施形態にかかる表示装置に含まれる画素2の構成を示す回路図である。図示するように画素回路2の中心となるドライブトランジスタTrdはそのゲートGが保持容量Csの一端に接続され、そのソースSが同じく保持容量Csの他端に

接続されている。またドライブトランジスタ T_{rd} のゲート G はスイッチングトランジスタ T_{r2} を介して基準電位 V_{ss1} に接続されている。スイッチングトランジスタ T_{r2} のゲートは走査線 $AZ1$ に接続している。ドライブトランジスタ T_{rd} のドレインは電源 V_{cc} に接続されている。発光素子 EL のアノードはドライブトランジスタ T_{rd} のソース S に接続し、カソードは接地されている。またドライブトランジスタ T_{rd} のソース S と所定の基準電位 V_{ss2} との間にスイッチングトランジスタ T_{r3} が介在している。このトランジスタ T_{r3} のゲートは走査線 $AZ2$ に接続している。一方サンプリングトランジスタ T_{r1} は信号線 SL とドライブトランジスタ T_{rd} のゲート G との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線 WS に接続している。

【0037】

図7は、図5及び図6に示した第1実施形態にかかる表示装置の動作説明に供するタイミングチャートである。理解を容易にするため、図4に示した参考例のタイミングチャートと同様の表記を採用している。図示するように信号線 SL には1水平周期(1H周期)で信号電位 V_{sig} と所定の基準電位 V_{ss} とで切り換る映像信号が供給されている。この所定電位 V_{ss} はドライブトランジスタをカットオフできる程度の電位に予め設定されている。タイミング $T1$ で信号線 SL に所定電位 V_{ss} が供給されている時、走査線 WS に制御信号パルスを印加する。これによりサンプリングトランジスタ T_{r1} がオンし、信号線 SL から所定電位 V_{ss} が取り込まれ、ドライブトランジスタ T_{rd} のゲート G に印加される。これによりドライブトランジスタ T_{rd} がカットオフし、画素は発光期間から非発光期間に切り換る。

【0038】

即ちドライブトランジスタ T_{rd} がカットオフすると、発光素子 EL に供給する電流が0になるため、発光素子 EL が点灯状態から消灯状態となる。この様に本実施形態は、参考例のようにスイッチングトランジスタのオンオフで発光期間と非発光期間を切り換えるのではなく、サンプリングトランジスタを制御してドライブトランジスタをカットオフすることで、発光期間と非発光期間を切り換えている。これによりスイッチングトランジスタとそのスキナを削減することができる。

【0039】

タイミング $T2$ になると制御信号 $AZ1$ 及び $AZ2$ がハイレベルに切り換り、スイッチングトランジスタ T_{r2} 及び T_{r3} が共にオンする。スイッチングトランジスタ T_{r2} がオンすることでドライブトランジスタ T_{rd} のゲート G に基準電位 V_{ss1} が書き込まれる。またスイッチングトランジスタ T_{r3} がオンすることでドライブトランジスタ T_{rd} のソース S に別の基準電位 V_{ss2} が書き込まれる。これによりドライブトランジスタ T_{rd} のゲート G 及びソース S が所定の状態にリセットされ、閾電圧補正動作のための準備が整い、ドライブトランジスタ T_{rd} はオン状態に置かれる。

【0040】

タイミング $T3$ で制御信号 $AZ2$ がローレベルに戻り、スイッチングトランジスタ T_{r3} がオフして、ドライブトランジスタ T_{rd} のソース S が V_{ss2} から切り離され、閾電圧補正動作が行われる。これによりドライブトランジスタ T_{rd} のゲート G が V_{ss1} に固定された状態で、ドライブトランジスタ T_{rd} のソース S の電位が上昇して行き、両者の電位差が V_{th} に等しくなった所でドライブトランジスタ T_{rd} がカットオフし、閾電圧補正動作が終わる。この後タイミング $T4$ で制御信号 $AZ1$ がローレベルに戻り、スイッチングトランジスタ T_{r2} もオフする。

【0041】

続いて信号線 SL が所定電位 V_{ss} から信号電位 V_{sig} に切り換った後、タイミング $T6$ で走査線 WS に再び制御信号パルスが印加され、サンプリングトランジスタ T_{r1} がオンする。これにより信号線 SL から信号電位 V_{sig} がサンプリングされ保持容量 C_s に書き込まれる。このとき同時に移動度補正動作が行われ、補正分 V が保持容量 C_s に書き込まれる。タイミング $T5$ で制御信号 WS がハイレベルに切り換わってからタイミング $T6$ でローレベルに切り換るまでの間が、信号書込み期間及び移動度補正期間である。

【 0 0 4 2 】

タイミング T 6 で制御信号 W S がローレベルに戻るとサンプリングトランジスタ T r 1 がオフし、ドライブトランジスタ T r d のゲート G は信号線 S L から切り離される。これによりブートストラップ動作が可能となりドライブトランジスタ T r d のソース S の電位が上昇し、発光素子 E L に駆動電流が流れ、発光期間となる。

【 0 0 4 3 】

図 8 は、本発明にかかる表示装置の第 2 実施形態を示す全体ブロック図である。本表示装置は基本的に画素アレイ部 1 とこれを駆動する駆動部とで構成されている。画素アレイ部 1 は行状の第 1 走査線 W S と、同じく行状の第 2 走査線 D S と、列状の信号線 S L と、各第 1 走査線 W S と各信号線 S L とが交差する部分に配された行列状の画素 2 とを備えている。これに対し駆動部は、ライトスキャナ 4、補正用スキャナ 7 及び水平セクタ 3 を含んでいる。ライトスキャナ 4 は各第 1 走査線 W S に制御信号を出力して画素 2 を行単位で線順次走査する。補正用スキャナ 7 も各第 2 走査線 A Z にそれぞれ制御信号を出力して画素 2 を行単位で線順次走査する。但しライトスキャナ 4 と補正用スキャナ 7 は制御信号を出力するタイミングが異なっている。一方水平セクタ 3 は、スキャナ 4、7 側の線順次走査に合わせて、列状の信号線 S L に映像信号の信号電位と基準電位とを供給する。

【 0 0 4 4 】

図 9 は図 8 に示した表示装置に組み込まれる画素の構成を示す回路図である。図示するように本画素 2 は、基本的に発光素子 E L と、サンプリングトランジスタ T r 1 と、ドライブトランジスタ T r d と、スイッチングトランジスタ T r 3 と、保持容量 C s とを含む。サンプリングトランジスタ T r 1 は、その制御端（ゲート）が走査線 W S に接続し、一対の電流端（ソース及びドレイン）の一方が信号線 S L に接続し、他方がドライブトランジスタ T r d の制御端（ゲート G ）に接続している。ドライブトランジスタ T r d は、一対の電流端（ソース及びドレイン）の一方（ドレイン）が電源ライン V c c に接続し、他方（ソース S ）が発光素子 E L のアノードに接続している。発光素子 E L のカソードは所定のカソード電位 V c a t h に接続している。スイッチングトランジスタ T r 3 は、その制御端（ゲート）が走査線 A Z に接続し、一対の電流端（ソース及びドレイン）の一方が固定電位 V s s に接続し、他方がドライブトランジスタ T r d のソース S に接続している。保持容量 C s は、その一端がドライブトランジスタ T r d の制御端（ゲート G ）に接続し、その他端がドライブトランジスタ T r d の他方の電流端（ソース S ）に接続している。このドライブトランジスタ T r d の他方の電流端は、発光素子 E L 及び保持容量 C s に対する出力電流端となっている。なお本画素回路 2 は、保持容量 C s を補助する目的で、補助容量 C s u b がドライブトランジスタ T r d のソース S と電源 V c c との間に接続されている。

【 0 0 4 5 】

かかる構成において、駆動部側のライトスキャナ 4 は第 1 走査線 W S にサンプリングトランジスタ T r 1 を開閉制御するための制御信号を供給する。補正用スキャナ 7 は第 2 走査線 A Z にスイッチングトランジスタ T r 3 を開閉制御するための制御信号を出力する。水平セクタ 3 は信号線 S L に信号電位 V s i g と基準電位 V r e f との間で切り換る映像信号（入力信号）を供給する。この様に走査線 W S、A Z 及び信号線 S L の電位が線順次走査に合わせて変動するが、電源ラインは V c c に固定されている。またカソード電位 V c a t h 及び固定電位 V s s も一定である。

【 0 0 4 6 】

図 10 は、図 8 及び図 9 に示した第 2 実施形態にかかる表示装置の動作説明に供するタイミングチャートである。本実施形態では、信号線 S L が 1 水平期間 1 H で、信号電位 V s i g、基準電位 V r e f 及びオフ電位 V o f f の三電位で切り換っている。信号電位 V s i g は基準電位 V r e f より高く、オフ電位 V o f f は V r e f より低く設定されている。このオフ電位 V o f f はドライブトランジスタ T r d をカットオフするために必要な所定電位である。走査線 W S には 1 フィールド（ 1 f ）で二発の制御信号パルスが供給されている。最初の制御信号パルスは前フィールドの発光期間から当該フィールドの非発光

10

20

30

40

50

期間に切り換えるために出力される。次の制御信号パルスは当該フィールドの非発光期間で閾電圧補正動作と信号書込み動作 / 移動度補正動作を行うときに供給されている。

【 0 0 4 7 】

まずタイミング T 1 で走査線 W S に 1 発目の制御信号パルスが印加される。このとき制御信号線 S L は所定のオフ電位 V o f f にある。サンプリングトランジスタ T r 1 がオンし、このオフ電位 V o f f をサンプリングしてドライブトランジスタ T r d のゲート G に印加する。これによりドライブトランジスタ T r d のゲート電位が低下し、カットオフ状態となる。画素は発光期間から非発光期間に切り換える。

【 0 0 4 8 】

続いてタイミング T 1 a で制御信号 A Z がローレベルからハイレベルに切り換わり、スイッチングトランジスタ T r 3 がオンする。これによりドライブトランジスタ T r d のソース S に基準電位 V s s が書き込まれる。

【 0 0 4 9 】

この後タイミング T 2 になると再び走査線 W S に制御信号パルスが印加され、サンプリングトランジスタ T r 1 がオンする。このタイミングで信号線 S L には基準電位 V r e f が現れている。基準電位 V r e f がドライブトランジスタ T r d のゲート G に書き込まれる。従ってドライブトランジスタ T r d のゲート G / ソース S 間電圧 V g s は $V r e f - V s s$ という値を取る。ここで $V g s = V r e f - V s s > V t h$ に設定されている。この $V r e f - V s s$ がドライブトランジスタ T r d の閾電圧 V t h よりも大きくないと後続の閾電圧補正動作を正常に行うことができない。但し $V g s = V r e f - V s s > V t h$ であるため、ドライブトランジスタ T r d はこの時点でオン状態となり、貫通電流が電源ライン V c c から固定電位 V s s に向かって流れる。しかしタイミング T 2 の後ほとんど間を置かずにタイミング T 3 でスイッチングトランジスタ T r 3 をオフすることで、この時流れる貫通電流はほとんど無視することができる。

【 0 0 5 0 】

この後タイミング T 3 になると閾電圧補正期間に入り、スイッチングトランジスタ T r 3 をオフしてドライブトランジスタ T r d のソース S を固定電位 V s s から切り離す。ここでソース S の電位 (即ち発光素子のアノード電位) がカソード電位 V c a t h に発光素子 E L の閾電圧 V t h E L を足した値よりも低い限り、発光素子 E L は依然として逆バイアス状態に置かれ、わずかなリーク電流が流れるに過ぎない。よって電源ライン V c c からドライブトランジスタ T r d を通って供給された電流は、ほとんど保持容量 C s と補助容量 C s u b を充電するために使われる。この様に保持容量 C s が充電されるため、ドライブトランジスタ T r d のソース電位は時間の経過と共に V s s から上昇していく。一定期間後ドライブトランジスタ T r d のソース電位は $V r e f - V t h$ のレベルに達し、V g s が丁度 V t h になる。この時点でドライブトランジスタ T r d がカットオフし、V t h に相当する電圧がドライブトランジスタ T r d のソース S とゲート G との間に配されている保持容量 C s に書き込まれる。閾電圧補正動作が完了した時点でも、ソース電圧 $V r e f - V t h$ はカソード電位 V c a t h に発光素子の閾電圧 V t h E L を足した値よりも低くなっている。

【 0 0 5 1 】

続いてタイミング T 4 で書込み期間 / 移動度補正期間に進む。タイミング T 4 では信号線 S L を基準電位 V r e f から信号電位 V s i g に切り換える。信号電位 V s i g は階調に応じた電圧となっている。この時点でサンプリングトランジスタ T r 1 はオンしているため、ドライブトランジスタ T r d のゲート G の電位は V s i g となる。これによりドライブトランジスタ T r d がオンし、電源ライン V c c から電流が流れるため、ソース S の電位が時間と共に上昇していく。この時点で依然としてソース S の電位が発光素子 E L の閾電圧 V t h E L とカソード電圧 V c a t h の和を超えていないので、発光素子 E L にはわずかなリーク電流が流れるだけであり、ドライブトランジスタ T r d から供給された電流はそのほとんどが保持容量 C s と補助容量 C s u b の充電に使われる。この充電過程で前述したようにソース S の電位が上昇していく。

10

20

30

40

50

【0052】

この書込み期間では既にドライブトランジスタ T_{rd} の閾電圧補正動作は完了しているため、ドライブトランジスタ T_{rd} が供給する電流はその移動度 μ を反映したものとなる。具体的に言うとドライブトランジスタ T_{rd} の移動度 μ が大きい場合、ドライブトランジスタ T_{rd} が供給する電流量が大きくなり、ソース S の電位上昇も速い。逆に移動度 μ が小さいときドライブトランジスタ T_{rd} の電流供給量は小さく、ソース S の電位上昇は遅くなる。この様にドライブトランジスタ T_{rd} の出力電流を保持容量 C_s に負帰還することで、ドライブトランジスタ T_{rd} のゲート G /ソース S 間電圧 V_{gs} は移動度 μ を反映した値となり、一定時間経過後には完全に移動度 μ を補正した V_{gs} の値となる。即ちこの書込み期間ではドライブトランジスタ T_{rd} から流れ出た電流を保持容量 C_s に負帰還することで、ドライブトランジスタ T_{rd} の移動度 μ の補正も同時に行っている。

10

【0053】

最後にタイミング T_5 で当該フィールドの発光期間に入ると、サンプリングトランジスタ T_{r1} がオフし、ドライブトランジスタ T_{rd} のゲート G が信号線 SL から切り離される。これによりゲート G の電位の上昇が可能となり、保持容量 C_s に保持された V_{gs} の値を一定に保ちつつ、ゲート G の電位上昇に連動してソース S の電位も上昇する。これにより発光素子 EL の逆バイアス状態が解消し、ドライブトランジスタ T_{rd} は V_{gs} に応じたドレイン電流 I_{ds} を発光素子 EL に流す。ソース S の電位は発光素子 EL に電流が流れるまで上昇し、発光素子 EL が発光する。ここで発光素子は発光時間が長くなるとその電流/電圧特性は変化する。このためソース S の電位も変化する。しかしながらドライブトランジスタ T_{rd} のゲート/ソース間電圧 V_{gs} はブートストラップ動作により一定値に保たれているので、発光素子 EL に流れる電流は変化しない。よって発光素子 EL の電流/電圧特性が劣化しても、一定電流 I_{ds} が常に流れ続け、発光素子 EL の輝度が変化することはない。

20

【0054】

図11は、本発明にかかる表示装置の第3実施形態を示す全体構成図である。この第3実施形態は前述した第2実施形態と同じく周辺の駆動部が2個のスキナで構成されており、第1実施形態に比べて一段と狭額縁化を達成している。図示するように、本表示装置は、画素アレイ部1とこれを駆動する駆動部とからなる。画素アレイ部1は、行状の走査線 WS と、列状の信号線(信号ライン) SL と、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線(電源ライン) VL とを備えている。なお本例は、各画素2に RGB 三原色のいずれかが割り当てられており、カラー表示が可能である。但しこれに限られるものではなく、単色表示のデバイスも含む。駆動部は、各走査線 WS に順次制御信号を供給して画素2を行単位で線順次走査するライトスキナ4と、この線順次走査に合わせて各給電線 VL に第1電位と第2電位で切り換える電源電圧を供給する電源スキナ6と、この線順次走査に合わせて列状の信号線 SL に駆動信号となる信号電位と基準電位を供給する信号セクタ(水平セクタ)3とを備えている。

30

【0055】

図12は、図11に示した表示装置に含まれる画素2の具体的な構成及び結線関係を示す回路図である。図9に示した第2実施形態の画素回路と比較すると、トランジスタの個数が3個から2個に削減されており、画素の高精細化が可能になっている。図示するように、この画素2は有機 EL デバイスなどで代表される発光素子 EL と、サンプリングトランジスタ T_{r1} と、ドライブトランジスタ T_{rd} と、保持容量 C_s とを含む。サンプリングトランジスタ T_{r1} は、その制御端(ゲート)が対応する走査線 WS に接続し、一対の電流端(ソース及びドレイン)の片方が対応する信号線 SL に接続し、他方がドライブトランジスタ T_{rd} の制御端(ゲート G)に接続する。ドライブトランジスタ T_{rd} は、一対の電流端(ソース S 及びドレイン)の一方が発光素子 EL に接続し、他方が対応する給電線 VL に接続している。本例では、ドライブトランジスタ T_{rd} が N チャネル型であり、そのドレインが給電線 VL に接続する一方、ソース S が出力ノードとして発光素子 EL のアノードに接続している。発光素子 EL のカソードは所定のカソード電位 V_{cath} に

40

50

接続している。保持容量 C_s はドライブトランジスタ T_{rd} の片方の電流端であるソース S と制御端であるゲート G の間に接続している。

【0056】

かかる構成において、サンプリングトランジスタ T_{r1} は走査線 W_S から供給された制御信号に応じて導通し、信号線 S_L から供給された信号電位をサンプリングして保持容量 C_s に保持する。ドライブトランジスタ T_{rd} は、第1電位（高電位 V_{cc} ）にある給電線 V_L から電流の供給を受け保持容量 C_s に保持された信号電位に応じて駆動電流を発光素子 E_L に流す。ライトスキャナ4は、信号線 S_L が信号電位にある時間帯にサンプリングトランジスタ T_{r1} を導通状態にするため、所定のパルス幅の制御信号を制御線 W_S に出力し、以って保持容量 C_s に信号電位を保持すると同時にドライブトランジスタ T_{rd} の移動度 μ に対する補正を信号電位に加える。この後ドライブトランジスタ T_{rd} は保持容量 C_s に書き込まれた信号電位 V_{sig} に応じた駆動電流を発光素子 E_L に供給し、発光動作に入る。

【0057】

本画素回路2は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ6は、サンプリングトランジスタ T_{r1} が信号電位 V_{sig} をサンプリングする前に、第1タイミングで給電線 V_L を第1電位（高電位 V_{cc} ）から第2電位（低電位 V_{ss2} ）に切り換える。またライトスキャナ4は同じくサンプリングトランジスタ T_{r1} が信号電位 V_{sig} をサンプリングする前に、第2タイミングでサンプリングトランジスタ T_{r1} を導通させて信号線 S_L から基準電位 V_{ss1} をドライブトランジスタ T_{rd} のゲート G に印加すると共にドライブトランジスタ T_{rd} のソース S を第2電位（ V_{ss2} ）にセットする。電源スキャナ6は第2タイミングの後の第3タイミングで給電線 V_L を第2電位 V_{ss2} から第1電位 V_{cc} に切り換えて、ドライブトランジスタ T_{rd} の閾電圧 V_{th} に相当する電圧を保持容量 C_s に保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつくドライブトランジスタ T_{rd} の閾電圧 V_{th} の影響をキャンセルすることができる。

【0058】

本画素回路2は、さらにブートストラップ機能も備えている。即ちライトスキャナ4は保持容量 C_s に信号電位 V_{sig} が保持された段階で走査線 W_S に対する制御信号の印加を解除し、サンプリングトランジスタ T_{r1} を非導通状態にしてドライブトランジスタ T_{rd} のゲート G を信号線 S_L から電氣的に切り離し、以ってドライブトランジスタ T_{rd} のソース S の電位変動にゲート G の電位が連動し、ゲート G とソース S 間の電圧 V_{gs} を一定に維持することができる。

【0059】

図13は、図12に示した画素回路2の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線 W_S の電位変化、給電線 V_L の電位変化及び信号線 S_L の電位変化を表している。またこれらの電位変化と並行に、ドライブトランジスタのゲート G 及びソース S の電位変化も表してある。

【0060】

本発明の特徴として走査線 W_S には、サンプリングトランジスタ T_{r1} をオンするための制御信号パルスが印加される。この制御信号パルスは画素アレイ部の線順次走査に合わせて1フィールド（1f）周期で走査線 W_S に印加される。この制御信号パルスは1フィールド（1f）の間に三発のパルスを含んでいる。ここでは最初のパルスを P_0 とし次のパルスを P_1 とし、後続のパルスを P_2 とする。給電線 V_L は1フィールド周期（1f）で高電位 V_{cc} と低電位 V_{ss2} の間で切り換る。信号線 S_L には1水平走査周期（1H）内で信号電位 V_{sig} と所定の基準電位 V_{ss1} が切り換る駆動信号を供給している。

【0061】

図13のタイミングチャートに示すように、画素は前のフィールドの発光期間から当該フィールドの非発光期間に入り、その後当該フィールドの発光期間となる。この非発光期間で準備動作、閾電圧補正動作、信号書込み動作、移動度補正動作などを行う。

10

20

30

40

50

【 0 0 6 2 】

前フィールドの発光期間では、給電線 V_L が高電位 V_{cc} にあり、ドライブトランジスタ T_{rd} が駆動電流 I_{ds} を発光素子 E_L に供給している。駆動電流 I_{ds} は高電位 V_{cc} にある給電線 V_L からドライブトランジスタ T_{rd} を介して発光素子 E_L を通り、カソードラインに流れ込んでいる。

【 0 0 6 3 】

続いて当該フィールドの非発光期間に入るとまずタイミング T_1 で走査線 W_S に最初の制御信号パルス P_0 が印加される。このとき信号線 S_L は所定電位 V_{ss1} にある。サンプリングトランジスタ W_S は制御信号パルス P_0 に応答してオンし、信号線 S_L から V_{ss1} を取り込む。これによりドライブトランジスタ T_{rd} のゲート G の電位は急激に低下し、カットオフ状態となる。この結果画素は発光期間から非発光期間に切り換る。

10

【 0 0 6 4 】

続いてタイミング T_1a で給電線 V_L を高電位 V_{cc} から低電位 V_{ss2} に切り換える。これにより給電線 V_L は V_{ss2} まで放電され、さらにドライブトランジスタ T_{rd} のソース S の電位も V_{ss2} まで下降する。

【 0 0 6 5 】

続いてタイミング T_2 になると、走査線 W_S を低レベルから高レベルに切り換えることで、サンプリングトランジスタ T_{r1} が導通状態になる。この時信号線 S_L は基準電位 V_{ss1} にある。よってドライブトランジスタ T_{rd} のゲート G の電位は導通したサンプリングトランジスタ T_{r1} を通じて信号線 S_L の基準電位 V_{ss1} となる。この時ドライブトランジスタ T_{rd} のソース S の電位は V_{ss1} よりも十分低い電位 V_{ss2} にある。この様にしてドライブトランジスタ T_{rd} のゲート G とソース S との間の電圧 V_{gs} がドライブトランジスタ T_{rd} の閾電圧 V_{th} より大きくなるように、初期化される。タイミング T_1 からタイミング T_3 までの期間 $T_1 - T_3$ はドライブトランジスタ T_{rd} のゲート G / ソース S 間電圧 V_{gs} を予め V_{th} 以上に設定する準備期間である。

20

【 0 0 6 6 】

この後タイミング T_3 になると、給電線 V_L が低電位 V_{ss2} から高電位 V_{cc} に遷移し、ドライブトランジスタ T_{rd} のソース S の電位が上昇を開始する。やがてドリブトランジスタ T_{rd} のゲート G / ソース S 間電圧 V_{gs} が閾電圧 V_{th} となった所で電流がカットオフする。この様にしてドライブトランジスタ T_{rd} の閾電圧 V_{th} に相当する電圧が保持容量 C_s に書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら保持容量 C_s 側に流れ、発光素子 E_L には流れないようにするため、発光素子 E_L がカットオフとなるようにカソード電位 V_{cath} を設定しておく。

30

【 0 0 6 7 】

タイミング T_4 では走査線 W_S がハイレベルからローレベルに戻る。換言すると、走査線 W_S に印加されたパルス P_1 が解除され、サンプリングトランジスタはオフ状態になる。以上の説明から明らかなように、パルス P_1 は閾電圧補正動作を行うために、サンプリングトランジスタ T_{r1} のゲートに印加される。

【 0 0 6 8 】

この後信号線 S_L が基準電位 V_{ss1} から信号電位 V_{sig} に切り換る。続いてタイミング T_5 で走査線 W_S が再びローレベルからハイレベルに立上る。換言するとパルス P_2 がサンプリングトランジスタ T_{r1} のゲートに印加される。これによりサンプリングトランジスタ T_{r1} は再びオンし、信号線 S_L から信号電位 V_{sig} をサンプリングする。よってドライブトランジスタ T_{rd} のゲート G の電位は信号電位 V_{sig} になる。ここで発光素子 E_L は始めカットオフ状態（ハイインピーダンス状態）にあるためドライブトランジスタ T_{rd} のドレインとソースの間に流れる電流は専ら保持容量 C_s と発光素子 E_L の等価容量に流れ込み充電を開始する。この後サンプリングトランジスタ T_{r1} がオフするタイミング T_6 までに、ドライブトランジスタ T_{rd} のソース S の電位は V だけ上昇する。この様にして映像信号の信号電位 V_{sig} が V_{th} に足し込まれる形で保持容量 C_s に書き込まれる共に、移動度補正用の電圧 V が保持容量 C_s に保持された電圧から差し

40

50

引かれる。よってタイミングT5からタイミングT6まで期間T5 T6が信号書込期間&移動度補正期間となる。換言すると、走査線WSにパルスP2が印加されると、信号書込動作及び移動度補正動作が行われる。信号書込期間&移動度補正期間T5 T6は、パルスP2のパルス幅に等しい。即ちパルスP2のパルス幅が移動度補正期間を規定している。

【0069】

この様に信号書込期間T5 T6では信号電圧Vsigの書き込みと補正電圧Vの調整が同時に行われる。Vsigが高いほどドライブトランジスタTrdが供給する電流Idsは大きくなり、Vの絶対値も大きくなる。従って発光輝度レベルに応じた移動度補正が行われる。Vsigを一定とした場合、ドライブトランジスタTrdの移動度μが大きいほどVの絶対値が大きくなる。換言すると移動度μが大きいほど保持容量Csに対する負帰還電圧Vが大きくなるので、画素毎の移動度μのばらつきを取り除くことができる。

10

【0070】

最後にタイミングT6になると、前述したように走査線WSが低レベル側に遷移し、サンプリングトランジスタTr1はオフ状態となる。これによりドライブトランジスタTrdのゲートGは信号線SLから切り離される。同時にドレイン電流Idsが発光素子ELを流れ始める。これにより発光素子ELのアノード電位は駆動電流Idsに応じて上昇する。発光素子ELのアノード電位の上昇は、即ちドライブトランジスタTrdのソースSの電位上昇に他ならない。ドライブトランジスタTrdのソースSの電位が上昇すると、保持容量Csのブートストラップ動作によりドライブトランジスタTrdのゲートGの電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中ドライブトランジスタTrdのゲートG/ソースS間電圧Vgsは一定に保持される。このVgsの値は信号電圧Vsigに閾電圧Vth及び移動量μの補正をかけたものとなっている。ドライブトランジスタTrdは、飽和領域で動作する。即ちドライブトランジスタTrdは、ゲートG/ソースS間電圧Vgsに応じた駆動電流Idsを供給する。このVgsの値は信号電圧Vsigに閾電圧Vth及び移動量μの補正をかけたものとなっている。

20

【0071】

本発明にかかる表示装置は、図14に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部(図では1個のTFETを例示)、保持容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTFETプロセスでトランジスタ部や容量部が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

30

【0072】

本発明にかかる表示装置は、図15に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部(画素マトリックス部)を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC(フレキシブルプリントサーキット)を設けてもよい。

40

【0073】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

50

【 0 0 7 4 】

図 1 6 は本発明が適用されたテレビであり、フロントパネル 1 2、フィルターガラス 1 3 等から構成される映像表示画面 1 1 を含み、本発明の表示装置をその映像表示画面 1 1 に用いることにより作製される。

【 0 0 7 5 】

図 1 7 は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部 1 5、表示部 1 6、コントロールスイッチ、メニュースイッチ、シャッター 1 9 等を含み、本発明の表示装置をその表示部 1 6 に用いることにより作製される。

【 0 0 7 6 】

図 1 8 は本発明が適用されたノート型パーソナルコンピュータであり、本体 2 0 には文字等を入力するとき操作されるキーボード 2 1 を含み、本体カバーには画像を表示する表示部 2 2 を含み、本発明の表示装置をその表示部 2 2 に用いることにより作製される。

【 0 0 7 7 】

図 1 9 は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体 2 3、下側筐体 2 4、連結部（ここではヒンジ部）2 5、ディスプレイ 2 6、サブディスプレイ 2 7、ピクチャーライト 2 8、カメラ 2 9 等を含み、本発明の表示装置をそのディスプレイ 2 6 やサブディスプレイ 2 7 に用いることにより作製される。

【 0 0 7 8 】

図 2 0 は本発明が適用されたビデオカメラであり、本体部 3 0、前方を向いた側面に被写体撮影用のレンズ 3 4、撮影時のスタート/ストップスイッチ 3 5、モニター 3 6 等を含み、本発明の表示装置をそのモニター 3 6 に用いることにより作製される。

【 図面の簡単な説明 】

【 0 0 7 9 】

【 図 1 】 参考例にかかる表示装置の全体構成を示すブロック図である。

【 図 2 】 図 1 に示した参考例にかかる表示装置に組み込まれる画素の構成例を示す回路図である。

【 図 3 】 図 2 に示した画素の動作説明に供する回路図である。

【 図 4 】 参考例にかかる表示装置の動作説明に供するタイミングチャートである。

【 図 5 】 本発明にかかる表示装置の第 1 実施形態を示す全体ブロック図である。

【 図 6 】 図 5 に示した第 1 実施形態に組み込まれる画素の構成を示す回路図である。

【 図 7 】 第 1 実施形態にかかる表示装置の動作説明に供するタイミングチャートである。

【 図 8 】 本発明にかかる表示装置の第 2 実施形態を示す全体構成図である。

【 図 9 】 第 2 実施形態に組み込まれる画素の構成を示す回路図である。

【 図 1 0 】 第 2 実施形態の動作説明に供するタイミングチャートである。

【 図 1 1 】 本発明にかかる表示装置の第 3 実施形態を示す全体構成図である。

【 図 1 2 】 図 1 1 に示した第 3 実施形態に組み込まれる画素の構成を示す回路図である。

【 図 1 3 】 第 3 実施形態の動作説明に供するタイミングチャートである。

【 図 1 4 】 本発明にかかる表示装置のデバイス構成を示す断面図である。

【 図 1 5 】 本発明にかかる表示装置のモジュール構成を示す平面図である。

【 図 1 6 】 本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【 図 1 7 】 本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【 図 1 8 】 本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【 図 1 9 】 本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

【 図 2 0 】 本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【 符号の説明 】

【 0 0 8 0 】

1・・・画素アレイ部、 2・・・画素、 3・・・水平セクタ（信号セクタ）、 4・・・

10

20

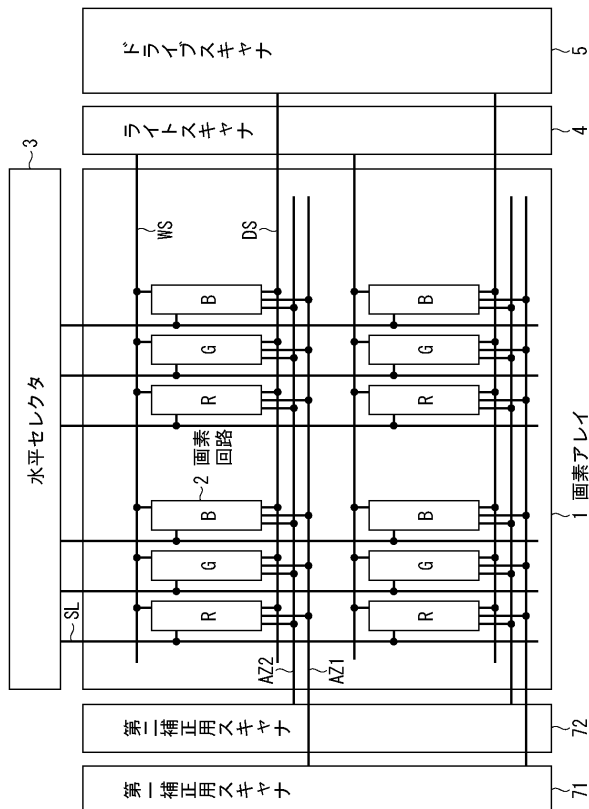
30

40

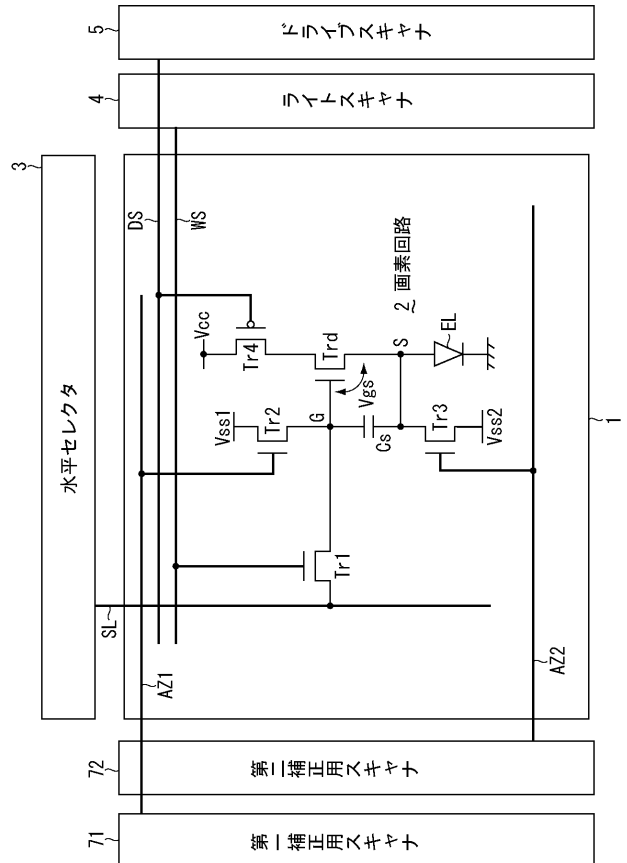
50

・ライトスキャナ、5・・・ドライブスキャナ、6・・・電源スキャナ、7・・・補正用スキャナ、71・・・第一補正用スキャナ、72・・・第二補正用スキャナ、Tr1・・・サンプリングトランジスタ、Tr2・・・スイッチングトランジスタ、Tr3・・・スイッチングトランジスタ、Tr4・・・スイッチングトランジスタ、Trd・・・ドライブトランジスタ、Cs・・・保持容量、EL・・・発光素子

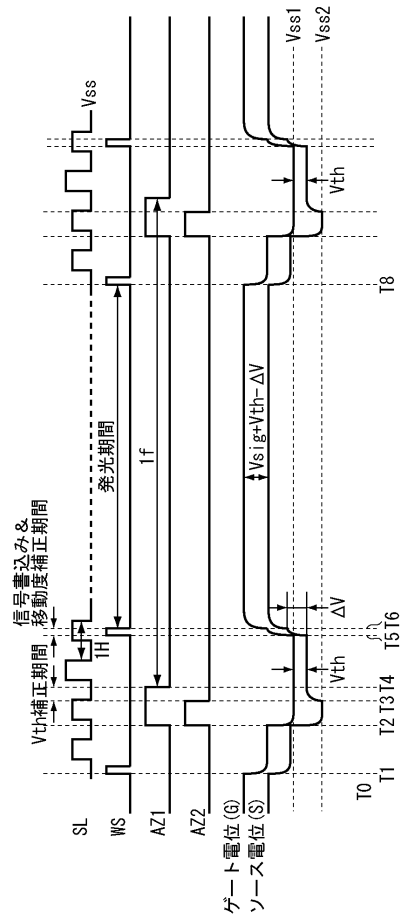
【図1】



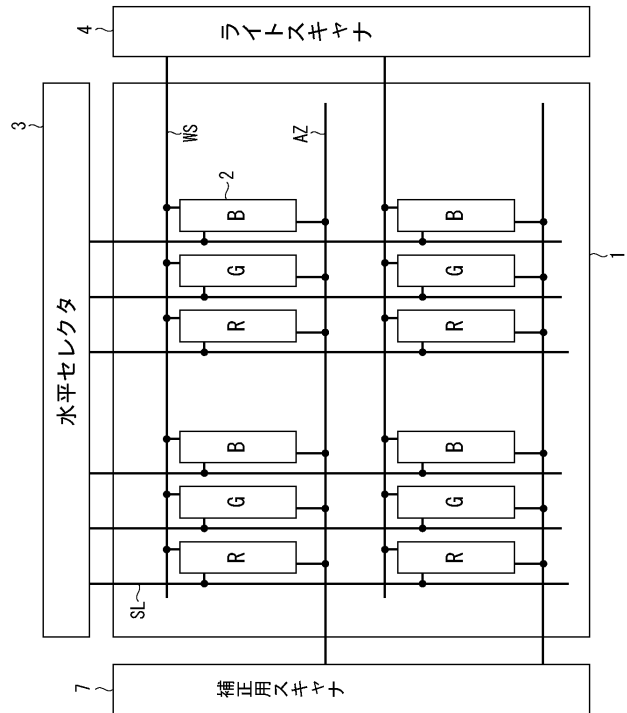
【図2】



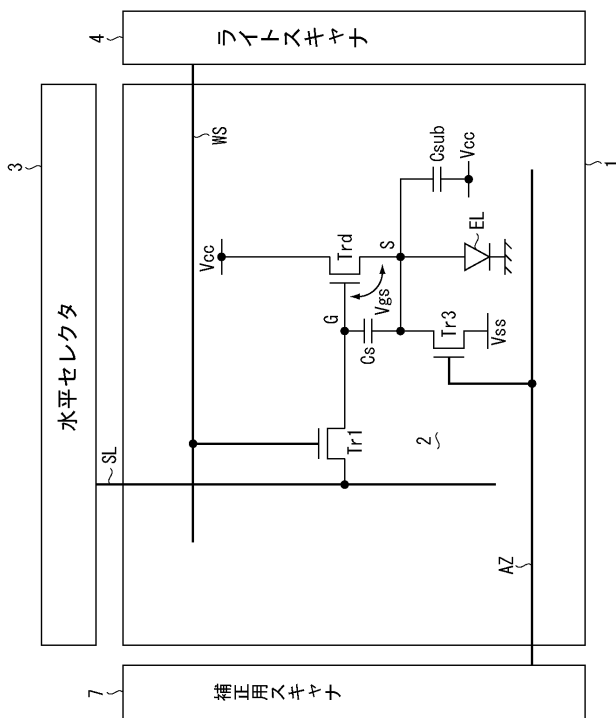
【 図 7 】



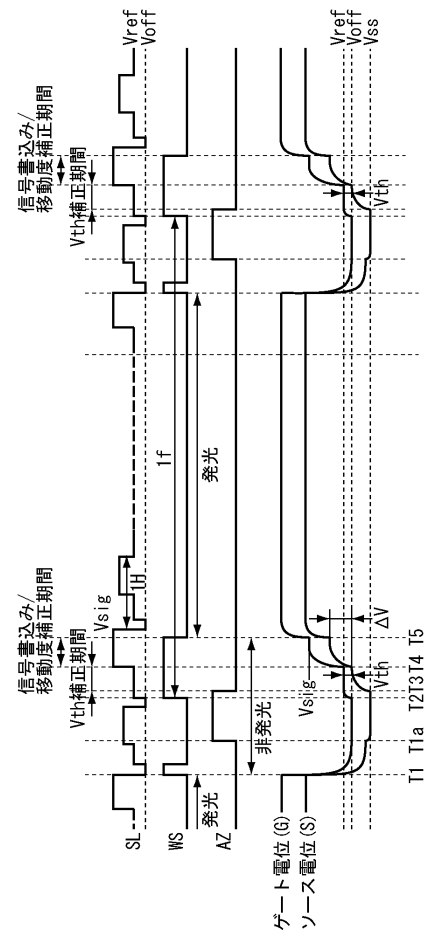
【 図 8 】



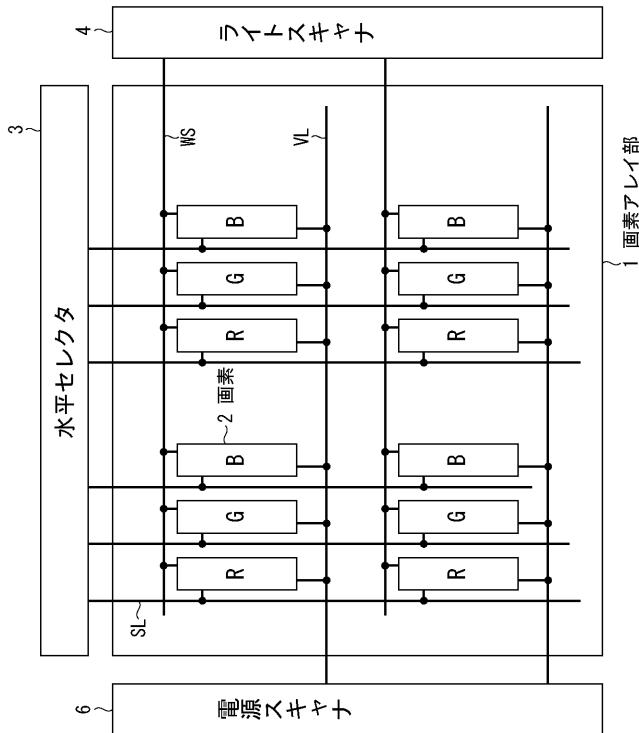
【 圖 9 】



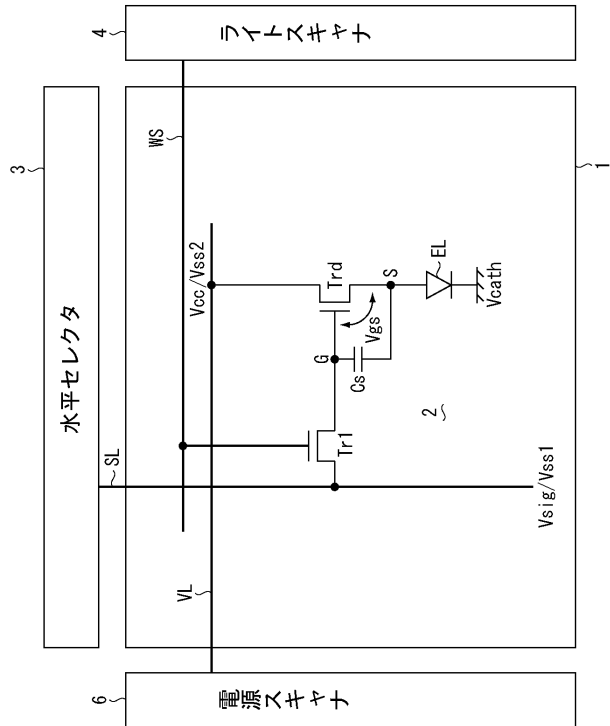
【 ㊦ 1 0 】



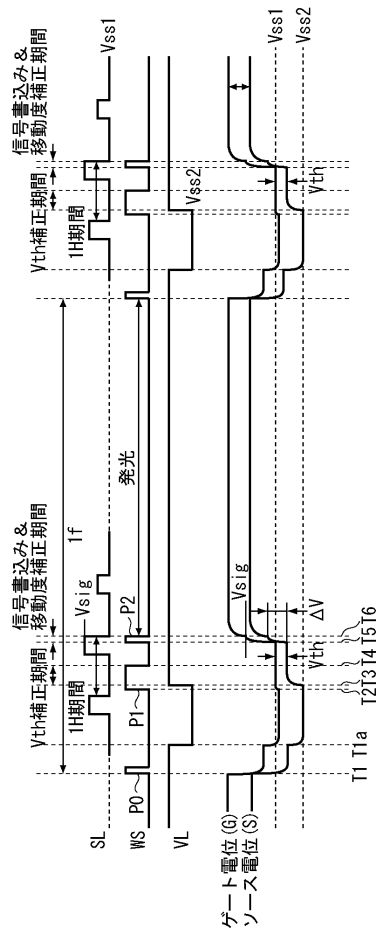
【 図 1 1 】



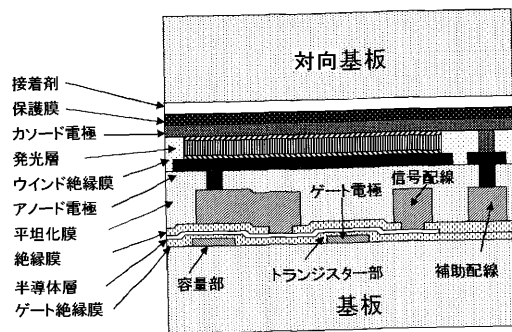
【 図 1 2 】



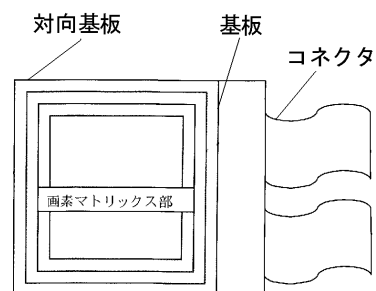
【 ㊦ 1 3 】



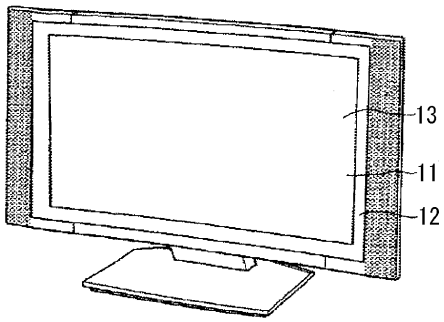
【 ㄨ 1 4 】



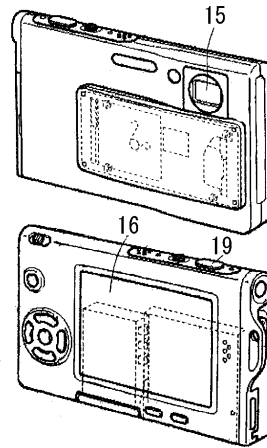
【 図 1 5 】



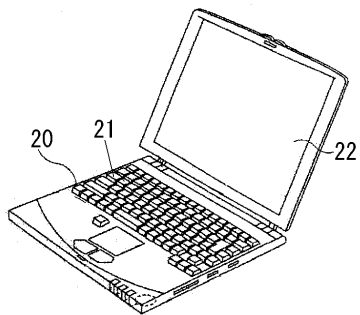
【図 16】



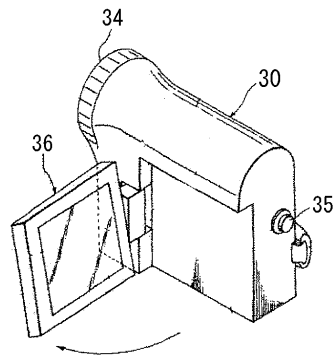
【図 17】



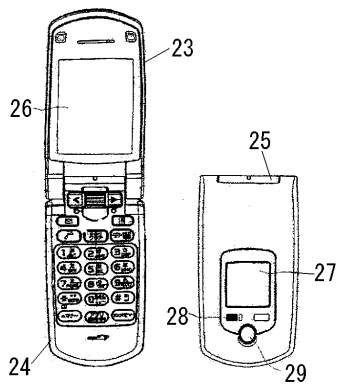
【図 18】



【図 20】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 1 1 Z
H 0 5 B	33/14	A

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP2008287139A	公开(公告)日	2008-11-27
申请号	JP2007133862	申请日	2007-05-21
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	H01L27/1255 G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2310/0251 G09G2310/0262 G09G2320/0285		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.623.A G09G3/20.612.L G09G3/20.611.Z H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC43 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA11 5C380/BA13 5C380/BA17 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CD023 5C380/CD025 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP4470960B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过减少外围驱动器部件中包含的扫描仪数量来减少面板框架部件的面积。像素2在每个场中分别在发光时段和非发光时段中操作，并且在非发光时段中，驱动晶体管Trd的阈值电压校正操作，视频信号到存储电容器Cs的写入操作以及驱动操作。进行晶体管Trd的迁移率校正操作。信号选择器3除了视频信号之外，还向每个信号线SL提供用于关闭每个发光元件EL的预定电位。除了用于从信号线SL向像素中提取视频信号的控制信号之外，写扫描器4向每个扫描线WS提供用于从信号线SL中获取预定电位的控制信号。采样晶体管Tr1从信号线SL获取预定电势，并将其施加到驱动晶体管Trd的栅极，以关闭发光元件EL，并从发光时段切换到非发光时段。[选择图]图6

