

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-203659

(P2008-203659A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
HO1L 51/50 (2006.01)

F 1

GO 9 G 3/30
GO 9 G 3/20
GO 9 G 3/20
GO 9 G 3/20
HO 5 B 33/14

テーマコード（参考）

3 K 1 07

5C080

審査請求 有 請求項の数 5 O L (全 32 頁)

(21) 出願番号
(22) 出願日

特願2007-41196 (P2007-41196)
平成19年2月21日 (2007. 2. 21)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 発明者 山下 淳一
東京都港区港南1丁目7番1号 ソニー株
式会社内

(72) 発明者 富田 昌嗣

東京都品川区東五反田2丁目17番1号
ソニーイーエムシーエス株式会社内

(72) 発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

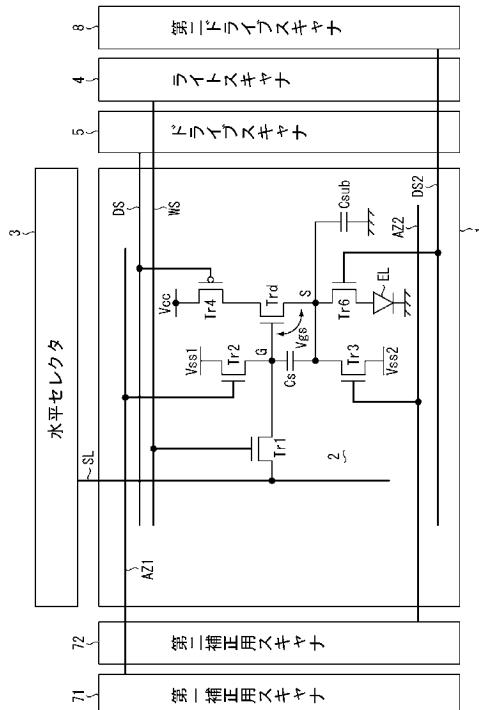
(54) 【発明の名称】表示装置及びその駆動方法と電子機器

(57) 【要約】

【課題】発光素子のリーク電流のばらつきに関わらず正確な輝度補正動作を行うことが可能な画素を備えた表示装置を提供する。

【解決手段】画素回路2は、補正手段とスイッチングトランジスタTr6とを備えている。補正手段は、非発光期間に動作して駆動トランジスタTrdの特性のバラツキを打ち消す為の補正電圧を保持容量Csに書き込む。スイッチングトランジスタTr6は、駆動トランジスタTrdのソースSと発光素子ELとの間に介在し、非発光期間でオフになり発光素子ELを駆動トランジスタTrdのソースSから切り離し、以って補正手段が動作中補正電圧の誤差要因となるリーク電流が発光素子ELに流れない様にする。

【選択図】図5



【特許請求の範囲】

【請求項 1】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線が交差する部分に行列状に配された画素とを含み、

前記画素は、少なくともサンプリングトランジスタと、駆動トランジスタと、発光素子と、保持容量とを備えており、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が信号線と該駆動トランジスタの制御端とに接続し、

前記駆動トランジスタは、一対の電流端の一方が該発光素子に接続し他方が電源ラインに接続し、

前記保持容量は、該駆動トランジスタの制御端と一方の電流端との間に接続し、

前記駆動部は、該走査線に制御信号を出力してサンプリングトランジスタをオンする一方、該信号線に映像信号を出力してオンした該サンプリングトランジスタを介して該保持容量に映像信号を書き込み、

以って前記駆動トランジスタは、所定の発光期間に該書き込まれた映像信号の信号電圧に応じた駆動電流を該発光素子に供給する一方、非発光期間には該発光素子に駆動電流を供給しない様に動作する表示装置であって、

前記画素は、補正手段とスイッチングトランジスタとを備えており、

前記補正手段は、非発光期間に動作して該駆動トランジスタの特性のバラツキを打ち消す為の補正電圧を該保持容量に書き込み、

前記スイッチングトランジスタは、該駆動トランジスタの一方の電流端と該発光素子との間に介在し、非発光期間でオフになり該発光素子を該駆動トランジスタの一方の電流端から切り離し、以って該補正手段が動作中補正電圧の誤差要因となるリーク電流が該発光素子に流れないと特徴とする表示装置。

【請求項 2】

前記補正手段は、該駆動トランジスタの閾電圧のバラツキを打ち消す為、該閾電圧に相当する補正電圧を該保持容量に足しこむことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記補正手段は、該駆動トランジスタの移動度のバラツキを打ち消す為、移動度に応じた補正電圧を該保持容量に書き込まれた映像信号の信号電圧から差し引くことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線が交差する部分に行列状に配された画素とを含み、

前記画素は、少なくともサンプリングトランジスタと、駆動トランジスタと、スイッチングトランジスタと、発光素子と、保持容量とを備えており、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が信号線と該駆動トランジスタの制御端とに接続し、

前記駆動トランジスタは、一対の電流端の一方が該発光素子に接続し他方が電源ラインに接続し、

前記スイッチングトランジスタは、該駆動トランジスタの一方の電流端と該発光素子との間に介在し、

前記保持容量は、該駆動トランジスタの制御端と一方の電流端との間に接続し、

前記駆動部は、該走査線に制御信号を出力してサンプリングトランジスタをオンする一方、該信号線に映像信号を出力してオンした該サンプリングトランジスタを介して該保持容量に映像信号を書き込み、

以って前記駆動トランジスタは、所定の発光期間に該書き込まれた映像信号の信号電圧に応じた駆動電流を該発光素子に供給する一方、非発光期間には該発光素子に駆動電流を

10

20

30

40

50

供給しない様に動作する表示装置の駆動不法であって、

非発光期間に該駆動トランジスタの特性のバラツキを打ち消す為の補正電圧を儀駆動トランジスタの一方の電流端から該保持容量に書き込む補正手順と、

非発光期間に前記スイッチングトランジスタをオフして該発光素子を該駆動トランジスタの一方の電流端から切り離し、以って補正電圧の誤差要因となるリーク電流が該発光素子に流れない様にしたことを特徴とする表示装置の駆動方法。

【請求項 5】

請求項 1 に記載された表示装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、発光素子を含む画素をマトリクス状（行列状）に配列した表示装置であって、特に各画素内に設けた絶縁ゲート型電界効果トランジスタによって、有機EL素子などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。またこの様な表示装置を組み込んだ電子機器に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

20

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

30

【特許文献 1】特開 2003-255856

【特許文献 2】特開 2003-271095

【特許文献 3】特開 2004-133240

【特許文献 4】特開 2004-029791

【特許文献 5】特開 2004-093682

【特許文献 6】特開 2006-215213

【発明の開示】

【発明が解決しようとする課題】

40

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと保持容量と駆動トランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。保持容量は、サンプリングされた映像信号に応じた入力電圧（信号電圧）を保持する。駆動トランジスタは、保持容量に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流は駆動トランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、駆動トランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

50

【0005】

駆動トランジスタは、保持容量に保持された入力電圧をゲートに受けてソース／ドレン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更に駆動トランジスタの出力電流供給量はゲート電圧すなわち保持容量に書き込まれた入力電圧によって制御される。従来の画素回路は、駆動トランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【0006】

ここで駆動トランジスタの動作特性は以下の特性式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

10

このトランジスタ特性式において、 I_{ds} はソース／ドレン間に流れるドレン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

20

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にはばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にはばらつきがある。前述のトランジスタ特性式から明らかな様に、各駆動トランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレン電流 I_{ds} にはばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来から駆動トランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献 3 に開示がある。

30

【0008】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォーミティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 μ も素子毎にはばらつきがある。前述のトランジスタ特性式から明らかなように、移動度 μ ばらつくと、ゲート電圧 V_{gs} が一定であってもドレン電流 I_{ds} にはばらつきが出てしまう。この結果発光輝度が画素毎に変化するため、画面のユニフォーミティを損なう。従来から駆動トランジスタの閾電圧に加え移動度のばらつきをキャンセルする機能を組み込んだ画素回路も開発されており、例えば前記の特許文献 6 に開示がある。

40

【0009】

個々の画素回路に組み込んだ閾電圧補正機能や移動度補正機能は、通常発光素子が発光していない間（非発光期間）に所定の補正動作として行われる。一方非発光期間中でも発光素子にはリーク電流が流れる。このリーク電流は画素毎に配した発光素子の間でばらつきがある。リーク電流は非発光期間中に流れるため、補正動作の精度に悪影響を与える。特に画素毎に発光素子のリーク電流がばらつくと、補正動作の精度にもばらつきが生じるため、結果的に発光輝度が画素毎に変化するため画面のユニフォーミティを損なうという課題がある。

【課題を解決するための手段】

【0010】

上述した従来の技術の課題に鑑み、本発明は発光素子のリーク電流のばらつきに関わら

50

ず正確な輝度補正動作を行うことが可能な画素を備えた表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線が交差する部分に行列状に配された画素とを含み、前記画素は、少なくともサンプリングトランジスタと、駆動トランジスタと、発光素子と、保持容量とを備えており、前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が信号線と該駆動トランジスタの制御端とに接続し、前記駆動トランジスタは、一対の電流端の一方が該発光素子に接続し他方が電源ラインに接続し、前記保持容量は、該駆動トランジスタの制御端と一方の電流端との間に接続し、前記駆動部は、該走査線に制御信号を出力してサンプリングトランジスタをオンする一方、該信号線に映像信号を出力してオンした該サンプリングトランジスタを介して該保持容量に映像信号を書き込み、以って前記駆動トランジスタは、所定の発光期間に該書き込まれた映像信号の信号電圧に応じた駆動電流を該発光素子に供給する一方、非発光期間には該発光素子に駆動電流を供給しない様に動作する表示装置であって、前記画素は、補正手段とスイッチングトランジスタとを備えており、前記補正手段は、非発光期間に動作して該駆動トランジスタの特性のバラツキを打ち消す為の補正電圧を該保持容量に書き込み、前記スイッチングトランジスタは、該駆動トランジスタの一方の電流端と該発光素子との間に介在し、非発光期間でオフになり該発光素子を該駆動トランジスタの一方の電流端から切り離し、以って該補正手段が動作中補正電圧の誤差要因となるリーク電流が該発光素子に流れない様にしたことを特徴とする。

10

20

30

40

【0011】

具体的には前記補正手段は、該駆動トランジスタの閾電圧のバラツキを打ち消す為、該閾電圧に相当する補正電圧を該保持容量に足しこむ。又前記補正手段は、該駆動トランジスタの移動度のバラツキを打ち消す為、移動度に応じた補正電圧を該保持容量に書き込まれた映像信号の信号電圧から差し引く。

【発明の効果】

【0012】

本発明によれば、駆動トランジスタの出力電流端となるソースと、発光素子のアノードとの間に、スイッチングトランジスタを介在させている。このスイッチングトランジスタは非発光期間でオフになり、発光素子のアノードを駆動トランジスタのソースから切り離している。この間補正手段が動作して、駆動トランジスタの特性のばらつきを打ち消すための補正電圧を駆動トランジスタの出力電流端（ソース）から保持容量に書き込んでいる。非発光期間では発光素子のアノードが駆動トランジスタのソースから切り離されるため発光素子にリーク電流が流れなくなり、駆動トランジスタの出力電流端の電位に誤差が生じない。よって本発明にかかる表示装置は、発光素子のリーク電流のばらつきに関わらず、正確な補正動作を行うことが出来、以って画面のユニフォーミティを改善することが出来る。

【0013】

補正動作を行う場合、非発光期間中であっても信号線から所定の信号電位を駆動トランジスタの制御端（ゲート）に印加する必要がある。また発光素子のカソードは所定のカソード電位に接地されている。従来の様に補正動作中駆動トランジスタのソースと発光素子のアノードが接続されると、補正動作を正常に行うため信号電位とカソード電位を相対的に調整する必要がある。本発明では補正動作中駆動トランジスタのソースと発光素子のアノードを切り離すため、駆動トランジスタのゲートに印加する信号電位と発光素子のカソードに接続するカソード電位は互いに制約なしに設定することが可能になる。したがってパネルの低消費電力化及びパネルシステムの低コスト化が可能な様に、信号電位やカソード電位を適切に設定することが出来る。

【発明を実施するための最良の形態】

【0014】

以下図面を参照して本発明を詳細に説明する。まず最初に本発明の背景を明らかにする

50

ため、図1を参照して閾電圧補正機能及び移動度補正機能を備えたアクティブマトリクス型表示装置の第1参考例を説明する。この第1参考例は、基本的に1つの画素が5個のトランジスタと1個の容量素子と1個の発光素子とで構成されている。図示するように、参考例1のアクティブマトリクス表示装置は、基本的に画素アレイ部1と周辺の駆動部とで構成されている。駆動部は水平セレクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ部1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素2とで構成されている。カラー表示を可能とするため、RGBの三原色画素を用意しているが、これに限られるものではない。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお走査線WSと平行に別の走査線DS、AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。各画素2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素2内に含まれている発光素子を駆動する。加えて画素2は走査線AZ1、AZ2によって走査されたとき、予め決められた補正動作を行う。

10

【0015】

図2は、図1に示した参考例1にかかる表示装置の具体的な構成を示す回路図である。図では理解を容易にするため、1個の画素回路2のみを拡大表示してある。画素回路2は、5個の薄膜トランジスタTr1～Tr4及びTrdと1個の容量素子(保持容量)Csと1個の発光素子ELとで構成されている。トランジスタTr1～Tr3とTrdはNチャネル型のポリシリコン TFTである。トランジスタTr4のみPチャネル型のポリシリコン TFTである。1個の容量素子Csは本画素回路2の保持容量を構成している。発光素子ELは例えアノード及びカソードを備えたダイオード型の有機EL素子である。但しこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

20

【0016】

画素回路2の中心となる駆動トランジスタTrdはそのゲートGが保持容量Csの一端に接続され、そのソースSが同じく保持容量Csの他端に接続されている。また駆動トランジスタTrdのゲートGはスイッチングトランジスタTr2を介して別の基準電位Vs1に接続されている。駆動トランジスタTrdのドレインはスイッチングトランジスタTr4を介して電源Vccに接続されている。このスイッチングトランジスタTr2のゲートは走査線DSに接続されている。発光素子ELのアノードは駆動トランジスタTrdのソースSに接続し、カソードは接地されている。この接地電位はVcathで表される場合がある。また、駆動トランジスタTrdのソースSと所定の基準電位Vss2との間にスイッチングトランジスタTr3が介在している。このトランジスタTr3のゲートは走査線AZ2に接続している。一方サンプリングトランジスタTr1は信号線SLと駆動トランジスタTrdのゲートGとの間に接続されている。サンプリングトランジスタTr1のゲートは走査線WSに接続している。

30

【0017】

かかる構成において、サンプリングトランジスタTr1は、所定のサンプリング期間に走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号Vsigを保持容量Csにサンプリングする。保持容量Csは、サンプリングされた映像信号Vsigに応じて駆動トランジスタのゲートGとソースS間に入力電圧Vgsを印加する。駆動トランジスタTrdは、所定の発光期間中入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。なおこの出力電流(ドレイン電流)Idsは駆動トランジスタTrdのチャネル領域のキャリア移動度μ及び閾電圧Vthに対して依存性を有する。発光素子ELは、駆動トランジスタTrdから供給された出力電流Idsにより映

40

50

像信号 V_{sig} に応じた輝度で発光する。

【0018】

画素回路 2 はスイッチングトランジスタ $T_{r2} \sim T_{r4}$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消す為に、発光期間に入る前に保持容量 C_s に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段 ($T_{r2} \sim T_{r4}$) は、走査線 WS 及び DS から供給される制御信号 WS , DS に応じてサンプリング期間の一部で動作し、映像信号 V_{sig} がサンプリングされている状態で駆動トランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを保持容量 C_s に負帰還して入力電圧 V_{gs} を補正する。さらにこの補正手段 ($T_{r2} \sim T_{r4}$) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立って駆動トランジスタ T_{rd} の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

10

【0019】

本参考例の場合、駆動トランジスタ T_{rd} は N チャネル型トランジスタでドレインが電源 V_{cc} 側に接続する一方、ソース S が発光素子 EL 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる部分で駆動トランジスタ T_{rd} から出力電流 I_{ds} を取り出して、保持容量 C_s 側に負帰還する。その際本補正手段は、発光期間に先立って駆動トランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 EL の有する容量に流れ込むようにしている。具体的には、発光素子 EL はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が駆動トランジスタ T_{rd} のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段 ($T_{r2} \sim T_{r4}$) は、予め発光素子 EL のアノード / カソード間を逆バイアス状態にセットしておき、駆動トランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が発光素子 EL に流れ込む時、このダイオード型の発光素子 EL を容量性素子として機能させている。なお本補正手段は、サンプリング期間内で駆動トランジスタ T_{rd} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより保持容量 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

20

【0020】

図 3 は、図 2 に示した参考例 1 にかかる表示装置の動作を表したタイミングチャートである。図 3 を参照して、図 2 に示した表示装置の動作を具体的に説明する。図 3 は、時間軸 T に沿って各走査線 WS , $AZ1$, $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} , T_{r2} , T_{r3} は N チャネル型なので、走査線 WS , $AZ1$, $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} は P チャネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS , $AZ1$, $AZ2$, DS の波形と共に、駆動トランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

30

【0021】

図 3 のタイミングチャートではタイミング $T_1 \sim T_8$ までを 1 フィールド (1f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 WS , $AZ1$, $AZ2$, DS の波形を表してある。

40

【0022】

当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS , $AZ1$, $AZ2$, DS がローレベルにある。したがって N チャネル型のトランジスタ T_{r1} , T_{r2} , T_{r3} はオフ状態にある一方、P チャネル型のトランジスタ T_{r4} のみオン状態である。したがって駆動トランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。したがってタイミング T_0 で発光素子 EL は発光している。この時駆動トランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差

50

で表される。

【0023】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切り替わる。これによりトランジスタTr4がオフし、駆動トランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。したがってタイミングT1に入ると、全てのトランジスタTr1～Tr4がオフ状態になる。

【0024】

続いてタイミングT2に進むと、制御信号AZ1及びAZ2がハイレベルになるので、スイッチングトランジスタTr2及びTr3がオンする。この結果、駆動トランジスタTrdのゲートGが基準電位Vss1に接続し、ソースSが基準電位Vss2に接続される。ここでVss1 - Vss2 > Vthを満たしており、Vss1 - Vss2 = Vgs > Vthとする事で、その後タイミングT3で行われるVth補正の準備を行う。換言すると期間T2～T3は、駆動トランジスタTrdのリセット期間に相当する。また、発光素子ELの閾電圧をVthELとすると、VthEL > Vss2に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うVth補正動作及び移動度補正動作を正常に行うために必要である。

【0025】

タイミングT3では制御信号AZ2をローレベルにし且つ直後制御信号DSもローレベルにしている。これによりトランジスタTr3がオフする一方トランジスタTr4がオンする。この結果ドレイン電流Idsが保持容量Csに流れ込み、Vth補正動作を開始する。この時駆動トランジスタTrdのゲートGはVss1に保持されており、駆動トランジスタTrdがカットオフするまで電流Idsが流れる。カットオフすると駆動トランジスタTrdのソース電位(S)はVss1 - Vthとなる。ドレイン電流がカットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、保持容量CsにVthが保持固定される。この様にタイミングT3～T4は駆動トランジスタTrdの閾電圧Vthを検出する期間である。ここでは、この検出期間T3～T4をVth補正期間と呼んでいる。

【0026】

この様にVth補正を行った後タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr1をオンして映像信号Vsigを保持容量Csに書き込む。発光素子ELの等価容量Coloredに比べて保持容量Csは充分に小さい。この結果、映像信号Vsigのほとんど大部分が保持容量Csに書き込まれる。正確には、Vss1に対するVsigの差分Vsig - Vss1が保持容量Csに書き込まれる。したがって駆動トランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持されたVthと今回サンプリングされたVsig - Vss1を加えたレベル(Vsig - Vss1 + Vth)となる。以降説明簡易化の為Vss1 = 0Vとすると、ゲート/ソース間電圧Vgsは図3のタイミングチャートに示すようにVsig + Vthとなる。かかる映像信号Vsigのサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。すなわちタイミングT5～T7がサンプリング期間に相当する。

【0027】

サンプリング期間の終了するタイミングT7より前のタイミングT6で制御信号DSがローレベルとなりスイッチングトランジスタTr4がオンする。これにより駆動トランジスタTrdが電源Vccに接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr1がまだオン状態で且つスイッチングトランジスタTr4がオン状態に入った期間T6～T7で、駆動トランジスタTrdの移動度補正を行う。即ち本参考例では、サンプリング期間の後部分の期間T6～T7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T6～T7では、駆動ト

10

20

30

40

50

ランジスタ T r d のゲート G が映像信号 V s i g のレベルに固定された状態で、駆動トランジスタ T r d にドレイン電流 I d s が流れる。ここで $V_{ss1} - V_{th} < V_{th} E L$ と設定しておく事で、発光素子 E L は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ T r d に流れる電流 I d s は保持容量 C s と発光素子 E L の等価容量 C o l e d の両者を結合した容量 $C = C_s + C_{oled}$ に書き込んでいく。これにより駆動トランジスタ T r d のソース電位 (S) は上昇していく。図 3 のタイミングチャートではこの上昇分を ΔV で表してある。この上昇分 ΔV は結局保持容量 C s に保持されたゲート / ソース間電圧 V g s から差し引かれる事になるので、負帰還をかけた事になる。この様に駆動トランジスタ T r d の出力電流 I d s を同じく駆動トランジスタ T r d の入力電圧 V g s に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 ΔV は移動度補正期間 T 6 - T 7 の時間幅 t を調整する事で最適化可能である。

10

【0028】

タイミング T 7 では制御信号 W S がローレベルとなりサンプリングトランジスタ T r 1 がオフする。この結果駆動トランジスタ T r d のゲート G は信号線 S L から切り離される。映像信号 V s i g の印加が解除されるので、駆動トランジスタ T r d のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間保持容量 C s に保持されたゲート / ソース間電圧 V g s は $(V_{sig} - V_{th})$ の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E L の逆バイアス状態は解消されるので、出力電流 I d s の流入により発光素子 E L は実際に発光を開始する。この時のドレイン電流 I d s 対ゲート電圧 V g s の関係は、先のトランジスタ特性式の V_{gs} に $V_{sig} - V_{th}$ を代入する事で、以下の式のように与えられる。

20

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2$$

上記式において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式から V_{th} の項がキャンセルされており、発光素子 E L に供給される出力電流 I d s は駆動トランジスタ T r d の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I d s は映像信号の信号電圧 V s i g によって決まる。換言すると、発光素子 E L は映像信号 V s i g に応じた輝度で発光する事になる。その際 V s i g は帰還量 ΔV で補正されている。この補正量 ΔV は丁度特性式の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I d s は実質的に映像信号 V s i g のみに依存する事になる。

30

【0029】

最後にタイミング T 8 に至ると制御信号 D S がハイレベルとなってスイッチングトランジスタ T r 4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0030】

図 4 は、発光素子 E L の電流電圧特性を示すグラフである。縦軸に電流 I o l e d をとり、横軸に電圧 V o l e d をとっている。画素回路に組み込んだ発光素子の場合、駆動トランジスタ T r d が供給するドレイン電流 I d s が I o l e d となり、駆動トランジスタのソース電位 (即ち発光素子のアノード電位) が V o l e d となる。図 4 のグラフが明らかなように、発光素子は V o l e d が負となって逆バイアス状態になると、通常のダイオードと同じくオフ状態となり、リーク電流しか流れない。しかしながら個々の発光素子の特性により、点線で示したようにリーク電流の大きなデバイスと、リーク電流が通常のレベルのデバイスとがある。

40

【0031】

参考例 1 に示した表示装置は、閾電圧補正動作や移動度補正動作を行うとき、発光素子に逆バイアスが印加されている。発光素子に逆バイアスが印加されると、前述したようにマイナス方向にリーク電流が流れる。このリーク電流が流れることで、閾電圧補正動作中や移動度補正動作中に駆動トランジスタのソース電位が変化し、補正量に誤差が生じる。図 4 に示したように、発光素子 E L のバイアス特性はばらついている。リーク特性が他の

50

通常の発光素子に比べて大きな発光素子がある。この様な発光素子を組み込んだ画素では、回路中を流れるリーク電流が相対的に大きいため、移動度補正動作や閾電圧補正動作時に駆動トランジスタ T_{rd} のソースに流れ込む電流が大きくなるため、保持容量 C_s に保持された V_{gs} に圧縮がかかり、その画素は発光輝度が下がってしまう。また発光素子 E_L を持続的に発光させると、リーク特性にも同様な変化が生じる可能性があり、これが経時的な輝度の変化（即ち焼き付き）となって現れることもある。

【0032】

また参考例1に示した表示装置の移動度補正動作では、補正時に駆動トランジスタ T_{rd} のソース電位が上昇している。補正動作を正確に行うためには、移動度補正後の駆動トランジスタのソース電位は発光素子をターンオンさせない電圧にとどまっている必要がある。このためには、カソード電位を信号電位に対して相対的に高く設定する必要がある。しかしながら、カソード電位に対して信号電位を相対的に高く設定すると、パネルの電源電圧が上昇してしまい消費電力の増大化を招く。あるいは移動度補正後の駆動トランジスタのソース電位が発光素子をターンオンさせないレベルに止まるためには、信号電位をカソード電位に対して相対的に低く設定しても良い。しかしながらこの場合駆動トランジスタのゲートに印加する入力信号電圧がマイナス電位となり、映像信号を出力するドライバのコストが上がってしまう。以上のことから明らかのように、パネルの高画質化を図り且つ消費電力の抑制及びコストの抑制を図るためにには、発光素子のリークによる発光輝度への影響を防ぐ必要がある。

10

【0033】

図5は、本発明にかかる表示装置の第1実施形態を示す回路図である。本実施形態は図2に示した第1参考例の上述した問題点に対処するものである。理解を容易にするため、図2に示した参考例1と対応する部分には対応する参照符号を付してある。異なる点は、駆動トランジスタ T_{rd} のソース S と発光素子 E_L のアノードとの間にスイッチングトランジスタ T_{r6} を介在させていることである。このスイッチングトランジスタ T_{r6} のゲートを制御するため、画素アレイ部1には追加の走査線 DS_2 が走査線 WS と平行に配されている。これに対応して周辺の駆動部にはこの走査線 DS_2 に制御信号を順次供給するため、第二ドライブスキャナ8が配されている。このスイッチングトランジスタ T_{r6} を閾電圧補正期間や移動度補正期間中オフさせることで、発光素子 E_L のリーク電流による画面ユニフォーミティの低下を抑制することが出来る。さらには駆動トランジスタ T_{rd} と発光素子 E_L を電気的に切り離すことで、発光素子 E_L 側のカソード電位と駆動トランジスタ T_{rd} 側に印加される信号電圧を互いに制約関係なしで自由に設定することが可能となり、パネルの低消費電力化やパネルシステムの低コスト化が可能になる。

20

30

【0034】

図5に示すように、本発明の第1実施形態にかかる表示装置は、基本的に画素アレイ部1とこれを駆動する駆動部とからなる。画素アレイ部1は、行状に配された走査線 WS と、列状に配された信号線 SL と、各走査線 WS と各信号線 SL が交差する部分に行列状に配された画素2とを含む。画素2は、少なくともサンプリングトランジスタ T_{r1} と、駆動トランジスタ T_{rd} と、発光素子 E_L と、保持容量 C_s とを備えている。サンプリングトランジスタ T_{r1} は、その制御端（ゲート）が走査線 WS に接続し、その一対の電流端（ソース及びドレイン）が信号線 SL と駆動トランジスタ T_{rd} の制御端（ゲートG）とに接続している。駆動トランジスタ T_{rd} は、一対の電流端（ソース及びドレイン）の一方が発光素子 E_L に接続し、他方が電源ライン V_{cc} に接続している。本実施形態の場合駆動トランジスタ T_{rd} はNチャネル型であり、ソース S が出力電流端として発光素子 E_L のアノードに出力している。保持容量 C_s は、駆動トランジスタ T_{rd} の制御端（ゲートG）と出力電流端（ソース S ）との間に接続している。なお補助容量 C_{sub} が駆動トランジスタ T_{rd} のソース S と接地ラインとの間に接続している。

40

【0035】

駆動部はライトスキャナ4を含んでおり、走査線 WS に制御信号を出力してサンプリングトランジスタ T_{r1} をオンする一方、水平セレクタ3を含んでおり信号線 SL に映像信

50

号を出力してオンしたサンプリングトランジスタ T_{r1} を介して保持容量 C_s に映像信号を書き込む。これにより駆動トランジスタ T_{rd} は、所定の発光期間に、書き込まれた映像信号の信号電圧に応じた駆動電流 I_{ds} を発光素子 E_L に供給する一方、非発光期間には発光素子 E_L に駆動電流を供給しないように動作する。

【0036】

本実施形態の特徴事項として、画素回路2は、補正手段とスイッチングトランジスタ T_{r6} とを備えている。この補正手段は別の補正用スイッチングトランジスタ T_{r2} , T_{r3} , T_{r4} などからなり、非発光期間に動作して駆動トランジスタ T_{rd} の特性のばらつきを打ち消すための補正電圧を保持容量 C_s に書き込む。スイッチングトランジスタ T_{r6} は、駆動トランジスタ T_{rd} のソースと発光素子 E_L のアノードの間に介在し、非発光期間でオフになり発光素子 E_L を駆動トランジスタ T_{rd} のソース S から切り離し、以って補正手段が動作中補正電圧の誤差要因となるリーク電流が発光素子 E_L に流れないようにしている。

10

【0037】

具体的にはこの補正手段 (T_{r2} , T_{r3} , T_{r4}) は、駆動トランジスタ T_{rd} の閾電圧 V_{th} のばらつきを打ち消すため、閾電圧 V_{th} に相当する補正電圧を保持容量 C_s に足し込む。加えてこの補正手段は、駆動トランジスタ T_{rd} の移動度 μ のばらつきを打ち消すため、移動度 μ に応じた補正電圧を保持容量 C_s に書き込まれた映像信号の信号電圧から差し引く。

20

【0038】

以上の説明から明らかなように、駆動トランジスタ T_{rd} のソース S と発光素子 E_L のアノードとは、移動度補正期間中互いに分離している。このため移動度補正動作において、駆動トランジスタ T_{rd} のソース電位が発光素子 E_L がターンオンする電圧以上に上昇しても、何ら動作上の問題は生じない。よって発光素子 E_L のカソード電圧や駆動トランジスタ T_{rd} のゲート G に印加する信号電圧は先に説明した参考例1のような条件とは無関係に自由に設定することが出来る。この結果映像信号の信号電圧範囲を正極性型として水平セレクタ3を構成するドライバのコストを下げることが出来る。またカソード電位を接地電位に設定することでパネルの消費電力を最小限にすることも可能である。

【0039】

図6を参照して図5に示した第1実施形態にかかる表示装置の動作を詳細に説明する。理解を容易にするため、参考例1の動作説明に供した図3のタイミングチャートと同様の表記を採用している。先ず当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS , $AZ1$, $AZ2$, DS がローレベルにある。したがってNチャネル型のトランジスタ T_{r1} , T_{r2} , T_{r3} はオフ状態にある一方、Pチャネル型のトランジスタ T_{r4} のみオン状態である。したがって駆動トランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E_L に供給している。したがってタイミング T_0 で発光素子 E_L は発光している。この時駆動トランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で表される。

30

【0040】

当該フィールドが始まるタイミング T_1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、駆動トランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T_1 に入ると、全てのトランジスタ T_{r1} ~ T_{r4} がオフ状態になる。

40

【0041】

次にタイミング T_{1a} になると、制御信号 DS_2 をローレベルに切換え、スイッチングトランジスタ T_{r6} をオフする。これにより非発光期間中発光素子 E_L が駆動トランジスタ T_{rd} から切り離される。なお本実施形態ではスイッチングトランジスタ T_{r4} がタイミング T_1 でオフした後スイッチングトランジスタ T_{r6} をオフしているが、逆に先にスイッチングトランジスタ T_{r6} をオフした後、スイッチングトランジスタ T_{r4} をオフし

50

ても良い。但し発光素子 E L の切り離しは、別の補正用スイッチングトランジスタ T r 2 , T r 3 がオンする前に行う必要がある。

【0042】

続いてタイミング T 2 に進むと、制御信号 A Z 1 及び A Z 2 がハイレベルになるので、スイッチングトランジスタ T r 2 及び T r 3 がオンする。この結果駆動トランジスタ T r d のゲート G が基準電位 V s s 1 に接続し、ソース S が基準電位 V s s 2 に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とすることで、その後タイミング T 3 で行われる V_{th} 補正の準備を行う。この時発光素子 E L は駆動トランジスタ T r d のソース S から既に切り離されているので、発光素子 E L を逆バイアス状態に置くような電位設定は何ら必要ない。

10

【0043】

タイミング T 3 では制御信号 A Z 2 をローレベルにし且つ直後制御信号 D S もローレベルにしている。これによりトランジスタ T r 3 がオフする一方トランジスタ T r 4 がオンする。この結果ドレン電流 I d s が保持容量 C s に流れ込み、 V_{th} 補正動作を開始する。この時駆動トランジスタ T r d のゲート G は V s s 1 に保持されており、駆動トランジスタ T r d がカットオフするまで電流 I d s が流れる。カットオフすると駆動トランジスタ T r d のソース電位 (S) は $V_{ss1} - V_{th}$ となる。ドレン電流がカットオフした後のタイミング T 4 で制御信号 D S を再びハイレベルに戻し、スイッチングトランジスタ T r 4 をオフする。さらに制御信号 A Z 1 もローレベルに戻し、スイッチングトランジスタ T r 2 もオフする。この結果、保持容量 C s に V_{th} が保持固定される。この様にタイミング T 3 ~ T 4 は駆動トランジスタ T r d の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間 T 3 ~ T 4 を V_{th} 補正期間と呼んでいる。

20

【0044】

この様に V_{th} 補正を行った後タイミング T 5 で制御信号 W S をハイレベルに切換え、サンプリングトランジスタ T r 1 をオンして映像信号 V s i g を保持容量 C s に書き込む。この時補助容量 C s u b に比べて保持容量 C s は十分に小さい。この結果、映像信号 V s i g のほとんど大部分が保持容量 C s に書き込まれる。正確には V s s 1 に対する V s i g の差分 $V_{sig} - V_{ss1}$ が保持容量 C s に書き込まれる。したがって駆動トランジスタ T r d のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} を今回サンプリングされた $V_{sig} - V_{ss1}$ に加えたレベル ($V_{sig} - V_{ss1} + V_{th}$) となる。以降説明簡略化のため $V_{ss1} = 0V$ とすると、ゲート / ソース間電圧 V_{gs} は図 6 のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号 V s i g のサンプリングは制御信号 W S がローレベルに戻るタイミング T 7 まで行われる。即ちタイミング T 5 ~ T 7 がサンプリング期間に相当する。

30

【0045】

サンプリング期間の終了するタイミング T 7 より前のタイミング T 6 で制御信号 D S がローレベルとなりスイッチングトランジスタ T r 4 がオンする。これにより駆動トランジスタ T r d が電源 V c c に接続される。この様にサンプリングトランジスタ T r 1 がまだオン状態で且つスイッチングトランジスタ T r 4 がオン状態に入った期間 T 6 ~ T 7 で、駆動トランジスタ T r d の移動度補正を行う。この時発光素子 E L は依然として駆動トランジスタ T r d のソース S から切り離されている。この移動度補正期間 T 6 ~ T 7 では、駆動トランジスタ T r d のゲート G が映像信号 V s i g のレベルに固定された状態で、駆動トランジスタ T r d にドレン電流 I d s が流れる。駆動トランジスタ T r d に流れる電流 I d s は、保持容量 C s と補助容量 C s u b の両者を結合した容量 $C = C_s + C_{sub}$ に書き込まれていく。これにより駆動トランジスタ T r d のソース電位は上昇していく。この上昇分 V は結局保持容量 C s に保持されたゲート / ソース間電圧 V_{gs} から差し引かれることになるので、負帰還をかけたことになる。この様に駆動トランジスタ T r d の出力電流 I d s を同じく駆動トランジスタ T r d の入力電圧 V_{gs} に負帰還することで、移動度 μ を補正することが可能である。

40

【0046】

50

タイミング T 7 では制御信号 W S がローレベルとなりサンプリングトランジスタ T r 1 がオフする。この結果駆動トランジスタ T r d のゲート G は信号線 S L から切り離される。映像信号 V s i g の印加が解除されるので、駆動トランジスタ T r d のゲート電位は上昇可能となり、ソース電位と共に上昇していく。本実施形態の場合駆動トランジスタ T r d のソース S は発光素子 E L から切り離されているので、ソース電位はほぼ電源電位 V c c まで上昇する。これに応じて駆動トランジスタ T r d のゲート電位も上昇する。その間保持容量 C s に保持されたゲート / ソース間電圧 V g s は (V s i g - V + V t h) の値を維持する。

【 0 0 4 7 】

続いてタイミング T 7 a で制御信号 D S 2 がハイレベルとなり、スイッチングトランジスタ T r 6 がオンして、駆動トランジスタ T r d と発光素子 E L が電気的に接続する。これにより発光素子 E L には駆動トランジスタ T r d から駆動電流 I d s が流れ込み発光する。この時駆動トランジスタ T r d のソース電位（即ち発光素子 E L のアノード電位）は両者の動作点で決まるレベルまで下がり安定する。以後発光期間中この安定したレベルを維持する。

【 0 0 4 8 】

最後にタイミング T 8 に至ると制御信号 D S がハイレベルとなってスイッチングトランジスタ T r 4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V t h 補正動作、移動度補正動作及び発光動作が繰り返されることになる。

【 0 0 4 9 】

図 7 は、表示装置の第 2 参考例を示す回路図である。この第 2 参考例は、4 個のトランジスタと 1 個の保持容量と 1 個の発光素子とで構成されている。図 2 に示した第 1 参考例に比べ、トランジスタの数が 5 個から 4 個に減っている。画素回路 2 の中心となる駆動トランジスタ T r d はそのゲート G が保持容量 C s の一端に接続され、そのソース S が同じく保持容量 C s の他端に接続されている。駆動トランジスタ T r d のドレインは第 1 のスイッチングトランジスタ T r 4 を介して電源 V c c に接続されている。このスイッチングトランジスタ T r 4 のゲートは走査線 D S に接続している。発光素子 E L のアノードは駆動トランジスタ T r d のソース S に接続し、カソードは接地されている。この接地電位は V c a t h で表される場合がある。また駆動トランジスタ T r d のソース S と所定の基準電位 V s s との間に第 2 のスイッチングトランジスタ T r 3 が介在している。このトランジスタ T r 3 のゲートは走査線 A Z に接続している。一方サンプリングトランジスタ T r 1 は信号線 S L と駆動トランジスタ T r d のゲート G との間に接続されている。サンプリングトランジスタ T r 1 のゲートは走査線 W S に接続している。

【 0 0 5 0 】

かかる構成において、サンプリングトランジスタ T r 1 は、走査線 W S に割り当てられた水平走査期間 (1 H) に走査線 W S から供給される制御信号 W S に応じ導通して信号線 S L から供給された映像信号 V s i g を保持容量 C s にサンプリングする。保持容量 C s は、サンプリングされた映像信号 V s i g に応じて駆動トランジスタ T r d のゲート G に入力電圧 V g s を印加する。駆動トランジスタ T r d は、所定の発光期間中入力電圧 V g s に応じた出力電流 I d s を発光素子 E L に供給する。この出力電流 I d s は駆動トランジスタ T r d のチャネル領域の閾電圧 V t h に対して依存性を有する。発光素子 E L は、駆動トランジスタ T r d から供給された出力電流 I d s により映像信号 V s i g に応じた輝度で発光する。

【 0 0 5 1 】

画素回路 2 は第 1 のスイッチングトランジスタ T r 3 と第 2 のスイッチングトランジスタ T r 4 とで構成される補正手段を備えている。この補正手段は出力電流 I d s の閾電圧 V t h に対する依存性を打ち消すために、水平走査期間 (1 H) の一部で動作し、駆動トランジスタ T r d の閾電圧 V t h を検出して保持容量 C s に書き込んでおく。この補正手段は、水平走査期間 (1 H) にサンプリングトランジスタ T r 1 が導通して保持容量 C s

10

20

30

40

50

の一端が信号線 S_L により一定電位 V_ss0 に保持された状態で動作し、保持容量 C_s の他端から一定電位 V_ss0 に対する電位差が閾電圧 V_th になるまで保持容量 C_s を充電する。この補正手段は、水平走査期間 (1H) の前半で駆動トランジスタ Trd の閾電圧 V_th を検出して保持容量 C_s に書き込む一方、サンプリングトランジスタ Tr1 は水平走査期間 (1H) の後半で信号線 S_L から供給される映像信号 V_sig を保持容量 C_s にサンプリングする。保持容量 C_s は、サンプリングされた映像信号 V_sig に予め書き込まれた閾電圧 V_th を足し込んだ入力電圧 V_gs を駆動トランジスタ Trd のゲート G とソース S 間に印加し、以って出力電流 Ids の閾電圧 V_th に対する依存性を打ち消す。この補正手段は、水平走査期間 (1H) よりも前に導通して保持容量 C_s の両端の電位差が閾電圧 V_th を越える様に設定 (リセット) する第 1 のスイッチングトランジスタ Tr3 と、水平走査期間 (1H) に導通して、保持容量 C_s の両端の電位差が閾電圧 V_th になるまで保持容量 C_s を充電する第 2 のスイッチングトランジスタ Tr4 とを含む。サンプリングトランジスタ Tr1 は、水平走査期間 (1H) 内で信号線 S_L が映像信号 V_sig の電位になる信号供給期間に、信号線 S_L から供給された映像信号 V_sig を保持容量 C_s にサンプリングする一方、補正手段は水平走査期間 (1H) 内で信号線 S_L が一定電位 V_ss0 になる信号固定期間に、駆動トランジスタ Trd の閾電圧 V_th を検出して保持容量 C_s に書き込む。

10

【0052】

本参考例では、駆動トランジスタ Trd は、その出力電流 Ids がチャネル領域の閾電圧 V_th に加えキャリア移動度 μ に対しても依存性を有する。これに対処するため、本補正手段は、出力電流 Ids のキャリア移動度 μ に対する依存性を打ち消すべく水平走査期間 (1H) の一部で動作し、映像信号 V_sig がサンプリングされている状態で駆動トランジスタ Trd から出力電流 Ids を取り出し、これを保持容量 C_s に負帰還して入力電圧 V_gs を補正する。

20

【0053】

図 8 は、図 7 に示した第 2 参考例の動作説明に供するタイミングチャートである。図 8 は、時間軸 T に沿って各走査線 WS, AZ 及び DS に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号 V_sig の波形も時間軸 T に沿って示してある。図示する様に、この映像信号 V_sig は各水平走査期間 H の前半で一定電位 V_ss0 となり後半で信号電位となる。トランジスタ Tr1 及び Tr3 は N チャネル型なので、走査線 WS, AZ がそれぞれハイレベルのときオンし、ローレベルのときオフする。一方トランジスタ Tr4 は P チャネル型なので、走査線 DS がハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号 WS, AZ, DS の波形や映像信号 V_sig の波形と共に、駆動トランジスタ Trd のゲート G の電位変化及びソース S の電位変化も表してある。

30

【0054】

図 8 のタイミングチャートではタイミング T1 ~ T8 までを 1 フィールド (1f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、一行分の画素に印加される各制御信号 WS, AZ, DS の波形を表してある。

40

【0055】

当該フィールドが始まる前のタイミング T0 で、全ての制御信号 WS, AZ, DS がローレベルにある。したがって N チャネル型のトランジスタ Tr1 及び Tr3 はオフ状態にある一方、P チャネル型のトランジスタ Tr4 のみオン状態である。したがって駆動トランジスタ Trd はオン状態のトランジスタ Tr4 を介して電源 Vcc に接続しているので、所定の入力電圧 V_gs に応じて出力電流 Ids を発光素子 EL に供給している。したがってタイミング T0 で発光素子 EL は発光している。このとき駆動トランジスタ Trd に印加される入力電圧 V_gs は、ゲート電位と (G) ソース電位 (S) の差で表される。

【0056】

当該フィールドが始まるタイミング T1 で、制御信号 DS がローレベルからハイレベル

50

に切換る。これによりトランジスタ T_r4 がオフし、駆動トランジスタ T_rd は電源 V_c から切り離されるので、発光が停止し非発光期間に入る。タイミング T₁ に入ると、全てのトランジスタ T_r1, T_r3, T_r4 がオフ状態になる。

【0057】

続いてタイミング T₂ になると制御信号 A_Z がローレベルからハイレベルに立ち上がり、スイッチングトランジスタ T_r3 がオンになる。これにより、保持容量 C_s の他端及び駆動トランジスタ T_rd のソース S に基準電位 V_{ss} を書き込む。このとき駆動トランジスタ T_rd のゲート電位はハイインピーダンスなので、ソース電位 (S) の降下に追随してゲート電位 (G) も低下する。

【0058】

この後制御信号 A_Z がローレベルに戻ってスイッチングトランジスタ T_r3 がオフした後、タイミング T_a で制御信号 W_S がハイレベルになり、サンプリングトランジスタ T_r1 が導通する。このとき、信号線に現れる電位は、所定の一定電位 V_{ss0} に設定されている。ここで V_{ss0} - V_{ss} > V_{th} を満たすように V_{ss0} 及び V_{ss} が設定されている。V_{ss0} - V_{ss} は駆動トランジスタ T_rd の入力電圧 V_{gs} となっている。ここでは V_{gs} > V_{th} とすることで、その後の V_{th} 補正動作の準備を行っている。換言するとタイミング T_a で保持容量 C_s の両端は V_{gs} を越える電圧に設定され、V_{th} 補正動作に先立って保持容量 C_s にリセットがかけられる。また発光素子 E_L の閾電圧を V_{th} E_L とすると、V_{th} E_L > V_{ss} と設定することで、発光素子 E_L に逆バイアスを印加する。これは、その後の V_{th} 補正動作を正常に行うために必要である。

10

【0059】

続いてタイミング T₃ で制御信号 D_S をローレベルに切換え、スイッチングトランジスタ T_r4 をオンして、V_{th} 補正を実行する。このとき信号線の電位は V_{th} 補正を正確に行うため、依然として一定電位 V_{ss0} に保持されている。スイッチングトランジスタ T_r4 がオンすることで、駆動トランジスタ T_rd が電源 V_{cc} に接続され、出力電流 I_{ds} が流れる。これに伴い保持容量 C_s は充電されていく、その他端に接続されたソース電位 (S) が上昇していく。一方保持容量 C_s の一端の電位 (ゲート電位 G) は V_{ss0} に固定されている。したがって保持容量 C_s の充電に伴いソース電位 (S) が上昇して行き、入力電圧 V_{gs} が丁度 V_{th} に達したところで駆動トランジスタ T_rd がカットオフする。駆動トランジスタ T_rd がカットオフすると、そのソース電位 (S) はタイミングチャートに示したように V_{ss0} - V_{th} になる。

20

【0060】

この後タイミング T₄ で制御信号 D_S をハイレベルに戻し、スイッチングトランジスタ T_r4 をオフすることで V_{th} 補正動作は終了する。この補正動作により、保持容量 C_s に閾電圧 V_{th} 相当の電圧が書き込まれる。

30

【0061】

この様にタイミング T₃ ~ T₄ で V_{th} 補正を行った後、1 水平走査期間 (1H) の半分が経過し、信号線の電位が V_{ss0} から V_{sig} に変化する。これにより映像信号 V_{sig} が保持容量 C_s に書き込まれる。発光素子 E_L の等価容量 C_{ole} に比べて保持容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が保持容量 C_s に書き込まれる。したがって駆動トランジスタ T_rd のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた V_{sig} を加えたレベル (V_{sig} + V_{th}) となる。ゲート / ソース 間電圧 V_{gs} は図 8 のタイミングチャートに示すように V_{sig} + V_{th} となる。かかる映像信号 V_{sig} のサンプリングは制御信号 W_S がローレベルに戻るタイミング T₇ まで行われる。即ちタイミング T₅ ~ T₇ がサンプリング期間に相当する。

40

【0062】

この様に本参考例では、V_{th} 補正期間 T₃ ~ T₄ とサンプリング期間 T₅ ~ T₇ が、1 水平走査期間 (1H) に含まれる。1H の間、サンプリング用の制御信号 W_S はハイレベルにある。本参考例ではサンプリングトランジスタ T_r1 がオンした状態で V_{th} 補正

50

及び V_{sig} 書き込みを行っている。これにより画素回路 2 の構成を簡素化している。

【0063】

本参考例では、上述した V_{th} 補正に加え移動度 μ の補正も同時に行っている。但し本発明はこれに限られるものではなく、移動度 μ 補正を行わない単純な V_{th} 補正動作のみの画素回路にも適用可能であることは言うまでもない。また本参考例の画素回路 2 は、駆動トランジスタ T_{rd} 以外のトランジスタは N チャネル型と P チャネル型が混在しているが、本発明はこれに限られるものではなく N チャネル型トランジスタのみまたは P チャネル型トランジスタのみで構成することも可能である。

【0064】

移動度 μ の補正是タイミング T_6 ~ T_7 で行われる。以下この点につき詳細に説明する。サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 D_S がローレベルとなりスイッチングトランジスタ T_{r4} がオンする。これにより駆動トランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_{r1} がまだオン状態で且つスイッチングトランジスタ T_{r4} がオン状態に入った期間 T_6 ~ T_7 で、駆動トランジスタ T_{rd} の移動度補正を行う。即ち本参考例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 T_6 ~ T_7 で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 E_L は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 T_6 ~ T_7 では、駆動トランジスタ T_{rd} のゲート G が映像信号 V_{sig} のレベルに固定された状態で、駆動トランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで $V_{ss0} - V_{th} < V_{th} E_L$ と設定しておく事で、発光素子 E_L は逆バイアス状態における為、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ T_{rd} に流れる電流 I_{ds} は保持容量 C_s と発光素子 E_L の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これにより駆動トランジスタ T_{rd} のソース電位 (S) は上昇していく。図 8 のタイミングチャートではこの上昇分を V で表してある。この上昇分 V は結局保持容量 C_s に保持されたゲート / ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様に駆動トランジスタ T_{rd} の出力電流 I_{ds} を同じく駆動トランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 T_6 ~ T_7 の時間幅 t を調整する事で最適化可能である。

【0065】

タイミング T_7 では制御信号 W_S がローレベルとなりサンプリングトランジスタ T_{r1} がオフする。この結果駆動トランジスタ T_{rd} のゲート G は信号線 S_L から切り離される。映像信号 V_{sig} の印加が解除されるので、駆動トランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間保持容量 C_s に保持されたゲート / ソース間電圧 V_{gs} は ($V_{sig} - V + V_{th}$) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2$$

上記式において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} は駆動トランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0066】

最後にタイミング T_8 に至ると制御信号 D_S がハイレベルとなってスイッチングトラン

10

20

30

40

50

ジスタ T_{r4} がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0067】

図9は、本発明にかかる表示装置の第2実施形態を示す回路図である。基本的には図7に示した第2参考例と同様であり、対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタ T_{rd} のソース S と発光素子 EL のアノードとの間にスイッチングトランジスタ T_{r6} を接続したことである。また発光素子 EL の等価容量 C_{ole} に代えて補助容量 C_{sub} を駆動トランジスタ T_{rd} のソース S と接地ラインとの間に挿入してある。またスイッチングトランジスタ T_{r6} のゲートを駆動するため画素アレイ部1は追加の走査線 DS_2 を備えている。この走査線 DS_2 は駆動部側の第二ドライブスキャナ8によって線順次走査される。

10

【0068】

図10は、図9に示した第2実施形態の動作説明に供するタイミングチャートである。理解を容易にするため、図8に示したタイミングチャートと同じ表記を採用している。図示するように、タイミング T_1 でスイッチングトランジスタ T_{r4} をオフして画素2を発光状態から非発光状態にする。その後タイミング T_{1a} で走査線 DS_2 をローレベルに切換える、スイッチングトランジスタ T_{r6} をオフする。これにより発光素子 EL は駆動トランジスタ T_{rd} から切り離される。その後タイミング $T_2 \sim T_3$ まで所定の準備動作を行い、タイミング T_3 からタイミング T_4 まで闘電圧補正動作を行う。さらにタイミング $T_5 \sim T_7$ まで保持容量 C_s に映像信号を書き込む。その際タイミング $T_6 \sim T_7$ まで移動度補正を行う。これらの動作中、発光素子 LE は駆動トランジスタ T_{rd} から切り離されており、発光素子 EL のリーク電流によって影響を受けることがない。

20

【0069】

タイミング T_7 で全ての補正動作が完了した後、タイミング T_{7a} で制御信号 DS_2 をハイレベルに戻し、スイッチングトランジスタ T_{r6} をオンする。これにより駆動トランジスタ T_{rd} と発光素子 EL が接続し、駆動電流 I_{ds} が発光素子 LE に流れ、発光を開始する。これにより駆動トランジスタ T_{rd} と発光素子 EL の動作点となるソース S の電位は電源電位 V_{cc} から低下し安定したレベルに達する。これと連動して駆動トランジスタ T_{rd} のゲート G の電位も安定レベルに至る。

30

【0070】

図11は、第3参考例にかかる表示装置を示す回路図である。この第3参考例は、画素回路2が3個のトランジスタと1個の発光素子と1個の保持容量とで構成されている。第2参考例と比べるとさらにトランジスタの数が1個減っている。この画素回路2は、サンプリングトランジスタ T_{r1} と、これに接続する保持容量 C_s と、これに接続する駆動トランジスタ T_{rd} と、これに接続する発光素子 EL と、駆動トランジスタ T_{rd} を電源 V_{cc} に接続するスイッチングトランジスタ T_{r4} を含む。

【0071】

サンプリングトランジスタ T_{r1} は、第1走査線 WS から供給される制御信号 WS に応じ導通して信号線 SL から供給された映像信号の信号電位 V_{sig} を保持容量 C_s にサンプリングする。保持容量 C_s は、サンプリングされた映像信号の信号電位 V_{sig} に応じて駆動トランジスタ T_{rd} のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 EL に供給する。なおこの出力電流 I_{ds} は、駆動トランジスタ T_{rd} の闘電圧 V_{th} に対して依存性を有する。発光素子 EL は、発光期間中駆動トランジスタ T_{rd} から供給された出力電流 I_{ds} により映像信号の信号電位 V_{sig} に応じた輝度で発光する。スイッチングトランジスタ T_{r4} は、第2走査線 DS から供給される制御信号 DS に応じ導通して発光期間中駆動トランジスタ T_{rd} を電源 V_{cc} に接続し、非発光期間では非導通状態になって駆動トランジスタ T_{rd} を電源 V_{cc} から切り離す。

40

【0072】

50

ライツスキヤナ4及びドライブスキヤナ5で構成されるスキヤナ部は、水平走査期間(1H)に第1走査線WS及び第2走査線DSにそれぞれ制御信号WS, DSを出力し、サンプリングトランジスタTr1及びスイッチングトランジスタTr4をオンオフ制御して、出力電流Idsの閾電圧Vthに対する依存性を補正するために保持容量Csをリセットする準備動作、リセットされた保持容量Csに閾電圧Vthをキャンセルするための電圧を書き込む補正動作、及び補正された保持容量Csに映像信号Vsigの信号電位をサンプリングするサンプリング動作を実行する。一方水平セレクタ(ドライバIC)3で構成された信号部は、水平走査期間(1H)に映像信号を第1の固定電位VSSHと、第2の固定電位VSSLと、信号電位Vsigとの間で切換え、以って上述した準備動作、補正動作及びサンプリング動作に必要な電位を各画素に信号線SLを介して供給する。

10

【0073】

具体的には水平セレクタ3は、まず高レベルの第1固定電位VSSHを供給し続いて低レベルの第2固定電位VSSLに切換えて準備動作を可能とし、さらに低レベルの第2固定電位VSSLを維持した状態で補正動作を実行し、その後信号電位Vsigに切換えてサンプリング動作を実行する。上述したように水平セレクタ3はドライバICで構成され、信号電位Vsigを生成する信号生成回路と、信号生成回路から出力された信号電位Vsigに第1固定電位VSSH及び第2固定電位VSSLを挿入し、以って第1固定電位VSSHと第2固定電位VSSLと信号電位Vsigとが切換る映像信号を合成して各信号線SLに出力する出力回路とを含む。

20

【0074】

駆動トランジスタTrdは、その出力電流Idsが閾電圧Vthに加えチャネル領域のキャリア移動度μに対しても依存性を有する。この場合ライツスキヤナ4とドライブスキヤナ5で構成されるスキヤナ部は、水平走査期間(1H)に第2走査線DSに制御信号を出力してさらにスイッチングトランジスタTr4を制御し、出力電流Idsのキャリア移動度μに対する依存性を打ち消すために、信号電位Vsigがサンプリングされている状態で駆動トランジスタTrdから出力電流を取り出し、これを保持容量Csに負帰還して入力電圧Vgsを補正する動作を実行する。

【0075】

図12は、図11に示した第3参考例の動作説明に供するタイミングチャートである。図12を参照して図11に示した画素回路の動作を説明する。図12は、時間軸Tに沿って各走査線WS, DSに印加される制御信号の波形を表してある。表記を簡略するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号の波形も時間軸Tに沿って示してある。図示する様に、この映像信号は各水平走査期間(1H)内で、高電位VSSH、低電位VSSL、信号電位Vsigと順に切換る。トランジスタTr1はNチャネル型なので、走査線WSがハイレベルのときオンし、ローレベルのときオフする。一方トランジスタTr4はPチャネル型なので、走査線DSがハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号WS, DSの波形や映像信号の波形と共に、駆動トランジスタTrdのゲートGの電位変化及びソースSの電位変化も表してある。

30

【0076】

図12のタイミングチャートではタイミングT1～T8までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号WS, DSの波形を表してある。

40

【0077】

初めにタイミングT1で、スイッチングトランジスタTr4をオフして非発光とする。この時、駆動トランジスタTrdのソース電位はVccからの電源供給が無いので、発光素子ELのカットオフ電圧VthELまで下げられる。

【0078】

次にタイミングT2で、サンプリングトランジスタTr1をオンする。ただしこの前に、信号線電圧をVSSHまで上げておく方が、書き込み時間を短くできるので好ましい。

50

サンプリングトランジスタ T_{r1}をオンする事で駆動トランジスタ T_{r d}のゲート電位は V_{ssH}が書き込まれる。この時、保持容量 C_sを介してソース電位にカップリングが入り、ソース電位は上昇する。ソース S の電位は一度上昇するが、発光素子 E_Lを介して放電されるので、再度ソース電圧は V_{thEL}になる。この時、ゲート電圧は V_{ssH}のままである。

【0079】

次にタイミング T_aで、サンプリングトランジスタ T_{r1}をオンしたまま、信号電圧を V_{ssL}に変化させる。この電位変化が保持容量 C_sを介してソース電位にカップリングされる。この時のカップリング量は、 $C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ にて求められる。この時、ゲート電位は V_{ssL}、ソース電位は $V_{thEL} - C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ で表される。ここでマイナスバイアスを入れた為に、ソース電圧は V_{thEL}よりも小さくなり、発光素子 E_Lはカットオフする。ここでソース電位は、この後の V_{th}補正や移動度補正終了後も発光素子 E_Lがカットオフし続ける電位に設定することが望ましい。また、この $V_{gs} > V_{th}$ となるようにカップリングを入れることで、 V_{th}補正の準備を行うことができる。以上により、トランジスタや電源ライン、ゲートラインを削減した回路においても V_{th}補正準備を行うことができる。即ちタイミング T₂～T_aは補正準備期間に含まれる。

10

【0080】

この後、タイミング T₃でゲート G を V_{ssL}に保持した状態のままスイッチングトランジスタ T_{r4}をオンすると、駆動トランジスタ T_{r d}に電流が流れ、参考例と同様に V_{th}補正が行われる。駆動トランジスタ T_{r d}がカットオフするまで電流が流れ、カットオフすると駆動トランジスタ T_{r d}のソース電位は V_{ssL} - V_{th}となる。ここで、 $V_{ssL} - V_{th} < V_{thEL}$ とする必要がある。

20

【0081】

この後タイミング T₄で、スイッチングトランジスタ T_{r4}をオフして V_{th}補正是終了する。即ち、タイミング T₃～T₄は V_{th}補正期間である。

20

【0082】

この様にタイミング T₃～T₄で V_{th}補正を行った後、タイミング T₅に至って信号線の電位が V_{ssL}から V_{sig}に変化する。これにより映像信号の信号電位 V_{sig}が保持容量 C_sに書き込まれる。発光素子 E_Lの等価容量 C_{oled}に比べて保持容量 C_sは十分に小さい。この結果、信号電位 V_{sig}のほとんど大部分が保持容量 C_sに書き込まれる。したがって駆動トランジスタ T_{r d}のゲート G とソース S 間の電圧 V_{gs}は、先に検出保持された V_{th}と今回サンプリングされた V_{sig}を加えたレベル (V_{sig} + V_{th}) となる。即ち駆動トランジスタ T_{r d}に対する入力電圧 V_{gs}は V_{sig} + V_{th} となる。かかる信号電圧 V_{sig}のサンプリングは制御信号 W_Sがローレベルに戻るタイミング T₇まで行われる。即ちタイミング T₅～T₇がサンプリング期間に相当する。

30

【0083】

本参考例にかかる画素回路は、上述した閾電圧 V_{th}の補正に加え、移動度 μ の補正も行っている。移動度 μ の補正是タイミング T₆～T₇で行われる。タイミングチャートに示すように、補正量 V が入力電圧 V_{gs}から差し引かれる。

40

【0084】

タイミング T₇になると、制御信号 W_Sがローレベルとなりサンプリングトランジスタ T_{r1}がオフする。この結果駆動トランジスタ T_{r d}のゲート G は信号線 S_Lから切り離される。映像信号 V_{sig}の印加が解除されるので、駆動トランジスタ T_{r d}のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間保持容量 C_sに保持されたゲート / ソース間電圧 V_{gs}は (V_{sig} - V + V_{th}) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_Lの逆バイアス状態は解消されるので、出力電流 I_{ds}の流入により発光素子 E_Lは実際に発光を開始する。

【0085】

最後にタイミング T₈に至ると制御信号 D_Sがハイレベルとなってスイッチングトラン

50

ジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び補正準備動作、Vth補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0086】

図13は、本発明にかかる表示装置の第3実施形態を示す回路図である。基本的には図11に示した第3参考例と同様であり、対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタTrdと発光素子ELの間に追加のスイッチングトランジスタTr6を介在させたことである。また発光素子ELの等価容量C01edに代えて補助容量Csubが駆動トランジスタTrdのソースSと接地ラインとの間に接続されている。スイッチングトランジスタTr6のゲートをオンオフ制御するために追加の走査線DS2が配されている。この走査線DS2は駆動部側に追加された第二ドライブスキャナ8によって線順次走査される。

10

【0087】

図14は、図13に示した第3実施形態の動作説明に供するタイミングチャートである。基本的には図12に示したタイミングチャートと同様であり、対応する部分には対応する表記を採用している。図示するように、タイミングT1でスイッチングトランジスタTr4をオフして非発光期間に入った後、タイミングT1aでスイッチングトランジスタTr6をオフし、発光素子ELを駆動トランジスタTrdから切り離す。なおスイッチングトランジスタTr4とTr6をオフする順番は逆にしても良い。この後順に閾電圧補正動作、映像信号サンプリング動作及び移動度補正動作を行った後、タイミングT7でサンプリングトランジスタTr1をオフし、駆動トランジスタTrdのゲートGを信号線SLから切り離す。これにより発光に必要な全ての準備動作、補正動作及びサンプリング動作が完了する。この間スイッチングトランジスタTr6はオフ状態に保たれており、発光素子ELは駆動トランジスタTrdのソースSから切り離されている。したがって発光素子ELのリーク特性が上述した各動作に悪影響を与えることがない。

20

【0088】

この後タイミングT7aでスイッチングトランジスタTr6がオン状態に復帰し、駆動トランジスタTrdと発光素子ELが電気的につながる。これにより駆動電流Idsが電源Vccから発光素子ELを通ってカソードに流れ込み、発光状態に移行する。この過程で電源電位Vccにあった駆動トランジスタTrdのソースSの電位は発光素子ELとの動作点まで降下して安定する。

30

【0089】

図15は、第4参考例にかかる表示装置を示す回路図である。この第4参考例は2個のトランジスタと1個の発光素子と1個の保持容量とで構成されている。第3参考例に比べると、さらにトランジスタの素子数が1個減っている。図示するように、この画素2は有機ELデバイスなどで代表される発光素子ELと、サンプリングトランジスタTr1と、駆動トランジスタTrdと、保持容量Csとを含む。サンプリングトランジスタTr1は、その制御端(ゲート)が対応する走査線WSに接続し、一対の電流端(ソース及びドレイン)の一方が対応する信号線SLに接続し、他方が駆動トランジスタTrdの制御端(ゲートG)に接続する。駆動トランジスタTrdは、一対の電流端(ソースS及びドレイン)の一方が発光素子ELに接続し、他方が対応する給電線VLに接続している。本例では、駆動トランジスタTrdがNチャネル型であり、そのドレインが給電線VLに接続する一方、ソースSが出力ノードとして発光素子ELのアノードに接続している。発光素子ELのカソードは所定のカソード電位Vcathに接続している。保持容量Csは駆動トランジスタTrdのソースSとゲートGの間に接続している。

40

【0090】

かかる構成において、サンプリングトランジスタTr1は走査線WSから供給された制御信号に応じて導通し、信号線SLから供給された信号電位をサンプリングして保持容量Csに保持する。駆動トランジスタTrdは、第1電位(高電位Vcc)にある給電線VLから電流の供給を受け保持容量Csに保持された信号電位に応じて駆動電流を発光素子

50

ELに流す。ライトスキャナ4は、信号線SLが信号電位にある時間帯にサンプリングトランジスタTr1を導通状態にするため、所定のパルス幅の制御信号を制御線WSに出力し、以って保持容量Csに信号電位を保持すると同時に駆動トランジスタTrdの移動度μに対する補正を信号電位に加える。この後駆動トランジスタTrdは保持容量Csに書き込まれた信号電位Vsigに応じた駆動電流を発光素子ELに供給し、発光動作に入る。

【0091】

本画素回路2は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ6は、サンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第1タイミングで給電線VLを第1電位(高電位Vcc)から第2電位(低電位Vss)に切換える。またライトスキャナ4は同じくサンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第2タイミングでサンプリングトランジスタTr1を導通させて信号線SLから基準電位Vrefを駆動トランジスタTrdのゲートGに印加すると共に駆動トランジスタTrdのソースSを第2電位(Vss)にセットする。電源スキャナ6は第2タイミングの後の第3タイミングで給電線VLを第2電位Vssから第1電位Vccに切換えて、駆動トランジスタTrdの閾電圧Vthに相当する電圧を保持容量Csに保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつく駆動トランジスタTrdの閾電圧Vthの影響をキャンセルすることができる。

【0092】

本画素回路2は、さらにブートストラップ機能も備えている。即ちライトスキャナ4は保持容量Csに信号電位Vsigが保持された段階で走査線WSに対する制御信号の印加を解除し、サンプリングトランジスタTr1を非導通状態にして駆動トランジスタTrdのゲートGを信号線SLから電気的に切り離し、以って駆動トランジスタTrdのソースSの電位変動にゲートGの電位が連動し、ゲートGとソースS間の電圧Vgsを一定に維持することができる。

【0093】

図16は、図15に示した第4参考例の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線WSの電位変化、給電線VLの電位変化及び信号線SLの電位変化を表している。またこれらの電位変化と並行に、駆動トランジスタのゲートG及びソースSの電位変化も表してある。前述したように走査線WSには、サンプリングトランジスタTr1をオンするための制御信号パルスが印加される。この制御信号パルスは画素アレイ部の線順次走査に合わせて1フィールド(1f)周期で走査線WSに印加される。電源線VLは同じように1フィールド周期で高電位Vccと低電位Vssとの間で切換る。信号線SLには1水平周期(1H)内で信号電位Vsigと基準電位Vrefが切換る映像信号を供給している。

【0094】

図16のタイミングチャートに示すように、画素は前のフィールドの発光期間から当該フィールドの非発光期間に入り、そのあと当該フィールドの発光期間となる。この非発光期間で準備動作、閾電圧補正動作、信号書き込み動作、移動度補正動作などを行う。

【0095】

前フィールドの発光期間では、給電線VLが高電位Vccにあり、駆動トランジスタTrdが駆動電流Idを発光素子ELに供給している。駆動電流Idは高電位Vccにある給電線VLから駆動トランジスタTrdを介して発光素子ELを通り、カソードラインに流れ込んでいる。

【0096】

続いて当該フィールドの非発光期間に入るとまずタイミングT1で給電線VLを高電位Vccから低電位Vssに切換える。これにより給電線VLはVssまで放電され、さらに駆動トランジスタTrdのソースSの電位はVssまで下降する。これにより発光素子ELのアノード電位(即ち駆動トランジスタTrdのソース電位)は逆バイアス状態となるため、駆動電流が流れなくなり消灯する。また駆動トランジスタのソースSの電位降下

10

20

30

40

50

に連動してゲートGの電位も降下する。

【0097】

続いてタイミングT2になると、走査線WSを低レベルから高レベルに切換えることで、サンプリングトランジスタTr1が導通状態になる。この時信号線SLは基準電位Vrefにある。よって駆動トランジスタTrdのゲートGの電位は導通したサンプリングトランジスタTr1を通じて信号線SLの基準電位Vrefとなる。この時駆動トランジスタTrdのソースSの電位はVrefよりも十分低い電位Vssにある。この様にして駆動トランジスタTrdのゲートGとソースSとの間の電圧Vgsが駆動トランジスタTrdの閾電圧Vthより大きくなるように、初期化される。タイミングT1からタイミングT3までの期間T1-T3は駆動トランジスタTrdのゲートG/ソースS間電圧Vgsを予めVth以上に設定する準備期間である。

10

【0098】

この後タイミングT3になると、給電線VLが低電位Vssから高電位Vccに遷移し、駆動トランジスタTrdのソースSの電位が上昇を開始する。やがてドリライブトランジスタTrdのゲートG/ソースS間電圧Vgsが閾電圧Vthとなつた所で電流がカットオフする。この様にして駆動トランジスタTrdの閾電圧Vthに相当する電圧が保持容量Csに書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら保持容量Cs側に流れ、発光素子ELには流れないようにするため、発光素子ELがカットオフとなるようにカソード電位Vcathを設定しておく。この閾電圧補正動作はタイミングT4で信号線SLの電位がVrefからVsigに切換るまでの間に完了する。タイミングT3からタイミングT4までの期間T3-T4が移動度補正期間となる。

20

【0099】

タイミングT4では信号線SLが基準電位Vrefから信号電位Vsigに切換る。この時サンプリングトランジスタTr1は引き続き導通状態にある。よって駆動トランジスタTrdのゲートGの電位は信号電位Vsigになる。ここで発光素子ELは始めカットオフ状態（ハイインピーダンス状態）にあるため駆動トランジスタTrdのドレインとソースの間に流れる電流はもっぱら保持容量Csと発光素子ELの等価容量に流れ込み、充電を開始する。この後サンプリングトランジスタTr1がオフするタイミングT5までに、駆動トランジスタTrdのソースSの電位はVだけ上昇する。この様にして映像信号の信号電位VsigがVthに足し込まれる形で保持容量Csに書き込まれると共に移動度補正用の電圧Vが保持容量Csに保持された電圧から差し引かれる。よってタイミングT4からタイミングT5までの期間T4-T5が信号書き込み期間/移動度補正期間となる。この様に信号書き込み期間T4-T5では信号電位Vsigの書き込みと補正量Vの調整が同時に行われる。Vsigが高いほど駆動トランジスタTrdが供給する電流IdSは大きくなり、Vの絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行われる。Vsigを一定とした場合、駆動トランジスタTrdの移動度μが大きいほどVの絶対値が大きくなる。換言すると移動度μが大きいほど保持容量Csに対する負帰還量Vが大きくなるので、画素毎の移動度μのばらつきを取り除くことができる。

30

【0100】

最後にタイミングT5になると、前述したように走査線WSが低レベル側に遷移し、サンプリングトランジスタTr1はオフ状態となる。これにより駆動トランジスタTrdのゲートGは信号線SLから切り離される。同時にドレイン電流IdSが発光素子ELを流れ始める。これにより発光素子ELのアノード電位は駆動電流IdSに応じて上昇する。発光素子ELのアノード電位の上昇は、即ち駆動トランジスタTrdのソースSの電位上昇に他ならない。駆動トランジスタTrdのソースSの電位が上昇すると、保持容量Csのブートストラップ動作により駆動トランジスタTrdのゲートGの電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中駆動トランジスタTrdのゲートG/ソースS間電圧Vgsは一定に保持される。このVgsの値は信号電位Vsigに閾電圧Vth及び移動量μの補正をかけたものとなっている。

40

50

【0101】

図17は、本発明にかかる表示装置の第4実施形態を示す回路図である。基本的には図15に示した第4参考例と同様であり、対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタTrdのソースSと発光素子ELのアノードとの間にスイッチングトランジスタTr6を介在させたことである。また補助容量Csubが駆動トランジスタTrdのソースSと接地ラインとの間に接続されている。さらにスイッチングトランジスタTr6のゲートを駆動するために追加の走査線DSが走査線WSと平行に配設されている。この追加の走査線DSを線順次走査するために駆動部側にドライブスキャナ8を設けている。

【0102】

10

図18は図17に示した第4実施形態の動作説明に供するタイミングチャートである。基本的には図16に示したタイミングチャートと同様であり、対応する部分には対応する表記を採用している。まず発光期間中のタイミングT1aでスイッチングトランジスタTr6をオフする。これにより駆動トランジスタTrdは発光素子ELから切り離され、非発光期間に移行する。このとき駆動トランジスタTrdはまだオン状態にあるため、ソースSの電位は電源ラインに引っ張られてVccまで上昇する。これと連動して駆動トランジスタTrdのゲートGも上昇する。

【0103】

20

この後発光素子ELを駆動トランジスタTrdから切り離した状態で、補正準備動作、闘電圧補正動作、信号書き込み動作及び移動度補正動作を行う。具体的にはタイミングT1で給電線VLをVccからVssに切換える。駆動トランジスタTrdのソース電位をVssにセットする。さらにタイミングT2で信号線SLが基準電位VrefにあるときサンプリングトランジスタTr1をオンして、駆動トランジスタTrdのゲート電位をVrefにセットする。この様にして闘電圧補正のための準備動作が完了する。この後タイミングT3で給電線VLをVssからVccに切換える。駆動トランジスタTrdがカットオフするまで保持容量Csを充電する。これにより保持容量Csに闘電圧Vthが書き込まれる。この後タイミングT4で信号線SLを信号電位Vsigに切換える。信号電位Vsigを保持容量Csに書き込む。この書き込み動作をタイミングT5まで行ってサンプリングトランジスタTr1をオフする。タイミングT4からタイミングT5の間で信号電位Vsigの書き込みを行うと共に、移動度μの補正も行っている。タイミングT5でサンプリングトランジスタTr1をオフすることで、駆動トランジスタTrdのゲートGが信号線SLから切り離され、発光のための準備状態になる。この時点では駆動トランジスタTrdと発光素子ELは切り離されているため、駆動トランジスタTrdのソース電位は給電線VLの高電位Vccに引っ張られている。

30

【0104】

最後にサンプリングトランジスタTr1がオフした後のタイミングT5aでスイッチングトランジスタTr6をオンし、駆動トランジスタTrdと発光素子ELを電気的に接続する。これにより駆動電流IdSが給電線VLから駆動トランジスタTrdを通って発光素子ELに流れ、発光期間に移行する。

【0105】

40

本発明にかかる表示装置は、図19に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジタを含むトランジスター部（図では1個のTFTを例示）、保持容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTFTプロセスでトランジスター部や容量部が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0106】

本発明にかかる表示装置は、図20に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マ

50

トリックス部)を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けててもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC(フレキシブルプリントサーキット)を設けててもよい。

【0107】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

10

【0108】

図21は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

20

【0109】

図22は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

20

【0110】

図23は本発明が適用されたノート型パーソナルコンピュータであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

30

【0111】

図24は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部(ここではヒンジ部)25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0112】

図25は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

40

【図面の簡単な説明】

【0113】

【図1】第1参考例にかかる表示装置の全体構成を示すブロック図である。

【図2】第1参考例の具体的な構成を示す回路図である。

【図3】第1参考例の動作説明に供するタイミングチャートである。

【図4】発光素子の電流/電圧特性を示すグラフである。

【図5】本発明にかかる表示装置の第1実施形態を示す回路図である。

【図6】第1実施形態の動作説明に供するタイミングチャートである。

【図7】第2参考例を示す回路図である。

【図8】第2参考例の動作説明に供するタイミングチャートである。

【図9】本発明にかかる表示装置の第2実施形態を示す回路図である。

【図10】第2実施形態の動作説明に供するタイミングチャートである。

【図11】第3参考例を示す回路図である。

【図12】第3参考例の動作説明に供するタイミングチャートである。

【図13】本発明にかかる表示装置の第3実施形態を示す回路図である。

40

【図14】第3実施形態の動作説明に供するタイミングチャートである。

50

【図15】第4参考例を示す回路図である。

【図16】第4参考例の動作説明に供するタイミングチャートである。

【図17】本発明にかかる表示装置の第4実施形態を示す回路図である。

【図18】第4実施形態の動作説明に供するタイミングチャートである。

【図19】本発明にかかる表示装置のデバイス構成を示す断面図である。

【図20】本発明にかかる表示装置のモジュール構成を示す平面図である。

【図21】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図22】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図23】本発明にかかる表示装置を備えたノート型パーソナルコンピューターを示す斜視図である。 10

【図24】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

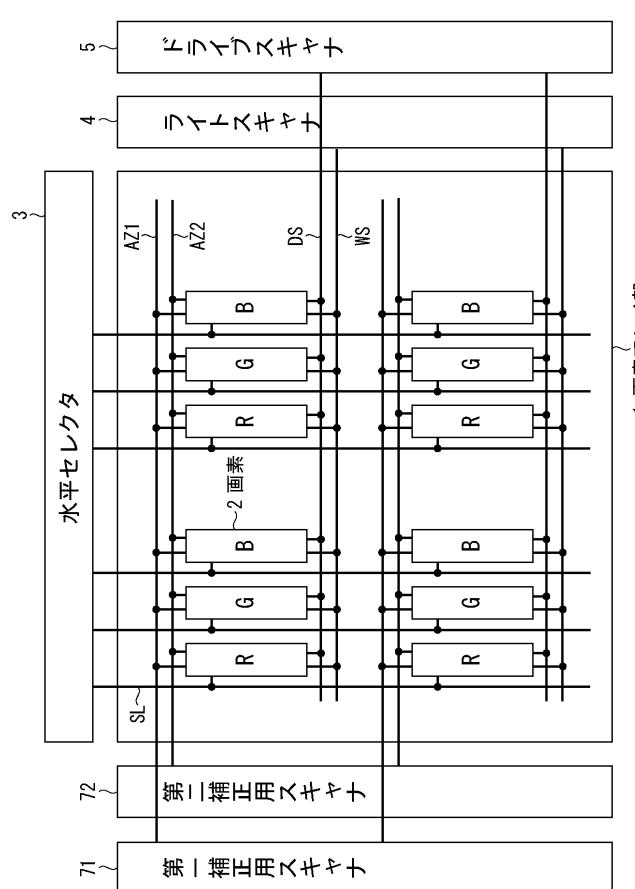
【図25】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【符号の説明】

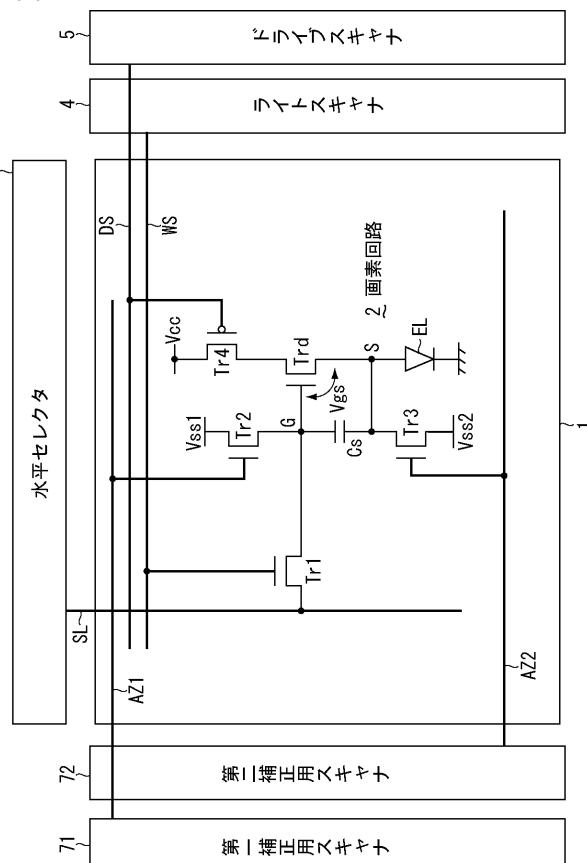
【0114】

1 … 画素アレイ部、 2 … 画素、 3 … 水平セレクタ、 4 … ライトスキャナ
 、 5 … ドライブスキャナ、 7 … 補正用スキャナ、 71 … 第一補正用スキャナ
 、 72 … 第二補正用スキャナ、 8 … 第二ドライブスキャナ、 Tr1 … サンプリングトランジスタ、 Tr2 … スイッチングトランジスタ、 Tr3 … スイッチングトランジスタ、 Tr4 … スイッチングトランジスタ、 Trd … 駆動トランジスタ、 EL … 発光素子、 Cs … 保持容量
 、 Csub … 補助容量 20

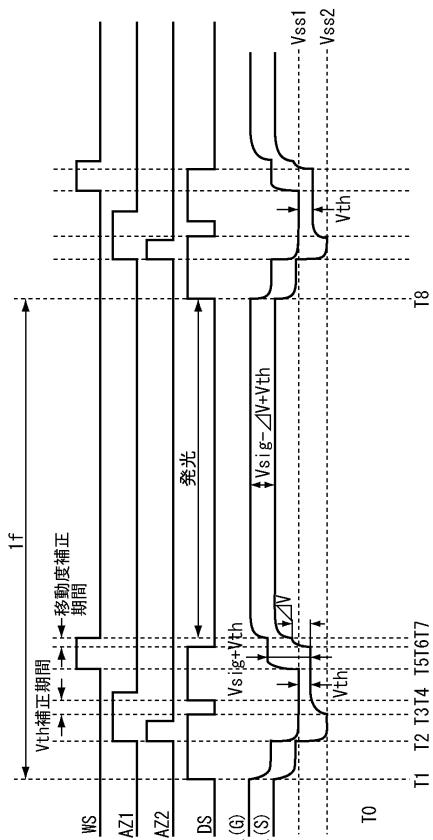
【図1】



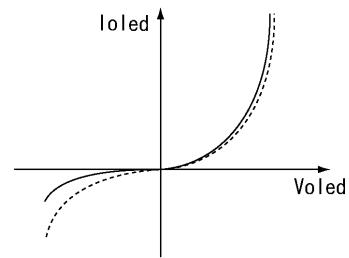
【図2】



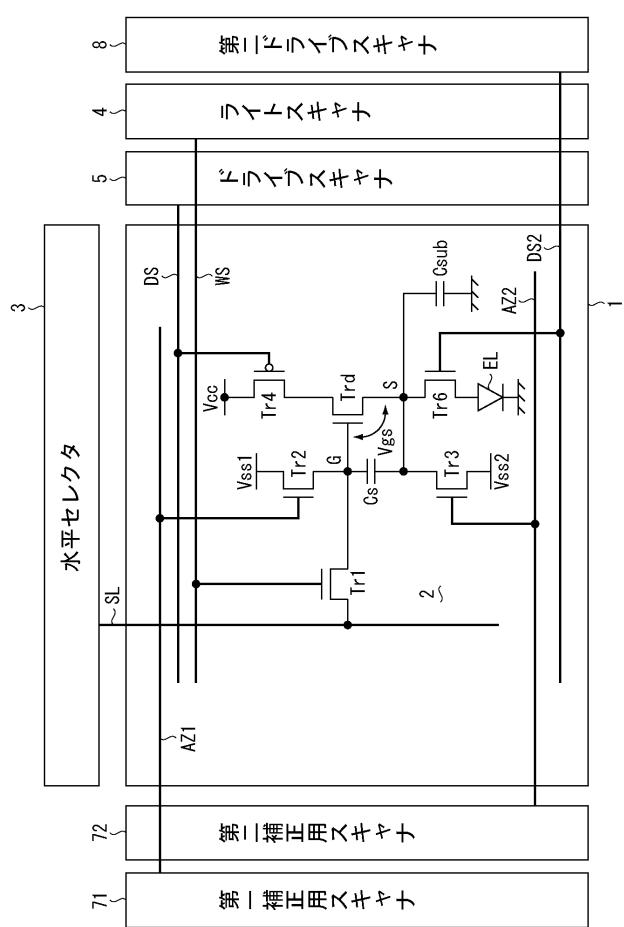
【図 3】



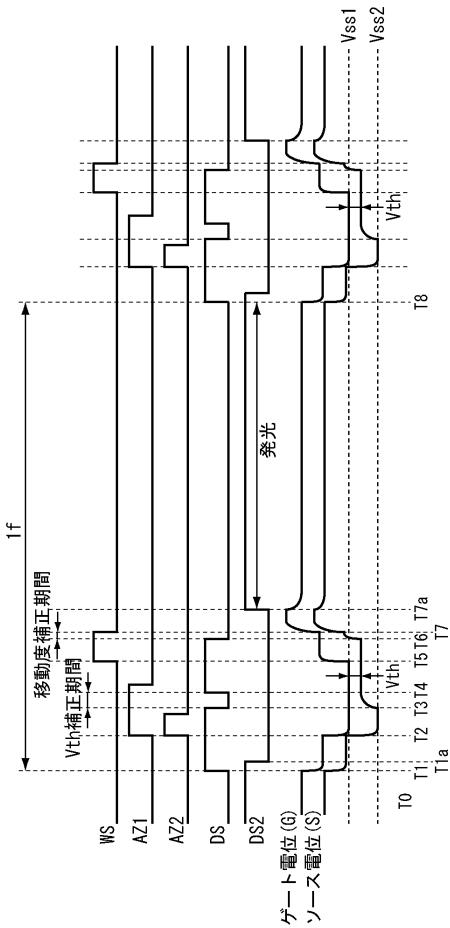
【図 4】



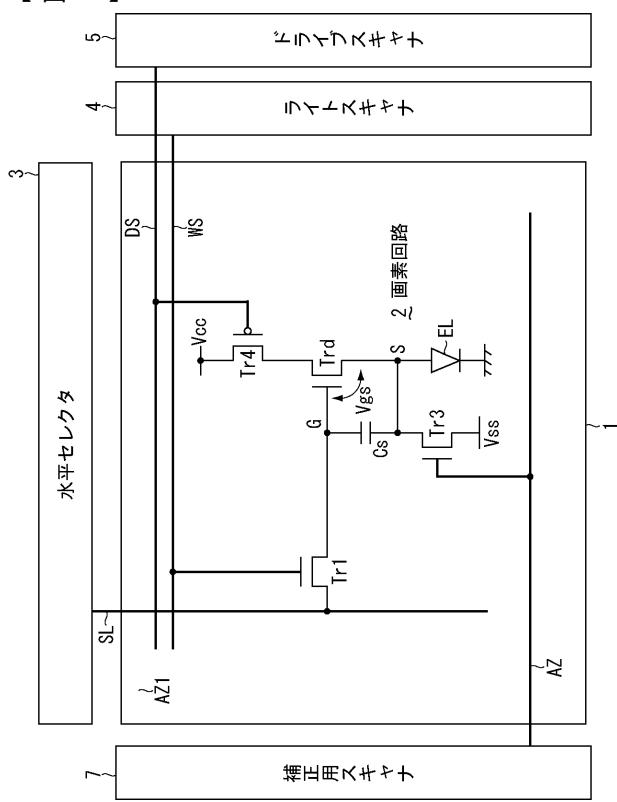
【図 5】



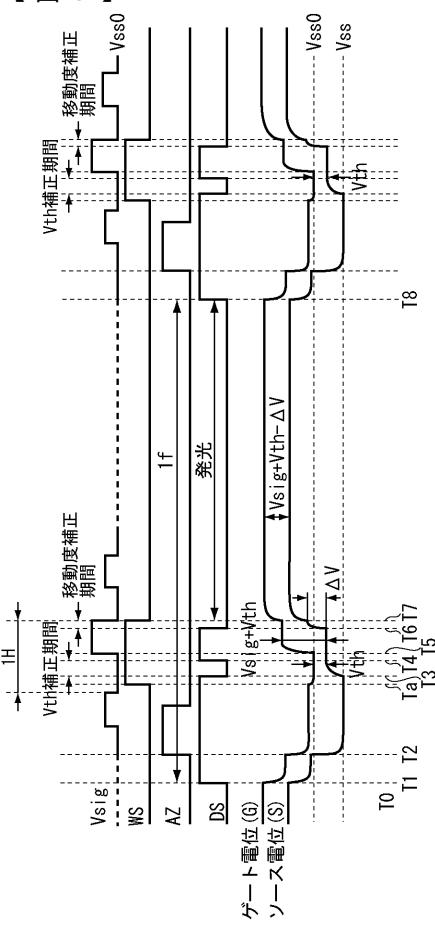
【図 6】



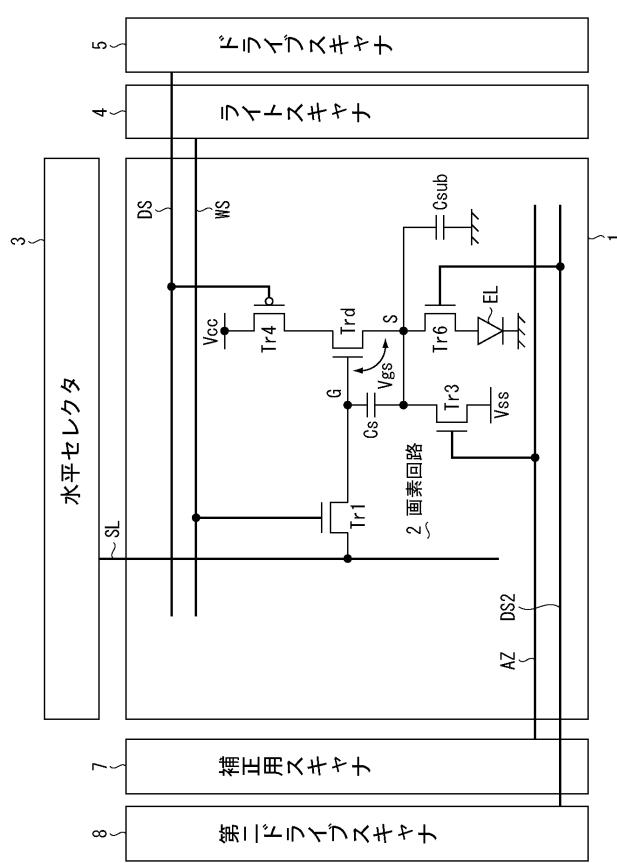
【図7】



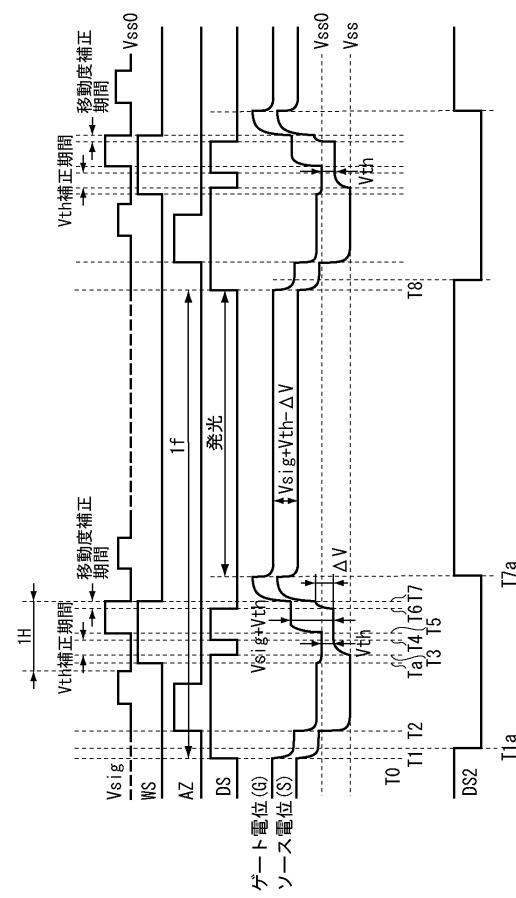
〔 図 8 〕



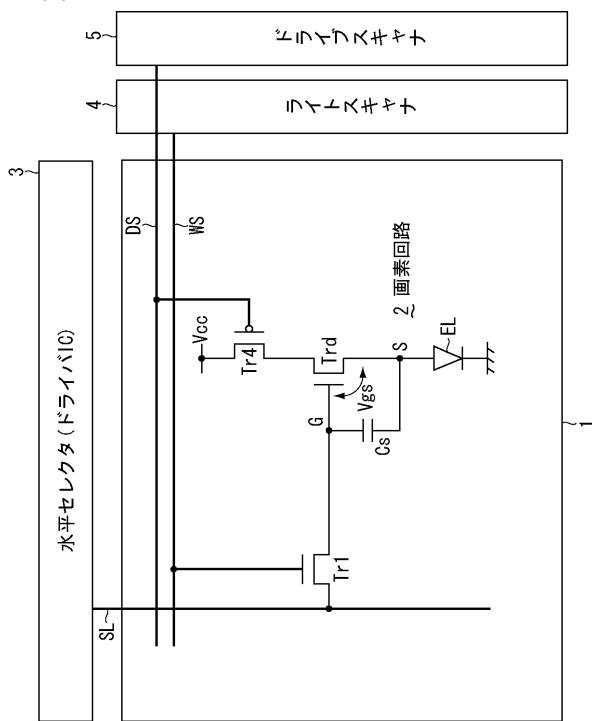
(9)



【 义 1 0 】

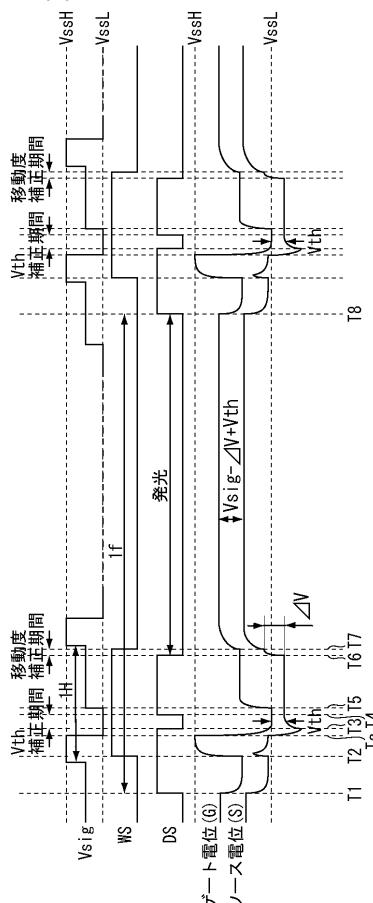


【 図 1 1 】

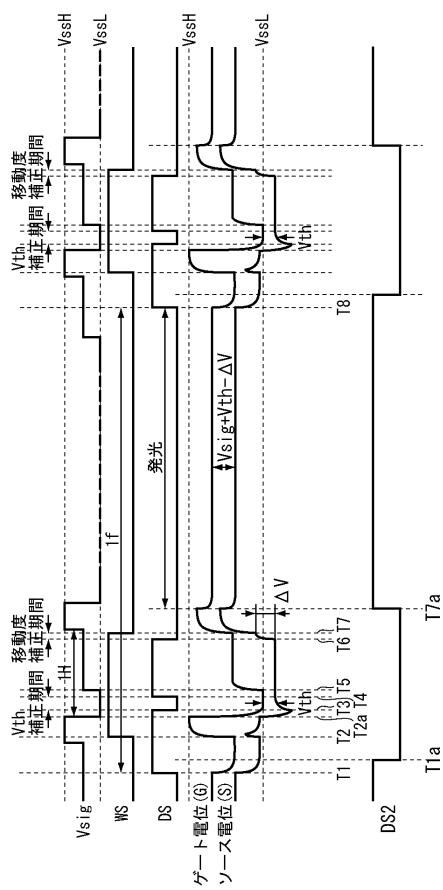


【 図 1 3 】

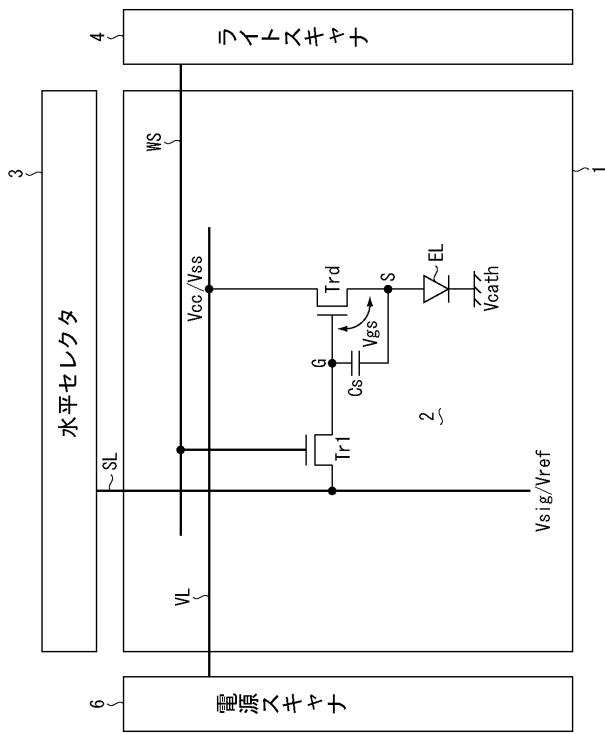
【 図 1 2 】



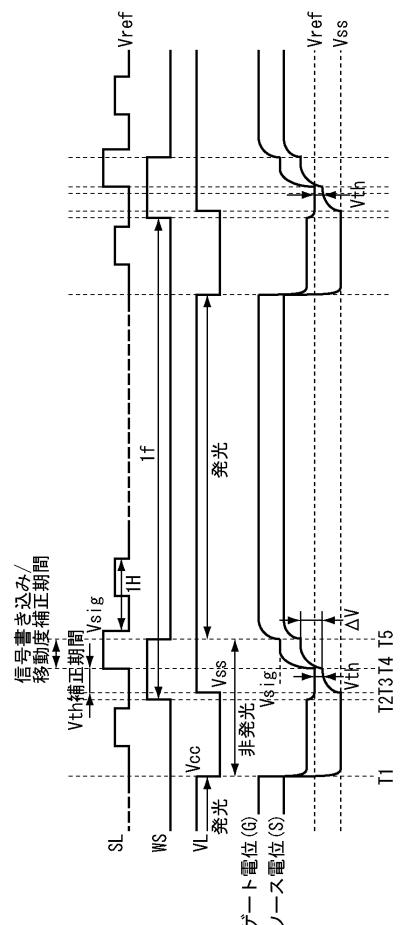
【 図 1 4 】



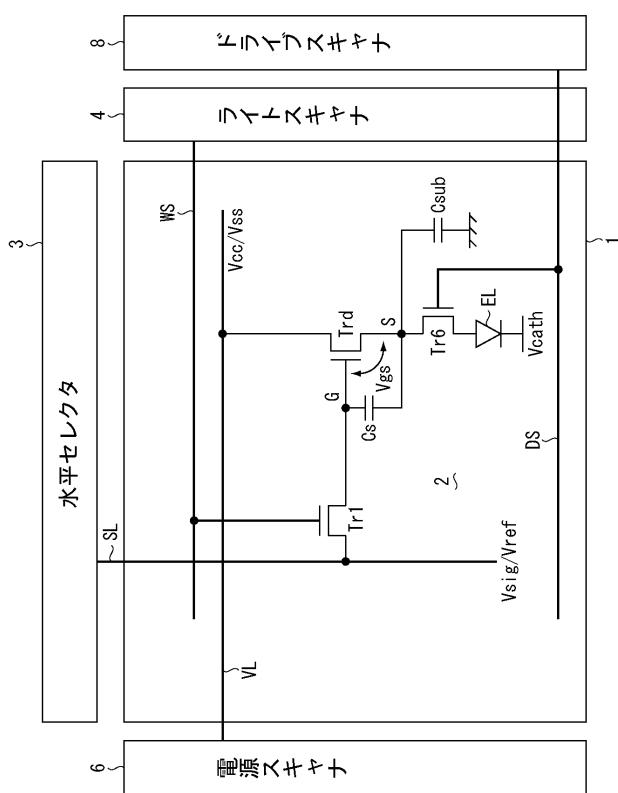
【図 15】



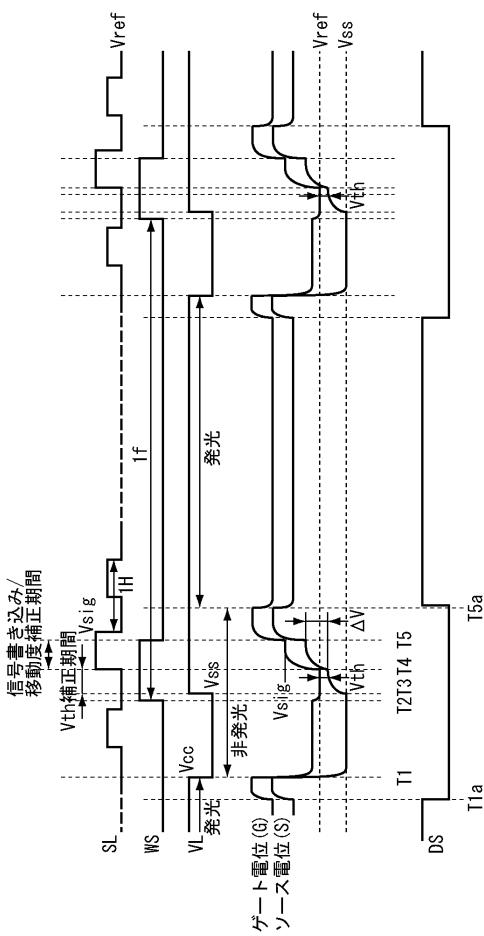
【図 16】



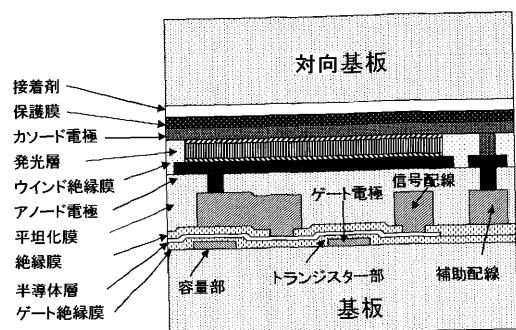
【図 17】



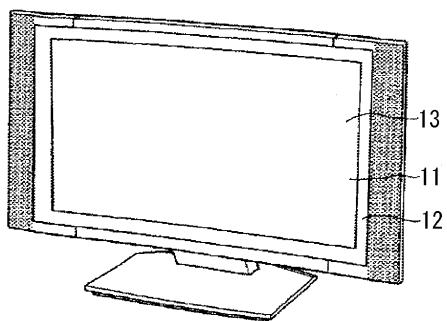
【図 18】



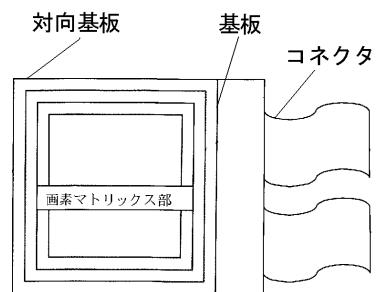
【図 19】



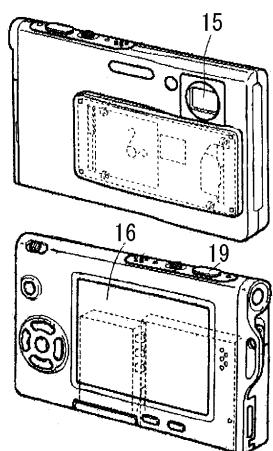
【図 21】



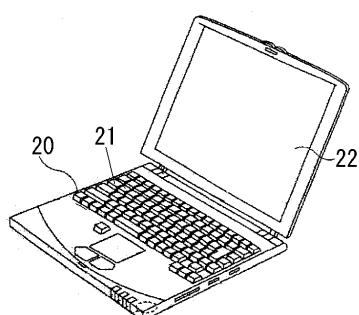
【図 20】



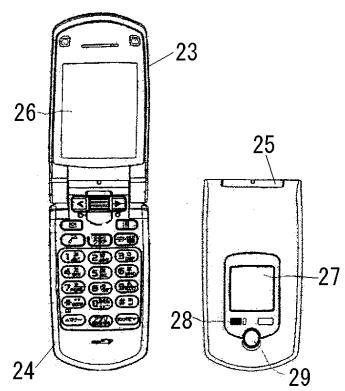
【図 22】



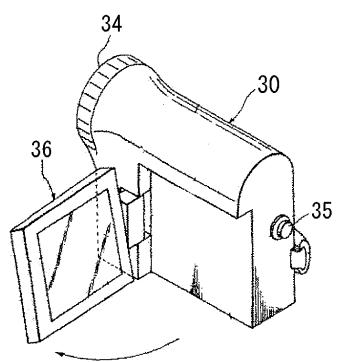
【図 23】



【図 24】



【図 2 5】



フロントページの続き

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH00 HH04 HH05
5C080 AA06 BB05 CC03 DD05 DD26 EE28 FF11 JJ02 JJ03 JJ04
JJ05 JJ06 KK02 KK07 KK43

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP2008203659A	公开(公告)日	2008-09-04
申请号	JP2007041196	申请日	2007-02-21
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 富田昌嗣 内野勝秀		
发明人	山下淳一 富田昌嗣 内野勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3208 G09G3/3258 G09G5/10 G09G2300/0819 G09G2300/0861 G09G2310/0289 G09G2320/0214 G09G2320/0233 H01L27/1255 H01L27/322 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L51/5228 H01L51/524 H01L51/5246		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3 /3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380 /AA01 5C380/AB06 5C380/AB11 5C380/AB23 5C380/AB31 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA28 5C380/BA31 5C380/BA36 5C380/BA38 5C380 /BA39 5C380/BB02 5C380/BD11 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC03 5C380 /CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC65 5C380/CC66 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP4300490B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有像素的显示装置，在该像素上，对发光装置的漏电流的变化不相关地执行精确的亮度校正操作。解决方案：像素电路2具有校正装置和开关晶体管Tr6。校正装置在非发光时段中操作以写入校正电压，用于抵消保持电容器Cs中的驱动晶体管Trd的特性的变化。开关晶体管Tr6插入在驱动晶体管Trd的源极S和发光器件EL之间，并且在非发光时段中截止，以使发光元件EL与驱动晶体管Trd的源极断开，从而抑制漏电流在校正装置工作时引起校正电压的错误流到发光器件。

