

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-170857

(P2008-170857A)

(43) 公開日 平成20年7月24日(2008.7.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 670K	
	HO5B 33/14 A	

審査請求 有 請求項の数 5 O L (全 23 頁)

(21) 出願番号 特願2007-5646 (P2007-5646)
 (22) 出願日 平成19年1月15日 (2007.1.15)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC26 CC33 EE03
 HH00 HH04 HH05
 5C080 AA06 BB05 DD05 DD18 JJ02
 JJ03 JJ04 JJ05 JJ06 KK02
 KK07 KK43

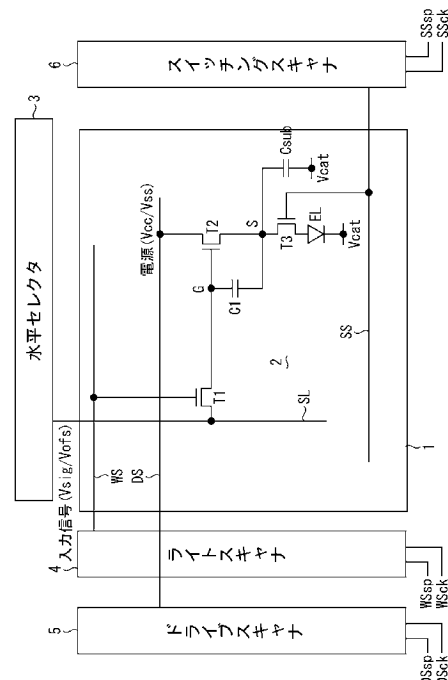
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】画素の非発光期間中に発光素子に逆バイアスがかけられないようにした表示装置を提供する。

【解決手段】サンプリングトランジスタT1は走査線WSから供給される制御信号に応じて導通し信号線SLから供給された映像信号を保持容量C1に書き込む。駆動トランジスタT2は保持容量C1に書き込まれた映像信号の信号電位に応じて駆動電流を出力ノードSに出力する。スイッチングトランジスタT3は、出力ノードSと発光素子ELの間に配され、所定の発光期間中オン状態になって駆動電流を発光素子ELに供給し映像信号に応じた輝度で発光させる一方、非発光期間ではオフして出力ノードSから発光素子ELを切り離し、非発光期間中に行われる画素2の動作で出力ノードSに生じる電位が、ダイオード型の発光素子ELに逆バイアス電圧として印加されるのを防止する。

【選択図】 図12



【特許請求の範囲】**【請求項 1】**

行状の走査線と、列状の信号線と、これらが交差する部分に行列状に配された画素とを含み、

前記画素は、少なくともサンプリングトランジスタと、入力ノード及び出力ノードを有する駆動トランジスタと、スイッチングトランジスタと、発光素子と、保持容量と、補助容量とを含み、

前記サンプリングトランジスタは該信号線と該入力ノードとの間に配され該走査線から供給される制御信号に応じて導通し該信号線から供給された映像信号を該保持容量に書き込み、

前記駆動トランジスタは該保持容量に書き込まれた映像信号の信号電位に応じて駆動電流を出力ノードに出力し、

前記保持容量は該入力ノードと該出力ノードとの間に配され、

前記補助容量は該出力ノードに接続しており、

前記スイッチングトランジスタは、該出力ノードと該発光素子の間に配され、所定の発光期間中オン状態になって該駆動電流を該発光素子に供給し映像信号に応じた輝度で発光させる一方、非発光期間ではオフして該出力ノードから該発光素子を切り離し、非発光期間中に行われる画素の動作で該出力ノードに生じる電位が、ダイオード型の該発光素子に逆バイアス電圧として印加されるのを防止することを特徴とする表示装置。、

【請求項 2】

前記駆動トランジスタは、そのゲートが入力ノードに接続し、そのドレインが電源ラインに接続し、そのソースが出力ノードに接続し、

前記発光素子は、そのアノードが該スイッチングトランジスタを介して該出力ノードに接続し、そのカソードが接地ラインに接続し、

前記補助容量は、該出力ノードと該接地ラインの間に接続していることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記画素は閾電圧補正手段を含んでおり、

前記閾電圧補正手段は、非発光期間で動作し、該出力ノードに該逆バイアス電圧を越える電位を印加した状態で該駆動トランジスタの閾電圧に相当する電圧を入力ノードと出力ノードの間の保持容量に保持することを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記画素は移動度補正手段を含んでおり、前記移動度補正手段は非発光期間内で映像信号の書き込み中に動作し、出力ノードに該逆バイアス電圧を超える電気が加わった状態で該出力ノードから駆動電流を保持容量に負帰還し、以って駆動トランジスタの移動度に応じた補正を加えることを特徴とする請求項 1 記載の表示装置。

【請求項 5】

行状の走査線と、列状の信号線と、これらが交差する部分に行列状に配された画素とを含み、

前記画素は、少なくともサンプリングトランジスタと、入力ノード及び出力ノードを有する駆動トランジスタと、スイッチングトランジスタと、発光素子と、保持容量と、補助容量とを含み、

前記サンプリングトランジスタは該信号線と該入力ノードとの間に配され、

前記スイッチングトランジスタは該出力ノードと該発光素子の間に配され、

前記保持容量は該入力ノードと該出力ノードとの間に配され、

前記補助容量は該出力ノードに接続している表示装置の駆動方法において、

前記サンプリングトランジスタが該走査線から供給される制御信号に応じて導通し、該信号線から供給された映像信号を該保持容量に書き込み、

前記駆動トランジスタが該保持容量に書き込まれた映像信号の信号電位に応じて駆動電流を出力ノードに出力し、

10

20

30

40

50

前記スイッチングトランジスタは、所定の発光期間中オン状態になって該駆動電流を該発光素子に供給し映像信号に応じた輝度で発光させる一方、非発光期間ではオフして該出力ノードから該発光素子を切り離し、非発光期間中に行われる画素の動作で該出力ノードに生じる電位が、ダイオード型の該発光素子に逆バイアス電圧として印加されるのを防止することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。

10

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1ないし5に記載されている。

20

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【0004】

図24は従来 of アクティブマトリクス型表示装置の一例を示す模式的な回路図である。表示装置は画素アレイ部1と周辺の駆動部とで構成されている。駆動部は水平セレクタ3とライトスキャナ4を備えている。画素アレイ部1は列状の信号線SLと行状の走査線WSを備えている。各信号線SLと走査線WSの交差する部分に画素2が配されている。図では理解を容易にするため、1個の画素2のみを表してある。ライトスキャナ4はシフトレジスタを備えており、外部から供給されるクロック信号ckに応じて動作し同じく外部から供給されるスタートパルスspを順次転送することで、走査線WSに順次制御信号を出力する。水平セレクタ3はライトスキャナ4側の線順次走査に合わせて映像信号を信号線SLに供給する。

30

【0005】

画素2はサンプリングトランジスタT1と駆動トランジスタT2と保持容量C1と発光素子ELとで構成されている。駆動トランジスタT2はPチャンネル型であり、そのソースは電源ラインに接続し、そのドレインは発光素子ELに接続している。駆動トランジスタT2のゲートはサンプリングトランジスタT1を介して信号線SLに接続している。サンプリングトランジスタT1はライトスキャナ4から供給される制御信号に応じて導通し、信号線SLから供給される映像信号をサンプリングして保持容量C1に書き込む。駆動トランジスタT2は保持容量C1に書き込まれた映像信号をゲート電圧Vgsとしてそのゲートに受け、ドレイン電流Idsを発光素子ELに流す。これにより発光素子ELは映像信号に応じた輝度で発光する。ゲート電圧Vgsは、ソースを基準にしたゲートの電位を表している。

40

【0006】

50

駆動トランジスタT2は飽和領域で動作し、ゲート電圧V_{gs}とドレイン電流I_{ds}の関係は以下の特性式で表される。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

ここで μ は駆動トランジスタの移動度、Wは駆動トランジスタのチャンネル幅、Lは同じくチャンネル長、 C_{ox} は同じくゲート絶縁容量、 V_{th} は同じく閾電圧である。この特性式から明らかなように駆動トランジスタT2は飽和領域で動作するとき、ゲート電圧V_{gs}に応じてドレイン電流I_{ds}を供給する定電流源として機能する。

【0007】

図25は、発光素子ELの電圧/電流特性を示すグラフである。横軸にアノード電圧Vを示し、縦軸に駆動電流I_{ds}をとっている。なお発光素子ELのアノード電圧は駆動トランジスタT2のドレイン電圧となっている。発光素子ELは電流/電圧特性が経時変化し、特性カーブが時間の経過と共に寝ていく傾向にある。このため駆動電流I_{ds}が一定であってもアノード電圧(ドレイン電圧)Vが変化してくる。その点、図24に示した画素回路2は駆動トランジスタT2が飽和領域で動作し、ドレイン電圧の変動に関わらずゲート電圧V_{gs}に応じた駆動電流I_{ds}を流すことができるので、発光素子ELの特性経時変化に関わらず発光輝度を一定に保つことが可能である。

10

【0008】

図26は、従来 of 画素回路の他の例を示す回路図である。先に示した図24の画素回路と異なる点は、駆動トランジスタT2がPチャンネル型からNチャンネル型に変わっていることである。回路の製造プロセス上は、画素を構成する全てのトランジスタをNチャンネル型にすることが有利である場合が多い。

20

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素ごとにばらつきがある。前述のトランジスタ特性式から明らかなように、各駆動トランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧V_{gs}が一定であっても、ドレイン電流I_{ds}にばらつきが生じ、画素毎に輝度がばらついてしまうので、画面のユニフォーミティを損なう。従来から駆動トランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

30

【0010】

また薄膜トランジスタは閾電圧 V_{th} に加え、移動度 μ にもばらつきがある。前述のトランジスタ特性式から明らかなように、各駆動トランジスタの移動度 μ がばらつくと、ゲート電圧V_{gs}が一定であっても、ドレイン電流I_{ds}にばらつきが生じ、画素毎に輝度がばらつくため、画面のユニフォーミティを損なう。従来から駆動トランジスタの閾電圧のばらつきに加え、移動度のばらつきをキャンセルする機能を組み込んだ画素回路も開発されている。

【0011】

従来の表示装置は、各画素が発光期間に入る前の非発光期間で、画素毎に駆動トランジスタの閾電圧補正動作や移動度補正動作を行う。このとき各補正動作を正常に行うため、駆動トランジスタと発光素子を接続するノード(以下本明細書では出力ノードと呼ぶ場合がある)をマイナス方向の電位に保持して、発光素子を逆バイアス状態に置く。しかしながら、非発光期間における逆バイアス状態が行き過ぎた場合、発光素子が損傷し最悪の場合には発光不能に陥り、画素がいわゆる滅点欠陥になることがある。

40

【課題を解決するための手段】

【0012】

上述した従来の技術の課題に鑑み、本発明は画素の非発光期間中に発光素子に逆バイアスがかからないようにした表示装置及びその駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、行状の走

50

査線と、列状の信号線と、これらが交差する部分に行列状に配された画素とを含み、前記画素は、少なくともサンプリングトランジスタと、入力ノード及び出力ノードを有する駆動トランジスタと、スイッチングトランジスタと、発光素子と、保持容量と、補助容量とを含み、前記サンプリングトランジスタは該信号線と該入力ノードとの間に配され該走査線から供給される制御信号に応じて導通し該信号線から供給された映像信号を該保持容量に書き込み、前記駆動トランジスタは該保持容量に書き込まれた映像信号の信号電位に応じて駆動電流を出力ノードに出力し、前記保持容量は該入力ノードと該出力ノードとの間に配され、前記補助容量は該出力ノードに接続しており、前記スイッチングトランジスタは、該出力ノードと該発光素子の間に配され、所定の発光期間中オン状態になって該駆動電流を該発光素子に供給し映像信号に応じた輝度で発光させる一方、非発光期間ではオフして該出力ノードから該発光素子を切り離し、非発光期間中に行われる画素の動作で該出力ノードに生じる電位が、ダイオード型の該発光素子に逆バイアス電圧として印加されるのを防止することを特徴とする。

10

【0013】

一態様では、前記駆動トランジスタは、そのゲートが入力ノードに接続し、そのドレインが電源ラインに接続し、そのソースが出力ノードに接続し、前記発光素子は、そのアノードが該スイッチングトランジスタを介して該出力ノードに接続し、そのカソードが接地ラインに接続し、前記補助容量は、該出力ノードと該接地ラインの間に接続している。また前記画素は閾電圧補正手段を含んでおり、前記閾電圧補正手段は、非発光期間で動作し、該出力ノードに該逆バイアス電圧を越える電位を印加した状態で該駆動トランジスタの閾電圧に相当する電圧を入力ノードと出力ノードの間の保持容量に保持する。更に前記画素は移動度補正手段を含んでおり、前記移動度補正手段は非発光期間内で映像信号の書き込み中に動作し、出力ノードに該逆バイアス電圧を超える電気が加わった状態で該出力ノードから駆動電流を保持容量に負帰還し、以って駆動トランジスタの移動度に応じた補正を加える。

20

【発明の効果】

【0014】

本発明によれば、各画素は例えば3個のトランジスタと2個の容量と1個の発光素子で構成されており、比較的簡素な構成であり、表示装置の高精細化、高歩留化及び低コスト化が実現できる。また簡素な部品構成であっても、非発光期間中に駆動トランジスタの閾電圧補正動作や移動度補正動作を行うことができ、画面のユニフォーミティの高い表示装置を実現できる。ここで各画素が補正動作を行うとき、駆動トランジスタの出力ノードにマイナス方向の電圧を印加する必要がある。これにより発光素子に逆バイアスが加わることを防ぐため、駆動トランジスタの出力ノードと発光素子との間にスイッチング素子を挿入している。非発光期間中はこのスイッチング素子をオフしてマイナス電圧が印加されている出力ノードから発光素子を切り離している。これにより発光素子が逆バイアス状態に置かれることを防ぎ、以って発光素子の損傷や破壊を抑え、画素の滅点欠陥が発生しないようにしている。かかる構成により、表示装置の歩留を一層改善することができる。

30

【発明を実施するための最良の形態】

【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の理解を容易にし且つ背景を明らかにするため、本発明の基になった先行開発にかかる表示装置を簡潔に説明する。図1は、先行開発にかかる表示装置の全体構成を示すブロック図である。本表示装置は、画素アレイ部1とこれを駆動する駆動部(3, 4, 5)とからなる。画素アレイ部1は、行状の走査線WSと、列状の信号線SLと、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線DSとを備えている。駆動部(3, 4, 5)は、各走査線WSに順次制御信号を供給して画素2を行単位で線順次走査する制御用スキャナ(ライトスキャナ)4と、この線順次走査に合わせて各給電線DSに第1電位と第2電位で切換る電源電圧を供給する電源スキャナ(ドライブスキャナ)5と、この線順次走査に合わせて列状の信号線SLに映像信号となる信号電位と基準電

40

50

位を供給する信号セレクタ（水平セレクタ）3とを備えている。なおライトスキャナ4は外部から供給されるクロック信号 $W S c k$ に応じて動作し同じく外部から供給されるスタートパルス $W S s p$ を順次転送することで、各走査線 $W S$ に制御信号を出力している。ドライブスキャナ5は外部から供給されるクロック信号 $D S c k$ に応じて動作し、同じく外部から供給されるスタートパルス $D S s p$ を順次転送することで、給電線 $D S$ の電位を線順次で切替えている。

【0016】

図2は、図1に示した表示装置に含まれる画素2の具体的な構成を示す回路図である。図示するように本画素回路2は、有機 $E L$ デバイスなどで代表される二端子型（ダイオード型）の発光素子 $E L$ と、 N チャンネル型のサンプリングトランジスタ $T 1$ と、同じく N チャンネル型の駆動トランジスタ $T 2$ と、薄膜タイプの保持容量 $C 1$ とで構成されている。サンプリングトランジスタ $T 1$ はそのゲートが走査線 $W S$ に接続し、そのソース及びドレインの一方が信号線 $S L$ に接続し、他方が駆動トランジスタ $T 2$ のゲート G （入力ノード）に接続している。即ち駆動トランジスタ $T 2$ のゲート G がサンプリングトランジスタ $T 1$ に対する入力ノードになっている。駆動トランジスタ $T 2$ は、そのソース及びドレインの一方が発光素子 $E L$ に接続し、他方が給電線 $D S$ に接続している。本形態は駆動トランジスタ $T 2$ が N チャンネル型であり、ドレイン側が給電線 $D S$ に接続し、ソース S 側が発光素子 $E L$ のアノード側に接続している。ソース S 側が発光素子 $E L$ に対する出力ノードになっている。発光素子 $E L$ のカソードは所定のカソード電位 $V c a t$ に固定されている。保持容量 $C 1$ は駆動トランジスタ $T 2$ のソース S とゲート G との間に接続している。かかる構成を有する画素2に対して、制御用スキャナ（ライトスキャナ）4は、走査線 $W S$ を低電位と高電位の間で切り換えることで順次制御信号を出力し、画素2を行単位で線順次走査する。電源スキャナ（ドライブスキャナ）5は、線順次走査に合わせて各給電線 $D S$ に第1電位 $V c c$ と第2電位 $V s s$ で切替える電源電圧を供給している。信号セレクタ（水平セレクタ）3は、線順次走査に合わせて列状の信号線 $S L$ に映像信号となる信号電位 $V s i g$ と基準電位 $V o f s$ を供給している。

【0017】

かかる構成において、サンプリングトランジスタ $T r 1$ は、走査線 $W S$ から供給された制御信号に応じて導通し、信号線 $S L$ から供給された信号電位 $V s i g$ をサンプリングして保持容量 $C 1$ に保持する。駆動トランジスタ $T 2$ は、第1電位 $V c c$ にある給電線 $D S$ から電流の供給を受け保持容量 $C 1$ に保持された信号電位 $V s i g$ に応じて駆動電流を発光素子 $E L$ に流す。制御用スキャナ4は、信号線 $S L$ が信号電位 $V s i g$ にある時間帯にサンプリングトランジスタ $T 1$ を導通状態にするため、所定の時間幅の制御信号を走査線 $W S$ に出力し、以って保持容量 $C 1$ に信号電位 $V s i g$ を保持すると同時に駆動トランジスタ $T 2$ の移動度 μ に対する補正を信号電位 $V s i g$ に加える。

【0018】

図2に示した画素回路は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ（ドライブスキャナ）5はサンプリングトランジスタ $T 1$ が信号電位 $V s i g$ をサンプリングする前に、第1タイミングで給電線 $D S$ を第1電位 $V c c$ から第2電位 $V s s$ に切り換える。制御用スキャナ（ライトスキャナ）4は、同じくサンプリングトランジスタ $T 1$ が信号電位 $V s i g$ をサンプリングする前に、第2タイミングでサンプリングトランジスタ $T 1$ を導通させて信号線 $S L$ から基準電位 $V o f s$ を駆動トランジスタ $T 2$ のゲート G に印加すると共に、駆動トランジスタ $T 2$ のソース S を第2電位 $V s s$ にセットする。電源スキャナ（ドライブスキャナ）5は、第2タイミングの後の第3タイミングで、給電線 $D S$ を第2電位 $V s s$ から第1電位 $V c c$ に切り換えて、駆動トランジスタ $T 2$ の閾電圧 $V t h$ に相当する電圧を保持容量 $C 1$ に保持しておく。かかる閾電圧補正機能より、本表示装置は画素毎にばらつく駆動トランジスタ $T 2$ の閾電圧 $V t h$ の影響をキャンセルすることができる。なお、第1タイミングと第2タイミングの前後は問わない。

【0019】

10

20

30

40

50

図 2 に示した画素回路 2 はさらにブートストラップ機能も備えている。即ちライトスキャナ 4 は、保持容量 C_1 に信号電位 V_{sig} が保持された時点で、サンプリングトランジスタ T_1 を非導通状態にして駆動トランジスタ T_2 のゲート G を信号線 SL から電氣的に切り離し、以って駆動トランジスタ T_2 のソース電位の変動にゲート電位が連動しゲート G とソース S 間の電圧 V_{gs} を一定に維持する。発光素子 EL の電流 / 電圧特性が経時変動しても、ゲート電圧 V_{gs} を一定に維持することができ、輝度の変化が生じない。

【 0 0 2 0 】

図 3 は、図 2 に示した画素の動作説明に供するタイミングチャートである。なおこのタイミングチャートは一例であって、図 2 に示した画素回路の制御シーケンスは図 3 のタイミングチャートに限られるものではない。このタイミングチャートは時間軸を共通にして、走査線 WS の電位変化、給電線 DS の電位変化、信号線 SL の電位変化を表してある。走査線 WS の電位変化は制御信号を表し、サンプリングトランジスタ T_1 の開閉制御を行っている。給電線 DS の電位変化は、電源電圧 V_{cc} 、 V_{ss} の切換えを表している。また信号線 SL の電位変化は入力信号の信号電位 V_{sig} と基準電位 V_{ofs} の切換えを表している。またこれらの電位変化と並行に、駆動トランジスタ T_2 のゲート G 及びソース S の電位変化も表している。前述したようにゲート G (入力ノード) とソース S (出力ノード) の電位差が V_{gs} である。

【 0 0 2 1 】

このタイミングチャートは画素の動作の遷移に合わせて期間を (1) ~ (7) のように便宜的に区切ってある。当該フィールドに入る直前の期間 (1) では発光素子 EL が発光状態にある。その後線順次走査の新しいフィールドに入ってまず最初の期間 (2) で給電線 DS を第 1 電位 V_{cc} から第 2 電位 V_{ss} に切り換える。次の期間 (3) に進み入力信号を V_{sig} から V_{ofs} に切り換える。さらに次の期間 (4) でサンプリングトランジスタ T_1 をオンする。この期間 (2) ~ (4) で駆動トランジスタ T_2 のゲート電圧及びソース電圧を初期化する。その期間 (2) ~ (4) は閾電圧補正のための準備期間であり、駆動トランジスタ T_2 のゲート G が V_{ofs} に初期化される一方、ソース S が V_{ss} に初期化される。続いて閾値補正期間 (5) で実際に閾電圧補正動作が行われ、駆動トランジスタ T_2 のゲート G とソース S との間に閾電圧 V_{th} に相当する電圧が保持される。実際には V_{th} に相当する電圧が、駆動トランジスタ T_2 のゲート G とソース S との間に接続された保持容量 C_1 に書き込まれることになる。この後書き込み期間 / 移動度補正期間 (6) に進む。ここで映像信号の信号電位 V_{sig} が V_{th} に足し込まれる形で保持容量 C_1 に書き込まれると共に、移動度補正用の電圧 V が保持容量 C_1 に保持された電圧から差し引かれる。この書き込み期間 / 移動度補正期間 (6) では、信号線 SL が信号電位 V_{sig} にある時間帯にサンプリングトランジスタ T_1 を導通状態にする必要がある。この後発光期間 (7) に進み、信号電位 V_{sig} に応じた輝度で発光素子が発光する。その際信号電位 V_{sig} は閾電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、発光素子 EL の発光輝度は駆動トランジスタ T_2 の閾電圧 V_{th} や移動度 μ のばらつきの影響を受けることはない。なお発光期間 (7) の最初でブートストラップ動作が行われ、駆動トランジスタ T_2 のゲート G / ソース S 間電圧 V_{gs} を一定に維持したまま、駆動トランジスタ T_2 のゲート電位及びソース電位が上昇する。

【 0 0 2 2 】

引き続き図 4 ~ 図 11 を参照して、図 2 に示した画素回路の動作を詳細に説明する。まず図 4 に示したように発光期間 (1) では、電源電位が V_{cc} にセットされ、サンプリングトランジスタ T_1 はオフしている。このとき駆動トランジスタ T_2 は飽和領域で動作するようにセットされているため、発光素子 EL に流れる駆動電流 I_{ds} は駆動トランジスタ T_2 のゲート G / ソース S 間に印加される電圧 V_{gs} に応じて、前述したトランジスタ特性式で示される値を取る。

【 0 0 2 3 】

続いて図 5 に示すように準備期間 (2), (3) に入ると給電線 (電源ライン) の電位を V_{ss} にする。このとき V_{ss} は発光素子 EL の閾電圧 V_{thel} とカソード電圧 V_c

10

20

30

40

50

$a t$ の和よりも小さくなるように設定している。即ち $V_{ss} < V_{thel} + V_{cat}$ であるので、発光素子 E_L は消灯し、電源ライン側が駆動トランジスタ T_2 のソースとなる。このとき発光素子 E_L のアノードは V_{ss} に充電される。

【0024】

さらに図6に示すように次の準備期間(4)に入ると、信号線 SL の電位が V_{ofs} になる一方サンプリングトランジスタ T_1 がオンして、駆動トランジスタ T_2 のゲート電位を V_{ofs} とする。この様にして駆動トランジスタ T_2 のソース S 及びゲート G が初期化され、このときのゲート電圧 V_{gs} は $V_{ofs} - V_{ss}$ の値となる。 $V_{gs} = V_{ofs} - V_{ss}$ は駆動トランジスタ T_2 の閾電圧 V_{th} よりも大きな値となるように設定されている。この様に $V_{gs} > V_{th}$ になるように駆動トランジスタ T_2 を初期化することで、次

10

【0025】

続いて図7に示すように閾電圧補正期間(5)に進むと、給電線 DS (電源ライン)の電位が V_{cc} に戻る。電源電圧を V_{cc} とすることで発光素子 E_L のアノードが駆動トランジスタ T_2 のソース S となり、図示のように電流が流れる。このとき発光素子 E_L の等価回路は図示のようにダイオード $Te1$ と容量 $Ce1$ の並列接続で表される。アノード電位(即ちソース電位 V_{ss})が $V_{cat} + V_{thel}$ よりも低いので、ダイオード $Te1$ はオフ状態にあり、そこに流れるリーク電流は駆動トランジスタ T_2 に流れる電流よりもかなり小さい。よって駆動トランジスタ T_2 に流れる電流はほとんどが保持容量 $C1$ と等価容量 $Ce1$ を充電するために使われる。

20

【0026】

図8は図7に示した閾電圧補正期間(5)における駆動トランジスタ T_2 のソース電圧の時間変化を表している。図示するように、駆動トランジスタ T_2 のソース電圧(即ち発光素子 E_L のアノード電圧)は時間と共に V_{ss} から上昇する。閾電圧補正期間(5)が経過すると駆動トランジスタ T_2 はカットオフし、そのソース S とゲート G との間の電圧 V_{gs} は V_{th} となる。このときソース電位は $V_{ofs} - V_{th}$ で与えられる。この値 $V_{ofs} - V_{th}$ は依然として $V_{cat} + V_{thel}$ よりも低くなっており、発光素子 E_L は遮断状態にある。

【0027】

次に図9に示すように書き込み期間/移動度補正期間(6)に入ると、サンプリングトランジスタ T_1 を引き続きオンした状態で信号線 SL の電位を V_{ofs} から V_{sig} に切り換える。このとき信号電位 V_{sig} は階調に応じた電圧となっている。駆動トランジスタ T_2 のゲート電位はサンプリングトランジスタ T_1 をオンしているため V_{sig} となる。一方ソース電位は電源 V_{cc} から電流が流れるため時間と共に上昇していく。この時点でも駆動トランジスタ T_2 のソース電位が発光素子 E_L の閾電圧 V_{thel} とカソード電圧 V_{cat} の和を超えていないので、駆動トランジスタ T_2 から流れる電流はもっぱら等価容量 $Ce1$ と保持容量 $C1$ の充電に使われる。このとき既に駆動トランジスタ T_2 の閾電圧補正動作は完了しているため、駆動トランジスタ T_2 が流す電流は移動度 μ を反映したものとなる。具体的に言うと移動度 μ が大きい駆動トランジスタ T_2 はこのときの電流量が大きく、ソースの電位上昇分 ΔV も大きい。逆に移動度 μ が小さい場合駆動トランジスタ T_2 の電流量が小さく、ソースの上昇分 ΔV は小さくなる。かかる動作により駆動トランジスタ T_2 のゲート電圧 V_{gs} は移動度 μ を反映して ΔV だけ圧縮され、移動度補正期間(6)が完了した時点で完全に移動度 μ を補正した V_{gs} が得られる。

30

40

【0028】

図10は、上述した移動度補正期間(6)における駆動トランジスタ T_2 のソース電圧の時間的な変化を示すグラフである。図示するように駆動トランジスタ T_2 の移動度が大きいとソース電圧は速く上昇し、それだけ V_{gs} が圧縮される。即ち移動度 μ が大きいとその影響を打ち消すように V_{gs} が圧縮され、駆動電流が抑制できる。一方移動度 μ が小さい場合駆動トランジスタ T_2 のソース電圧はそれほど速く上昇しないので、 V_{gs} も強く圧縮を受けることはない。したがって移動度 μ が小さい場合、駆動トランジスタの V_{gs}

50

s は小さい駆動能力を補うように大きな圧縮がかからない。

【0029】

図11は発光期間(7)の動作状態を表している。この発光期間(7)ではサンプリングトランジスタT1をオフして発光素子ELを発光させる。駆動トランジスタT2のゲート電圧Vgsは一定に保たれており、駆動トランジスタT2は前述した特性式に従って一定の電流Ids'を発光素子ELに流す。発光素子ELのアノード電圧(即ち駆動トランジスタT2のソース電圧)は発光素子ELにIds'という電流が流れるため、Vxまで上昇しこれがVcat+Vthelを超えた時点で発光素子ELが発光する。発光素子ELは発光時間が長くなるとその電流/電圧特性は変化してしまう。そのため図11に示したソースSの電位が変化する。しかしながら駆動トランジスタT2のゲート電圧Vgsは

10

【0030】

ここで発光素子ELの逆バイアス状態について説明する。前述したように画素回路2は、前のフィールドの発光期間(1)が終わって本フィールドの非発光期間(2)~(6)に入り閾電圧補正動作及び移動度補正動作を行った後、本フィールドの発光期間(7)に進む。非発光期間内で準備期間(2)~(4)の間に、駆動トランジスタT2のソースS(出力ノード)が最も低電位のVssに設定され、発光素子ELが逆バイアスとなる。即ち発光素子ELにかかる逆バイアス量は、閾電圧補正期間(5)の前が最も大きく、その

20

【0031】

この様に準備期間(2)~(4)で発光素子ELのアノードにVssという逆バイアス電圧をかけた後、閾電圧補正動作、映像信号書き込み動作及び移動度補正動作を行う。正常に移動度補正動作まで終了させるためには、移動度補正期間(6)が終了した時点、つまり発光期間(7)の直前において、発光素子ELは逆バイアス状態におく必要があり、そのアノードにかかる電圧は発光素子ELの閾電圧Vthel以下でなければならない。これを保証するためには、以下の関係を満たす必要がある。即ち、最大輝度レベル(白表示)の映像信号書き込み及び移動度補正動作を行った場合において、発光素子ELのアノードの電位上昇分(移動度補正分)をVとすると、以下の関係を満たす必要がある。

30

$$V_{ofs} - V_{thMIN} > V_{thel} + V_{cat} - V$$

ここでVthMINは画素アレイの各画素に含まれる駆動トランジスタの最小閾電圧である。このようにして、非発光期間で駆動トランジスタT2の出力ノードが、発光素子ELを逆バイアス状態におくレベルとなる。逆に言うと、非発光期間中に発光素子ELが逆バイアス状態となるように予めVofs及びVssを設定する必要がある。しかしながら発光素子ELにかかる逆バイアス電圧が大きいと、発光素子ELがダメージを受け最悪の場合には発光しなくなり、画素の滅点欠陥が生じる恐れがあり問題となっている。

40

【0032】

図12は、本発明にかかる表示装置の構成を示す回路図である。本表示装置は、図2に示した先行開発にかかる表示装置を改良したものであって、理解を容易にするため先行開発例と対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタT2のソースS(出力ノード)と発光素子ELのアノードとの間にスイッチングトランジスタT3を接続したことである。また駆動トランジスタT2のソースSと固定電位との間に補助容量Csubを接続している。本例では、固定電位はカソード電位Vcatに設定

50

されている。但し本発明はこれに限られるものではない。この補助容量 C_{sub} は、発光素子 E_L の等価容量 C_{e1} の代わりに役割を果たすため加えられたものである。なおスイッチングトランジスタ T_3 のオンオフを制御するため、スイッチングスキャナ 6 が追加になっている。スイッチングスキャナ 6 は走査線 SS を線順次走査して、スイッチングトランジスタ T_3 をオンオフ制御する。他のスキャナと同様に、このスイッチングスキャナ 6 もシフトレジスタで構成されており、外部から供給されるクロック信号 SS_{clk} に応じて動作し、同じく外部から供給されるスタートパルス SS_{sp} を順次転送することで、走査線 SS に制御信号を出力している。

【0033】

ここで改めて図 12 に示した本発明にかかる表示装置の構成を説明する。図示するように、本表示装置の画素アレイ部 1 は、行状の走査線 WS と、列状の信号線 SL と、これらが交差する部分に行列状に配された画素 2 とを含む。画素 2 は、少なくともサンプリングトランジスタ T_1 と、入力ノード及び出力ノードを有する駆動トランジスタ T_2 と、スイッチングトランジスタ T_3 と、保持容量 C_1 と、補助容量 C_{sub} とを含む。なお入力ノードは駆動トランジスタ T_2 のゲート G であり、出力ノードは駆動トランジスタ T_2 のソース S である。サンプリングトランジスタ T_1 は信号線 SL と入力ノード G との間に配され走査線 WS から供給される制御信号に応じて導通し、信号線 SL から供給された映像信号 (V_{sig}/V_{ofs}) を保持容量 C_1 に書き込む。駆動トランジスタ T_2 は、保持容量 C_1 に書き込まれた映像信号の信号電位 V_{sig} に応じて駆動電流を出力ノード S に出力する。保持容量 C_1 は入力ノード G と出力ノード S との間に配されている。補助容量 C_{sub} は出力ノード S と所定の固定電位 V_{cat} の間に接続している。スイッチングトランジスタ T_3 は、出力ノード S と発光素子 E_L との間に配され、所定の発光期間中オン状態になって駆動電流を発光素子 E_L に供給し映像信号に応じた輝度で発光させる一方、非発光期間ではオフして出力ノード S から発光素子 E_L を切り離し、非発光期間中に行われる画素 2 の動作で出力ノード S に生じる電位が、ダイオード型の発光素子 E_L に逆バイアス電圧として印加されることを防止している。かかる構成により、発光素子 E_L の損傷を防ぎ、画素 2 の滅点欠陥が発生しないようにしている。

【0034】

具体的には画素トランジスタ T_2 は、そのゲート G が入力ノードに接続し、そのドレインが電源ライン (給電線) DS に接続し、そのソース S が出力ノードに接続している。発光素子 E_L は、そのアノードがスイッチングトランジスタ T_3 を介して出力ノードに接続し、そのカソードが接地ライン (V_{cat}) に接続している。補助容量 C_{sub} は、出力ノードと接地ライン V_{cat} の間に接続している。本表示装置の画素 2 は、閾電圧補正手段と移動度補正手段を備えている。閾電圧補正手段は水平セレクタ 3、ライトスキャナ 4 及びドライブスキャナ 5 の機能として構成されており、非発光期間で動作し、出力ノード S に逆バイアス電圧を超える電位を印加した状態で駆動トランジスタ T_2 の閾電圧 V_{th} に相当する電圧を入力ノード G と出力ノード S の間の保持容量 C_1 に保持する。また移動度補正手段もライトスキャナ 4、ドライブスキャナ 5 及び水平セレクタ 3 の機能の一部で構成されており、非発光期間内で映像信号の書き込み中に動作し、出力ノード S に逆バイアス電圧を超える電位が加わった状態で出力ノード S から駆動電流を保持容量 C_1 に負帰還し、以って駆動トランジスタ T_2 の移動度 μ に応じた補正を加えている。

【0035】

図 13 は、図 12 に示した表示装置の動作説明に供するタイミングチャートである。理解を容易にするため、先行開発にかかる表示装置の動作説明に供した図 3 のタイミングチャートと同じ表記を採用している。但し本発明にかかる表示装置は、走査線 WS 、電源ライン DS 及び信号線 SL に加え、追加の走査線 SS が存在する。そこでタイミングチャート 13 は、走査線 WS と時間軸を合わせて追加走査線 SS の電位変化も表してある。タイミングチャートに示すように、走査線 SS の電位変化はトランジスタ T_3 のオンオフを制御している。走査線 SS が高レベルにあるときスイッチングトランジスタ T_3 はオン状態にあり、低レベルにあるときスイッチングトランジスタ T_3 はオフ状態である。

【0036】

このタイミングチャートは、前フィールドの発光期間(1)が終わった後、当該フィールドの非発光期間(1a)~(6a)に入り、その後当該フィールドの発光期間(7)に進む。図示するように駆動トランジスタT2のソースS(出力ノード)は非発光期間(1a)~(6a)でマイナス方向の電位レベルにある。特に閾電圧補正動作の前の準備期間(4)ではその電位が V_{ss} と最も低くなる。一方スイッチングトランジスタT3は丁度この非発光期間でオフ状態となり、発光素子ELが駆動トランジスタT2の出力ノードから切り離される。よって発光素子ELはこの非発光期間中出力ノードからマイナスレベルの電圧が印加されることがなく、逆バイアス状態とはならない。これにより、発光素子ELの不測の損傷を防止することができる。

10

【0037】

図14~図19を参照して、図12に示した画素回路の動作を詳細に説明する。まず図14に示すように前フィールドの発光期間(1)では、電源ラインが V_{cc} にあり、サンプリングトランジスタT1のみがオフした状態である。この時駆動トランジスタT2は飽和領域で動作するように設定されているため、発光素子ELに流れる駆動電流 I_{ds} は、駆動トランジスタT2のゲートG/ソースS間電圧 V_{gs} に応じて、前述した特性式に示される値を取る。

【0038】

続いて当該フィールドの非発光期間に入る。まず図15に示すように先頭の期間(1a)で、スイッチングトランジスタT3をオフにする。続く期間(2)で電源ライン(給電線)を V_{ss} にする。スイッチングトランジスタT3をオフすることで、発光素子ELに対する給電が遮断され、そのアノード電圧はほぼ発光素子ELの閾電圧 V_{thel} となる。また電源ラインを V_{cc} から V_{ss} に落とすことで、駆動トランジスタT2のソースSに V_{ss} が充電される。

20

【0039】

続いて期間(3)で信号線SLの電位を V_{sig} から V_{ofs} に切替えた後、図16に示すように準備期間(4)でサンプリングトランジスタT1をオンし、駆動トランジスタT2のゲートGの電位を V_{ofs} にする。この準備期間(4)で、駆動トランジスタT2のゲートG/ソースS間電圧 V_{gs} は、 $V_{ofs} - V_{ss}$ という値をとる。この $V_{gs} = V_{ofs} - V_{ss}$ が駆動トランジスタT2の閾電圧 V_{th} よりも小さいと、後の閾電圧補正動作を行うことができない。したがってこの準備期間(4)では $V_{gs} = V_{ofs} - V_{ss} > V_{th}$ に設定する必要がある。この条件を満たすため V_{ss} はかなり低い電位に設定される。

30

【0040】

続いて図17に示すように閾電圧補正期間(5)に入り、給電線(電源ライン)DSを再び V_{cc} に戻す。電源電圧を V_{cc} とすることで図示のように駆動トランジスタT2に電流が流れる。この電流は保持容量 C_1 と補助容量 C_{sub} を充電するために使われる。先行開発にかかる表示装置では、この移動度補正動作で保持容量 C_1 と発光素子ELの等価容量 C_{el} を充電していた。本発明では発光素子ELがスイッチングトランジスタT3によりソースSから切り離されているため、等価容量 C_{el} の代わりに補助容量 C_{sub} がソースSに追加されている。 C_1 と C_{sub} の充電過程で、駆動トランジスタT2のソースSの電位は時間と共に上昇していく。一定時間経過後駆動トランジスタT2のゲートG/ソースS間電圧 V_{gs} は V_{th} に相当する値を取る。つまりこの時、駆動トランジスタT2のソースSの電位は $V_{ofs} - V_{th}$ となっている。

40

【0041】

続いて図18に示すように書き込み期間(6)に進み、サンプリングトランジスタT1をオンした状態で、信号線SLの電位を V_{sig} にする。ここで信号電位 V_{sig} は発光素子の輝度階調に応じた電圧となっている。駆動トランジスタT2のゲートGの電位はサンプリングトランジスタT1がオンしているため V_{sig} となるが、電源 V_{cc} から電流が駆動トランジスタT2に流れているためそのソースSの電位も時間と共に上昇していく

50

。この時駆動トランジスタT2の閾電圧補正動作は既に完了しているため、駆動トランジスタT2が流す電流は移動度 μ を反映したものとなる。具体的には移動度 μ が大きい駆動トランジスタはこのときの電流量が大きくソースSの上昇も早い。逆に移動度 μ が小さい駆動トランジスタは電流量が小さく、ソースSの電位上昇は遅くなる。これによって駆動トランジスタT2の V_{gs} は移動度 μ を反映して小さくなり、補正期間(6)終了時点では、 V_{gs} が完全に移動度 μ で補正された値となる。

【0042】

非発光期間の最後に当たる期間(6a)でスイッチングトランジスタT3をオンした後、図19に示すように当該フィールドの発光期間(7)に入る。即ちスイッチングトランジスタT1をオフして書き込みを終了させると共に、スイッチングトランジスタT3をオンして発光素子ELを発光させる。駆動トランジスタT2のゲートG/ソースS間電圧 V_{gs} は一定であるので、駆動トランジスタT2は一定電流 $I_{ds'}$ を発光素子ELに流し、発光素子ELのアノード電位が上昇し、電圧 V_x まで到達した時点で順バイアス状態となり発光素子ELが発光する。本画素回路においても発光素子ELは発光時間が長くなるとその電流/電圧特性は変化してしまう。そのため出力ノードSの電位も変化する。しかしながら駆動トランジスタT2の V_{gs} は出力ノードの電位が変化してもブートストラップ動作で常に一定値に保たれるので、発光素子ELに流れる電流 $I_{ds'}$ は変化しない。よって発光素子の電流/電圧特性が劣化しても、一定の駆動電流が常に流れ続け、発光素子ELの輝度が変化することはない。

【0043】

以上の説明から明らかなように本発明にかかる表示装置は、非発光期間中発光素子ELに逆バイアスがかかることがない。発光素子ELには非発光期間中その閾電圧 V_{thel} に相当する電圧が印加されているだけである。この様に本発明は非発光期間中逆バイアス量よりも小さな電圧を発光素子ELに加えるだけなので、その損傷を防ぐことが可能であり画素の滅点化を防ぎ高歩留を実現できる。

【0044】

図20は、やはり本発明の基になった別の先行開発にかかる表示装置を示すブロック図である。図示するように、本表示装置は基本的に画素アレイ部1とスキャナ部と信号部とで構成されている。スキャナ部と信号部とで駆動部を構成する。画素アレイ部1は、行状に配された走査線 $WS, DS, AZ1, AZ2$ と、列状に配された信号線 SL と、これらの走査線 $WS, DS, AZ1, AZ2$ 及び信号線 SL に接続した行列状の画素回路2とからなる。信号部は水平セレクタ3からなり、信号線 SL に映像信号を供給する。スキャナ部は、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72からなり、それぞれ走査線 $WS, DS, AZ1, AZ2$ に制御信号を供給して順次行ごとに画素回路を走査すると共に、所定の閾電圧補正動作、信号書き込み動作、発光動作などを行う。

【0045】

ライトスキャナ4はシフトレジスタからなり、外部から供給されるクロック信号 WSc に応じて動作し、同じく外部から供給されるスタートパルス WSp を順次転送することで、対応する走査線 WS に所定の制御信号を線順次で出力している。同様にドライブスキャナ5もシフトレジスタからなり、クロック信号 DSc 及びスタートパルス DSp に従って動作し、所定の制御信号を対応する走査線 DS に出力している。同様に第一補正用スキャナ71もクロック信号 $AZ1c$ とスタートパルス $AZ1s$ の入力を受けて動作する。第二補正用スキャナ72もクロック信号 $AZ2c$ と $AZ2s$ の供給を外部から受けて、所定の制御信号を対応する走査線 $AZ2$ に出力する。

【0046】

図21は、図20に示した先行開発にかかる表示装置に組み込まれる画素の構成を示す回路図である。図示するように画素回路2は、サンプリングトランジスタT1と、3個のスイッチングトランジスタT2, T3, T4と、駆動トランジスタT5と、保持容量C1と、発光素子ELとを含む。サンプリングトランジスタT1は、所定のサンプリング期間

(映像信号書き込み期間)に走査線WSから供給される制御信号に応じ導通して信号線SLから供給された映像信号の信号電位Vsigを保持容量C1にサンプリングする。保持容量C1は、サンプリングされた映像信号の信号電位Vsigに応じて駆動トランジスタT5のゲートGに入力電圧Vgsを印加する。駆動トランジスタT5は、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。発光素子ELは、所定の発光期間中駆動トランジスタT5から供給される出力電流Idsにより映像電位の信号電位Vsigに応じた輝度で発光する。なお発光素子ELのアノードは駆動トランジスタT5のソースSに接続する一方、カソードは所定の接地電位(カソード電位)Vcatに接続している。本明細書では駆動トランジスタT5のソースSを接続ノードと呼ぶ場合がある。

【0047】

スイッチングトランジスタT2は、サンプリング期間に先立ち走査線AZ1から供給される制御信号に応じ導通して駆動トランジスタT5のゲートGを所定の電位Vofsに設定する。スイッチングトランジスタT4は、サンプリング期間(書き込み期間)に先立ち走査線AZ2から供給される制御信号に応じ導通して駆動トランジスタT5のソースS(出力ノード)を所定の電位Vssに設定する。スイッチングトランジスタT3は、同じく書き込み期間に先立ち走査線DSから供給される制御信号に応じ導通して駆動トランジスタT5を電源電位Vccに接続し、以って駆動トランジスタT5の閾電圧Vthに相当する電圧を保持容量C1に保持させ閾電圧Vthの影響を補正する。よって本例では、スイッチングトランジスタT2, T3, T4が閾電圧補正手段を構成している。またサンプリングトランジスタT1とスイッチングトランジスタT3は共働で移動度補正手段を構成してあり、上述した書き込み期間の一部で出力電流Idsを保持容量C1に負帰還し、以って駆動トランジスタT5の移動度μに応じた補正をかける。さらにこのスイッチングトランジスタT3は、発光期間に再び走査線DSから供給される制御信号に応じ導通して駆動トランジスタT5を電源電位Vccに接続し出力電流Idsを発光素子ELに流す。

【0048】

以上の説明から明らかなように、本画素回路2は5個のトランジスタT1~T5と1個の保持容量C1と1個の発光素子ELとで構成されている。トランジスタT1, T2, T4, T5はNチャネル型のポリシリコンTFTである。トランジスタT3のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることができる。発光素子ELはアノード及びカソードを備えたダイオード型であり、例えば有機ELデバイスからなる。この有機ELデバイスはアノードの電位に応じて順バイアス状態と逆バイアス状態の間を遷移し、且つ順バイアス状態下で出力電流により発光する一方、画素回路が閾電圧補正動作や移動度補正動作を行うときは逆バイアス状態に置かれる。但し、逆バイアス状態の時間が長過ぎたり、逆バイアス電圧が大き過ぎる場合、有機ELデバイスは損傷の恐れが生じる。なお本発明は有機ELデバイスに限るものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0049】

図22は、図21に示した画素の動作説明に供するタイミングチャートである。このタイミングチャートは、時間軸に沿って各走査線WS, AZ1, AZ2及びDSに印加される制御信号の波形を表してある。トランジスタT1, T2, T4はNチャネル型なので走査線WS, AZ1, AZ2がそれぞれハイレベルのときオンし、ローレベルのときオフする。一方トランジスタT3はPチャネル型なので、走査線DSがハイレベルのときオフし、ローレベルのときオンする。したがってこのタイミングチャートは、各トランジスタT1, T2, T3, T4のオンオフ状態も表してある。なおこのタイミングチャートは各制御信号WS, AZ1, AZ2, DSの波形と共に、駆動トランジスタT5のゲートG及びソースSの電位変化も表してある。ゲートGとソースSとの間に生じる電圧がゲート電圧Vgsであり、駆動トランジスタT5に対する入力電圧になる。

【0050】

図示するように、タイミングチャートは便宜的に期間(1)~(8)に区切ってある。

10

20

30

40

50

最初の発光期間(1)は前のフィールドに属する。発光期間(1)が終わって次のフィールドに入る。まず閾電圧補正のための準備期間(2)及び(3)があり、続いて閾電圧補正期間(4)があり、調整期間(5)の後、書き込み期間(6)及び(7)に進む。なおこの書き込み期間(6)及び(7)は、移動度補正期間(7)を含む。この後本フィールドの発光期間(8)となる。ここで発光期間(1)及び(8)では、駆動トランジスタT5のソースS(接続ノード)は比較的高い電位にあり、発光素子ELは順バイアス状態となって発光している。これに対し期間(2)~(7)は非発光期間であり、駆動トランジスタT5のソースSは比較的低い電位にあり、逆バイアス状態となって発光素子ELは非発光状態にある。特に準備期間(3)ではソースSの電位が深く落ち込み、強い逆バイアス状態となる。

10

【0051】

図22のタイミングチャートから明らかなように、この先行開発にかかる表示装置も、非発光期間(2)~(7)で、駆動トランジスタT5のソースSに大きなマイナスバイアスが加わる。このマイナスバイアスがそのまま発光素子ELに加わるため、発光素子ELが非発光期間中逆バイアス状態に置かれ、損傷の恐れがある。

【0052】

図23は、本発明にかかる表示装置の別の実施形態を示す回路図である。この実施形態は図21に示した先行開発にかかる表示装置を改善したものであり、理解を容易にするため対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタT5の出力ノードSと発光素子ELのアノードとの間にスイッチングトランジスタT6を挿入したことである。またこのスイッチングトランジスタT6のゲートには走査線SSを介してスイッチングスキャナ6が接続しており、非発光期間中このスイッチングトランジスタT6をオフしている。これにより非発光期間中発光素子ELは駆動トランジスタT5の出力ノードSから切り離されるため、逆バイアス状態になることがない。なお出力ノードSと固定電位Vcatの間に補助容量Csubが接続されている。

20

【0053】

本発明にかかる表示装置は、図27に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスター部(図では1個のTFETを例示)、保持容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTFETプロセスでトランジスター部や容量部が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

30

【0054】

本発明にかかる表示装置は、図28に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部(画素マトリックス部)を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC(フレキシブルプリントサーキット)を設けてもよい。

40

【0055】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

【0056】

図29は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11

50

に用いることにより作製される。

【 0 0 5 7 】

図 3 0 は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部 1 5、表示部 1 6、コントロールスイッチ、メニユースイッチ、シャッター 1 9 等を含み、本発明の表示装置をその表示部 1 6 に用いることにより作製される。

【 0 0 5 8 】

図 3 1 は本発明が適用されたノート型パーソナルコンピュータであり、本体 2 0 には文字等を入力するとき操作されるキーボード 2 1 を含み、本体カバーには画像を表示する表示部 2 2 を含み、本発明の表示装置をその表示部 2 2 に用いることにより作製される。

10

【 0 0 5 9 】

図 3 2 は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体 2 3、下側筐体 2 4、連結部（ここではヒンジ部）2 5、ディスプレイ 2 6、サブディスプレイ 2 7、ピクチャーライト 2 8、カメラ 2 9 等を含み、本発明の表示装置をそのディスプレイ 2 6 やサブディスプレイ 2 7 に用いることにより作製される。

【 0 0 6 0 】

図 3 3 は本発明が適用されたビデオカメラであり、本体部 3 0、前方を向いた側面に被写体撮影用のレンズ 3 4、撮影時のスタート/ストップスイッチ 3 5、モニター 3 6 等を含み、本発明の表示装置をそのモニター 3 6 に用いることにより作製される。

20

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 先行開発にかかる表示装置の全体構成を示すブロック図である。

【 図 2 】 図 1 に示した表示装置に組み込まれる画素の構成を示す回路図である。

【 図 3 】 図 2 に示した画素の動作説明に供するタイミングチャートである。

【 図 4 】 同じく図 2 に示した画素の動作説明に供する模式図である。

【 図 5 】 同じく動作説明に供する模式図である。

【 図 6 】 同じく動作説明に供する模式図である。

【 図 7 】 同じく動作説明に供する模式図である。

【 図 8 】 同じく動作説明に供するグラフである。

30

【 図 9 】 同じく動作説明に供する模式図である。

【 図 1 0 】 同じく動作説明に供するグラフである。

【 図 1 1 】 同じく動作説明に供する模式図である。

【 図 1 2 】 本発明にかかる表示装置の実施形態を示す回路図である。

【 図 1 3 】 図 1 2 に示した表示装置の動作説明に供するタイミングチャートである。

【 図 1 4 】 同じく図 1 2 に示した本発明にかかる表示装置の動作説明に供する模式図である。

【 図 1 5 】 同じく動作説明に供する模式図である。

【 図 1 6 】 同じく動作説明に供する模式図である。

【 図 1 7 】 同じく動作説明に供する模式図である。

40

【 図 1 8 】 同じく動作説明に供する模式図である。

【 図 1 9 】 同じく動作説明に供する模式図である。

【 図 2 0 】 先行開発にかかる表示装置の別の例を示すブロック図である。

【 図 2 1 】 図 2 0 に示した表示装置に組み込まれる画素の構成を示す回路図である。

【 図 2 2 】 図 2 1 に示した画素の動作説明に供するタイミングチャートである。

【 図 2 3 】 本発明にかかる表示装置の他の実施形態を示す回路図である。

【 図 2 4 】 従来 of 表示装置の一例を示す回路図である。

【 図 2 5 】 図 2 4 に示した従来 of 表示装置の動作説明に供するグラフである。

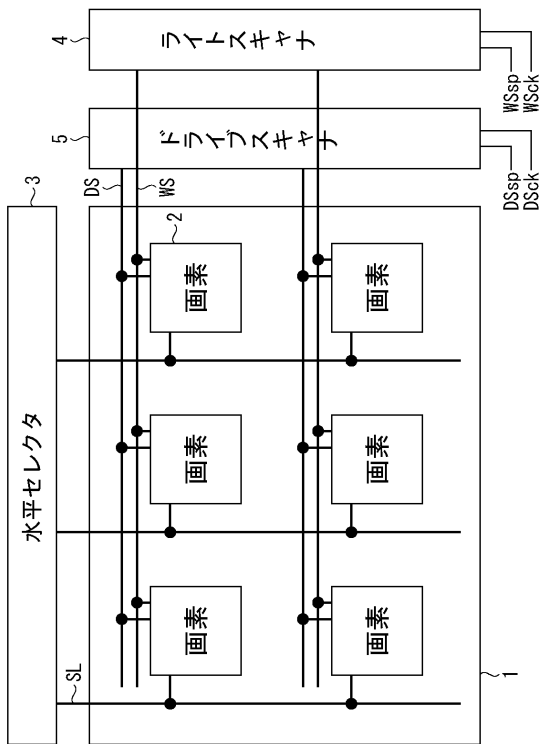
【 図 2 6 】 従来 of 表示装置の他の例を示す回路図である。

【 図 2 7 】 本発明にかかる表示装置のデバイス構成を示す断面図である。

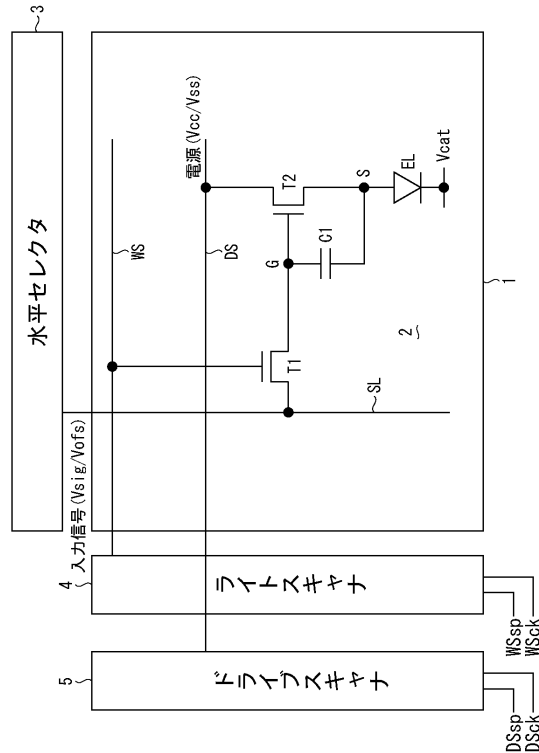
50

- 【図28】本発明にかかる表示装置のモジュール構成を示す平面図である。
- 【図29】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。
- 【図30】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。
- 【図31】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。
- 【図32】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。
- 【図33】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。
- 【符号の説明】
- 【0062】
- 1・・・画素アレイ、2・・・画素、3・・・水平セレクタ、4・・・ライトスキャナ、
- 5・・・ドライブスキャナ、6・・・スイッチングスキャナ、T1・・・サンプリングトランジスタ、
- T2・・・駆動トランジスタ、T3・・・スイッチングトランジスタ、C1・・・保持容量、Csub・・・補助容量

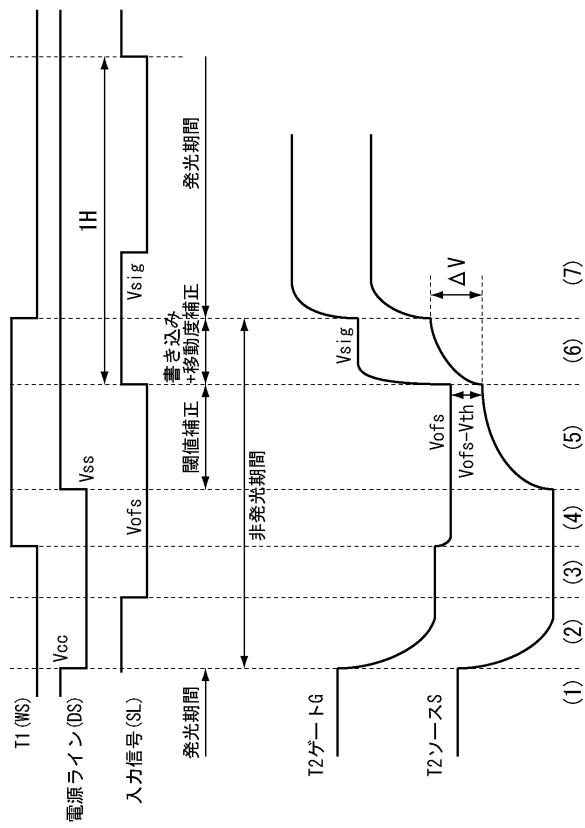
【図1】



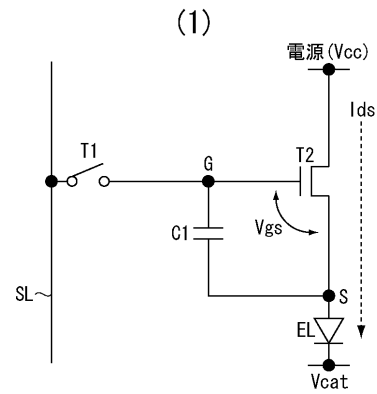
【図2】



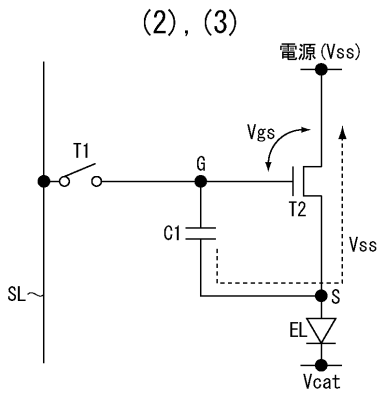
【 図 3 】



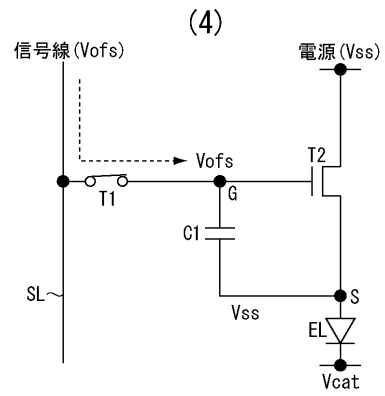
【 図 4 】



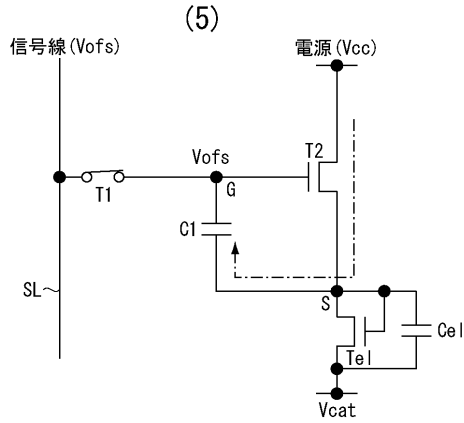
【 図 5 】



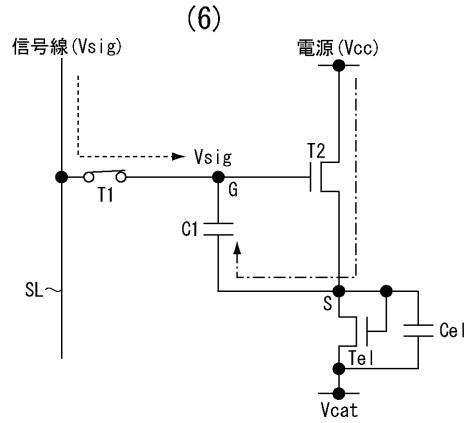
【 図 6 】



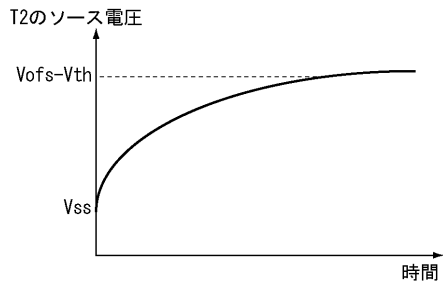
【 図 7 】



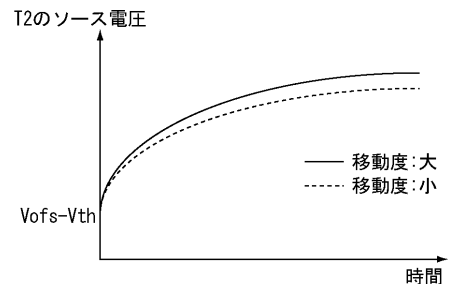
【 図 9 】



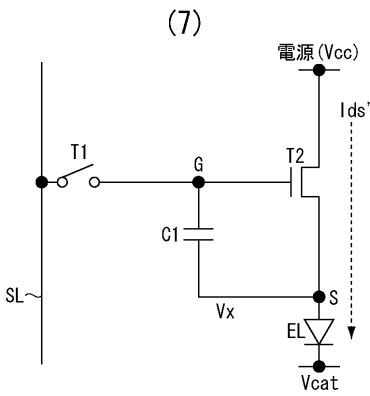
【 図 8 】



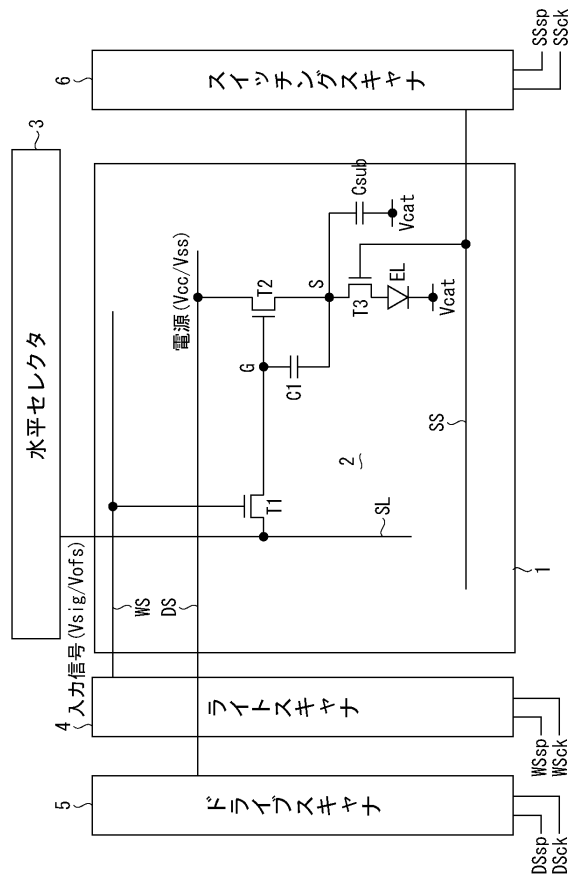
【 図 10 】



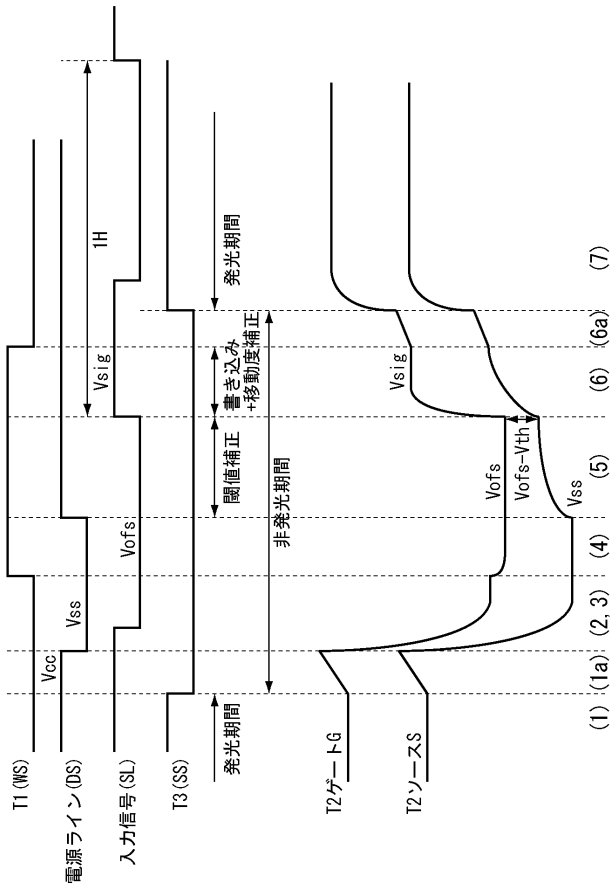
【 図 11 】



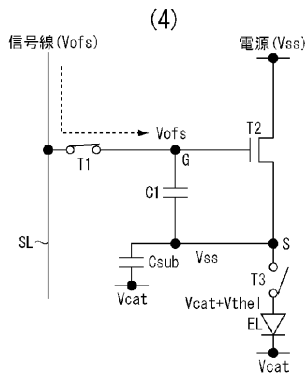
【 図 12 】



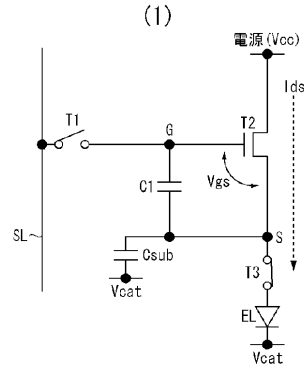
【図 1 3】



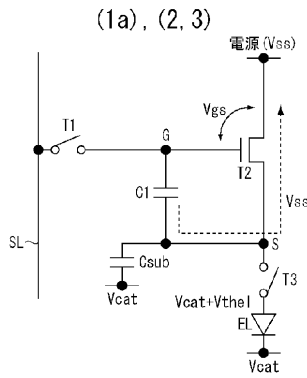
【図 1 6】



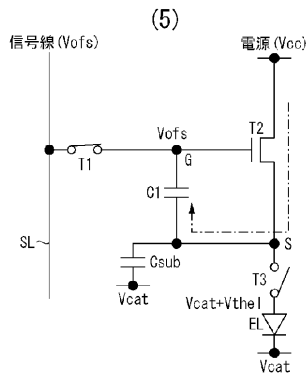
【図 1 4】



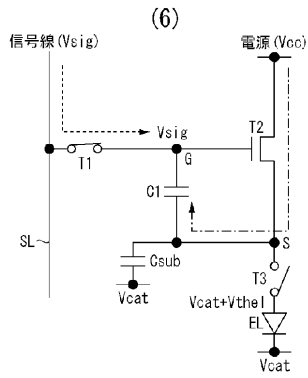
【図 1 5】



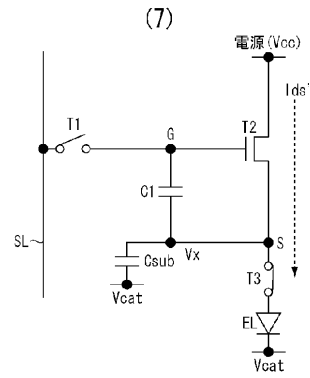
【図 1 7】



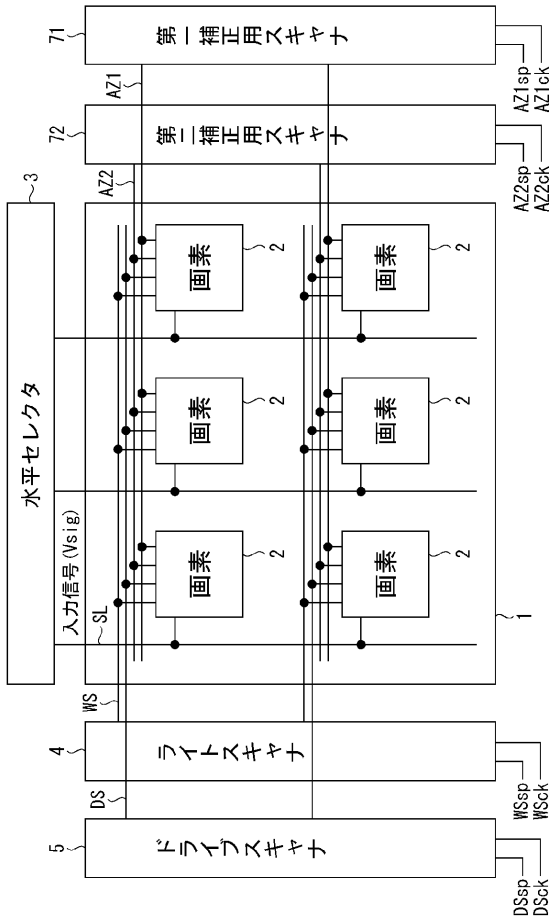
【 図 1 8 】



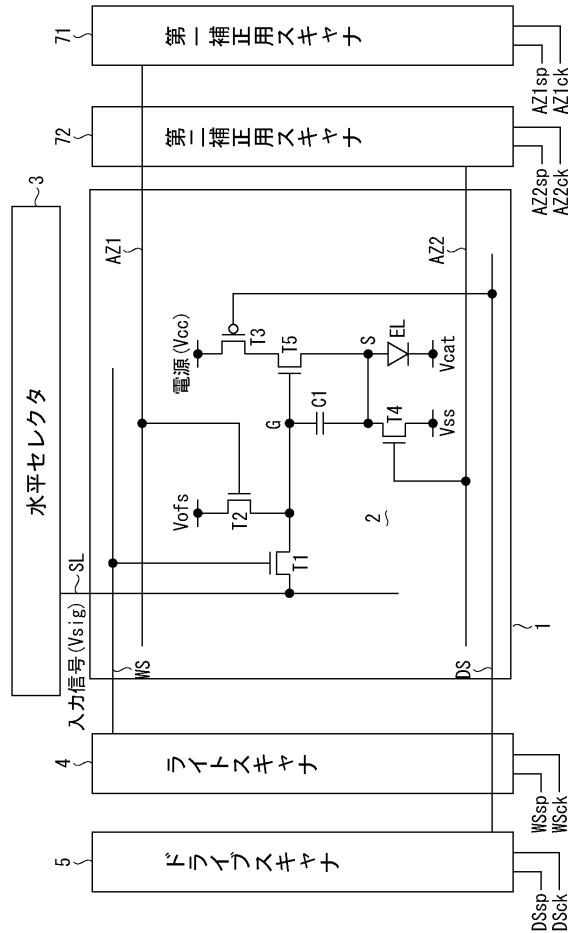
【 図 1 9 】



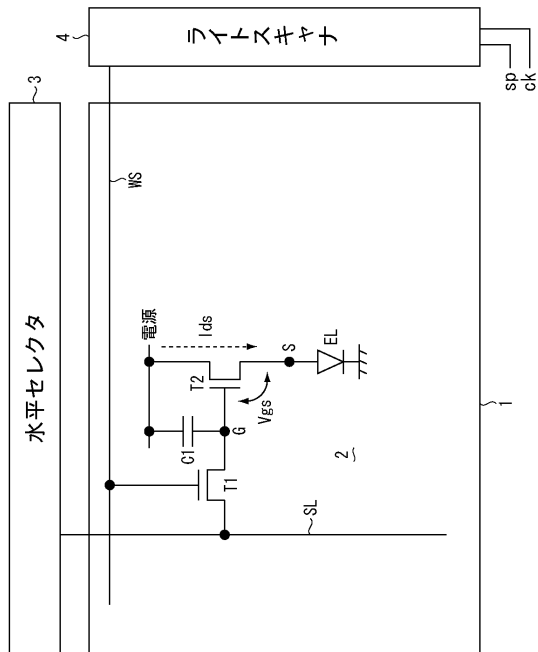
【 図 2 0 】



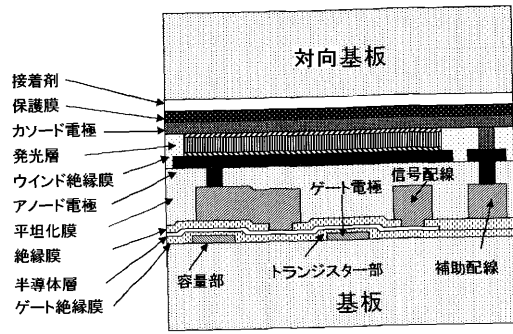
【 図 2 1 】



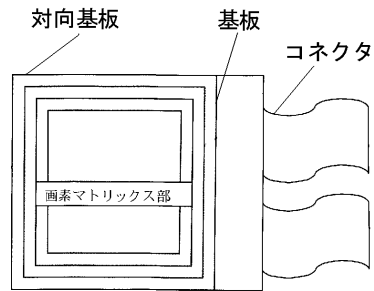
【図 26】



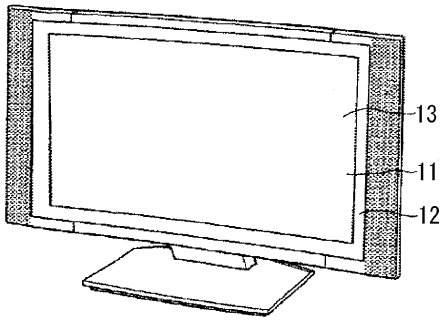
【図 27】



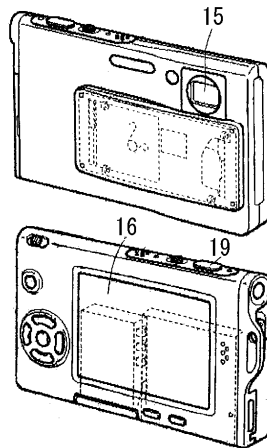
【図 28】



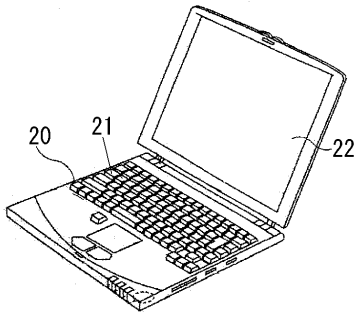
【図 29】



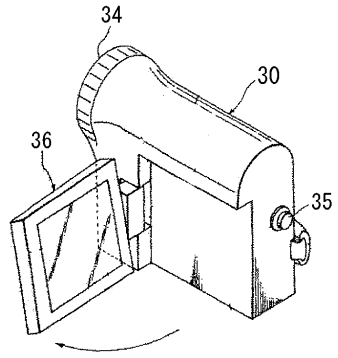
【図 30】



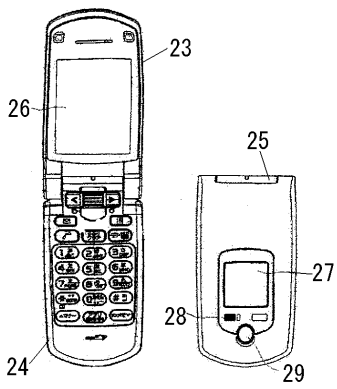
【 図 3 1 】



【 図 3 3 】



【 図 3 2 】



专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2008170857A	公开(公告)日	2008-07-24
申请号	JP2007005646	申请日	2007-01-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野 勝秀 山本 哲郎		
发明人	内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0256 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.670.K H05B33/14.A G09G3/20.641.C G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC26 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD18 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB27 5C380/AB32 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CC66 5C380/CD012 5C380/CD015 5C380/CD023 5C380/CD026 5C380/CE04 5C380/CE20 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA47 5C380/GA12 5C380/HA03 5C380/HA05		
其他公开文献	JP4600780B2		
外部链接	Espacenet		

摘要(译)

提供一种显示装置，其中在像素的非发光时段期间不向发光元件施加反向偏压。采样晶体管响应于从扫描线提供的控制信号而导通，并将从信号线提供的视频信号写入存储电容器。驱动晶体管T2根据写入保持电容器C1的视频信号的信号电位将驱动电流输出到输出节点S。开关晶体管T3的输出节点S和发光元件EL之间，而对应于在预定的发光期间，在非发光提供到发光器件EL处于ON状态的驱动电流的视频信号以一亮度发光从输出节点S和关断的时段期间断开发光元件EL，在非发光期间内进行2的像素的操作的输出节点S的电势被施加作为反向偏置电压施加到发光二极管类型的元件EL在防止。 .The 12

