

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-516459

(P2007-516459A)

(43) 公表日 平成19年6月21日(2007.6.21)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 670J	
	G09G 3/20 642P	
	HO5B 33/14 A	

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2006-518387 (P2006-518387)
 (86) (22) 出願日 平成16年6月23日 (2004.6.23)
 (85) 翻訳文提出日 平成17年12月28日 (2005.12.28)
 (86) 国際出願番号 PCT/IB2004/002118
 (87) 国際公開番号 W02005/004097
 (87) 国際公開日 平成17年1月13日 (2005.1.13)
 (31) 優先権主張番号 0315455.6
 (32) 優先日 平成15年7月2日 (2003.7.2)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

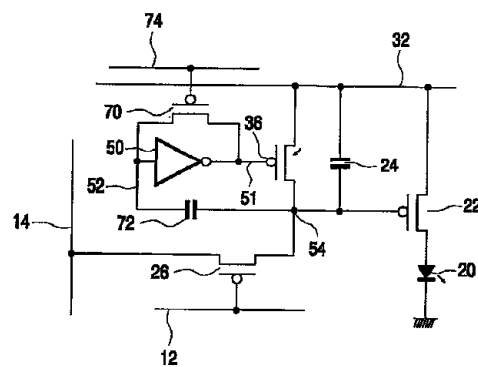
最終頁に続く

(54) 【発明の名称】 電界発光表示装置

(57) 【要約】

【課題】画素回路での最適なフィードバックを使用する形式の改善されたアクティブマトリクス電界発光表示装置を提供する。

【解決手段】アクティブマトリクス電界発光表示装置で、蓄積キャパシタ(24)は電界発光表示素子(20)の照射を制御する駆動トランジスタ(22)をアドレス指定するために使用される電圧を蓄えるよう夫々の画素に設けられ、光トランジスタのようなゲート放電感光手段(36)は表示素子の光出力に応じて蓄積キャパシタを放電するよう設けられる。ゲート感光手段の動作はその入力蓄積キャパシタの一方の端子に結合されたインバータ(50)の出力により制御される。蓄積キャパシタが特定の放電電圧に達すると、ゲート感光手段はインバータの切替えによりオンとされ、それによりキャパシタを即座に放電し、表示素子をオフとする。このインバータの使用は、光出力を終了させる高速で、頑強で、上手に制御された切替え動作を確実にする。



【特許請求の範囲】

【請求項 1】

表示画素の配列を有するアクティブマトリクス電界発光表示装置において、
夫々の画素は、
電界発光表示素子と、
該表示素子を流れる電流を駆動する駆動トランジスタと、
該駆動トランジスタをアドレス指定するために使用されるべき電圧を蓄える蓄積キャパシタと、

前記表示素子の光出力に従って前記蓄積キャパシタを放電するために前記蓄積キャパシタに結合されたゲート感光手段と、

その出力が前記ゲート感光手段のゲートに結合され、その入力前記蓄積キャパシタの一方の端子に結合され、前記蓄積キャパシタの前記一方の端子の電圧が所定のレベルに達すると、前記蓄積キャパシタを放電するよう前記ゲート感光手段を即座にオンとするよう動作するインバータとを有することを特徴とする表示装置。

10

【請求項 2】

前記駆動トランジスタは、電力供給ラインと前記表示素子との間に接続されていることを特徴とする、請求項 1 記載の表示装置。

【請求項 3】

前記ゲート感光手段は、前記電力供給ラインと前記駆動トランジスタのゲートとの間で前記蓄積キャパシタと並列に接続されていることを特徴とする、請求項 2 記載の表示装置。

20

【請求項 4】

前記インバータは、第一及び第二の電圧入力間で直列に接続された一对の逆導電型トランジスタを有することを特徴とする、請求項 3 記載の表示装置。

【請求項 5】

前記電力供給ラインは、前記インバータに対して前記第一の電圧入力を供給することを特徴とする、請求項 4 記載の表示装置。

【請求項 6】

夫々の画素は、前記インバータの入力と前記蓄積キャパシタの一方の端子との間に接続され、前記インバータの切替え点電圧に依存する調整電圧が蓄えられる更なるキャパシタを有することを特徴とする、請求項 4 又は 5 記載の表示装置。

30

【請求項 7】

夫々の画素は、前記インバータをその切替え点電圧に保持するように画素アドレス指定相の間動作可能である前記インバータの入力と出力との間に接続されたスイッチングトランジスタを有することを特徴とする、請求項 6 記載の表示装置。

【請求項 8】

夫々の画素は、入力信号ラインと、前記蓄積キャパシタの一方の端子と前記駆動トランジスタのゲートとの間の節点に結合された画素入力との間に接続されたアドレストランジスタを更に有することを特徴とする、請求項 1 乃至 7 のうちいずれか一項記載の表示装置。

40

【請求項 9】

前記画素は、一列の画素により共有された夫々の入力信号ラインと共に行及び列で配置され、

一行中の画素の前記アドレストランジスタは、夫々のアドレス導電体に接続されて、それを介して制御されることを特徴とする、請求項 8 記載の表示装置。

【請求項 10】

一行中の画素の前記インバータに対する電圧入力は、画素の隣接する行と結合されたアドレス導電体により供給されることを特徴とする、請求項 9 記載の表示装置。

【請求項 11】

前記ゲート感光手段は、光トランジスタであることを特徴とする、請求項 1 乃至 10 の

50

うちいずれか一項記載の表示装置。

【請求項 1 2】

前記ゲート感光手段は、側面ゲート光ダイオード素子であることを特徴とする、請求項 1 乃至 1 0 のうちいずれか一項記載の表示装置。

【請求項 1 3】

電界発光表示素子の配列を駆動し、前記表示素子を駆動する駆動回路の配列を有するアクティブマトリクス回路において、

夫々の駆動回路は、

前記表示素子に対して駆動電流を供給する駆動トランジスタと、

該駆動トランジスタをアドレス指定するために使用されるべき電圧を蓄える蓄積キャパシタと、

当該ゲート感光手段の光入射に従って前記蓄積キャパシタを放電するために前記蓄積キャパシタに結合されたゲート感光手段と、

その出力が前記ゲート感光手段のゲートに結合され、その入力の前記蓄積キャパシタの一方の端子に結合され、前記蓄積キャパシタの前記一方の端子の電圧が前記ゲート感光手段での光入射に応じてある放電レベルに達すると、前記蓄積キャパシタを放電するよう前記ゲート感光手段を即座にオンとするよう配置されたインバータとを有することを特徴とするアクティブマトリクス回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界発光表示装置、具体的には、光放射型電界発光表示素子と薄膜トランジスタとを有する画素の配列を有するアクティブマトリクス表示装置に関する。更に具体的には、本発明は、表示素子により放射された光に反応し、表示素子の電圧供給を制御するために使用される感光素子を有する画素を有するアクティブマトリクス電界発光表示装置に関する。

【背景技術】

【0002】

電界発光放射型表示素子を用いるマトリクス表示装置がよく知られる。表示素子は、高分子物質 (PLED) 又は発光ダイオード (LED) を含む有機薄膜電界発光素子 (OLED) を共通に有する。一般に、これらの物質は、一对の電極間に挟まれた半導体複合高分子化合物の一つ又はそれ以上の層を有する。電極の一方は透明であって、他方は高分子化合物層に空孔又は電子を注入するために適した物質から作られている。

【0003】

このような表示装置の表示素子は、電流駆動型であって、従来のアナログ駆動法は、表示素子に制御可能な電流を供給するステップを有する。一般に、電流源トランジスタは、画素構造の一部として設けられ、電流源トランジスタへ供給されるゲート電圧は、電界発光 (EL) 表示素子を流れる電流を決定する。蓄積キャパシタは、アドレス指定相の後にゲート電圧を保持する。このような画素回路の一例は、EP - A - 0 7 1 7 4 4 6 (特許文献 1。) に記述されている。

【0004】

従って、夫々の画素は、EL 表示素子と、関連した駆動回路とを有する。駆動回路は、行導電体上で行アドレスによりオンとされるアドレストランジスタを有する。アドレストランジスタがオンとされるときに、列導電体のデータ電圧は、残りの画素に送ることができる。具体的には、アドレストランジスタは、駆動トランジスタと、駆動トランジスタのゲートに接続された蓄積キャパシタとを有する電流源に列導電体電圧を供給する。列データ電圧は、駆動トランジスタのゲートに供給され、ゲートは、行アドレスパルスが終了した後でさえも蓄積キャパシタによりこの電圧に保持される。この回路の駆動トランジスタは、蓄積キャパシタがゲートソース間電圧を一定に保つように、pチャネル TFT (薄膜トランジスタ) として実施される。これは、トランジスタを流れる一定のソースドレ

10

20

30

40

50

イン間電流をもたらす。従って、トランジスタは、画素の所望の電流源動作を提供する。

【0005】

上記の基本的な画素回路において、所定の駆動電流に対する画素の光出力レベルの減少をもたらすLED物質の差分エージング又は減衰は、表示装置全体の画像品質の変化を引き起こしうる。更に、表示の非均一性の問題は、駆動トランジスタの特性、具体的には閾値電圧レベルの可変性に従って起こりうる。

【0006】

LED物質のエージング及びトランジスタ特性の変動を補償することができる改善された電圧アドレス指定型画素回路が提案される。これらは、表示素子の光出力に反応する感光素子を有し、画素の最初のアドレス指定の後に続く駆動期間の間に表示素子の総合的な光出力を制御するように、光入力に応じて蓄積キャパシタに蓄えられた電荷を漏出するように作動する。この形式の画素構造の例が、W001/20591（特許文献2。）及びEP1096466（特許文献3。）に記述されている。一つの実施例において、画素の光ダイオードは、蓄積キャパシタに蓄えられたゲート電圧を放電し、EL表示素子は、駆動トランジスタのゲート電圧が閾値電圧に達するとき放射を中止する。それと同時に、蓄積キャパシタは放電を中止する。電荷が光ダイオードから漏出される速度は、表示素子の出力の関数であるから、光ダイオードは、感光フィードバック素子として働く。

10

【0007】

この配置と伴って、EL表示素子の効率及びエージングの補償とは無関係な表示素子からの光出力は、それによって提供される。このような技術は、時間期間に亘って非均一性にほとんど悩まされない高品質の表示を達成することに効果的であることを示している。しかし、良い結果のために、アモルファスシリコンpin光ダイオードのような高効率の光ダイオードが望ましくは使用されるが、これは、一般的な場合であるとして、多結晶シリコンTFTが駆動トランジスタとして使用される場合に製造上の複雑性を引き起こす。また、画素からの良好なフレーム時間平均輝度を達成するために、高ピーク輝度レベルが必要とされるが、これは、EL素子が最も有効な動作点から離れて使用され、その結果、LED物質が更に急速に老化しうることを意味する。

20

【0008】

上記の特許文献2及び3において、画素回路の実施例は、共通の処理工程を用いて駆動トランジスタと共に容易に製造可能である感光素子としてより低い効率の光トランジスタを使用することを記述する。それらの画素回路において、光トランジスタに当たる光は、蓄積キャパシタの漸次の放電と、結果としておこる駆動トランジスタを流れる電流の減少とをもたらす、電流が所定の低いレベルまで減少するときに、光トランジスタは、キャパシタを急速に放電するようにオンとされる。このオン切替えは、EL素子の陽極に光トランジスタのゲートを接続することにより成し遂げられる。しかし、これに伴う問題は、達成するのは困難でありうるEL素子の陽極電圧の大幅な変動が必要とされることである。更に、この画素回路において、EL素子の陽極への接続は、LEDのエージングの影響、即ち、陽極電圧の増大が画素回路に戻されて結合されることを意味し、駆動トランジスタ及び光トランジスタのパラメータの変動に因る画素回路の非均一性が存在しうる。

30

【特許文献1】欧州特許出願EP-A-0717446

40

【特許文献2】国際特許出願W001/20591

【特許文献3】欧州特許出願EP-A-1096466

【特許文献4】国際特許出願W096/36959

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、画素回路での最適なフィードバックを使用する形式の改善されたアクティブマトリクス電界発光表示装置を提供することである。

【課題を解決するための手段】

【0010】

50

本発明の一つの様相によれば、表示画素の配列を有するアクティブマトリクス電界発光表示装置が提供され、夫々の画素は、

電界発光表示素子と、

該表示素子を流れる電流を駆動する駆動トランジスタと、

該駆動トランジスタをアドレス指定するために使用されるべき電圧を蓄える蓄積キャパシタと、

前記表示素子の光出力に従って前記蓄積キャパシタを放電するために前記蓄積キャパシタに結合されたゲート感光手段と、

その出力が前記ゲート感光手段のゲートに結合され、その入力前記蓄積キャパシタの一方の端子に結合され、前記蓄積キャパシタの前記一方の端子の電圧が所定のレベルに達すると、前記蓄積キャパシタを放電するよう前記ゲート感光手段を即座にオンとするよう動作するインバータとを有する。

10

【0011】

この装置に置いて、ゲート感光手段は、もはやEL素子の陽極に接続されていない。代わりに、ゲートの電圧は、蓄積キャパシタの電圧に従ってインバータにより制御される。これは、表示装置の性能及び製造された表示装置の品質において著しい改善をもたらす。特に、非均一性の問題をもたらす画素駆動電圧の閾値レベルの変動への影響は回避される。また、周知の画素回路の動作におけるEL素子の閾値電圧への依存性は、EL素子の老化と共に増大するが、これも回避される。本発明の装置の画素回路は、「スナップオフ」動作を提供するための周知の画素回路と類似する方法で動作し、それによって、EL素子からの光出力は、ゲート感光手段がオンとされると即座に終了される。しかし、本発明の画素により達成される「スナップオフ」動作は、周知の画素回路のように簡単に光トランジスタを用いて得られる動作と比較して改善され、より一層頑強で、より高速な切替え動作が達成される。

20

【0012】

ゲート感光手段は、望ましくはTF T構造の光トランジスタ、又は側面ゲート光ダイオード素子であっても良い。代替的には、当該手段は、標準的なTF Tと並列接続されたNIP又はPIN光ダイオードのような、素子の組合せを有しても良い。

【0013】

望ましくは、従来画素回路と同様に、前記駆動トランジスタは、電力供給ラインと前記表示素子との間に接続されている。その場合、前記ゲート感光手段は、前記電力供給ラインと前記駆動トランジスタのゲートとの間で前記蓄積キャパシタと並列に接続されている。

30

【0014】

また、従来装置と同様に、夫々の画素は、例えばアナログ電圧データ信号を搬送する入力信号ラインと、前記蓄積キャパシタの一方の端子と前記駆動トランジスタのゲートとの間の節点に結合された画素入力との間に接続されたアドレストランジスタを有しても良い。

【0015】

前記電力供給ラインは、便宜上、前記インバータに対して一つの電圧供給として使用されても良い。他の電圧供給は、例えば接地ラインのような基準電位源により供給される。

40

【0016】

望ましくは、前記インバータは、インバータが切替え時に電流のみを使用するようなCMOS型インバータである。しかし、両導電性型(p及びn)のTF Tを使用するインバータは、蓄積キャパシタの一方の端子と感光手段のゲートとの間に簡単に接続された場合に、異なるインバータのTF Tの特性の変動に因って幾らかの非均一性を導入しうる。

【0017】

望ましい実施例において、従って、夫々の画素は、前記インバータの入力と前記蓄積キャパシタの一方の端子との間に接続され、前記インバータの切替え点電圧に依存する調整電圧が蓄えられる更なるキャパシタを有する。このようにして、ゲート感光手段の動作は

50

、インバータの切替え点電圧で起こりうる変動とは無関係にされることができ、従って、ゲート感光手段の動作は、蓄積キャパシタの一方の端子に存在している特定の所定の電圧レベルに従って確実に制御される。望ましくは、夫々の画素は、前記インバータをその切替え点電圧に保持するように画素アドレス指定相の間動作可能である前記インバータの入力と出力との間に接続されたスイッチングトランジスタを更に有する。

【0018】

従来の装置と同様に、画素が行に配置されて、一行の画素が夫々の行アドレスラインを介して供給される選択（ゲート）信号によってアドレス指定相で選択される場合に、画素の行のインバータに対する基準電位源は、隣接する画素の行に結合された行アドレスラインによりタイミング良く供給されうる。従来の駆動法では、画素の行に対する選択アドレス信号は、一般的に配列内の画素の行数により導き出されるフレーム期間に対応する比較的短い行アドレス期間の間に関連する行アドレス導電体に印加され、残りのフレーム期間の間に、行アドレス導電体は、一般に接地である低い一定電位に保持される。

10

【0019】

本発明の他の様相によれば、電界発光表示素子の配列を駆動し、前記表示素子を駆動する駆動回路の配列を有するアクティブマトリクス回路が提供され、夫々の駆動回路は、

前記表示素子に対して駆動電流を供給する駆動トランジスタと、

該駆動トランジスタをアドレス指定するために使用されるべき電圧を蓄える蓄積キャパシタと、

当該ゲート感光手段の光入射に従って前記蓄積キャパシタを放電するために前記蓄積キャパシタに結合されたゲート感光手段と、

20

その出力が前記ゲート感光手段のゲートに結合され、その入力前記蓄積キャパシタの一方の端子に結合され、前記蓄積キャパシタの前記一方の端子の電圧が前記ゲート感光手段での光入射に応じてある放電レベルに達すると、前記蓄積キャパシタを放電するよう前記ゲート感光手段を即座にオンとするよう配置されたインバータとを有する。

【0020】

本発明によるアクティブマトリクス電界発光（EL）表示装置の実施例を、一例として添付の図面を参照して記述する。

【発明を実施するための最良の形態】

【0021】

同じ参照数字は、同一又は類似する部品を表わすように全ての図に亘って使用される。

30

【0022】

図1を参照すると、アクティブマトリクスEL表示装置は、ブロック10により表わされている規則正しく間隔をあけて配置された画素の行及び列の配列を有するパネルを有する。夫々の画素は、EL表示素子20と、該表示素子を流れる電流を制御する関連駆動回路とを有する。画素は、行（選択）及び列（データ）アドレス導電体又はライン12及び14の交差する集合間の交点に置かれている。ここでは簡単化のために、幾つかの画素しか示されていない。画素10は、夫々の導電体の集合の端に接続された行走査駆動回路16及び列データ駆動回路18を有する周辺の駆動回路によりアドレス導電体の集合を介してアドレス指定される。

40

【0023】

画素の夫々の行は、アドレス指定相の後に続くフレーム期間でそれらの個々の表示出力を決定する夫々のデータ信号に対して行の画素をプログラムするように、回路16により関連する行導電体12に印加された選択パルス信号を用いてフレーム期間でアドレス指定される。データ信号は、回路18により列導電体14に並列に供給される。夫々の行がアドレス指定されるときに、データ信号は適切に同期されて回路18により供給される。

【0024】

夫々の画素のEL表示素子20は、ここではダイオード素子（LED）として表わされ、その間に有機電界発光物質の一つ又はそれ以上のアクティブ層が挟まれた一対の電極を有する有機発光ダイオードを有する。この特定の実施例において、前記物質は、高分子

50

LED物質であるが、例えば低分子量物質のような他の有機電界発光物質も使用されうる。配列の表示素子は、それらの関連するアクティブマトリクス回路と共に、絶縁基板の表面上に載せられている。基板は、例えばガラスのような透明な物質から作られ、表示素子20の陰極又は陽極のいずれか一方は、ITOのような透明な導電物質から形成される。従って、電界発光層で発生した光は、それらの電極を通して伝達される。EL物質に使用可能である適切な有機複合高分子物質の一般的な例は、WO96/36959(特許文献4。)に記述されている。他の低分子量有機物質の一般的な例は、特許文献1に記述されている。

【0025】

夫々の画素10の駆動回路は、低温ポリシリコンTFT(薄膜トランジスタ)である駆動トランジスタを有する。該駆動トランジスタは、画素の夫々の列により共有されている列導電体14により画素に印加されたデータ信号電圧に基づいて表示素子20を流れる電流を制御する役割を果たす。列導電体14は、画素駆動回路においてアドレスTFTを介して電流制御駆動TFTのゲートに結合されており、行画素のアドレスTFTに対するゲートは、夫々の共通の行アドレス導電体12に全て接続されている。

10

【0026】

図1中に示されていないが、画素10の夫々の行は、また、従来の方法で、所定の電圧に保持された夫々の電力供給ラインと、全ての画素に共通の連続する電極として通常設けられている基準電位ラインを共有する。表示素子20及び駆動TFTは、電力供給ラインと共通基準電位ラインとの間に直列に接続されている。例えば、基準電位ラインは接地電位であって、電力供給ラインは、例えば接地電位に対して約12Vの正の電位であっても良い。

20

【0027】

以上の表示装置の特徴は、一般的に、既知の装置の特徴と類似する。

【0028】

図2は、例えば特許文献2に記述されているような、画素回路の既知の形状を表わす。ここで、駆動TFTとアドレスTFTは、両方ともpチャンネル形素子であって、夫々22及び26で参照され、電力供給ラインと基準電位ラインは、夫々32及び30で参照される。アドレスTFT26が行導電体12に印加された選択パルス信号により夫々の行アドレス期間でオンとされるときに、列導電体14の電圧(データ信号)は残りの画素に送られる。具体的には、TFT26は、駆動TFT22と、TFT22のゲートと電力供給ライン32との間に接続された蓄積キャパシタ24とを有する電流源回路25に列導電体電圧を供給する。従って、列電圧は、TFT26が行アドレス指定期間の終了時にオフとされた後ですら、蓄積制御値と同等であるこの電圧に蓄積キャパシタ24により保持されたTFT22のゲートに供給される。ここで、駆動TFT22は、pチャンネル形TFTとして実施され、キャパシタ24は、ゲートソース間電圧を保持する。これは、TFT22を流れる一定のソースドレイン間電流をもたらし、従って、画素の所望の電流源動作を提供する。表示素子20を流れる電流は、駆動TFT22により調整され、列電圧データ信号により決定される蓄積制御値に依存するTFT22のゲート電圧の関数である。行アドレス指定期間の終了時に、蓄積キャパシタ24により保持されている電圧は、画素が次のフレーム期間で再びアドレス指定される前に、後に続く駆動期間の間に表示素子の動作を維持する。従って、TFT22のゲートと基準電位ライン32との間の電圧は、表示素子20を流れる電流を決定し、画素の瞬間の光出力を制御する。

30

40

【0029】

図2の既知の回路は、放電光ダイオード34を更に有する。放電光ダイオード34は、逆バイアスをかけられ、表示素子20により放射される光に反応し、素子20により放射される光に応じて蓄積キャパシタ24に蓄えられた電荷を光ダイオードで発生した光電流により減衰させるよう動作する。光ダイオードは、キャパシタ24に蓄えられたゲート電圧を放電し、TFT22のゲート電圧がTFTの閾値電圧に達するとき、表示素子20はもはや光を放射せず、蓄積キャパシタは放電を停止する。電荷が光ダイオード34から

50

漏出される速度は、光ダイオードが感光フィードバック素子として機能するように、表示素子の光出力レベルの関数である。

【0030】

光ダイオードのフィードバック配置は、表示素子エージングの劣化効果を補償するために使用される。それによって、所定の駆動電流に対して作られる光出力レベルに対するその動作効率を減少する。より長く、より激しく駆動されたこのような劣化表示素子は、低減した輝度を示し、表示の非均一性を引き起こす。光ダイオードの配置は、最大でフレーム期間に対応する駆動期間での表示素子からの総合的な全光出力を適切に制御することによりこれらの効果の影響を弱める。表示素子がアドレス期間の後に続く駆動期間の間に光を発生させるよう電圧を加えられる時間の長さは、表示素子の現在の駆動電流発光レベル特性、及び印加されたデータ信号のレベルに応じて調整される。従って、劣化の影響は低減される。劣化した調光表示素子は、平均輝度が素子動作の時間の延長期間に亘って同じであり続けることができるように、劣化しておらず、より明るい表示素子に対してよりも長い期間で表示素子に電圧を加える画素駆動回路をもたらす。

10

【0031】

駆動期間中の平均光出力は、光ダイオード34の効率に依存する。光ダイオード34は、画素の配列全体に亘って極めて均一であり、LED素子の効率に依存しない。しかし、出力は、TFT22の閾値電圧にも依存し、これが画素全体で変化しうるときに表示の非均一性が起こる。図2の画素回路は、また、効率の良い光ダイオード、一般的にはアモルファスシリコンpin光ダイオードと、適度な平均輝度を達成する比較的高いピーク輝度とを必要とする。蓄積キャパシタ24に蓄えられた電荷の減少は、また、回路が駆動期間のほとんどで比較的低い輝度レベルで動作することを意味する。従って、回路は、低い効率でLEDを動作し、更なるエージングをもたらさう。

20

【0032】

図3は、光フィードバックを用いる特許文献1で記述されている画素回路の他の形状を表わす。この回路では、光ダイオードは、電力供給ライン30と駆動TFT22のゲート節点との間で蓄積キャパシタの両端に接続された低効率光トランジスタ36により置き換えられている。低効率光トランジスタ36のゲートは、駆動TFT22とLED素子20の陽極との間の節点に接続されている。この配置では、光トランジスタ36は、pチャネル形素子であって、逆バイアスで使用され、LED20から入射する光に応じて発生する光電流は、蓄積キャパシタ24を徐々に放電させる。LEDの陽極電圧は、TFT22により伝送される電流が減少するようなこの動作相で落ち、ある陽極電圧レベル以上が光トランジスタ36の閾値電圧レベルに対応して達成される。光トランジスタ36は、オンとされ、それによって蓄積キャパシタ24の残りの電荷を放電し、駆動TFT22をオフとする。光トランジスタのこの使用及び陽極電圧の動作、並びに達成されるスナップオフ動作は、図2の画素回路で見受けられる急な電流/光の減衰を回避するのに役立つ。この動作様式は、より低い効率の感光素子が使用されることを可能にし、より低いピーク輝度レベルを許容する。

30

【0033】

図4は、図2の画素回路の動作及び図3の画素回路の動作の場合の時間Tに対する輝度L、即ち曲線Aと曲線Bとの間の差をグラフで表わす。

40

【0034】

図3の画素回路は、図2の回路よりも利点を有し、ある問題に直面しう。一般に、LEDの陽極電圧は、せいぜい数ボルトしか動かず、この限定された電圧変化は、光トランジスタ36がなかなかオンとされずに、そのためスイッチとしてほとんど機能しないことを意味する。これは、達成される差分エージング補償が危うくされかねないことを意味する。更に、陽極電圧は、LED素子の減衰に応じて増大し、この電圧部分は、蓄積キャパシタに容量的に償還される。従って、LED素子20の陽極への接続は、LED素子のエージング要素が回路に戻されて結合されることを必然的に意味する。また、画素全体に亘る駆動TFT22及び光トランジスタ36の特性の変化に因り回路の非均一性が存在しう

50

る。後者の二つの問題は、画素回路の電氣的な挙動の解析により検証されることが可能である。このような解析は、光トランジスタ36がオンとなる時点での蓄積キャパシタ24の電圧が、駆動TFT22の閾値電圧レベルと移動度及び非均一性の問題をもたらす光トランジスタ36の閾値電圧の限界と、エージングで増大するために異なるエージング効果を導入するLED素子の閾値電圧の限界とに依存することを示す。

【0035】

これらの問題は、本発明によって、光トランジスタの動作を制御するインバータを使用することにより解決する。これは、図3の回路のように一つの光トランジスタのみにより達成されるよりも更に一層改善されたスナップオフ動作を提供する。

【0036】

図5は、本発明による画素回路の一実施例を表わす。回路はインバータ50を有し、その出力51は、光トランジスタ36のゲートに結合され、その入力52は、駆動TFT22のゲート、即ち、電力ライン32から離れた蓄積キャパシタ24の端子と、光トランジスタ36の一つの端子との間の節点54に結合されている。

【0037】

概して、この回路の動作は、図3の動作と類似する。電圧は、ライン14に沿って印加されたデータ信号に依存して、アドレスTFT26を介してアドレス指定期間で蓄積キャパシタ24に蓄えられ、光トランジスタ36は、アドレス指定期間の後に続く駆動期間に光トランジスタ36に当たるLED素子20から放射された光の結果として、駆動期間に蓄積キャパシタ24から電荷を漏出させる。しかし、光トランジスタ36のゲートは、もはやLED素子20の陽極に接続されておらず、光トランジスタ36により実行されるスナップオフ動作は、代わりにインバータ50により制御される。インバータ入力電圧の電圧に対応する蓄積キャパシタ24の電圧、即ち節点54の電圧がインバータの切替え点電圧と等しい所定の放電レベルに達するときに、インバータの出力電圧は、即座に接地に切替わり、それによって光トランジスタ36を、キャパシタ24を完全に放電するように強硬にオンとする。従って、更に頑強な切替え動作は、図3の回路の動作に比べて、インバータの切替え動作が二つの明確な制御可能な電圧間で起こるときに達成され、非常に高速である。

【0038】

他の形式のインバータ回路も使用されうるが、CMOS型のインバータが望ましい。ここで、p及びn形トランジスタは、p及びn形TFTとして設けられている。

【0039】

しかし、その切替え点でのインバータを考えると、即ち、インバータの入力電圧がその出力電圧と等しいときに、この点でインバータ内のp及びn形TFTを流れる電流は等しく、切替え点が閾値電圧と、インバータのp及びn形両方のTFTの移動度とに依存することが電氣的特性の解析により示されることができ。結果として、図5の単純な回路では、図6中のグラフで表わされているように、非均一性の問題が起こる。図6において、インバータの入力及び出力の電圧、即ち V_{in} と V_{out} との間の関係は、TFTのパラメータを変化させる三個のインバータに関してプロットされる。図から明らかのように、 V_{in} が V_{out} と等しい状態により決定される切替え点 V_s は変化可能である。

【0040】

明確な作動電圧を得るために、図6で示された特性の傾斜は、望ましくは非常に高く、理想的には垂直であるべきである。

【0041】

本発明による画素回路の第二の実施例は、切替え点における上述した変化を補正するように変形されており、図7で表わされている。図8は、この画素回路の動作における様々なアドレス指定波形の夫々のタイミングを示す。この画素回路は、インバータ50の入力52及び出力51の両端に接続された別のpチャンネルTFTであるスイッチ70と、節点54とインバータ入力との間に接続されたキャパシタ72とを更に有する点で図5の画素回路とは異なる。TFTスイッチ70の動作は、その結合されたアドレスライン74に

10

20

30

40

50

印加された波形により制御され、オンとされるときに、 V_{in} と V_{out} とを等しくすることによりその切替え点 V_s でインバータ50を保持するよう働く。アドレスTF T 26がアドレス導電体12へのゲート信号の印加によりオンとされると同時に、データ導電体14は、望ましくは光トランジスタ36がオンとなるべき電圧 $V(T)$ 、即ちスナップオフ動作を決定する電圧に保持される。これは、キャパシタ72が $V_s - V(T)$ に等しい電圧に充電されることをもたらす。スイッチTF T 70は、そのとき、オフとされ、結果としてこの充電はキャパシタ72に蓄えられる。その後、データ導電体14は、必要とされるデータ信号電圧レベル $V(O)$ に動き、画素からの所望の表示出力を決定する。 $V(O)$ が $V(T)$ よりも小さいとき、インバータ50への入力52は、インバータ出力51が実際の実施で電力ライン32の電圧に対応して高くなるように、引き下げられる。これは、図8の期間Aにより表わされている画素動作のこのアドレス指定相で必要されるように、光トランジスタ36をオフに保つ。アドレス指定相Aの終了時に、アドレスTF T 26はオフとされ、その後、駆動相Bにおいて、画素は、光出力を発生させるLED素子20を有する上記実施例と同様の方法で動作し、光トランジスタ36で作られた光電流は、蓄積キャパシタ24を放電することを可能にする。インバータ50の特性が理想に近い場合、即ち、図6で示された特性の傾斜がインバータ回路の慎重な設計により垂直又はそれに近くなる場合、インバータ50の出力51は、電圧値 $V(T)$ が蓄積キャパシタ24で達成され、そのときインバータ入力52が $V_s - V(T) + V(T)$ 、即ち V_s と等しくなるまで高いままである。従って、インバータは、蓄積キャパシタ24の電圧が $V(T)$ に達するときに状態を変化させる。この状態の変化はインバータ出力52を低電圧、即ち接地に至らせ、スナップオフ動作をもたし、それによって光トランジスタ36は、蓄積キャパシタ24の放電を即座に完了させるよう強硬にオンとされ、LED素子20がオフとされて、画素からの光出力が終了される。

【0042】

従って、明らかのように、この画素回路は、上述した、インバータ50の特性が十分に急であることをもたらすような起こりうる非均一性の問題を解決する。インバータ50は、他の適度な大きさのTF Tのゲートを駆動するために必要とされるに過ぎず、これは容易に達成されうる。容量性負荷は、少量の電流しか必要とされないの非常に小さい。従って、一般に1マイクロ秒以下の非常に高速な状態変化は、インバータ内の比較的小さなTF Tを用いて得られることができる。

【0043】

図9は、図7の画素回路の実用的な実施例を示す。ここで、インバータ50は、光トランジスタ36をオフに保つために使用される高出力レベルを供給する電力ライン32と、光トランジスタ36をオンとする低出力レベルを供給する接地ライン90との間に直列に接続された一对の逆導電型TF T、即ち一方がp形、他方がn形であるTF Tを有する。

【0044】

明らかのように、アドレスライン12及び74、接地ライン90、及び電力ライン32は、同じ行にある全ての画素により共有される。接地ライン90に対して別個の専用のラインを用いずに、画素の隣接する予めアドレス指定された行に結合されたアドレス導電体12は、この目的のために代わりに利用されても良い。この理由のために、アドレスTF T 26は、nチャネル素子である。

【0045】

上記の実施例において、光トランジスタが感光フィードバック素子として使用される一方で、例えば、側面ゲートPIN形素子のような他のゲート感光素子が使用されることが考えられる。素子の組合せは、また、TF Tに並列接続されたPIN又はNIP形光ダイオードを用いても良く、光ダイオードは、表示素子からの光出力に応じて蓄積キャパシタを放電し、TF Tは、インバータの出力に反応する。

【0046】

更に、これらの実施例は、駆動TF T 22としてpチャネル形TF Tを使用するが、nチャネル形TF Tが代わりに使用されても良く、従って、蓄積キャパシタの放電に対する

10

20

30

40

50

この点での基準は、アドレス指定相で蓄えられた充電の特性に関して然るべく解釈されるべきであることが分かる。

【0047】

本開示を読むことで、他の変形が当業者に十分に理解される。このような変形は、アクティブマトリクス電界発光表示装置及びその構成部品分野で既に知られ、ここで既に記述された特性の代わりに、又はそれに加えて使用されても良い他の特性を有する。

【図面の簡単な説明】

【0048】

【図1】本発明によるアクティブマトリクスEL表示装置の一実施例の単純化された概略図である。

【図2】画素の既知の形状の等価回路を概略的に示す。

【図3】画素の既知の形状の等価回路を概略的に示す。

【図4】図2及び3の画素の動作をグラフで表わす。

【図5】図1の装置において典型的な画素の等価回路を概略的に示す。

【図6】図5の画素の動作における可能な変化を示すグラフである

【図7】本発明による画素回路の他の実施例を表わす。

【図8】図7の画素回路の動作における様々な波形を表わす。

【図9】図7の画素回路の実用的な実施例を表わす。

【図1】

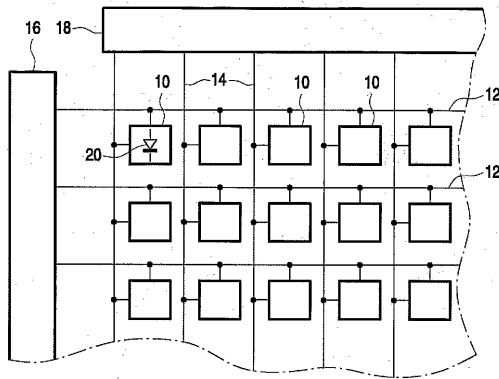


Fig.1

【図2】

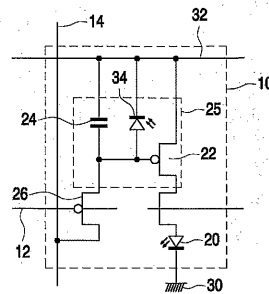


Fig.2

【図3】

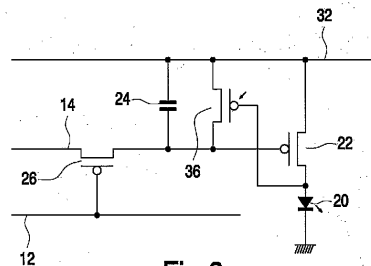


Fig.3

【 図 4 】

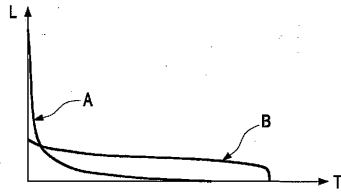


Fig.4

【 図 6 】

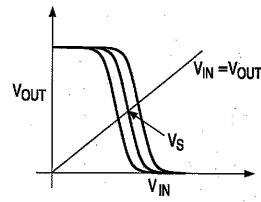


Fig.6

【 図 5 】

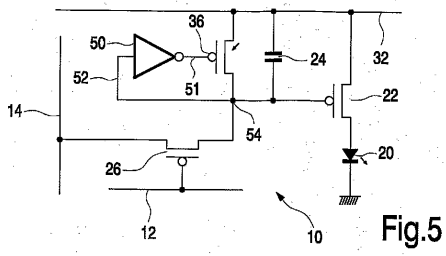


Fig.5

【 図 7 】

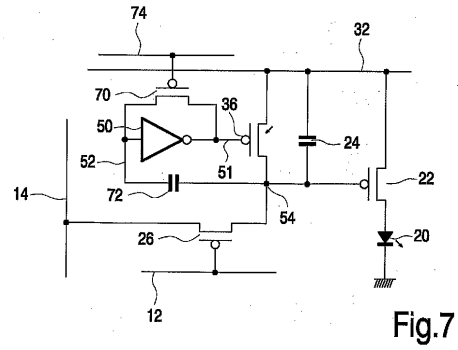


Fig.7

【 図 8 】

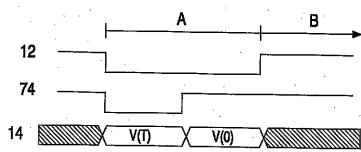


Fig.8

【 図 9 】

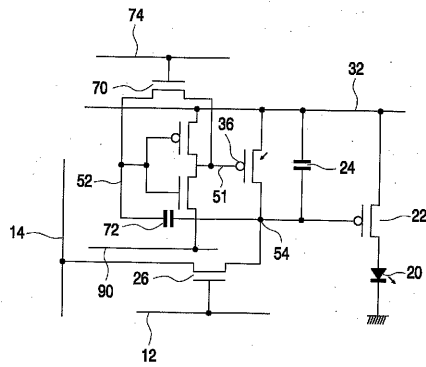


Fig.9

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB2004/002118

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01/20591 A (KONINKL PHILIPS ELECTRONICS NV) 22 March 2001 (2001-03-22) cited in the application abstract; figures 3,5	1-13
A	US 2001/055008 A1 (YOUNG NIGEL D ET AL) 27 December 2001 (2001-12-27) abstract; figures 1,2	1-13
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
21 September 2004	29/09/2004	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax. (+31-70) 340-3016	Authorized officer Fulcheri, A	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/IB2004/002118

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0120591	A	22-03-2001	WO 0120591 A1	22-03-2001
			EP 1129446 A1	05-09-2001
			JP 2003509728 T	11-03-2003
			TW 477158 B	21-02-2002
			US 2003122747 A1	03-07-2003
			US 6542138 B1	01-04-2003
US 2001055008	A1	27-12-2001	CN 1411609 T	16-04-2003
			WO 0199190 A2	27-12-2001
			EP 1222692 A1	17-07-2002
			JP 2003536114 T	02-12-2003

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 フィッシュ, デイヴィッド エイ
イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

Fターム(参考) 3K107 AA01 BB01 CC31 EE03 EE68 HH04 HH05
5C080 AA06 BB05 DD05 DD29 FF11 HH09 JJ02 JJ03 JJ04 JJ05

