

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-340749

(P2005-340749A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8244	HO 1 L 27/10 3 8 1	3 K 0 0 7
GO 9 G 3/20	GO 9 G 3/20 6 2 1 M	5 B 0 1 5
GO 9 G 3/30	GO 9 G 3/20 6 8 0 G	5 C 0 8 0
G 1 1 C 11/41	GO 9 G 3/30 J	5 F 0 8 3
HO 1 L 27/11	GO 9 G 3/30 Z	5 F 1 1 0

審査請求 有 請求項の数 10 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2004-299971 (P2004-299971)
 (22) 出願日 平成16年10月14日 (2004.10.14)
 (31) 優先権主張番号 2004-036868
 (32) 優先日 平成16年5月24日 (2004.5.24)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (72) 発明者 尹 漢熙
 大韓民国京畿道水原市靈通区シン洞575
 Fターム(参考) 3K007 BA06 DB03 GA00
 5B015 HH01 JJ31 KA13 PP02
 5C080 AA06 BB05 DD28 FF11 JJ02
 JJ06

最終頁に続く

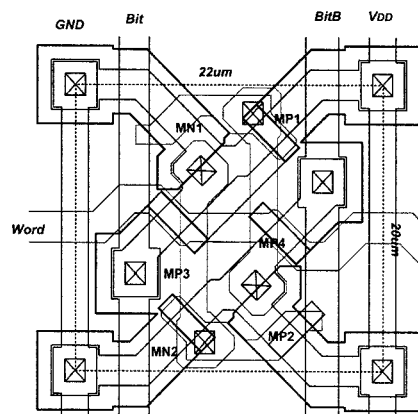
(54) 【発明の名称】 発光表示装置用スタティックRAMコアセル, スタティックRAMコアセル, および半導体素子

(57) 【要約】

【課題】 有機EL発光表示装置のデータ駆動部に適用することが可能な発光表示装置用スタティックRAMコアセル, スタティックRAMコアセルおよび半導体素子を提供する。

【解決手段】 発光表示装置のデータ駆動部のデータ記憶装置であって, ゲート, ソースおよびドレインをそれぞれ有する複数の薄膜トランジスタから構成される発光表示装置用スタティックRAMコアセルにおいて, ビットラインとワードラインにそれぞれ接続され, データの書き込みおよび読み出しを選択するスイッチング用トランジスタと, 電源電圧 (V_{dd}) または接地電圧 (V_s) に接続され, データの書き込みおよび読み出しが行われるデータ記憶用トランジスタとを含み, ビットラインとワードラインがそれぞれ第1方向または第2方向に形成され, スwitchング用トランジスタまたはデータ記憶用トランジスタのチャンネルが第1方向または第2方向に対してそれぞれ斜め方向に形成される。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

発光表示装置のデータ駆動部のデータ記憶装置であって、ゲート、ソースおよびドレインをそれぞれ有する複数の薄膜トランジスタからなる発光表示装置用スタティック R A M コアセルにおいて：

ビットラインとワードラインにそれぞれ接続され、データの書き込みおよび読み出しを選択するスイッチング用トランジスタと；

電源電圧または接地電圧に接続され、データの書き込みおよび読み出しが行われるデータ記憶用トランジスタと；

を含み、

前記ビットラインと前記ワードラインがそれぞれ第 1 方向または第 2 方向に形成され、前記スイッチング用トランジスタまたは前記データ記憶用トランジスタのチャンネルが、前記第 1 方向または前記第 2 方向に対してそれぞれ斜め方向に形成されたことを特徴とする、発光表示装置用スタティック R A M コアセル。

【請求項 2】

前記斜め方向は、前記第 1 方向または前記第 2 方向に対して、時計回り方向または反時計回り方向に回転した斜め方向であることを特徴とする、請求項 1 に記載の発光表示装置用スタティック R A M コアセル。

【請求項 3】

前記スイッチング用トランジスタまたは前記データ記憶用トランジスタは、定められたレイアウト空間上で順次配置されることを特徴とする、請求項 1 または 2 のいずれかに記載の発光表示装置用スタティック R A M コアセル。

【請求項 4】

前記斜め方向に配置される前記スイッチング用トランジスタ、または前記斜め方向に配置される前記データ記憶用トランジスタは、基板上に斜め方向に蒸着される多結晶珪素層を含むことを特徴とする、請求項 1、2 または 3 のいずれかに記載の発光表示装置用スタティック R A M コアセル。

【請求項 5】

ゲート、ソースおよびドレインをそれぞれ有する少なくとも 6 つの薄膜トランジスタからなるスタティック R A M コアセルにおいて：

ワードラインにゲートが接続され、第 1 ビットラインにソース/ドレインがそれぞれ接続されて、前記ワードラインに入力される信号に応じて前記第 1 ビットラインへの入力を選択される第 1 スwitching用トランジスタと；

前記ワードラインにゲートが接続され、第 2 ビットラインにソース/ドレインがそれぞれ接続されて、前記ワードラインに入力される信号に応じて前記第 2 ビットラインへの入力を選択される第 2 スwitching用トランジスタと；

電源電圧または接地電圧に接続され、前記第 1 スwitching用トランジスタおよび第 2 スwitching用トランジスタの制御に応じてデータの書き込みおよび読み出しが行われる第 1 ~ 第 4 データ記憶用トランジスタと；

を含み、

前記ビットラインと前記ワードラインがそれぞれ第 1 方向または第 2 方向に形成され、前記第 1 スwitching用トランジスタおよび第 2 スwitching用トランジスタのチャンネル、または前記第 1 ~ 第 4 データ記憶用トランジスタのチャンネルが、前記第 1 方向または前記第 2 方向に対してそれぞれ斜め方向に形成されたことを特徴とする、スタティック R A M コアセル。

【請求項 6】

前記第 1 および第 2 スwitching用トランジスタ、または前記第 1 ~ 第 4 データ記憶用トランジスタは、定められた面積のレイアウト空間上で順次配置されることを特徴とする、請求項 5 に記載のスタティック R A M コアセル。

【請求項 7】

10

20

30

40

50

前記斜め方向に配置される前記第 1 および前記第 2 スwitching用トランジスタ，または前記斜め方向に配置される前記第 1 ~ 第 4 データ記憶用トランジスタは，基板上に斜め方向に蒸着される多結晶珪素層を含むことを特徴とする，請求項 5 または 6 のいずれかに記載のスタティック R A M コアセル。

【請求項 8】

ゲート，ソースおよびドレインをそれぞれ有する複数のトランジスタを備える半導体素子において，

基板と；

前記基板上に蒸着されたアクティブ領域上に形成されるゲート，ソースおよびドレインを有する複数のトランジスタと；

10

を含み，

前記アクティブ領域上に形成されるトランジスタのチャンネルが，定められた面積のレイアウト空間上でレイアウトの幅または長さ方向に対して斜め方向に形成されたことを特徴とする，半導体素子。

【請求項 9】

前記斜め方向は，前記レイアウトの幅または長さ方向に対して時計回り方向または反時計回り方向に回転した斜め方向であることを特徴とする，請求項 8 記載の半導体素子。

【請求項 10】

前記斜め方向に配置されるトランジスタは，基板上で垂直方向に対して斜め方向に蒸着される多結晶珪素層を含むことを特徴とする，請求項 8 または 9 のいずれかに記載の半導体素子。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は，発光表示装置用スタティック R A M コアセル，スタティック R A M コアセル，および半導体素子に関し，具体的には，有機 E L (o r g a n i c e l e c t r o - l u m i n e s c e n c e) 発光表示装置のデータ駆動部に適用することが可能な発光表示装置用スタティック R A M コアセル，スタティック R A M コアセル，および半導体素子

30

【背景技術】

【0002】

有機 E L 発光表示装置は，電流が流れる場合に光を出す有機物質を画素別に分離してマトリックス状に配置しておき，これらの有機物質に流す電流量を調節することにより画像を表示する装置である。このような有機 E L 発光表示装置は，低電圧駆動，軽量薄型，広視野角および高速応答などの利点のため，次世代表示装置として期待されている。

【0003】

図 1 は，有機 E L の発光原理を示す図である。一般に，有機 E L 発光表示装置は，蛍光性有機化合物を電氣的に励起させて発光させる表示装置であって，N x M 個の有機発光セルを電圧駆動あるいは電流駆動して画像をディスプレイできるようになっている。このような有機発光セル構造は，図 1 に示すように，I T O (I n d i u m T i n O X I D E ; インジウムすず酸化物) 画素電極，有機薄膜および金属レイヤの構造を有している。上記有機薄膜は，電子と正孔のバランスを良くして発光効率を向上させるために，発光層 (E m i t t i n g L a y e r : E M L) ，電子輸送層 (E l e c t r o n T r a n s p o r t L a y e r : E T L) および正孔輸送層 (H o l e T r a n s p o r t L a y e r : H T L) を含んだ多層構造からなり，さらに別途の電子注入層 (E l e c t r o n I n j e c t i n g L a y e r : E I L) と正孔注入層 (H o l e I n j e c t i n g L a y e r : H I L) を含むことができる。

40

【0004】

50

このように構成される有機発光セルを駆動する方式には、パッシブマトリックス方式 (passive matrix) と、TFT (thin film transistor; 薄膜トランジスタ) を用いたアクティブマトリックス (active matrix) 方式がある。パッシブマトリックス方式は、陽極と陰極を直交するように形成し、ラインを選択して駆動する方式であるが、これに対して、アクティブマトリックス方式は、TFT とキャパシタをそれぞれの画素電極に接続してキャパシタ容量によって電圧を保つようにする駆動方式である。

【0005】

図2は、有機EL表示装置の概略的な構成を示すブロック図である。図2を参照すると、有機EL表示装置は、ビデオ制御部210、パネル制御部220、電源モジュール230、走査駆動部240、データ駆動部250および有機ELパネル260から構成されるが、アナログインタフェースおよびデジタルインタフェースを経由した各種信号がそれぞれ走査駆動部240およびデータ駆動部250によって有機ELパネル260にそれぞれ行 (Column) と列 (Row) 方向に提供される。

10

【0006】

具体的に、R、G、B信号および同期信号などのいろいろのアナログ信号がビデオ制御部210に入力された後、デジタル信号に変換される。パネル制御部220は、これらを制御して順次走査駆動部240およびデータ駆動部250に提供し、有機ELパネル260は、これらの走査駆動部240およびデータ駆動部250によって提供される信号、そして電源モジュール230によって提供される電源によりN×M個の有機発光セルを電圧

20

【0007】

図3は、TFT薄膜トランジスタを用いたアクティブマトリックス方式を用いる一般的な有機EL表示パネルを示す図である。図3を参照すると、有機EL表示装置は、有機EL表示パネル310、データ駆動部320および走査駆動部330を含む。

【0008】

有機EL表示パネル310は、列方向に伸びているm個のデータ線 (D1, D2, . . . , Dm)、行方向に伸びているn個の走査線 (S1, S2, . . . , Sn)、およびN×M個の画素回路を含む。m個のデータ線 (D1, D2, . . . , Dm) は画像信号を示すデータ信号を画素回路へ伝達し、n個の走査線 (S1, S2, . . . , Sn) は選択信号をそれぞれ画素回路へ伝達する。ここで、画素回路は、隣り合う2本のデータ線 (D1, D2, . . . , Dm) と隣り合う2本の走査線 (S1, S2, . . . , Sn) によって定義される1つの画素領域310-1として形成され、例えば、トランジスタ311、トランジスタ312、キャパシタ313および有機EL素子314から構成される。ここで、図面符号315は、電源電圧V_{dd}を示す。

30

【0009】

具体的に、画素回路310-1それぞれは、有機EL素子OLED、2つのトランジスタ311、トランジスタ312およびキャパシタ313を含む。たとえば、2つのトランジスタ311、トランジスタ312は、PMOS型トランジスタで形成できる。

【0010】

駆動トランジスタ312は、電源電圧V_{dd}にソースが接続され、ゲートとソースとの間にキャパシタ313が接続されている。キャパシタ313は、駆動トランジスタ312のゲート-ソース電圧を一定期間維持し、スイッチングトランジスタ311は、現在走査線Snからの選択信号に 응답してデータ線Dmからのデータ電圧を駆動トランジスタ312へ伝達する。

40

【0011】

有機EL素子314は、カソードが基準電圧V_{ss}に接続され、駆動トランジスタ312を介して印加される電流に対応する光を発光する。ここで、有機EL素子314のカソードに接続される電源V_{ss}は、電源V_{dd}より低い電圧であって、グラウンド電圧などが使用できる。

50

【0012】

また、走査駆動部330は、 n 個の走査線(S_1, S_2, \dots, S_n)にそれぞれ選択信号を順次印加し、データ駆動部320は m 個のデータ線(D_1, D_2, \dots, D_m)に画像信号対応のデータ電圧を印加する。

【0013】

また、走査駆動部330および/またはデータ駆動部320は、有機EL表示パネル310に電氣的に接続でき、或いは有機EL表示パネル310に接着されて電氣的に接続されているテープキャリアパッケージ(tape carrier package: TCP)にチップなどの形で装着でき、或いは表示パネル310に接着されて電氣的に接続されているフレキシブルプリント回路(flexible printed circuit: FPC)またはフィルムなどにチップなどの形で装着できる。 10

【0014】

一方、走査駆動部330および/またはデータ駆動部320は、有機EL表示パネル310のガラス基板上に直接装着することもでき、或いはガラス基板上に走査線、データ線および薄膜トランジスタと同一の層で形成されている駆動回路と代替することもでき、直接装着することもできる。

【0015】

図4は、従来技術に係るCMOSスタティックRAMコアセルを示す回路図である。従来技術に係るCMOSスタティックRAMコアセルは、有機EL発光表示装置をSOP(system on package)に実現するためにデータ駆動部320上に使用されるもので、6つのTFTトランジスタを有するスタティックRAMに設計される。 20

【0016】

図4を参照すると、MP1とMP2はプルアップ(pull-up)トランジスタであり、MN1とMN2はプルダウントランジスタであり、MP3およびMP4はアクセスのためのパストランジスタである。ここで、MP1~MP4は、例えばPMOSTランジスタであり、MN1およびMN2は、例えばNMOSTランジスタであり、MP1, MN1, MP2, MN2は、例えばCMOSで実現される。

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、上記CMOSスタティックRAMコアセルは、定められた幅と長さ内に複数のN型MOSTランジスタおよびP型MOSTランジスタを形成しなければならなかった。このため、レイアウトの設計時に制限を受けることにより、設計の柔軟性を確保できず、且つ、これによる製造工程上の不良をもたらすおそれがあるという問題点があった。 30

【0018】

そこで、本発明は、このような問題に鑑みてなされたもので、その目的とするところは、限られたレイアウト空間における薄膜トランジスタの集積度を向上させ、工程マージンを確保して製造工程上の不良を防止することが可能な、新規かつ改良された発光表示装置用スタティックRAMコアセル、スタティックRAMコアセル、およびこれを用いた半導体素子を提供することにある。 40

【課題を解決するための手段】

【0019】

上記課題を解決するために、本発明のある観点によれば、発光表示装置のデータ駆動部のデータ記憶装置であって、ゲート、ソースおよびドレインをそれぞれ有する複数の薄膜トランジスタからなる発光表示装置用スタティックRAMコアセルにおいて、ビットラインとワードラインにそれぞれ接続され、データの書き込みおよび読み出しを選択するスイッチング用トランジスタと、電源電圧(V_{dd})または接地電圧(V_{ss})に接続され、データの書き込みおよび読み出しが行われるデータ記憶用トランジスタとを含み、ビットラインとワードラインがそれぞれ第1方向または第2方向に形成され、スイッチング用ト 50

ランジスタまたはデータ記憶用ランジスタのチャンネルが、第1方向または第2方向に対してそれぞれ斜め方向に形成されたことを特徴とする発光表示装置用スタティックRAMコアセルが提供される。

【0020】

本発明によれば、スタティックRAMコアセルを形成する薄膜ランジスタのゲートチャンネルを斜め方向に形成することにより、スタティックRAMコアセルのレイアウト効率を向上させ、高集積化された発光表示装置を実現することができる。

【0021】

ここで、上記斜め方向が、上記第1方向または上記第2方向に対して、時計回り方向または反時計回り方向に回転した斜め方向であってよい。

10

【0022】

上記スイッチング用ランジスタまたは上記データ記憶用ランジスタは、定められたレイアウト空間上で順次配置されてもよい。

【0023】

ここで、上記斜め方向に配置されるスイッチング用ランジスタ、または上記斜め方向に配置されるデータ記憶用ランジスタは、基板上に斜め方向に蒸着される多結晶珪素層を含むことができる。

【0024】

上記課題を解決するために、本発明の他の観点によれば、ゲート、ソースおよびドレインをそれぞれ有する少なくとも6つの薄膜ランジスタから構成されるスタティックRAMコアセルにおいて、ワードラインにゲートが接続され、第1ビットラインにソース/ドレインがそれぞれ接続され、ワードラインに入力される信号に応じて第1ビットラインへの入力を選択される第1スイッチング用ランジスタと、ワードラインにゲートが接続され、第2ビットラインにソース/ドレインがそれぞれ接続され、ワードラインに入力される信号に応じて第2ビットラインへの入力を選択される第2スイッチング用ランジスタと、電源電圧または接地電圧に接続され、第1スイッチング用ランジスタおよび第2スイッチング用ランジスタの制御に応じてデータの書き込みおよび読み出しが行われる第1～第4データ記憶用ランジスタとを含み、ビットラインとワードラインがそれぞれ第1方向または第2方向に形成され、第1スイッチング用ランジスタおよび第2スイッチング用ランジスタのチャンネル、または第1～第4データ記憶用ランジスタのチャンネルが、第1方向または第2方向に対してそれぞれ斜め方向に形成されたことを特徴とするスタティックRAMコアセルが提供される。

20

30

【0025】

ここで、上記第1スイッチング用ランジスタおよび上記第2スイッチング用ランジスタ、または上記第1～第4データ記憶用ランジスタは、定められた面積のレイアウト空間上で順次配置されてもよい。

【0026】

上記斜め方向に配置される上記第1および上記第2スイッチング用ランジスタ、または上記斜め方向に配置される上記第1～第4データ記憶用ランジスタは、基板上に斜め方向に蒸着される多結晶珪素層を含むことができる。

40

【0027】

上記課題を解決するために、本発明の別の観点によれば、ゲート、ソースおよびドレインをそれぞれ有する複数のランジスタを備える半導体素子において、基板と、基板上に蒸着されるアクティブ領域上に形成されるゲート、ソースおよびドレインを有する複数のランジスタを含み、アクティブ領域上に形成されるランジスタのチャンネルが、定められた面積のレイアウト空間上でレイアウトの幅または長さ方向に対して斜め方向に形成されたことを特徴とする半導体素子が提供される。

【0028】

ここで、上記斜め方向が、上記レイアウトの幅または長さ方向に対して、時計回り方向または反時計回り方向に回転した斜め方向であってよい。

50

【0029】

ここで、上記斜め方向に配置されるトランジスタのチャンネルは、順次配置されることが好ましく、上記斜め方向に配置されるトランジスタは、基板上で垂直方向に対して斜め方向に蒸着される多結晶珪素層を含むことができる。

【発明の効果】

【0030】

本発明によれば、発光表示装置のデータドライバスタティックRAMの設計時、コアセルのレイアウト効率を向上させ、高集積化された発光表示装置を実現することができる。

【発明を実施するための最良の形態】

【0031】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0032】

以下、添付図面を参照して、本発明の実施形態に係るスタティックRAMコアセルを詳細に説明する。ここで、本発明の実施形態に係るスタティックRAMコアセルは、発光表示装置に用いることができる。

【0033】

前述した図4をさらに参照すると、一般に、スタティックRAMコアセルは、記憶用フリップ・フロップ回路(MP1とMN1、MP2とMN2)と2つのスイッチ(MP3、MP4)から構成され、ワードラインにパルスを印加してセルトランジスタをオンにすると、ビットライン対Bit、Bitbとフリップ・フロップ間のデータの転送が可能になる。書き込みの際には、ビットライン対の一侧に高電圧を印加し、他側に低電圧を印加し、これを記憶ノード(MP1およびMN1の共通ソース/ドレインノード、およびMP2およびMN2の共通ソース/ドレインノード)に伝達することにより、2進情報を記憶させる。読み出しとは、ノードの電圧に対応してビットライン対に誘起される電圧を検出し、外部に伝達することをいう。スタティックRAMは、DRAMとは異なり、電源が印加されている限り、フリップ・フロップのフィードバック効果によってリフレッシュ動作がなしでも、すなわちスタティックなデータ保存が可能なので、静的RAMと呼ぶ。但し、スタティックRAMは、一つのセルを構成するに必要な素子の数が多いため、同一面積に対してDRAMに比べて約1/4程度の記憶容量を有するため、相対的に高価である。

【0034】

一方、図5は、本発明の実施形態に係る発光表示装置用CMOSスタティックRAMコアセルのレイアウトを示す図である。図5を参照すると、本発明の実施形態に係る発光表示装置用CMOSスタティックRAMコアセルは、発光表示装置のデータ駆動部のデータ記憶装置であって、ゲート、ソースおよびドレインをそれぞれ有する6つの薄膜トランジスタ(MP1~MP4、MN1およびMN2)から構成される。

【0035】

上記6つの薄膜トランジスタ(MP1~MP4、MN1およびMN2)のうち、第1スイッチング用トランジスタMP3は、ワードライン(Word)にゲートが接続され、第1ビットライン(Bit)にソース/ドレインがそれぞれ接続されて、ワードラインに入力される信号に応じて第1ビットラインへの入力を選択される。ここで、薄膜トランジスタは少なくとも6つであってよい。

【0036】

上記6つの薄膜トランジスタ(MP1~MP4、MN1およびMN2)の中でも、第2スイッチング用トランジスタMP4は、ワードラインにゲートが接続され、第2ビットライン(Bitb)にソース/ドレインがそれぞれ接続されて、ワードラインに入力される信号に応じて第2ビットラインへの入力を選択される。

【0037】

また、上記6つの薄膜トランジスタ(MP1~MP4、MN1およびMN2)の中でも

10

20

30

40

50

、第1～第4データ記憶用トランジスタ(MP1とMN1、MP2とMN2)は、前述したように、フリップ・フロップを形成し、それぞれ電源電圧 V_{DD} または接地電圧 V_{SS} に接続されて、第1スイッチング用トランジスタMP3および第2スイッチング用トランジスタMP4の制御に基づいてデータの書き込みおよび読み出しを行う。

【0038】

ここで、同図に示すように、第1スイッチング用トランジスタMP3および第2スイッチング用トランジスタMP4、または第1～第4データ記憶用トランジスタMP1とMN1、MP2とMN2のチャンネルがそれぞれ斜め方向に形成される。ビットラインを第1方向とし、ワードラインを第2方向とすると、スイッチング用トランジスタまたはデータ記憶用トランジスタのチャンネルは、第1方向または第2方向に対して、それぞれ斜め方向に形成される。例えば、スイッチング用トランジスタのチャンネルは、第1方向および第2方向に対して、斜めに形成されてもよいし、データ記憶用トランジスタのチャンネルは、第1方向および第2方向に対して、斜めに形成されてもよい。また、スイッチング用トランジスタのチャンネルおよびデータ記憶用トランジスタのチャンネル両方ともに、第1方向および第2方向に対して斜めに形成されてもよい。斜め方向は、第1方向または第2方向に対して、時計回り方向または反時計回りに回転した方向に形成できる。また、第1スイッチング用トランジスタMP3および第2スイッチング用トランジスタMP4、または第1～第4データ記憶用トランジスタ(MP1とMN1、MP2とMN2)は、定められたレイアウト空間上で同一の角度で順次配置できる。ここで、定められた空間とは、図5で $22\mu\text{m} \times 20\mu\text{m}$ のレイアウト空間を有する意味し、本実施形態のスタティックRAMコアセルの面積に該当する。この空間上で、スタティックRAMコアセルを配置する時、複数のトランジスタが、順次に、つまり一定の手順によって同一の角度で、例えば 45° で配置されてもよい。

10

20

【0039】

一方、図6は、図5のCMOSスタティックRAMコアセルで斜め方向にレイアウトされる部分を示す回路図である。

【0040】

本発明の実施形態に係る発光表示装置用スタティックRAMコアセルは、ゲート、ソースおよびドレインを有する複数の薄膜トランジスタ、すなわち4つのPMOS(611～614)および2つのNMOS(621、622)トランジスタの6つのトランジスタから構成され、ビットラインおよびワードラインによって書き込みおよび読み出しが制御される。前述したように、上記6つのトランジスタの中で、MP1(611)とMP2(612)は、プルアップ(pull-up)トランジスタであり、MN1(621)とMN2(622)は、プルダウン(pull-down)トランジスタであり、MP3(613)およびMP4(614)は、アクセスのためのスイッチング用トランジスタである。ここで、MP1～MP4(611～614)は、PMOSTランジスタであり、MN1およびMN2(621、622)はNMOSTランジスタであって、定められたレイアウト空間上で、例えば 45° 角度で順次配置される。

30

【0041】

一方、図7は、本発明の実施形態に係るCMOSスタティックRAMコアセルの斜め方向のレイアウトを具体的に説明するための図である。図7は、本発明の実施形態に係るCMOSスタティックRAMコアセルは、定められたレイアウト空間が、例えば $22\mu\text{m}$ の幅と $20\mu\text{m}$ の長さ($22\mu\text{m} \times 20\mu\text{m}$)を有し、前述したように6つの薄膜トランジスタが形成される。

40

【0042】

また、本発明に係る実施形態において、図面符号631は、電源電圧 V_{DD} に接続されるコンタクトを示し、図面符号632は、接地電圧GNDに接続されるコンタクトを示す。また、図面符号641および642は、ビットライン対を示し、図面符号651はワードラインを示す。

【0043】

50

同図に示すように、本発明の実施形態に係るCMOSスタティックRAMコアセルは、4つのPMOS(611~614)および2つのNMOS(621, 622)トランジスタの6つのトランジスタから構成され、ビットライン対(Bit, Bitb)およびワードライン(Word)によって書き込みおよび読み出しが制御される。前述したように、6つのトランジスタが所定のレイアウト空間上で、例えば45°角度で順次配置できる。

【0044】

一方、斜め方向に配置されるスイッチング用トランジスタまたはデータ記憶用トランジスタは、基板上で斜め方向に蒸着される多結晶珪素層を含むことができる。すなわち、斜め方向に形成される多結晶珪素層上にアクティブ領域を形成し、アクティブ領域にそれぞれゲート、ソースおよびドレインを形成することにより、前述したチャンネルが斜め方向に形成される。

【0045】

一方、本発明の実施形態によって、定められた面積のレイアウト空間上で斜め方向に形成される複数のトランジスタを備える半導体素子を実現することができる。半導体素子は、基板と、基板上に蒸着されるアクティブ領域上に形成されるゲート、ソースおよびドレインを有する複数のトランジスタを含み、アクティブ領域上に形成されるトランジスタのチャンネルが、定められた面積のレイアウト空間上で斜め方向に形成される。この際、アクティブ領域上に形成され、斜め方向に配置されるトランジスタのチャンネルは順次配置され、基板上で垂直方向に対して斜め方向に蒸着される多結晶珪素層を含むことができる。

【0046】

つまり、本発明の実施形態に係る発光表示装置用CMOSスタティックRAMコアセルは、チャンネルまたは多結晶珪素層を斜め方向に形成することにより、集積効率を高めることができる。

【0047】

本発明の実施形態によれば、発光表示装置のデータドライバスタティックRAMの設計時、所定の領域内でトランジスタを形成する多結晶珪素層またはチャンネルが斜め方向に形成されるように順次トランジスタを配置することにより、コアセルのレイアウト効率を向上させ、高集積化された発光表示装置を実現することができる。

【0048】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【図面の簡単な説明】

【0049】

【図1】有機ELの発光原理を示す図である。

【図2】有機EL表示装置の概略的な構成を示すブロック図である。

【図3】TFTを用いたアクティブマトリクス方式を用いる一般的な有機EL表示パネルを示す図である。

【図4】発光表示装置用CMOSスタティックRAMコアセルの回路図である。

【図5】本発明の実施形態に係る発光表示装置用CMOSスタティックRAMコアセルのレイアウトを示す図である。

【図6】図5に示したCMOSスタティックRAMコアセルで斜め方向にレイアウトされる部分を示す回路図である。

【図7】本発明の実施形態に係るCMOSスタティックRAMコアセルの斜め方向のレイアウトを具体的に説明するための図である。

【符号の説明】

【0050】

210 ビデオ制御部

10

20

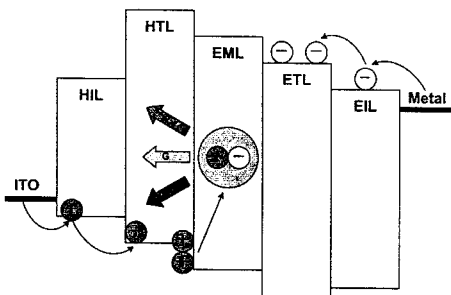
30

40

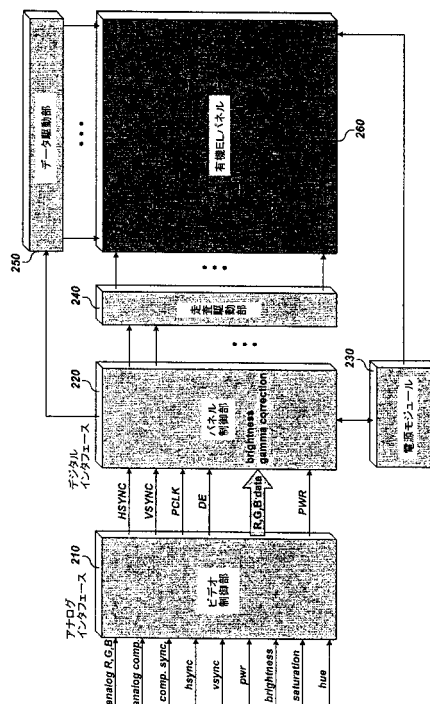
50

- 2 2 0 パネル制御部
- 2 3 0 電源モジュール
- 2 4 0 走査駆動部
- 2 5 0 データ駆動部
- 2 6 0 有機ELパネル
- 3 2 0 データ駆動部
- 3 3 0 走査駆動部

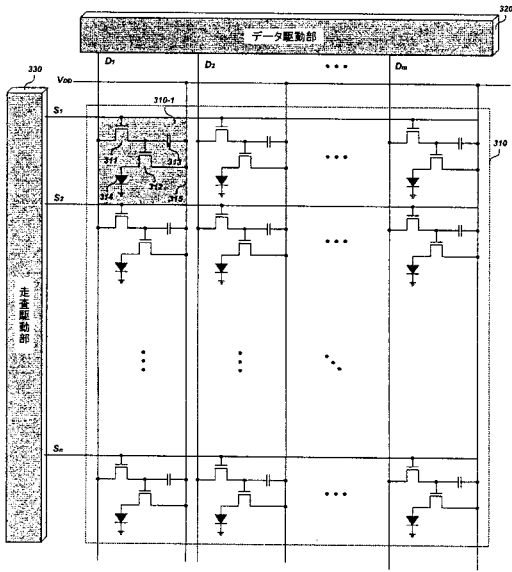
【図1】



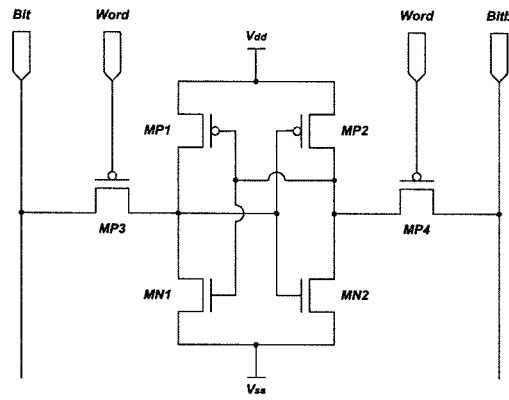
【図2】



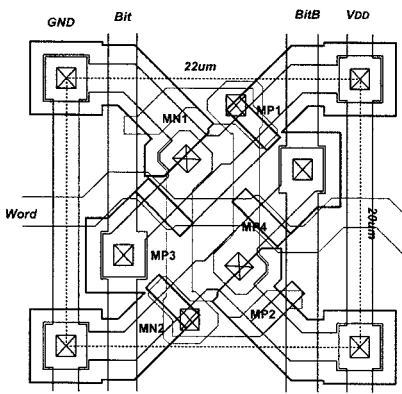
【 図 3 】



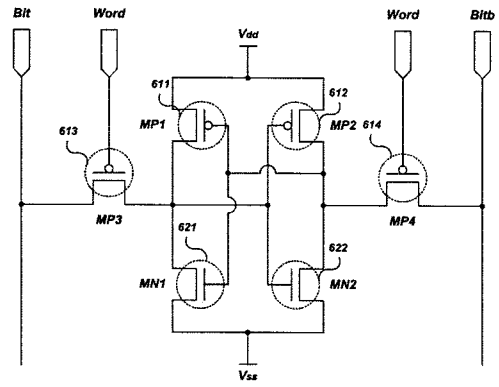
【 図 4 】



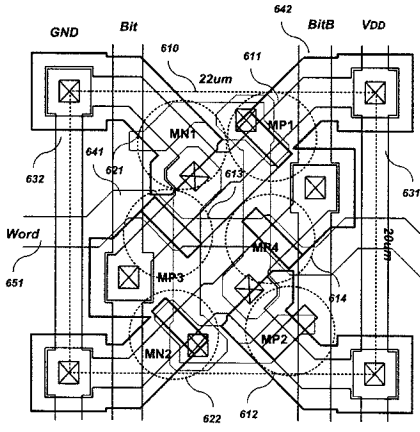
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/786	H 0 5 B 33/14	A
H 0 5 B 33/14	H 0 1 L 29/78	6 1 3 B
	G 1 1 C 11/40	Z

Fターム(参考) 5F083 BS02 BS14 BS30 GA09 HA02 LA01 LA21
5F110 AA04 BB02 BB04 BB07 GG02 GG13

专利名称(译)	用于发光显示器件，静态RAM核心单元和半导体器件的静态RAM核心单元		
公开(公告)号	JP2005340749A	公开(公告)日	2005-12-08
申请号	JP2004299971	申请日	2004-10-14
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	尹漢熙		
发明人	尹 漢熙		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 G11C11/41 G11C11/412 G11C11/419 H01L21/8244 H01L27/02 H01L27/11 H01L29/786 H05B33/00 H05B33/14		
CPC分类号	G11C11/412 G09G3/3225 G09G3/3275 H01L27/0207 H01L27/11 H01L27/1108		
FI分类号	H01L27/10.381 G09G3/20.621.M G09G3/20.680.G G09G3/30.J G09G3/30.Z H05B33/14.A H01L29/78.613.B G11C11/40.Z G09G3/3225 G09G3/3266 G09G3/3275 G11C11/41 H01L27/11		
F-TERM分类号	3K007/BA06 3K007/DB03 3K007/GA00 5B015/HH01 5B015/JJ31 5B015/KA13 5B015/PP02 5C080/AA06 5C080/BB05 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ06 5F083/BS02 5F083/BS14 5F083/BS30 5F083/GA09 5F083/HA02 5F083/LA01 5F083/LA21 5F110/AA04 5F110/BB02 5F110/BB04 5F110/BB07 5F110/GG02 5F110/GG13 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC45 3K107/EE04 3K107/GG04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/BA11 5C380/CA08 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CE01 5C380/CF03		
优先权	1020040036868 2004-05-24 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：提供用于发光显示装置的静态RAM核心单元，静态RAM核心单元和适用于有机EL发光显示装置的数据驱动器的半导体元件。发光显示装置的数据驱动单元的数据存储装置，其中用于发光显示装置的静态RAM核心单元分别设置在位线和字线上，该静态RAM核心单元包括分别具有栅极，源极和漏极的多个薄膜晶体管。连接并选择数据写入和读取的开关晶体管，以及连接到电源电压 (V_{dd}) 或接地电压 (V_{ss}) 并写入和读取数据的数据存储晶体管。位线和字线分别在第一方向或第二方向上形成，并且开关晶体管或数据存储晶体管的沟道在相对于第一方向或第二方向倾斜的方向上形成。 [选择图]图5

