

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-227562

(P2005-227562A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int.Cl.<sup>7</sup>

G09G 3/30

G09F 9/30

G09F 9/35

G09G 3/20

H05B 33/14

F I

G09G 3/30

G09F 9/30

G09F 9/30

G09F 9/35

G09G 3/20

J

338

365Z

611H

テーマコード(参考)

3K007

5C080

5C094

審査請求 未請求 請求項の数 8 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2004-36504(P2004-36504)

(22) 出願日 平成16年2月13日(2004.2.13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100086298

弁理士 船橋 國則

(72) 発明者 山本 哲郎

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

最終頁に続く

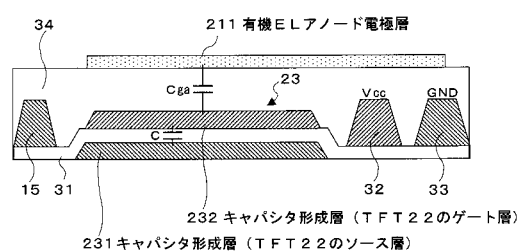
(54) 【発明の名称】 画素回路および表示装置

(57) 【要約】

【課題】 キャパシタ(画素容量)の容量と駆動トランジスタのゲート・ソース間容量との和がスイッチングトランジスタの寄生容量よりも小さいと、駆動トランジスタのソース電位の変化量により当該駆動トランジスタのゲート・ソース間電位の値が変化してしまい、所望の発光が望めない。

【解決手段】 駆動トランジスタであるTFT22のゲート・ソース間にキャパシタ23を接続するとともに、TFT22のソースをスイッチングトランジスタであるTFT25を介して接地電位GNDに選択的に接続する構成の画素回路11において、レイアウト上、有機EL素子21のアノード電極層211とキャパシタ23を形成するキャパシタ形成層231、232とをオーバーラップさせた構造とする。

【選択図】 図10



## 【特許請求の範囲】

## 【請求項 1】

一端が第 1 の電源電位に接続された電気光学素子と、  
前記電気光学素子の他端と第 2 の電源電位との間に接続された駆動トランジスタと、  
前記駆動トランジスタのゲートとソースの間に接続された第 1 のキャパシタと、  
前記駆動トランジスタのゲートに対して輝度情報に応じた信号を選択的に取り込む第 1  
のスイッチングトランジスタと、  
前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 2 のスイッチン  
グトランジスタとを有し、  
前記電気光学素子の前記一端側の層と前記第 1 のキャパシタを形成するキャパシタ形成 10  
層とがオーバーラップしている  
ことを特徴とする画素回路。

## 【請求項 2】

前記駆動トランジスタは、Nチャネル電界効果トランジスタである  
ことを特徴とする請求項 1 記載の画素回路。

## 【請求項 3】

前記駆動トランジスタの閾値電圧のバラツキをキャンセルする回路をさらに有する  
ことを特徴とする請求項 1 記載の画素回路。

## 【請求項 4】

前記駆動トランジスタのゲートと前記第 1 のスイッチングトランジスタとの間に接続さ 20  
れた第 2 のキャパシタをさらに有し、  
前記電気光学素子の前記一端側の層と前記第 2 のキャパシタを形成するキャパシタ形成  
層とがオーバーラップしている  
ことを特徴とする請求項 3 記載の画素回路。

## 【請求項 5】

一端が第 1 の電源電位に接続された電気光学素子と、前記電気光学素子の他端と第 2 の  
電源電位との間に接続された駆動トランジスタと、前記駆動トランジスタのゲートとソー  
スの間に接続された第 1 のキャパシタと、前記駆動トランジスタのゲートとデータ線との  
間に接続された第 1 のスイッチングトランジスタと、前記駆動トランジスタのソースと第  
3 の電源電位との間に接続された第 2 のスイッチングトランジスタとを有し、前記電気光 30  
学素子の前記一端側の層と前記第 1 のキャパシタを形成するキャパシタ形成層とがオーバ  
ーラップしてなる画素回路が行列状に配置されてなる画素アレイ部と、  
前記データ線に輝度情報に応じた信号を供給するデータ線駆動回路と、  
前記第 1 のスイッチングトランジスタを駆動する書き込み走査回路と、  
前記第 2 のスイッチングトランジスタを駆動する駆動走査回路と  
を備えたことを特徴とする表示装置。

## 【請求項 6】

前記駆動トランジスタは、Nチャネル電界効果トランジスタである  
ことを特徴とする請求項 5 記載の表示装置。

## 【請求項 7】

前記画素回路は、前記駆動トランジスタの閾値電圧のバラツキをキャンセルする回路を 40  
さらに有する  
ことを特徴とする請求項 5 記載の表示装置。

## 【請求項 8】

前記画素回路は、前記駆動トランジスタのゲートと前記第 1 のスイッチングトランジス  
タとの間に接続された第 2 のキャパシタをさらに有し、  
前記電気光学素子の前記一端側の層と前記第 2 のキャパシタを形成するキャパシタ形成  
層とがオーバーラップしている  
ことを特徴とする請求項 7 記載の表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、画素回路および表示装置に関し、特に流れる電流によって輝度が変化する電気光学素子を表示素子として有する画素回路、当該画素回路が行列状に配置されてなり、画素回路（画素）毎に能動素子を有して当該能動素子によって画素単位で表示駆動が行われる表示装置に関する。

## 【背景技術】

## 【0002】

表示装置、例えば画素の表示素子として液晶セルを用いた液晶表示装置においては、液晶セルを含む画素を多数マトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として、流れる電流によって輝度が変化する電気光学素子、例えば有機EL (electro luminescence) 素子を用いた有機EL表示装置でも同様である。

## 【0003】

ただし、有機EL表示装置の場合は、画素の表示素子として、自発光素子である有機EL素子を用いたいわゆる自発光型の表示装置であるため、光源（バックライト）からの光強度を制御する液晶表示装置に比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を持っている。また、有機EL素子の発光輝度がそれに流れる電流値によって制御される、即ち有機EL素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶表示装置とは大きく異なっている。

## 【0004】

有機EL表示装置においては、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor; TFT)）によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

## 【0005】

図25は、アクティブマトリクス型有機EL表示装置における画素回路（単位画素の回路）の従来例を示す回路図である。

## 【0006】

この従来例に係る画素回路は、図25から明らかなように、例えばカソード（陰極）が接地電位GNDに接続された有機EL素子101と、ドレインが有機EL素子101のアノード（陽極）に接続され、ソースが正電源電位Vccに接続されたPチャネルTFT102と、このTFT102のゲートと正電源電位Vccとの間に接続されたキャパシタ103と、ソースがTFT102のゲートに、ゲートが走査線105に、ドレインがデータ線106にそれぞれ接続されたPチャネルTFT104とを有する構成となっている（例えば、特許文献1，2参照）。

## 【0007】

ここで、有機EL素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがある。したがって、図25およびその他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性が要求されるものではない。

## 【0008】

続いて、上記構成の画素回路の動作について説明する。まず、走査線105の電位を選択状態（ここでは、低レベル状態）とし、データ線106に書き込み電位Vdataを印加すると、TFT104が導通してキャパシタ103が充電または放電される。これにより、TFT102のゲート電位は書き込み電位Vdataとなる。次に、走査線105の電位を非選択状態（ここでは、高レベル状態）とすると、走査線105とTFT102と

10

20

30

40

50

は電氣的に切り離されるが、T F T 1 0 2 のゲート電位はキャパシタ 1 0 3 によって安定に保持される。

【 0 0 0 9 】

そして、T F T 1 0 2 および有機 E L 素子 1 0 1 に流れる電流は、T F T 1 0 2 のゲート・ソース間電圧  $V_{gs}$  に応じた値となる。すると、有機 E L 素子 1 0 1 は、その電流値に応じた輝度で発光し続ける。ここで、データ線 1 0 6 を通して供給される輝度情報を、走査線 1 0 5 を選択し、T F T 1 0 4 を通して画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。

【 0 0 1 0 】

上述したように、図 2 5 の画素回路では、一度電位  $V_{data}$  の書き込みを行えば、次に電位  $V_{data}$  の書き込みが行われるまでの間、有機 E L 素子 1 0 1 は一定の輝度で発光を継続する。また、駆動トランジスタである T F T 1 0 2 のゲート電圧を変化させることで、有機 E L 素子 1 0 1 に流れる電流値を制御している。このとき、T F T 1 0 2 は、ソースが正電源電位  $V_{cc}$  に接続されており、常に飽和領域で動作しているため、下記の式 ( 1 ) に示した電流値  $I_{ds}$  を持つ定電流源となっている。

10

【 0 0 1 1 】

$$I_{ds} = 1 / 2 \cdot \mu (W / L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

ここで、 $V_{th}$  は T F T 1 0 2 のしきい値、 $\mu$  はキャリアの移動度、 $W$  はチャネル幅、 $L$  はチャネル長、 $C_{ox}$  は単位面積当たりのゲート容量、 $V_{gs}$  はゲート・ソース間電圧である。

20

【 0 0 1 2 】

単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光する。これに対して、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。したがって、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げる可以降低などの点で、とりわけ大型・高精細の表示装置では有利となる。

【 0 0 1 3 】

図 2 6 は、有機 E L 素子の電流 - 電圧特性 (  $I - V$  特性 ) の経時変化を示す特性図である。図 2 6 において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

30

【 0 0 1 4 】

一般的に、有機 E L 素子の  $I - V$  特性は、図 2 6 に示すように、時間が経過するにつれて劣化してしまう。ところが、図 2 5 の画素回路では、先述したように、駆動トランジスタである T F T 1 0 2 による定電流駆動のために有機 E L 素子 1 0 1 には定電流が流れ続け、有機 E L 素子の  $I - V$  特性が劣化してもその発光輝度が低下することはない。

【 0 0 1 5 】

ところで、図 2 5 の画素回路は、Pチャネルの T F T によって構成されている。この Pチャネルの T F T に代えて、Nチャネルの T F T によって画素回路を構成することができれば、T F T 作成において、従来のアモルファスシリコン (  $a - Si$  ) プロセスを用いることができるようになるため、T F T 基板の低コスト化を図ることができる。

40

【 0 0 1 6 】

ここで、Pチャネルの T F T を Nチャネルの T F T に置き換えた画素回路について考察する。

【 0 0 1 7 】

図 2 7 は、図 2 5 の Pチャネル T F T を Nチャネル T F T に置き換えた画素回路の構成を示す回路図である。

【 0 0 1 8 】

この画素回路は、図 2 7 から明らかなように、例えばカソードが接地電位  $GND$  に接続された有機 E L 素子 2 0 1 と、ソースが有機 E L 素子 2 0 1 のアノードに接続され、ドレインが正電源電位  $V_{cc}$  に接続された Nチャネル T F T 2 0 2 と、この T F T 2 0 2 のゲ

50

ートと正電源電位  $V_{cc}$  との間に接続されたキャパシタ 203 と、ドレインが T F T 202 のゲートに、ゲートが走査線 205 に、ソースがデータ線 206 にそれぞれ接続された N チャネル T F T 204 とを有するソースフォロア回路構成となっている。

【0019】

図 28 は、初期状態における駆動トランジスタとしての T F T 202 と有機 E L 素子 201 の動作点を示す図である。図 28 において、横軸は T F T 202 のドレイン・ソース間電圧  $V_{ds}$  を、横軸はドレイン・ソース間電流  $I_{ds}$  をそれぞれ示している。図 28 に示すように、ソース電圧は T F T 202 と有機 E L 素子 201 との動作点で決まり、ゲート電圧によって異なる値を持つ。この T F T 202 は飽和領域で駆動されるため、動作点のソース電圧に対するゲート・ソース間電圧  $V_{gs}$  に関して式 (1) で与えられる電流値の電流  $I_{ds}$  を流す。

10

【0020】

【特許文献 1】米国特許第 5684365 号明細書

【特許文献 2】特開平 8 - 234683 号公報

【発明の開示】

【発明が解決しようとする課題】

【0021】

しかしながら、P チャネルの T F T を N チャネルの T F T に置き換えた画素回路においても、有機 E L 素子の I - V 特性の経時変化に伴う劣化は避けられず、これにより、図 29 に示すように、動作点の変動してしまうため、駆動トランジスタである T F T 202 に同じゲート電圧を印加したとしてもそのソース電圧は変動する。これにより、T F T 202 のゲート・ソース間電圧  $V_{gs}$  が変化してしまい、当該 T F T 202 に流れる電流値が変動する。同時に、有機 E L 素子 201 に流れる電流値も変化するため、有機 E L 素子 201 の I - V 特性が変化すると、それに伴って有機 E L 素子 201 の発光輝度も経時変化してしまう。

20

【0022】

また、図 28 の画素回路の変形例として、図 30 に示すように、有機 E L 素子 201 のアノードを正電源電位  $V_{cc}$  に接続し、駆動トランジスタとしての N チャネル T F T 202 のドレインを有機 E L 素子 201 のカソードに、ソースを接地電位 G N D にそれぞれ接続する回路構成を採ることも考えられる。

30

【0023】

この変形例に係る画素回路においては、図 25 の P チャネル T F T 102 による駆動の場合と同様に、N チャネル T F T 202 はソース電位が接地電位 G N D に固定され、定電流源として動作する。したがって、有機 E L 素子 201 の I - V 特性の劣化による輝度変化を防止できる。

【0024】

しかしながら、この変形例に係る画素回路では、駆動トランジスタである N チャネル T F T 202 を有機 E L 素子 201 のカソード側に接続する構成を採らざるを得ない。このカソード接続の構成を採るためには、有機 E L 素子に関して新規にアノード・カソードの電極の開発が必要である。このアノード・カソードの電極の開発は、現状の技術では非常に困難であるとされている。このような観点から、従来は、有機 E L 素子の I - V 特性の経時変化に伴う輝度の変化を抑えた N チャネルトランジスタによる画素回路の開発は為されていなかった。

40

【0025】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、発光素子の電流 - 電圧特性が経時変化しても、それに伴う輝度変化のない N チャネルトランジスタによって実現可能な画素回路、当該画素回路が行列状に配置されてなる表示装置を提供することにある。

【課題を解決するための手段】

【0026】

50

上記目的を達成するために、本発明では、一端が第１の電源電位に接続された電気光学素子と、前記電気光学素子の他端と第２の電源電位との間に接続された駆動トランジスタと、前記駆動トランジスタのゲートとソースの間に接続されたキャパシタと、前記駆動トランジスタのゲートに対して輝度情報に応じた信号を選択的に取り込む第１のスイッチングトランジスタと、前記駆動トランジスタのソースと第３の電源電位との間に接続された第２のスイッチングトランジスタとを有する画素回路または当該画素回路が行列状に配置されてなる表示装置において、前記電気光学素子の前記一端側の層と前記キャパシタを形成するキャパシタ形成層とをオーバーラップさせた構成を採っている。

#### 【００２７】

上記構成の画素回路または当該画素回路が行列状に配置されてなる表示装置において、第２のスイッチングトランジスタをオン状態にして駆動トランジスタのソース電位を第３の電源電位に設定し、キャパシタに充電される電圧を入力電圧と第３の電源電位との差に確定させる。そして、キャパシタへの書き込みが終了した後、電気光学素子の発光期間において、第２のスイッチングトランジスタをオフ状態にすることで、電気光学素子に電流が流れ始める。このとき、駆動トランジスタが定電流源として動作することから、電気光学素子の電流－電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、キャパシタによって駆動トランジスタのゲート・ソース間の電位差が一定に保たれているので、電気光学素子に流れる電流は変わらず、したがって当該電気光学素子の発光輝度も一定に保たれる。

#### 【００２８】

また、電気光学素子の一端側の層とキャパシタを形成するキャパシタ形成層とがオーバーラップしていることで、これらの層間に容量が形成される。その結果、当該容量の分だけ、駆動トランジスタのゲートとソースとの間の容量がオーバーラップさせない構造に比べて大きくなる。これにより、駆動トランジスタのソース電位に対するゲート電位の上昇の割合を大きくすることができるため所望の発光が得やすくなる。

#### 【発明の効果】

#### 【００２９】

本発明によれば、電気光学素子の電流－電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、電気光学素子の発光輝度を一定に保つことができ、さらに駆動トランジスタのゲートとソースとの間の容量を大きくできることで、所望の発光を得ることができ、また当該容量の増加分だけ画素容量を小さくできることにより画素サイズを縮小化できるため、表示装置の多画素化・高精細化に大きく寄与できる。

#### 【発明を実施するための最良の形態】

#### 【００３０】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

#### 【００３１】

図１は、本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本適用例に係るアクティブマトリクス型表示装置は、流れる電流によって輝度が変わる電気光学素子を表示素子として含む画素（画素回路）１１がマトリクス状にｍ列ｎ行配列されてなる画素アレイ部１２を有している。ここでは、図面の簡略化のために、画素アレイ部１２が３列２行の画素配列の場合を例に挙げて示している。

#### 【００３２】

この画素アレイ部１２において、画素１２の各々に対して各行毎に走査線１３および駆動線１４が配線され、また各列毎にデータ線１５が配線されている。この画素アレイ部１２の周囲には、走査線１３を駆動する書き込み走査回路１６と、駆動線１４を駆動する駆動走査回路１７と、輝度情報に応じたデータ信号をデータ線１５に供給するデータ線駆動回路１８とが配置されている。

#### 【００３３】

#### 〔第１実施形態〕

図２は、本発明の第１実施形態に係る画素回路および当該画素回路を用いたアクティブ

10

20

30

40

50

マトリクス型表示装置の構成例を示す回路図である。本実施形態に係る画素回路 11 は、表示素子である電気光学素子として有機 EL 素子 21 を用いており、当該有機 EL 素子 21 以外に、駆動トランジスタ 22、キャパシタ（画素容量）23 および第 1、第 2 のスイッチングトランジスタ 24、25 を回路素子として有する構成となっている。駆動トランジスタ 22 およびスイッチングトランジスタ 24、25 は、N チャネル電界効果トランジスタ、例えば N チャネル TFT（薄膜トランジスタ）である。以下、駆動トランジスタ 22 およびスイッチングトランジスタ 24、25 を、TFT 22 および TFT 24、25 と記す。

#### 【0034】

図 2 において、有機 EL 素子 21 は、カソード電極が第 1 の電源電位（本例では、接地電位 GND）に接続されて設けられている。TFT 22 は、有機 EL 素子 21 を発光駆動する駆動トランジスタであり、ドレインが第 2 の電源電位（本例では、電源電位 Vcc）に、ソースが有機 EL 素子 21 のアノード電極にそれぞれ接続されてソースフォロア回路を形成している。キャパシタ 23 は、一端が TFT 22 のゲートに、他端が TFT 22 のソースと有機 EL 素子 21 のアノード電極との接続ノード N11 にそれぞれ接続されている。TFT 24 は、ソースがデータ線 16 に、ゲートが走査線 13 に、ドレインが TFT 22 のゲートとキャパシタ 23 の一端との接続ノード N12 にそれぞれ接続されている。TFT 25 は、ドレインが接続ノード N11 に、ソースが第 3 の電源電位（本例では、接地電位 GND）にそれぞれ接続されている。

#### 【0035】

続いて、上記構成の第 1 実施形態に画素回路 11 を行列状に 2 次元配置してなるアクティブマトリクス型有機 EL 表示装置の回路動作について、図 3 のタイミングチャートおよび図 4～図 8 の動作説明図を用いて説明する。

#### 【0036】

図 3 には、連続する 2 行の画素回路 11 を駆動する際に、書き込み走査回路 16 から走査線 13 を介して画素回路 11 に与えられる書き込み信号 WS[1]、WS[2]、駆動走査回路 17 から駆動線 14 を介して画素回路 11 に与えられる駆動信号 DS[1]、DS[2] ならびに TFT 22 のゲート電位 Vg およびソース電位 Vs（図 2 を参照）の 1 フィールド（1F）期間におけるタイミング関係を示している。また、図 4～図 8 の動作説明図では、TFT 22、24、25 についてはスイッチのシンボルを用いて図示するものとする。

#### 【0037】

通常の発光状態では、書き込み走査回路 16 および駆動走査回路 17 からそれぞれ出力される書き込み信号 WS および駆動信号 DS がほぼ接地電位 GND（以下、「“L”レベル」と記す）にあるため、図 4 に示すように、TFT 24、25 はオフした状態にある。このとき、駆動トランジスタである TFT 22 は、飽和領域で動作するように設計されている。すなわち、TFT 22 は定電流源として動作する。

#### 【0038】

次に、TFT 24 がオフした状態で駆動走査回路 17 から出力される駆動信号 DS がほぼ電源電位 Vcc（以下、「“H”レベル」と記す）になることで、TFT 25 がオン状態となる。このとき、図 5 に示すように、TFT 25 を介して電流が流れるため、TFT 22 のソース電位 Vs が接地電位 GND まで下降する。これにより、有機 EL 素子 21 が非発光状態となる。

#### 【0039】

次に、TFT 25 がオンした状態で書き込み走査回路 16 から出力される書き込み信号 WS が 1 水平走査期間（1H）に亘って“H”レベルになることで、図 6 に示すように、TFT 24 がオン状態となって入力信号電圧 Vin をキャパシタ 23 に書き込む。このとき、TFT 22 のソース電位 Vs が接地電位 GND（0[V]）にあるため、TFT 22 のゲート-ソース間の電位差が Vin となり、この電位差 Vin がキャパシタ 23 に書き込まれる。

10

20

30

40

50

## 【0040】

その後、書き込み信号WSが“L”レベルとなり、図7に示すように、TF T 2 4がオフ状態になることで、キャパシタ23への入力信号電圧Vinの書き込みが終了する。そして、駆動走査回路17から出力される駆動信号DSが“L”レベルとなることで、図8に示すように、TF T 2 5がオフ状態となる。これにより、TF T 2 2のソース電位Vsが上昇し、有機EL素子21に電流が流れる。

## 【0041】

TF T 2 2のソース電位Vsが変動するにも拘わらず、TF T 2 2のゲート・ソース間にはキャパシタ23が接続されていることから、ソース電位Vsの上昇に対してゲート電位Vgの上昇を高い割合で追従させることができるため、TF T 2 2のゲート・ソース間の電位差は常にほぼVinに保たれる。ソース電位Vsの上昇に対するゲート電位Vgの上昇の割合（ゲイン）は、キャパシタ23の容量値で決定される。

10

## 【0042】

このとき、TF T 2 2が飽和領域で動作しているため、このTF T 2 2に流れる電流値Idsは、ゲート・ソース間の電位差Vinによって決められる。この電流値Idsは有機EL素子21にも同様に流れるため、当該有機EL素子21は発光する。このとき、接続ノードN11の電位は、有機EL素子21に電流Idsが流れる際のTF T 2 2のゲート電位まで上昇する。このゲート電位の上昇に伴い、キャパシタ23を介して接続ノードN12の電位も同様に上昇する。これにより、前述した通り、TF T 2 2のゲート・ソース間の電位差はほぼVinに保たれる。

20

## 【0043】

ここで、上述したように、NチャネルTF Tを用いたソースフォロア回路構成の画素回路11において、駆動トランジスタであるTF T 2 2のゲート・ソース間にキャパシタ23を接続するとともに、TF T 2 2のソースをスイッチングトランジスタであるTF T 2 5を介して固定電位（本例では、接地電位GND）に選択的に接続するようにした構成を採ることによる作用効果について説明する。

## 【0044】

入力電圧Vinをキャパシタ23に書き込む時間に、TF T 2 5をオン状態にしてTF T 2 2のソース電位Vsを接地電位GNDに設定し、キャパシタ23に充電される電圧をほぼVinに確定させる。キャパシタ23への書き込み終了後、有機EL素子21の発光期間において、TF T 2 5をオフ状態にすることで、有機EL素子21に電流が流れ始める。このとき、TF T 2 2のゲート・ソース間にはキャパシタ23が存在するため、TF T 2 2のソース電位Vsの変動に拘わらず、TF T 2 2のゲート・ソース間の電位差は常にほぼVinである。

30

## 【0045】

また、TF T 2 2が定電流源として動作することから、有機EL素子21のI-V特性が経時変化し、これに伴ってTF T 2 2のソース電位Vsが変化したとしても、キャパシタ23によってTF T 2 2のゲート・ソース間電位Vgsが一定（Vin）に保たれているため、有機EL素子21に流れる電流は変わらず、したがって当該有機EL素子21の発光輝度も一定に保たれる。以下、この輝度補正のための動作をブートストラップ動作と呼ぶこととする。このブートストラップ動作により、有機EL素子21のI-V特性が経時的に変化しても、それに伴う輝度劣化のない画像表示が可能になる。

40

## 【0046】

また、Nチャネルトランジスタを用いたソースフォロア回路によって画素回路を構成することができるために、現状のアノード・カソード電極の有機EL素子をそのまま用いても、当該有機EL素子の駆動が可能になる。しかも、Nチャネルのみのトランジスタを用いて画素回路を構成することができ、TF T作成においてもアモルファスシリコン（a-Si）プロセスを用いることができるようになるため、TF T基板の低コスト化が図れることになる。

## 【0047】

50



ところで、T F T 2 5 をオフして有機 E L 素子 2 1 に一定電流を流したとき、T F T 2 2 のソース電位  $V_s$  が変化量  $V$  だけ上昇したとすると、これに合わせて T F T 2 2 のゲート電位  $V_g$  は、下記の式 ( 2 ) で表される値  $V \times 0$  だけ上昇する。

$$V \times 0 = (C + C_{gs}) \times V / (C + C_t + C_{gs}) \quad \dots \dots (2)$$

式 ( 2 ) において、 $C$  はキャパシタ 2 3 の容量 ( 値 )、 $C_{gs}$  は T F T 2 2 のゲート・ソース間容量、 $C_t$  は T F T 2 4 の寄生容量である。

#### 【 0 0 4 8 】

ここで、キャパシタ 2 3 の容量  $C$  と T F T 2 2 のゲート・ソース間容量  $C_{gs}$  との和、即ち接続ノード N 1 1 と接続ノード 1 2 との間の容量が、T F T 2 4 の寄生容量  $C_t$  よりも大きければ、T F T 2 2 のゲート・ソース間電位  $V_{gs}$  は入力信号電位  $V_{in}$  を保ったまま変動する。しかし、接続ノード N 1 1 と接続ノード 1 2 との間の容量が T F T 2 4 の寄生容量  $C_t$  と同程度、もしくは当該寄生容量  $C_t$  よりも小さければ、T F T 2 2 のソース電位  $V_s$  の変化量  $V$  によってゲート・ソース間電位  $V_{gs}$  の値が変化してしまい、所望の発光が望めないことになる。

10

#### 【 0 0 4 9 】

すなわち、表示装置の多画素化・高精細化が進むにつれて画素サイズが小さくなり、それに伴ってキャパシタ 2 3 の面積を小さくせざるを得なく、また表示装置の大型化が進めば大きなトランジスタを使用する必要があるため、トランジスタの寄生容量が大きくなってしまい、やはりキャパシタ 2 3 の面積を大きくとれなくなり、キャパシタ 2 3 の容量  $C$  と T F T 2 2 のゲート・ソース間容量  $C_{gs}$  との和が T F T 2 4 の寄生容量  $C_t$  よりも小さくなる状況が発生する。その結果、ソース電位  $V_s$  の変化量  $V$  によってゲート・ソース間電位  $V_{gs}$  の値が変化してしまうのである。

20

#### 【 0 0 5 0 】

そこで、本実施形態に係る画素回路 1 1 では、レイアウト上において、有機 E L 素子 2 1 のアノード電極層とキャパシタ 2 3 を形成する層 ( 以下、「キャパシタ形成層」と記す ) とをオーバーラップさせた構造を採用することを特徴としている。以下に、この特徴部分についてより具体的に説明する。

#### 【 0 0 5 1 】

図 9 は、第 1 実施形態に係る画素回路 1 1 のレイアウトの一例を示す概略平面パターン図である。また、図 1 0 に、図 9 の A - A 線に沿った断面構造を示す。因みに、図 9、図 1 0 には図示していないが、有機 E L 素子 2 1 は、透明導電膜からなるアノード電極層の上に正孔輸送層、発光層、電子輸送層および電子注入層を順次堆積させて有機層を形成し、この有機層の上にカソード電極層を形成した構造となっている。

30

#### 【 0 0 5 2 】

図 9、図 1 0 に示すように、図示せぬ基板上に、キャパシタ 2 3 が絶縁層 3 1 を挟んで形成されるとともに、当該絶縁層 3 1 上にデータ線 1 5、電源電位  $V_{cc}$  を与える電源線 3 2 および接地電位 GND を与える接地線 3 3 が一定の間隔をおいて平行に配線され、その上にさらに絶縁層 3 4 を介して有機 E L 素子 2 1 のアノード電極層 2 1 1 が画素エリアの大部分に亘って形成されている。

#### 【 0 0 5 3 】

キャパシタ 2 3 は、T F T ( 駆動トランジスタ ) 2 2 のソース層でもあるキャパシタ形成層 2 3 1 と当該 T F T 2 2 のゲート層でもあるキャパシタ形成層 2 3 2 とが絶縁層 3 1 を挟んで対向配置されて形成されている。このキャパシタ 2 3 は、キャパシタ形成層 2 3 2 ( これと対向配置されているキャパシタ形成層 2 3 1 も同じ ) が、有機 E L 素子 2 1 のアノード電極層 2 1 1 とオーバーラップするように、好ましくはキャパシタ形成層 2 3 2 の全体がアノード電極層 2 1 1 とオーバーラップするように形成されている。

40

#### 【 0 0 5 4 】

なお、図 9 において、有機 E L 素子 2 1 のアノード電極層 2 1 1 を含む層を実線で、キャパシタ形成層 2 3 1、走査線 1 3 および駆動線 1 4 等の配線を含む層を一点鎖線で、キャパシタ形成層 2 3 2 を含む層を点線で、データ線 1 5、電源線 3 2 および接地線 3 2 等

50

の配線層を二点鎖線でそれぞれ示している。

【 0 0 5 5 】

このように、駆動トランジスタである T F T 2 2 のゲート・ソース間にキャパシタ 2 3 を接続するとともに、T F T 2 2 のソースをスイッチングトランジスタである T F T 2 5 を介して固定電位（本例では、接地電位 G N D ）に選択的に接続する構成の画素回路 1 1 において、レイアウト上、有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ 2 3 を形成するキャパシタ形成層 2 3 1 , 2 3 2 とをオーバーラップさせた構造とすることにより、次のような作用効果を得ることができる。

【 0 0 5 6 】

すなわち、有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ形成層 2 3 1 , 2 3 2 とをオーバーラップさせることで、アノード電極層 2 1 1 とキャパシタ形成層 2 3 2 との間にも容量 C g a が形成されるため、接続ノード N 1 1 と接続ノード 1 2 との間の容量は、キャパシタ 2 3 の容量 C と T F T 2 2 のゲート・ソース間容量 C g s とアノード電極層 2 1 1 とキャパシタ形成層 2 3 2 との間の容量 C g a との和となる。すなわち、接続ノード N 1 1 と接続ノード 1 2 との間の容量を容量 C g a の分だけ大きくできる。

【 0 0 5 7 】

この画素回路 1 1 において、T F T 2 5 をオフして有機 E L 素子 2 1 に定電流を流したときに、T F T 2 2 のソース電位 V s が変化量 V だけ上昇し、これに合わせて T F T 2 2 のゲート電位 V g が下記の式（ 3 ）で表される値 V x 1 だけ上昇する。

$$V \times 1 = (C + C_{gs} + C_{ga}) \times V / (C + C_t + C_{gs} + C_{ga}) \quad \dots \dots (3)$$

【 0 0 5 8 】

上記の式（ 3 ）と先の式（ 2 ）との対比から明らかなように、有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ 2 3 を形成するキャパシタ形成層 2 3 1 , 2 3 2 とをオーバーラップさせた構造を採った場合における T F T 2 2 のゲート電位 V g の変化量 V x 1 は、オーバーラップさせない構造を採った場合における変化量 V x 0 と比較して大きくなる。すなわち、有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ形成層 2 3 1 , 2 3 2 とをオーバーラップさせた構造を採ることにより、オーバーラップさせない構造に比較して、接続ノード N 1 1 と接続ノード 1 2 との間の容量を容量 C g a の分だけ大きくできるため、T F T 2 2 のソース電位 V s に対するゲート電位 V g の上昇の割合（ゲイン）を大きくすることができ、その結果所望の発光が得やすくなる。

【 0 0 5 9 】

また逆に、接続ノード N 1 1 と接続ノード 1 2 との間の容量を容量 C g a の分だけ大きくできるということは、画素回路 1 1 の特性を有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ形成層 2 3 1 , 2 3 2 とをオーバーラップさせない構造のものと同じで良いとした場合には、キャパシタ 2 3 の容量 C が容量 C g a の分だけ小さくて良いということの意味するため、その分だけキャパシタ 2 3 のサイズを小さくとることができる。これにより、画素サイズを小さくできるため、表示装置の多画素化・高精細化に大きく寄与することになる。

【 0 0 6 0 】

[ 第 2 実施形態 ]

図 1 1 は、本発明の第 2 実施形態に係る画素回路および当該画素回路を用いたアクティブマトリクス型表示装置の構成例を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。

【 0 0 6 1 】

図 1 1 において、画素アレイ部 1 2 には、走査線 1 3 および第 1 駆動線 1 4 に加えて、第 2 駆動線 4 1 およびオートゼロ線 4 2 が各行毎に配線されている。そして、第 2 駆動線 4 1 およびオートゼロ線 4 2 を駆動する第 2 駆動走査回路 4 3 およびオートゼロ回路 4 4 が画素アレイ部 1 2 の周囲に配置されている。本例では、書き込み走査回路 1 6 および第 1 駆動走査回路 1 7 が画素アレイ部 1 2 の一方側に配置され、その反対側に第 2 駆動走査

10

20

30

40

50

回路 4 3 およびオートゼロ回路 4 4 を配置された構成となっている。

#### 【 0 0 6 2 】

本実施形態に係る画素回路 5 1 は、第 1 実施形態に係る画素回路 1 1 の構成に加えて、例えば N チャンネルの T F T 2 6 ~ 2 8 およびキャパシタ 2 9 を有する構成となっている。T F T 2 6 は、ドレインが電源電位  $V_{cc}$  に、ソースが T F T 2 2 のドレインに、ゲートが第 2 駆動線 4 1 にそれぞれ接続されている。T F T 2 7 は、ドレインが T F T 2 2 のドレインと T F T 2 6 のソースとの接続ノード N 1 3 に、ソースが接続ノード N 1 2 に、ゲートがオートゼロ線 4 2 にそれぞれ接続されている。T F T 2 8 は、ドレインが所定電位  $V_{ofs}$  に、ソースが T F T 2 4 のドレインに、ゲートがオートゼロ線 4 2 にそれぞれ接続されている。キャパシタ 2 9 は、一端が T F T 2 4 のドレインと T F T 2 8 のソースとの接続ノード 2 4 に、他端が接続ノード N 1 2 にそれぞれ接続されている。 10

#### 【 0 0 6 3 】

続いて、上記構成の第 2 実施形態に係る画素回路 5 1 を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置の回路動作について、図 1 2 のタイミングチャートおよび図 1 3 ~ 図 1 8 の動作説明図を用いて説明する。

#### 【 0 0 6 4 】

図 1 2 には、ある行の画素回路 5 1 を駆動する際に、書き込み走査回路 1 6 から走査線 1 3 を介して画素回路 5 1 に与えられる書き込み信号 W S、駆動走査回路 1 7、4 3 から駆動線 1 4、4 1 を介して画素回路 5 1 に与えられる駆動信号 D S 1、2 およびオートゼロ回路 4 4 からオートゼロ線 4 2 を介して画素回路 5 1 に与えられるオートゼロ信号 A Z のタイミング関係を示している。また、図 1 3 ~ 図 1 8 の動作説明図では、T F T 2 2、2 4 ~ 2 8 についてはスイッチのシンボルを用いて図示するものとする。 20

#### 【 0 0 6 5 】

通常の発光状態では、書き込み走査回路 1 6 から出力される書き込み信号 W S、駆動走査回路 1 7 から出力される駆動信号 D S 1 およびオートゼロ回路 4 4 から出力されるオートゼロ信号 A Z が “ L ” レベルにあり、駆動走査回路 4 3 から出力される駆動信号 D S 2 が “ H ” レベルにあるため、図 1 3 に示すように、T F T 2 4、2 5、2 7、2 8 はオフした状態にあり、T F T 2 6 がオンした状態にある。このとき、駆動トランジスタである T F T 2 2 は、飽和領域で動作するように設計されている。したがって、T F T 2 2 は定電流源として動作し、有機 E L 素子 2 1 に一定電流  $I_{ds}$  を供給する。 30

#### 【 0 0 6 6 】

次に、T F T 2 4、2 7、2 8 がオフし、T F T 2 6 がオンした状態で駆動走査回路 1 7 から出力される駆動信号 D S が “ H ” レベルになることで、T F T 2 5 がオン状態となる。このとき、図 1 4 に示すように、T F T 2 5 を介して電流が流れるため、T F T 2 2 のソース電位  $V_s$  が接地電位 G N D まで下降する。これにより、有機 E L 素子 2 1 が非発光状態となる。

#### 【 0 0 6 7 】

次に、有機 E L 素子 2 1 の非発光期間において、T F T 2 4 がオフし、T F T 2 5、2 6 がオンした状態でオートゼロ回路 4 4 から出力されるオートゼロ信号 A Z が “ H ” レベルとなることで、T F T 2 7、2 8 がオン状態となり、T F T 2 2 の閾値電圧  $V_{th}$  をキャンセル（補正）する閾値キャンセル期間に入る。その後、駆動走査回路 4 3 から出力される駆動信号 D S 2 が “ L ” レベルになることで、図 1 5 に示すように、T F T 2 6 がオフ状態となる。このとき、T F T 2 2 は、ゲートとドレインが T F T 2 7 を介して接続されているため飽和領域で動作する。 40

#### 【 0 0 6 8 】

また、T F T 2 2 のゲートには、キャパシタ 2 3、2 9 が並列に接続されているため、T F T 2 2 のゲート・ドレイン間電位  $V_{gd}$  は、図 1 9 に示すように、時間が経過するにつれて緩やかに減少してゆく。そして、一定期間が経過した後、T F T 2 2 のゲート・ソース間電位  $V_{gs}$  は T F T 2 2 の閾値電圧  $V_{th}$  となる。このとき、キャパシタ 2 9 には  $(V_{ofs} - V_{th})$  の電圧が、キャパシタ 2 3 には  $V_{th}$  の電圧がそれぞれ充電される 50

ことになる。

【 0 0 6 9 】

次に、T F T 2 4 , 2 6 がオフし、T F T 2 5 がオンした状態でオートゼロ回路 4 4 から出力されるオートゼロ信号 A Z が “ H ” レベルから “ L ” レベルに遷移することで、T F T 2 7 , 2 8 がオフ状態となり、閾値キャンセル期間の終了となる。閾値キャンセル期間の経過後、駆動走査回路 4 3 から出力される駆動信号 D S 2 が “ L ” レベルから “ H ” レベルに遷移することで、図 1 6 に示すように、T F T 2 6 がオン状態となる。これにより、T F T 2 2 のドレイン電位 V d が電源電位 V c c となる。

【 0 0 7 0 】

次に、T F T 2 4 , 2 7 , 2 8 がオフし、T F T 2 5 , 2 6 がオンした状態で書き込み走査回路 1 6 から出力される書き込み信号 W S が “ H ” レベルになることで、入力信号電圧 V i n の書き込み期間となる。この書き込み期間では、図 1 7 に示すように、T F T 2 4 がオン状態となる。これにより、T F T 2 4 は、データ線 1 5 を通して供給される入力信号電圧 V i n を取り込むことで、接続ノード N 1 4 の電圧変化量  $V$  を、キャパシタ 2 9 を介して T F T 2 2 のゲートにカップリングさせる。

【 0 0 7 1 】

このとき、T F T 2 2 のゲート電位 V g は閾値電圧 V t h という値であり、カップリング量  $V$  はキャパシタ 2 3 の容量 C 1、キャパシタ 2 9 の容量 C 2 および T F T 2 2 の寄生容量 C 3 によって下記の式 ( 4 ) のように決定される。

$$V = \{ C 2 / ( C 1 + C 2 + C 3 ) \} \cdot ( V i n - V o f s ) \dots ( 4 ) \quad 20$$

【 0 0 7 2 】

したがって、キャパシタ 2 3 , 2 9 の容量 C 1 , C 2 を T F T 2 2 の寄生容量 C 3 に比べて十分大きく設定すれば、T F T 2 2 のゲートへのカップリング量  $V$  は、キャパシタ 2 3 , 2 9 の容量 C 1 , C 2 のみによって決定される。T F T 2 2 は、飽和領域で動作するように設計させているため、図 2 0 に示すように、ゲートへのカップリング量  $V$  に応じた一定電流 I d s を流す。この電流 I d s は、図 1 7 に点線で示すように、T F T 2 5 を通って流れる。

【 0 0 7 3 】

書き込み期間の終了後、T F T 2 4 , 2 7 , 2 8 がオフし、T F T 2 6 がオンした状態で駆動走査回路 1 7 から出力される駆動信号 D S 1 が “ L ” レベルになることで、図 1 8 に示すように、T F T 2 5 がオフ状態となる。このとき、T F T 2 5 がオフしても、T F T 2 2 は、ゲート・ソース間電位 V g s が一定であるため一定電流 I d s を有機 E L 素子 2 1 に流す。これにより、有機 E L 素子 2 1 が発光する。

【 0 0 7 4 】

ここで、本実施形態に係る画素回路 5 1 においても、有機 E L 素子 2 1 は発光時間が長くなるとその I - V 特性が変化してしまう。そのため、接続ノード N 1 1 の電位も変化する。しかしながら、T F T 2 2 のゲート・ソース間電位 V g s が一定値に保たれているため、有機 E L 素子 2 1 に流れる電流は変化しない。したがって、有機 E L 素子 2 1 の I - V 特性が劣化しても、一定電流 I d s が常に流れ続けるため、有機 E L 素子 2 1 の輝度が変化することはない。また、閾値キャンセル期間における T F T 2 7 の作用により、T F T 2 2 の閾値電圧 V t h をキャンセルし、当該閾値電圧 V t h のバラツキの影響を受けない一定電流 I d s を流すことができるため、高画質の画像を得ることができる。

【 0 0 7 5 】

なお、上述した動作説明では、T F T 2 6 をオンさせてから T F T 2 4 をオンさせて書き込み期間を設定するタイミング関係としたが、T F T 2 4 をオフさせ、書き込み期間の終了後に T F T 2 6 をオンさせるタイミング関係とすることも可能である。ただし、T F T 2 4 をオフさせてから T F T 2 6 をオンさせると、T F T 2 2 は線形領域から飽和領域へと動作する。トランジスタは、線形領域よりも飽和領域の方が、チャネル長が長くなるため T F T 2 2 の寄生容量 C 3 は小さい。

【 0 0 7 6 】

したがって、T F T 2 6 をオンさせてから T F T 2 4 をオンさせるタイミング関係の方が、T F T 2 4 をオフさせてから T F T 2 6 をオンさせるタイミング関係よりも、T F T 2 2 の寄生容量 C 3 を小さくすることができる。寄生容量 C 3 を小さくできれば、T F T 2 6 をオンした際に、T F T 2 2 のドレインからゲートへのカップリング量を小さくすることができ、かつキャパシタ 2 3 , 2 9 の容量 C 1 , C 2 を寄生容量 C 3 に比べて十分大きくとることができるため、T F T 2 4 をオンしたときの接続ノード N 1 4 の電位変化量が、容量 C 1 , C 2 の大きさに応じて T F T 2 2 のゲートへカップリングされるようになる。

【 0 0 7 7 】

上記構成の閾値キャンセル機能を持つ画素回路 5 1 において、T F T 2 5 をオフして有機 E L 素子 2 1 に一定電流を流したとき、T F T 2 2 のソース電位 V s が変化量 V だけ上昇したとすると、これに合わせて T F T 2 2 のゲート電位 V g は、下記の式 ( 5 ) で表される値 V x 2 だけ上昇する。

【 0 0 7 8 】

【 数 1 】

$$V_{x2} = \frac{(C_1 + C_{gs}) \times \Delta V}{(C_1 + C_{gs} + \frac{1}{\frac{1}{C_2} + \frac{1}{C_{t1} + C_{t2}}})} \quad \dots\dots (5)$$

10

20

【 0 0 7 9 】

式 ( 4 ) において、C 1 はキャパシタ 2 3 の容量 ( 値 ) 、C 2 はキャパシタ 2 9 の容量、C g s は T F T 2 2 のゲート・ソース間容量、C t 1 は T F T 2 4 の寄生容量、C t 2 は T F T 2 8 の寄生容量である。

【 0 0 8 0 】

この画素回路 5 1 においても、キャパシタ 2 3 の容量 C 1 と T F T 2 2 のゲート・ソース間容量 C g s との和、即ち接続ノード N 1 1 と接続ノード 1 2 との間の容量が、T F T 2 4 , 2 8 , 2 7 の寄生容量 C t 1 , C t 2 , C t 3 よりも大きければ、T F T 2 2 のゲート・ソース間電位 V g s は入力信号電位 V i n を保ったまま変動するが、そうでなければ T F T 2 2 のソース電位 V s の変化量 V によってゲート・ソース間電位 V g s の値が変化してしまい、所望の発光が望めないことになる。キャパシタ 2 3 の容量 C 1 を大きくとることができない理由は先述した通りである。

30

【 0 0 8 1 】

そこで、本実施形態に係る画素回路 5 1 においても、レイアウト上において、有機 E L 素子 2 1 のアノード電極層とキャパシタ 2 3 を形成するキャパシタ形成層とをオーバーラップさせた構造を採るようにしている。

【 0 0 8 2 】

図 2 1 は、第 1 実施形態に係る画素回路 5 1 のレイアウトの一例を示す概略平面パターン図である。また、図 2 2 に、図 2 0 の B - B 線に沿った断面構造を示す。図 2 1 、図 2 2 において、図 9 、図 1 0 と同等部分には同一符号を付して示している。

40

【 0 0 8 3 】

図 2 1 および図 2 2 に示すように、図示せぬ基板上に、キャパシタ 2 3 が絶縁層 3 1 を挟んで形成されるとともに、当該絶縁層 3 1 上にデータ線 1 5 、電源電位 V c c を与える電源線 3 2 、オートゼロ信号 V o f s を与えるオートゼロ線 3 5 および接地電位 G N D を与える接地線 3 3 が一定の間隔をおいて平行に配線され、その上にさらに絶縁層 3 4 を介して有機 E L 素子 2 1 のアノード電極層 2 1 1 が画素エリアの大部分に亘って形成されている。

【 0 0 8 4 】

50

キャパシタ 2 3 は、T F T ( 駆動トランジスタ ) 2 2 のソース層でもあるキャパシタ形成層 2 3 1 と当該 T F T 2 2 のゲート層でもあるキャパシタ形成層 2 3 2 とが絶縁層 3 1 を挟んで対向配置されて形成されている。このキャパシタ 2 3 は、キャパシタ形成層 2 3 2 ( これと対向配置されているキャパシタ形成層 2 3 1 も同じ ) が、有機 E L 素子 2 1 のアノード電極層 2 1 1 とオーバーラップするように、好ましくはキャパシタ形成層 2 3 2 の全体がアノード電極層 2 1 1 とオーバーラップするように形成されている。

【 0 0 8 5 】

なお、図 2 1 において、有機 E L 素子 2 1 のアノード電極層 2 1 1 を含む層を実線で、キャパシタ形成層 2 3 1、走査線 1 3 および駆動線 1 4 等の配線を含む層を一点鎖線で、キャパシタ形成層 2 3 2 を含む層を点線で、データ線 1 5、電源線 3 2、接地線 3 2 およびオートゼロ線 3 5 等の配線層を二点鎖線でそれぞれ示している。 10

【 0 0 8 6 】

このように、閾値キャンセル機能を有する画素回路 5 1 において、レイアウト上、有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ 2 3 を形成するキャパシタ形成層 2 3 1、2 3 2 とをオーバーラップさせた構造とすることにより、第 1 実施形態に係る画素回路 1 1 の場合と同様の理由により、接続ノード N 1 1 と接続ノード 1 2 との間の容量を容量 C g a の分だけ大きくできる。

【 0 0 8 7 】

この画素回路 5 1 において、T F T 2 5 をオフして有機 E L 素子 2 1 に定電流を流したときに、T F T 2 2 のソース電位 V s が変化量  $\Delta V$  だけ上昇し、これに合わせて T F T 2 2 のゲート電位 V g が下記の式 ( 6 ) で表される値  $V \times 3$  だけ上昇する。 20

【 0 0 8 8 】

【 数 2 】

$$V_{x3} = \frac{(C_1 + C_{gs} + C_{ga}) \times \Delta V}{(C_1 + C_{gs} + C_{ga} + \frac{1}{\frac{1}{C_2} + \frac{1}{C_{t1} + C_{t2}}})} \quad \dots\dots (6)$$

【 0 0 8 9 】

上記の式 ( 6 ) と先の式 ( 5 ) との対比から明らかなように、有機 E L 素子 2 1 のアノード電極層 2 1 1 とキャパシタ形成層 2 3 1、2 3 2 とをオーバーラップさせた構造を採用することにより、オーバーラップさせない構造に比較して、接続ノード N 1 1 と接続ノード 1 2 との間の容量を容量 C g a の分だけ大きくできるため、T F T 2 2 のソース電位 V s に対するゲート電位 V g の上昇の割合 ( ゲイン ) を大きくすることができ、その結果所望の発光が得やすくなる。また、キャパシタ 2 3 のサイズを小さくすることができるため、表示装置の多画素化・高精細化に大きく寄与できることになる。 30

【 0 0 9 0 】

( 第 2 実施形態の応用例 )

上記実施形態では、レイアウト上において、有機 E L 素子 2 1 のアノード電極層とキャパシタ 2 3 のキャパシタ形成層とをオーバーラップさせた構成を採用としたが、さらにキャパシタ 2 9 のキャパシタ形成層についても有機 E L 素子 2 1 のアノード電極層とオーバーラップさせた構成を採用することも可能である。 40

【 0 0 9 1 】

図 2 3 は、第 1 実施形態に係る画素回路 5 1 のレイアウトの一例を示す概略平面パターン図である。また、図 2 4 に、図 2 3 の C - C 線に沿った断面構造を示す。図 2 3、図 2 4 において、図 2 1、図 2 2 と同等部分には同一符号を付して示している。

【 0 0 9 2 】

特に図 2 4 から明らかなように、キャパシタ 2 9 は、キャパシタ形成層 2 9 1 と T F T 2 2 のゲート層でもあるキャパシタ形成層 2 9 2 とが絶縁層 3 1 を挟んで対向配置されて 50

形成されている。このキャパシタ 29 は、キャパシタ形成層 292（これと対向配置されているキャパシタ形成層 291 も同じ）が、有機 EL 素子 21 のアノード電極層 211 とオーバーラップするように、好ましくはキャパシタ形成層 292 の全体がアノード電極層 211 とオーバーラップするように形成されている。

#### 【0093】

このように、閾値キャンセル機能を有する画素回路 51 において、レイアウト上、有機 EL 素子 21 のアノード電極層 211 とキャパシタ 23 を形成するキャパシタ形成層 231, 232 とをオーバーラップさせるとともに、キャパシタ 29 のキャパシタ形成層 291, 292 についても有機 EL 素子 21 のアノード電極層とオーバーラップさせた構造とすることにより、有機 EL 素子 21 のアノード電極層 211 とキャパシタ 29 のキャパシタ形成層 292 との間に容量  $C_{aa}$  が形成されるため、接続ノード N11 と接続ノード 12 との間の容量を容量  $C_{ga}$  の分だけ大きくできることに加えて、容量  $C_{aa}$  の分だけ大きくできる。

10

#### 【0094】

この画素回路 51 において、TFT 25 をオフして有機 EL 素子 21 に定電流を流したときに、TFT 22 のソース電位  $V_s$  が変化量  $V$  だけ上昇し、これに合わせて TFT 22 のゲート電位  $V_g$  が下記の式 (7) で表される値  $V \times 4$  だけ上昇する。

#### 【0095】

#### 【数 3】

$$V_{x4} = \frac{(C_1 + C_{gs} + \frac{1}{\frac{1}{C_2} + \frac{1}{C_{aa}}}) \times \Delta V}{(C_1 + C_{gs} + C_{ga} + \frac{1}{\frac{1}{C_2} + \frac{1}{C_{t1} + C_{t2}}} + \frac{1}{\frac{1}{C_2} + \frac{1}{C_{aa}}})} \dots (7)$$

20

#### 【0096】

上記の式 (7) と先の式 (5) との対比から明らかなように、有機 EL 素子 21 のアノード電極層 211 と、キャパシタ 23 のキャパシタ形成層 231, 232 およびキャパシタ 29 のキャパシタ形成層 291, 292 とをオーバーラップさせた構造を採ることにより、TFT 22 のソース電位  $V_s$  に対するゲート電位  $V_g$  の上昇の割合（ゲイン）を大きくすることができるため、所望の発光が得やすくなるとともに、表示装置の多画素化・高精細化に大きく寄与できることに加えて、入力信号電圧  $V_{in}$  の電圧振幅に対する TFT 22 のゲート入力の電圧振幅が減少しないという作用効果を得ることができる。

30

#### 【0097】

なお、上記実施形態では、第 1, 第 3 の電源電位を接地電位 GND、第 2 の電源電位を正電源電位とした画素回路を例に挙げて説明したが、この電位関係に限られるものではなく、例えば第 1 の電源電位を負電源電位、第 2 の電源電位を接地電位 GND とし、第 3 の電源電位を正電位に設定した画素回路にも同様に適用可能である。

40

#### 【0098】

また、上記実施形態では、画素の表示素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、これに限られるものではなく、流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いた表示装置全般に適用可能である。

#### 【図面の簡単な説明】

#### 【0099】

【図 1】本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図 2】本発明の第 1 実施形態に係る画素回路の構成例を示す回路図である。

50

【図 3】第 1 実施形態に係る画素回路の動作を説明するためのタイミングチャートである。

【図 4】第 1 実施形態に係る画素回路の動作説明図（その 1）である。

【図 5】第 1 実施形態に係る画素回路の動作説明図（その 2）である。

【図 6】第 1 実施形態に係る画素回路の動作説明図（その 3）である。

【図 7】第 1 実施形態に係る画素回路の動作説明図（その 4）である。

【図 8】第 1 実施形態に係る画素回路の動作説明図（その 5）である。

【図 9】第 1 実施形態に係る画素回路のレイアウトの一例を示す概略平面パターン図である。

【図 10】図 9 の A - A 線に沿った断面構造図である。

10

【図 11】本発明の第 2 実施形態に係る画素回路の構成例を示す回路図である。

【図 12】第 2 実施形態に係る画素回路の動作を説明するためのタイミングチャートである。

【図 13】第 2 実施形態に係る画素回路の動作説明図（その 1）である。

【図 14】第 2 実施形態に係る画素回路の動作説明図（その 2）である。

【図 15】第 2 実施形態に係る画素回路の動作説明図（その 3）である。

【図 16】第 2 実施形態に係る画素回路の動作説明図（その 4）である。

【図 17】第 2 実施形態に係る画素回路の動作説明図（その 5）である。

【図 18】第 2 実施形態に係る画素回路の動作説明図（その 6）である。

【図 19】第 2 実施形態に係る画素回路の動作説明に供する特性図である。

20

【図 20】第 2 実施形態に係る画素回路の動作説明に供する特性図である。

【図 21】第 2 実施形態に係る画素回路のレイアウトの一例を示す概略平面パターン図である。

【図 22】図 21 の B - B 線に沿った断面構造図である。

【図 23】第 2 実施形態の応用例に係る画素回路のレイアウトの一例を示す概略平面パターン図である。

【図 24】図 23 の C - C 線に沿った断面構造図である。

【図 25】従来例に係る画素回路を示す回路図である。

【図 26】有機 EL 素子の I - V 特性の経時変化を示す特性図である

【図 27】N チャネル TFT で構成した従来例に係る画素回路を示す回路図である。

30

【図 28】初期状態における駆動トランジスタである TFT と有機 EL 素子の動作点を示す図である。

【図 29】経時変化後の駆動トランジスタである TFT と有機 EL 素子の動作点を示す図である。

【図 30】N チャネル TFT のソースを接地電位に接続した構成の画素回路を示す回路図である。

【符号の説明】

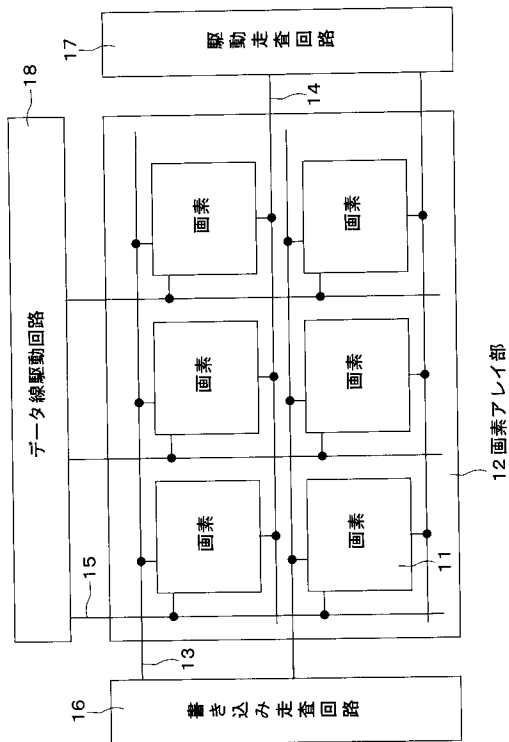
【0100】

11, 51 ... 画素（画素回路）、12 ... 画素アレイ部、13 ... 走査線、14, 41 ... 駆動線、15 ... データ線、16 ... 書き込み走査回路、17, 43 ... 駆動走査回路、18 ... データ線駆動回路、21 ... 有機 EL 素子、22 ... 駆動トランジスタ（TFT）、23, 29 ... キャパシタ、24 ~ 28 ... スイッチングトランジスタ（TFT）、42 ... オートゼロ線、44 ... オートゼロ回路

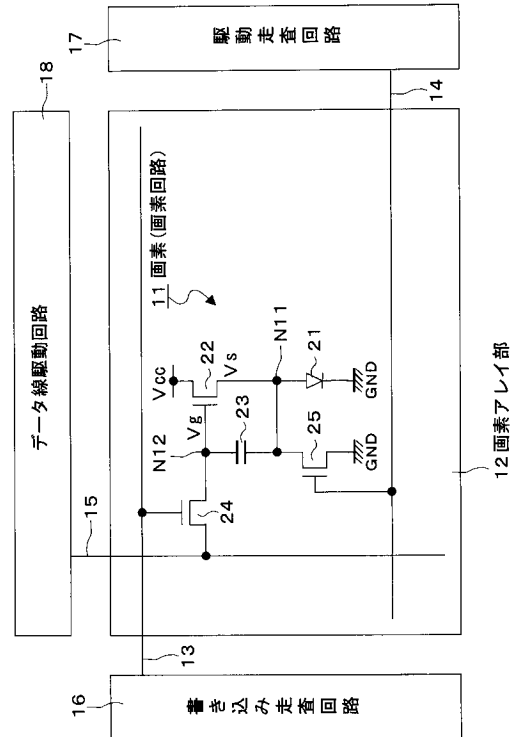
40



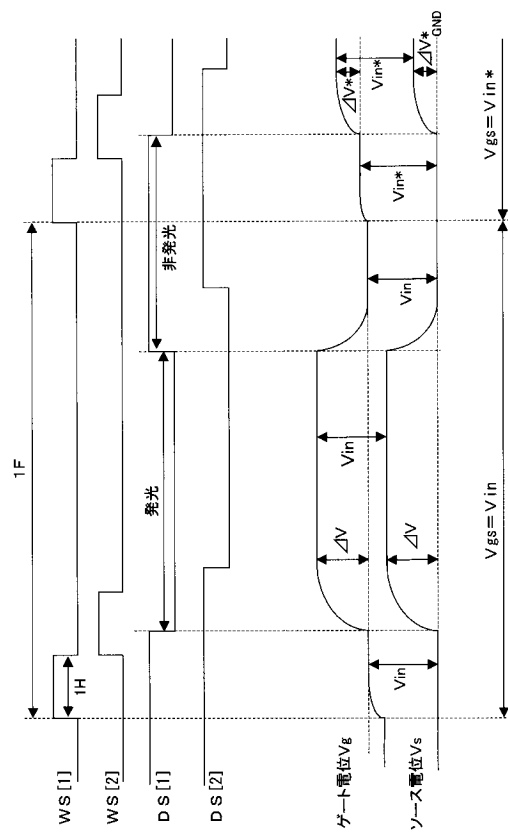
【 図 1 】



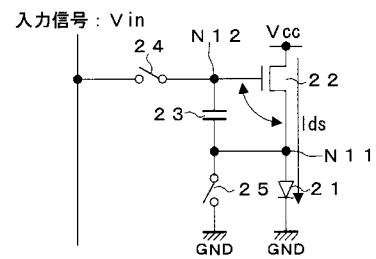
【 図 2 】



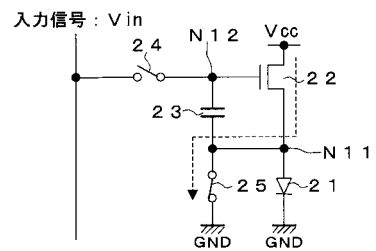
【 図 3 】



【 図 4 】

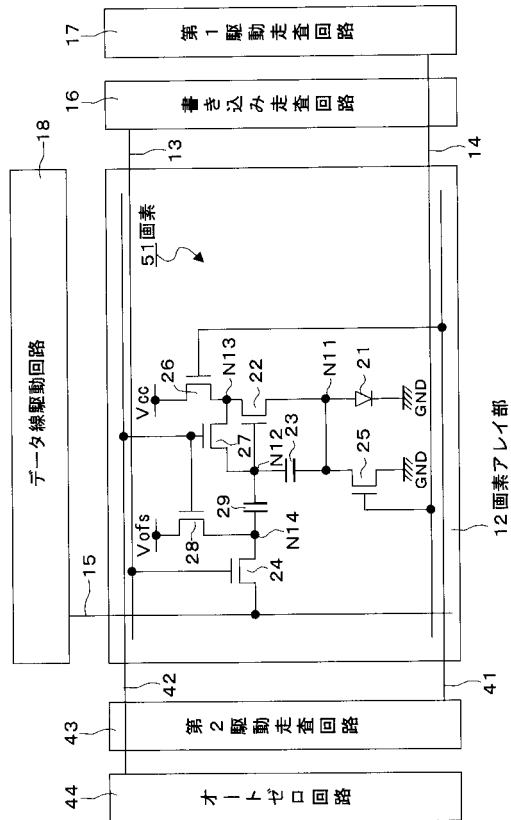


【 図 5 】

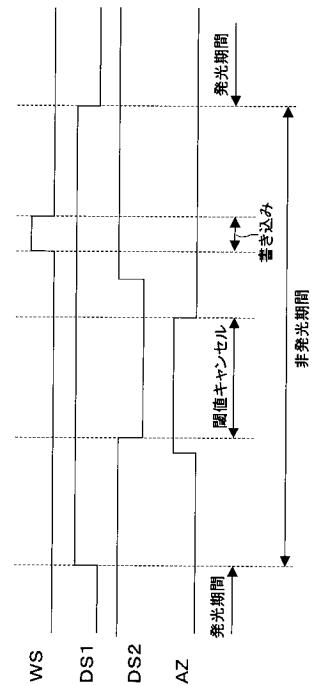




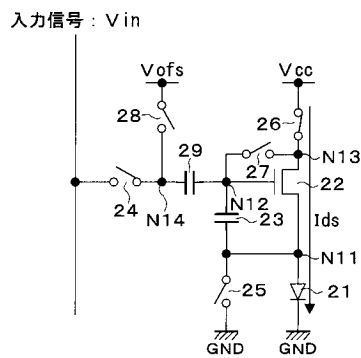
【 図 1 1 】



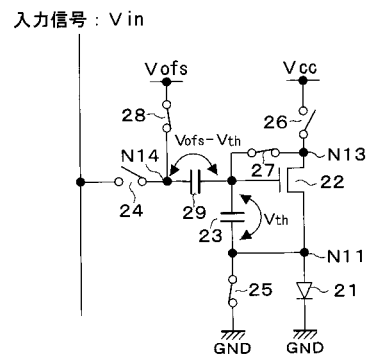
【 図 1 2 】



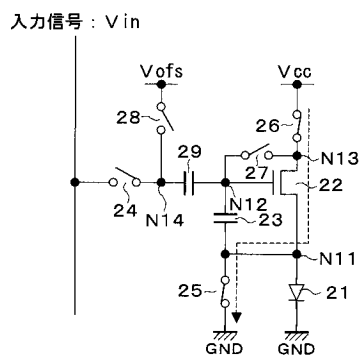
【 図 1 3 】



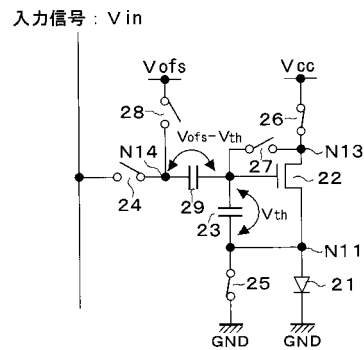
【 図 1 5 】



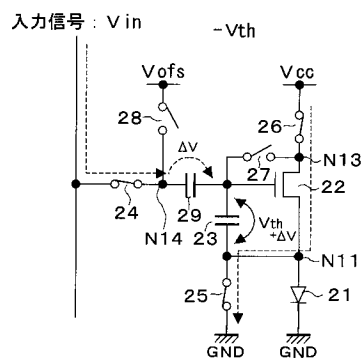
【 図 1 4 】



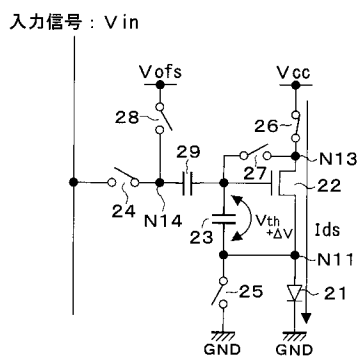
【 図 1 6 】



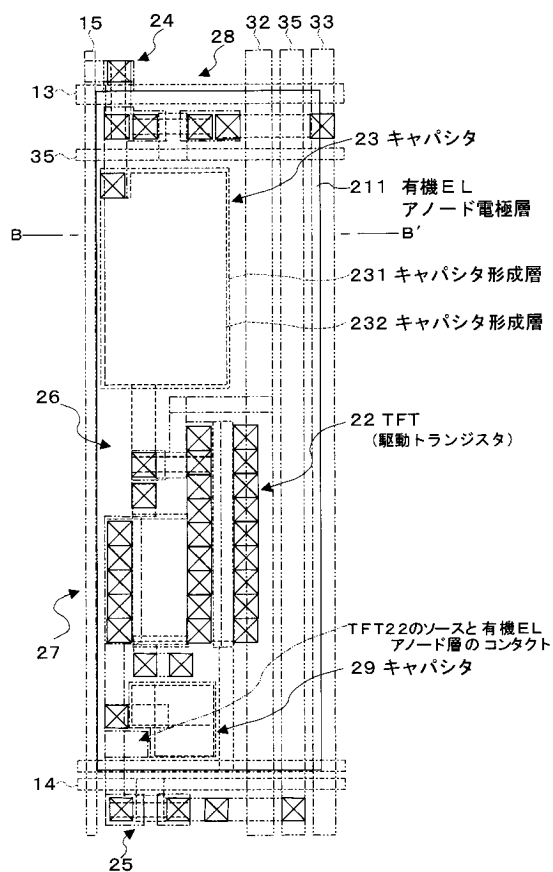
【 図 1 7 】



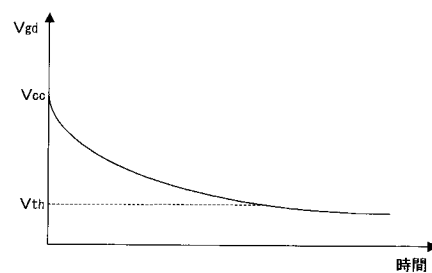
【 ㊦ 1 8 】



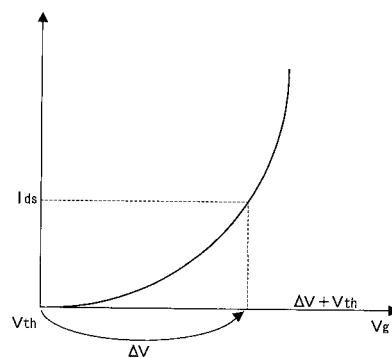
【 図 2 1 】



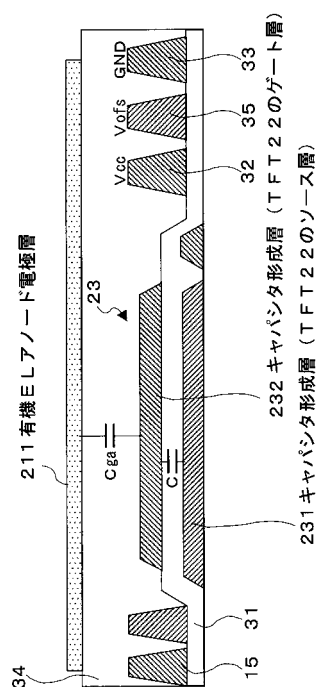
【 図 1 9 】



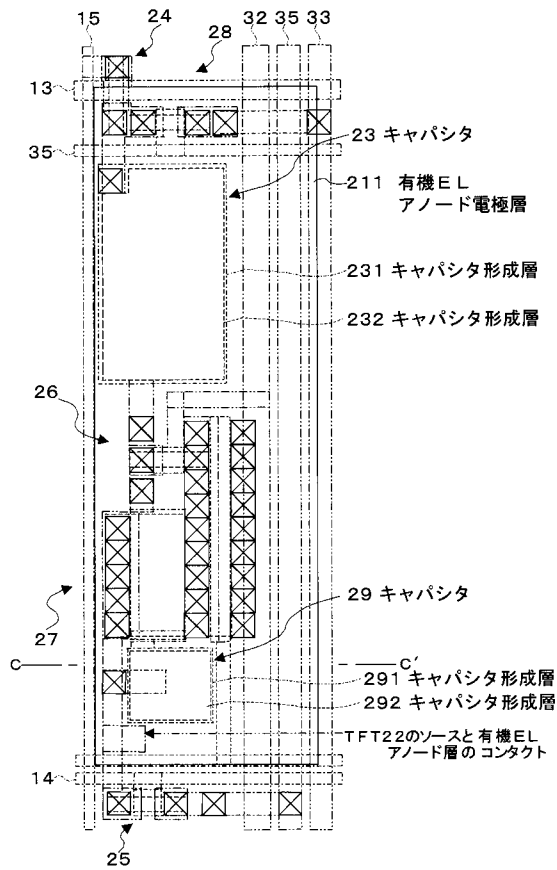
【 図 2 0 】



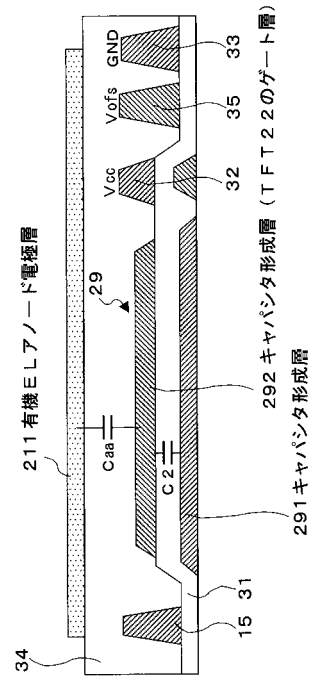
【 図 2 2 】



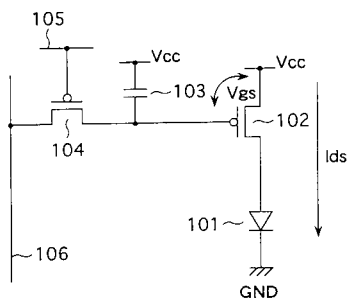
【 図 2 3 】



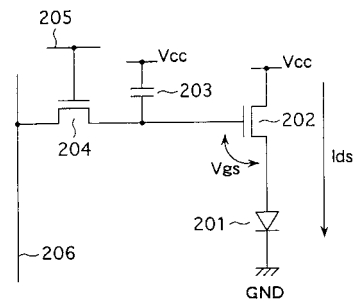
【 図 2 4 】



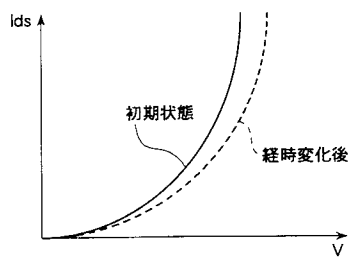
【 図 2 5 】



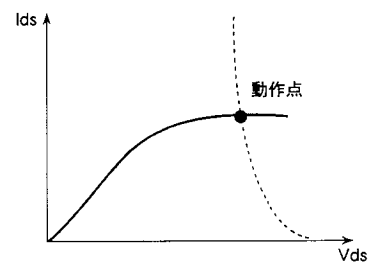
【 图 2 7 】



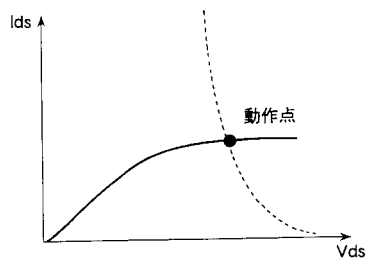
【 図 2 6 】



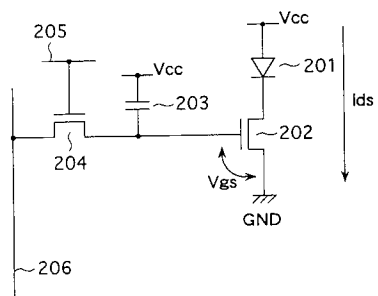
【 ㄨ 2 8 】



【 図 2 9 】



【 図 3 0 】



---

 フロントページの続き
(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 2 4 B |
| G 0 9 G | 3/20  | 6 4 1 D |
| G 0 9 G | 3/20  | 6 4 2 A |
| G 0 9 G | 3/20  | 6 7 0 J |
| H 0 5 B | 33/14 | A       |

F ターム(参考) 3K007 AB02 AB17 BA06 DB03 GA00 GA04  
 5C080 AA06 BB05 DD05 DD22 DD29 EE28 FF11 JJ02 JJ03 JJ04  
 JJ05 JJ06  
 5C094 AA04 AA23 AA53 AA55 BA03 BA29 BA43 CA19 DA20

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 像素电路和显示设备   |         |            |
| 公开(公告)号        | <a href="#">JP2005227562A</a>   | 公开(公告)日 | 2005-08-25 |
| 申请号            | JP2004036504  | 申请日     | 2004-02-13 |
| [标]申请(专利权)人(译) | 索尼公司  |         |            |
| 申请(专利权)人(译)    | 索尼公司  |         |            |
| [标]发明人         | 山本哲郎<br>内野勝秀<br>山下淳一  |         |            |
| 发明人            | 山本 哲郎<br>内野 勝秀<br>山下 淳一   |         |            |
| IPC分类号         | H01L51/50 G09F9/30 G09F9/35 G09G3/20 G09G3/30 H01L27/32 H05B33/14   |         |            |
| FI分类号          | G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09F9/35 G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.670.J H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3291 H01L27/32  |         |            |
| F-TERM分类号      | 3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA04 5C094/AA23 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/BA43 5C094/CA19 5C094/DA20 3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB46 5C380/BA28 5C380/BA39 5C380/BA50 5C380/BD02 5C380/BD05 5C380/CA12 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC77 5C380/CD013 5C380/CD026 5C380/DA02 5C380/HA03 5C380/HA05 5C380/HA08 |         |            |
| 代理人(译)         | 船桥 国则   |         |            |
| 其他公开文献         | JP4529467B2   |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

## 摘要(译)

要解决的问题：为了解决如果电容器（像素电容器）的容量和驱动晶体管的栅极和源极之间的容量之和小于开关晶体管的寄生电容器的问题，驱动晶体管的栅极和源极之间的电位值是由驱动晶体管的源极电位的变化量引起的，并且不能期望期望的发光。  
 SOLUTION：有机EL元件21的阳极电极层211和形成电容器23的电容器形成层231和232在布局上重叠的构造用于像素电路11，其构造为在栅极和栅极之间连接电容器23。TFT22的源极是驱动晶体管，并且通过作为开关晶体管的TFT25选择性地TFT22的源极连接到接地电位GND。Z

