

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-164894

(P2005-164894A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int.Cl.<sup>7</sup>

G09G 3/30

G09G 3/20

H05B 33/14

F 1

G09G 3/30

J

テーマコード(参考)

3K007

G09G 3/20

624B

5C080

G09G 3/20

641A

G09G 3/20

670J

HO5B 33/14

A

審査請求 未請求 請求項の数 18 O L (全 14 頁)

(21) 出願番号

特願2003-402674 (P2003-402674)

(22) 出願日

平成15年12月2日 (2003.12.2)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA02

5C080 AA06 BB05 DD05 DD29 EE29

FF07 FF11 JJ02 JJ03 JJ04

JJ05

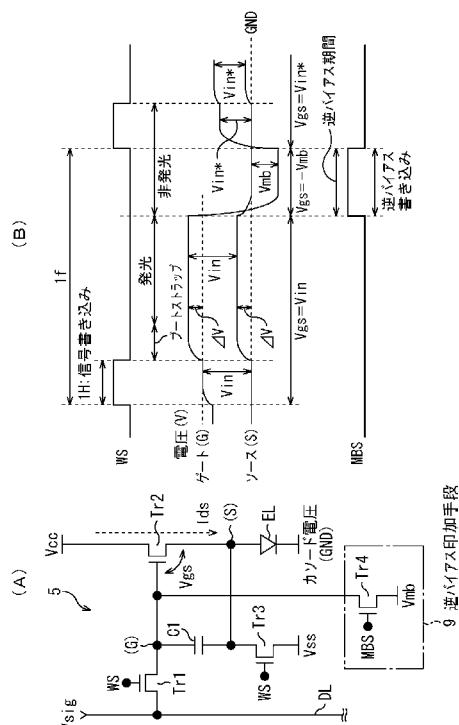
(54) 【発明の名称】画素回路及び表示装置とこれらの駆動方法

## (57) 【要約】

【課題】 ドライブトランジスタの閾電圧の経時変化を抑制可能な画素回路を提供する。

【解決手段】 サンプリングトランジスタTr1は、ゲートが走査線WSによって選択された時ソース/ドレイン間が導通して信号線DLから信号Vsigをサンプリングして保持容量C1に保持する。ドライブトランジスタTr2は、ゲートGが保持容量C1に保持された信号電位によってソースS基準で正極性となる順バイアスを受け、且つ順バイアスに応じてソースS/ドレインD間に流れる電流Idsで負荷素子ELに通電する。逆バイアス印加手段9は、ドライブトランジスタTr2のゲートGにソースS基準で負極性となる逆バイアスVmbを印加し、順バイアスの印加によって生じた閾電圧の上方変動を下方修正する。

【選択図】図9



**【特許請求の範囲】****【請求項 1】**

行状の走査線と列状の信号線とが交差する部分に各々配された画素回路であって、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含み、

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、

前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該負荷素子に通電し、

該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする画素回路。10

**【請求項 2】**

前記逆バイアス印加手段は、該ドライブトランジスタの動作特性及び動作点に応じて該逆バイアスの電圧値及び印加時間を設定し、以って該閾電圧の変動を過不足なく補正することを特徴とする請求項 1 記載の画素回路。

**【請求項 3】**

前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオン／オフ駆動される薄膜型のスイッチングトランジスタを含むことを特徴とする請求項 1 記載の画素回路。20

**【請求項 4】**

前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、ゲートにパルスが入力された時ドレイン／ソース間がオンして該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加することを特徴とする請求項 3 記載の画素回路。

**【請求項 5】**

前記スイッチングトランジスタのゲートに入力するパルスの印加時間及び振幅と、前記スイッチングトランジスタのソースに供給される負電位のレベルとは、該ドライブトランジスタの閾電圧の変動を抑える為最適に設定されていることを特徴とする請求項 4 記載の画素回路。30

**【請求項 6】**

前記パルスの振幅及び負電位のレベルは該スイッチングトランジスタ自身の閾電圧の変動を抑える様に設定されていることを特徴とする請求項 5 記載の画素回路。

**【請求項 7】**

前記負荷素子は通電によって発光する有機 E-L 素子からなり、前記スイッチングトランジスタはゲートに入力されるパルスに応答して該ドライブトランジスタをオン／オフ制御し、以って該有機 E-L 素子の発光時間と非発光時間を規定することを特徴とする請求項 4 記載の画素回路。40

**【請求項 8】**

前記逆バイアス印加手段は、順バイアスの印加時間より逆バイアスの印加時間が短い程、順バイアスの絶対値より逆バイアスの絶対値を大きく設定可能であることを特徴とする請求項 1 記載の画素回路。

**【請求項 9】**

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなる表示装置であって、

前記画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含み、50

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させ、

前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該発光素子に通電し、以って映像信号に応じた表示を行ない、

該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする表示装置。

【請求項 10】

前記逆バイアス印加手段は、該ドライブトランジスタの動作特性及び動作点に応じて該逆バイアスの電圧値及び印加時間を設定し、以って該閾電圧の変動を過不足なく補正することを特徴とする請求項 9 記載の表示装置。

【請求項 11】

前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオン／オフ駆動される薄膜型のスイッチングトランジスタを含むことを特徴とする請求項 9 記載の表示装置。

【請求項 12】

前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、ゲートにパルスが入力された時ドレイン／ソース間がオンして該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加することを特徴とする請求項 11 記載の表示装置。

【請求項 13】

前記スイッチングトランジスタのゲートに入力するパルスの印加時間及び振幅と、前記スイッチングトランジスタのソースに供給される負電位のレベルとは、該ドライブトランジスタの閾電圧の変動を抑える為最適に設定されていることを特徴とする請求項 12 記載の表示装置。

【請求項 14】

前記パルスの振幅及び負電位のレベルは該スイッチングトランジスタ自身の閾電圧の変動を抑える様に設定されていることを特徴とする請求項 13 記載の表示装置。

【請求項 15】

前記発光素子は通電によって発光する有機 EL 素子からなり、前記スイッチングトランジスタはゲートに入力されるパルスに応答して該ドライブトランジスタをオン／オフ制御し、以って該有機 EL 素子の発光時間と非発光時間を規定することを特徴とする請求項 12 記載の表示装置。

【請求項 16】

前記逆バイアス印加手段は、順バイアスの印加時間より逆バイアスの印加時間が短い程、順バイアスの絶対値より逆バイアスの絶対値を大きく設定可能であることを特徴とする請求項 9 記載の表示装置。

【請求項 17】

行状の走査線と列状の信号線とが交差する部分に各々配されており、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含む画素回路の駆動方法であって、

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、

前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該負荷素子に通電し、

10

20

30

40

50

更に該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手順を行い、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする画素回路の駆動方法。

#### 【請求項 1 8】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含む表示装置の駆動方法であって、

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させ、

前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該発光素子に通電し、以って映像信号に応じた表示を行ない、

更に該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手順を行い、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする表示装置の駆動方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、画素毎に配した負荷素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機EL発光素子などの負荷素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

##### 【背景技術】

##### 【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

##### 【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものである。

##### 【特許文献1】U.S.P.5,684,365

##### 【特許文献2】特開平8-234683号公報

##### 【発明の開示】

##### 【発明が解決しようとする課題】

##### 【0004】

従来の画素回路は、行状の走査線と列状の信号線とが交差する部分に各々配されている。各画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子などの負荷素子とを含んでいる。サンプリングトランジスタ

10

20

30

40

50

は、そのゲートが走査線によって選択された時ソース／ドレイン間が導通して信号線から映像信号をサンプリングする。サンプリングされた信号は保持容量に書き込まれ保持される。ドライブトランジスタは、そのゲートが保持容量に接続され、ソース／ドレインの片方が発光素子などの負荷素子に接続している。ドライブトランジスタのゲートは、保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受ける。ドライブトランジスタはこの順バイアスに応じてソース／ドレイン間に電流を流し、発光素子に通電する。一般に発光素子の輝度は通電量に比例している。更にドライブトランジスタの通電量は保持容量に書き込まれた信号電位によって制御される。従って、発光素子は映像信号に応じた輝度で発光することになる。

## 【0005】

10

ドライブトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 $I_{ds}$  はドレイン電流を表わしている。 $V_{gs}$  はソースを基準としてゲートに印加される電圧を表わしており、これが正の値である時上記の順バイアスと呼んでいる。 $V_{th}$  はトランジスタの閾電圧である。その他  $\mu$  はトランジスタのチャネルを構成する半導体薄膜の移動度を表わし、 $W$  はチャネル幅を表わし、 $L$  はチャネル長を表わし、 $C_{ox}$  はゲート容量を表わしている。このトランジスタ特性式から明らかに、薄膜トランジスタは飽和領域で動作する時、ゲート電圧  $V_{gs}$  が閾電圧  $V_{th}$  を超えて正側に大きくなると、オン状態となってドレイン電流  $I_{ds}$  が流れる。換言すると順バイアス ( $V_{gs}$ ) が閾電圧 ( $V_{th}$ ) を超えるとオン状態となる。逆に  $V_{gs}$  が  $V_{th}$  を下回ると薄膜トランジスタはカットオフし、ドレイン電流  $I_{ds}$  は流れなくなる。

20

## 【0006】

ところで薄膜トランジスタの閾電圧  $V_{th}$  は必ずしも一定ではなく経時的に変動する傾向にある。前述のトランジスタ特性式から明らかに、ドライブトランジスタの閾電圧  $V_{th}$  が変動すると、ゲート電圧  $V_{gs}$  が一定であってもドレイン電流  $I_{ds}$  が変動する。これにより発光素子の通電量が変わってしまう為発光輝度の変化が生じるという課題がある。すなわち所定の映像信号を送っても実際の発光輝度が変化してしまう為意図する表示が得られないという課題がある。

## 【課題を解決するための手段】

30

## 【0007】

上述した従来の技術の課題に鑑み、本発明はドライブトランジスタの閾電圧の経時変化を抑制可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、行状の走査線と列状の信号線とが交差する部分に各々配された画素回路であって、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含み、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該負荷素子に通電し、該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする。

40

## 【0008】

好ましくは、前記逆バイアス印加手段は、該ドライブトランジスタの動作特性及び動作点に応じて該逆バイアスの電圧値及び印加時間を設定し、以って該閾電圧の変動を過不足なく補正する。又前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオン／オフ駆動される薄膜型のスイッチングトランジスタを含む。前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、

50

ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、ゲートにパルスが入力された時ドレイン／ソース間がオンして該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加する。前記スイッチングトランジスタのゲートに入力するパルスの印加時間及び振幅と、前記スイッチングトランジスタのソースに供給される負電位のレベルとは、該ドライブトランジスタの閾電圧の変動を抑える為最適に設定されている。又、前記パルスの振幅及び負電位のレベルは該スイッチングトランジスタ自身の閾電圧の変動を抑える様に設定されている。例えば前記負荷素子は通電によって発光する有機EL素子からなり、前記スイッチングトランジスタはゲートに入力されるパルスに応答して該ドライブトランジスタをオン／オフ制御し、以って該有機EL素子の発光時間と非発光時間を規定する。好ましくは前記逆バイアス印加手段は、順バイアスの印加時間より逆バイアスの印加時間が短い程、順バイアスの絶対値より逆バイアスの絶対値を大きく設定可能である。

#### 【0009】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなる表示装置であって、前記画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含み、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該発光素子に通電し、以って映像信号に応じた表示を行ない、該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする。

#### 【0010】

好ましくは、前記逆バイアス印加手段は、該ドライブトランジスタの動作特性及び動作点に応じて該逆バイアスの電圧値及び印加時間を設定し、以って該閾電圧の変動を過不足なく補正する。又前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオン／オフ駆動される薄膜型のスイッチングトランジスタを含む。前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、ゲートにパルスが入力された時ドレイン／ソース間がオンして該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加する。前記スイッチングトランジスタのゲートに入力するパルスの印加時間及び振幅と、前記スイッチングトランジスタのソースに供給される負電位のレベルとは、該ドライブトランジスタの閾電圧の変動を抑える為最適に設定されている。又前記パルスの振幅及び負電位のレベルは該スイッチングトランジスタ自身の閾電圧の変動を抑える様に設定されている。例えば前記発光素子は通電によって発光する有機EL素子からなり、前記スイッチングトランジスタはゲートに入力されるパルスに応答して該ドライブトランジスタをオン／オフ制御し、以って該有機EL素子の発光時間と非発光時間を規定する。好ましくは前記逆バイアス印加手段は、順バイアスの印加時間より逆バイアスの印加時間が短い程、順バイアスの絶対値より逆バイアスの絶対値を大きく設定可能である。

#### 【0011】

又本発明は、行状の走査線と列状の信号線とが交差する部分に各々配されており、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含む画素回路の駆動方法であって、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該負荷素子

10

20

30

40

50

に通電し、更に該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手順を行い、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする。

#### 【0012】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含む表示装置の駆動方法であって、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース／ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース／ドレイン間に流れる電流で該発光素子に通電し、以って映像信号に応じた表示を行ない、更に該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手順を行い、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正することを特徴とする。

10

#### 【発明の効果】

#### 【0013】

発明者は、薄膜トランジスタのゲートに反復的もしくは持続的に順バイアスが印加されると、閾電圧が正方向に変動する傾向があることを発見した。換言すると薄膜トランジスタは継続的な順バイアスの印加により閾電圧が上方シフトする傾向にある。これに対し薄膜トランジスタはゲートに逆バイアスを印加すると、閾電圧が下方シフトする傾向にあることが判明した。ここで逆バイアスとはソース電位を基準にして負の電位となるゲート電圧を意味している。画素回路のドライブトランジスタは、ゲートが保持容量に保持された映像信号電位によって順バイアスを受け、且つこの順バイアスに応じてソース／ドレイン間に流れる電流で発光素子に通電している。従って何ら対策を施さないと、ドライブトランジスタの閾電圧は上方変動してしまう。これを放置すると前述のトランジスタ特性式から明らかな様にドレイン電流が変動し発光輝度の劣化をもたらす。そこで本発明は逆バイアス印加手段を設け、適当なタイミングでドライブトランジスタのゲートに逆バイアスを印加する様にしている。これにより順バイアスの印加で生じたドライブトランジスタの閾電圧の上方変動を、逆バイアスの印加で下方修正し、以って閾電圧の変動を抑制することが可能となる。

20

#### 【発明を実施するための最良の形態】

#### 【0014】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してアクティブマトリクス表示装置及びこれに含まれる画素回路の一般的な構成を参考例として説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路群とで構成されている。周辺の回路群は水平セレクタ2、ドライブスキャナ3、ライトスキャナ4などを含んでいる。

30

#### 【0015】

画素アレイ1は行状の走査線WSと列状の信号線DLと両者の交差する部分にマトリクス状に配列した画素回路5とで構成されている。信号線DLは水平セレクタ2によって駆動される。走査線WSはライトスキャナ4によって走査される。尚、走査線WSと平行に別の走査線DSも配線されており、これはドライブスキャナ3によって走査される。各画素回路5は、走査線WSによって選択された時信号線DLから信号をサンプリングする。更に走査線DSによって選択された時、該サンプリングされた信号に応じて負荷素子を駆動する。この負荷素子は各画素回路5に形成された電流駆動型の発光素子などである。

40

#### 【0016】

図2は、図1に示した画素回路5の基本的な構成を示す参考図である。本画素回路5は、サンプリング用薄膜トランジスタ（サンプリングトランジスタTr1）、ドライブ用薄膜トランジスタ（ドライブトランジスタTr2）、スイッチング用薄膜トランジスタ（ス

50

イッティングトランジスタ Tr 3 )、保持容量 C 1 、負荷素子(有機 EL 発光素子)などで構成されている。

#### 【 0 0 1 7 】

サンプリングトランジスタ Tr 1 は走査線 WS によって選択された時導通し、信号線 DL から映像信号をサンプリングして保持容量 C 1 に保持する。ドライブトランジスタ Tr 2 は保持容量 C 1 に保持された信号電位に応じて発光素子 EL に対する通電量を制御する。スイッティングトランジスタ Tr 3 は走査線 DS によって制御され、発光素子 EL に対する通電をオン / オフする。すなわち、ドライブトランジスタ Tr 2 は通電量に応じて発光素子 EL の発光輝度(明るさ)を制御する一方、スイッティングトランジスタ Tr 3 は発光素子 EL の発光時間を制御している。これらの制御により、各画素回路 5 に含まれる発光素子 EL は映像信号に応じた輝度を呈し、画素アレイ 1 に所望の表示が映し出される。10

#### 【 0 0 1 8 】

図 3 は、図 2 に示した画素アレイ 1 及び画素回路 5 の動作説明に供するタイミングチャートである。1 フィールド期間(1 f)の先頭で、1 水平期間(1 H)の間 1 行目の画素回路 5 に走査線 WS を介して選択パルス ws [ 1 ] が印加され、サンプリングトランジスタ Tr 1 が導通する。これにより信号線 DL から映像信号がサンプリングされ、保持容量 C 1 に書き込まれる。保持容量 C 1 の一端はドライブトランジスタ Tr 2 のゲートに接続している。従って、映像信号が保持容量 C 1 に書き込まれると、ドライブトランジスタ Tr 2 のゲート電位が、書き込まれた信号電位に応じて上昇する。この時、他の走査線 DS を介してスイッティングトランジスタ Tr 3 に選択パルス ds [ 1 ] が印加される。この間発光素子 EL は発光を続ける。1 フィールド期間 1 f の後半は ds [ 1 ] がローレベルになるので発光素子 EL は非発光状態となる。パルス ds [ 1 ] のデューティを調整することで、発光期間と非発光期間の割合を調整でき、所望の画面輝度が得られる。次の水平期間に移行すると、2 行目の画素回路に対し、各走査線 WS , DS からそれぞれ走査用の信号パルス ws [ 2 ] , ds [ 2 ] が印加される。20

#### 【 0 0 1 9 】

図 4 は、発光素子として画素回路 5 に組み込まれる有機 EL 素子の電流 - 電圧(I - V)特性の経時変化を示すグラフである。グラフにおいて、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機 EL 素子の I - V 特性は、グラフに示す様に時間が経過すると劣化してしまう。図 2 に示した参考例の画素回路はドライブトランジスタがソースフォロワ構成となっており、EL 素子の I - V 特性の経時変化に対処できず、発光輝度の劣化が生じるという問題がある。30

#### 【 0 0 2 0 】

図 5 の(A)は、初期状態におけるドライブトランジスタ Tr 2 と発光素子 EL の動作点を示すグラフである。図において、縦軸はドライブトランジスタ Tr 2 のドレイン・ソース間電圧 Vds を示し、縦軸はドレイン・ソース間電流 Ids を示している。図示する様に、ソース電位はドライブトランジスタ Tr 2 と発光素子 EL との動作点で決まり、その電圧値はゲート電圧によって異なる値を持つ。ドライブトランジスタ Tr 2 は飽和領域で動作するので、動作点のソース電圧に対応した Vgs に関し、前述のトランジスタ特性式で規定された電流値の駆動電流 Ids を流す。40

#### 【 0 0 2 1 】

しかしながら発光素子 EL の I - V 特性は図 4 に示した様に経時劣化する。図 5 の(B)に示す様に、この経時劣化により動作点が変化してしまい、同じゲート電圧を印加してもトランジスタのソース電圧は変化してしまう。これによりドライブトランジスタ Tr 2 のゲート・ソース間電圧 Vgs は変化してしまい、流れる電流値が変動する。同時に発光素子 EL に流れる電流値も変化する。この様に発光素子 EL の I - V 特性が変化すると、図 2 に示した参考例のソースフォロワ構成の画素回路では、発光素子 EL の輝度が経時に変化してしまうという問題がある。

#### 【 0 0 2 2 】

図 6 は画素回路の他の参考例を表わしており、図 2 に示した先の参考例の問題点に対処50

したものである。理解を容易にする為、図2の参考例と対応する部分には対応する参照符号を付けてある。改良点は、スイッチングトランジスタTr3の結線を代えたことであり、これによりブートストラップ機能を実現している。具体的には、スイッチングトランジスタTr3のソースは接地され、ドレインはドライブトランジスタTr2のソース(S)と保持容量C1の一方の電極とに接続され、ゲートには走査線DSが接続している。尚保持容量C1の他方の電極はドライブトランジスタTr2のゲート(G)に接続されている。

#### 【0023】

図7は、図6に示した画素回路5の動作説明に供するタイミングチャートである。フィールド期間1fのうち最初の水平期間1Hで、ライトスキーナ4から走査線WSを介して1行目の画素回路5に選択パルスws[1]が送られる。尚[]の中の数字は、マトリクス配置された画素回路の行番号に対応している。選択パルスが印加されるとサンプリングトランジスタTr1が導通し、信号線DLから入力信号Vinがサンプリングされ、保持容量C1に書き込まれる。この時スイッチングトランジスタTr3にはドライブスキーナ3から走査線DSを介して選択パルスds[1]が印加されており、オン状態となっている。従って保持容量C1の片方の電極並びにドライブトランジスタTr2のソース(S)はGNDレベルとなっている。このGNDレベルを基準として保持容量C1に入力信号Vinが書き込まれる為、ドライブトランジスタTr2のゲート電位(G)はVinになる。

#### 【0024】

この後サンプリングトランジスタTr1に対する選択パルスws[1]が解除され、続いてスイッチングトランジスタTr3に対する選択パルスds[1]も解除される。これによりサンプリングトランジスタTr1及びスイッチングトランジスタTr3はオフする。従ってドライブトランジスタTr2のソース(S)はGNDから切り離され、発光素子ELのアノードに対する接続ノードとなる。

#### 【0025】

ドライブトランジスタTr2は保持容量C1に保持された入力信号Vinをゲートに受け、その値に応じてドレイン電流をVcc側からGND側に向かって流す。この通電により発光素子ELは発光を行なう。その際、発光素子ELに対する通電により電圧降下が生じるが、その分だけソース電位(S)がGND側からVcc側に向かって上昇する。図7のタイミングチャートではこの上昇分をVで表わしている。保持容量C1の一端はTr2のソース(S)に接続され、他端はハイインピーダンスのゲート(G)に接続されている。従ってソース電位(S)がVだけ上昇するとその分だけゲート電位(G)も持ち上がり、正味の入力信号Vinはそのまま維持される。従って、発光素子ELの電流・電圧特性に応じてソース電位(S)がVだけ変動しても、常にゲート電圧Vgs=Vinが成立し、ドレイン電流は一定に保たれる。すなわちドライブトランジスタTr2はソースフォロワ構成であるにも関わらず、上述したブートストラップ機能により、発光素子ELに対し定電流源として機能する。

#### 【0026】

この後選択パルスds[1]がハイレベルに復帰するとスイッチングトランジスタTr3が導通し、発光素子ELに供給されるべき電流はバイパスされるので非発光状態になる。この様にしてフィールド期間1fが終了すると、次のフィールド期間に入り、再びサンプリングトランジスタTr1に選択パルスws[1]が印加され入力映像信号Vin\*のサンプリングが行なわれる。先のフィールド期間と今回のフィールド期間ではサンプリングされる映像信号のレベルが異なる場合があるので、これを区別する為入力映像信号Vinに\*印を付してある。尚、この様な映像信号の書き込み及び発光動作は線順次(行単位)で行なわれる。この為画素の各行に対し選択パルスws[1]、ws[2]・・・が順次印加されることになる。同様に選択パルスds[1]、ds[2]・・・も順次印加されることになる。

#### 【0027】

10

20

30

40

50

以上の様に図6の画素回路は、ドライブトランジスタTr2がNチャネル型であっても発光素子ELを定電流駆動でき、発光素子ELのI-V特性の経時変化による輝度劣化を防ぐことができた。しかしながら、エージングによる経時変化は発光素子ELだけではなくアモルファスシリコンやポリシリコンの薄膜を素子領域とする薄膜トランジスタも、その閾電圧Vthが変動してしまう。図6に示した画素回路5でVth変動が最も顕著になるのはドライブトランジスタTr2である。これは1フィールド期間(1f)発光素子ELに電流を流し続ける為、ドライブトランジスタTr2がオン状態に維持されその間ゲートに順バイアスがかかっているからである。一般に薄膜トランジスタのVth変動は、オン状態が持続する時間(順バイアスが印加されている時間)及び順バイアス値にある関数で比例して大きくなる傾向にある。前述のトランジスタ特性式から明らかな様に、Vthが変動するとゲート電圧Vgsが一定であっても、発光素子ELを駆動する電流Idsが変化してしまう。この為、発光素子ELの輝度劣化が生じてしまう。本発明は、このVth変動に対処する為、ドライブトランジスタのゲートに逆バイアスをかけて回路的に補正するものである。

10

## 【0028】

図8は、薄膜トランジスタのゲートバイアスと閾電圧変動との関係を示すグラフである。アモルファスシリコン薄膜トランジスタやポリシリコン薄膜トランジスタのデバイス特性は、図8のグラフに示す様に、ゲート/ソース間に電圧Vgsを印加し一定の時間エージングすると、Vgsがプラスの場合(すなわち順バイアスが印加されていると)Vthはプラスにシフトする。逆にVgsがマイナスで印加されると(すなわち逆バイアスが印加されると)Vth変動はマイナスにシフトする特性を持っている。そして、Vgsの絶対値が大きければ大きい程、Vth変動の絶対値も大きくなる傾向にあることが判明した。本発明はこのデバイス特性を積極的に利用して、1フィールドのうち発光期間に順バイアスをかけ非発光期間に逆バイアスをかける様にしている。すなわちドライブトランジスタに対し+Vgsが印加されている発光期間以外の非発光期間では、ドライブトランジスタに-Vgsを印加する。そして、Vgsの電圧値及び電圧印加時間を調整して、結果的にVth変動を抑制している。つまり発光期間になると繰り返し印加される順バイアスでドライブトランジスタの閾電圧Vthは上方シフトする。これを下方修正する為に、非発光期間にドライブトランジスタに対して逆バイアスを印加し、以って閾電圧変動を抑制している。

20

30

## 【0029】

図9は、本発明の実施形態を表わしており、(A)は構成を示す回路図、(B)は動作を示すタイミングチャートである。この実施形態は図6に示した参考例の画素回路の問題点を解決するものであって、上述した原理に基づき逆バイアス印加手段を画素回路中に導入したものである。

## 【0030】

(A)に示す様に、本画素回路5は、行状の走査線WSと列状の信号線DLとが交差する部分に配されている。画素回路5は、薄膜型のサンプリングトランジスタTr1と保持容量C1と同じく薄膜型のドライブトランジスタTr2と負荷素子(発光素子EL)とを含む。サンプリングトランジスタTr1はゲートが走査線WSによって選択された時ソース/ドレイン間が導通して、信号線DLから映像信号Vsigをサンプリングし、且つサンプリングした信号Vsigを保持容量C1に保持させる。ドライブトランジスタTr2は、そのゲート(G)が保持容量C1に保持された信号電位によってソース(S)基準で正極性となる順バイアスを受け、且つこの順バイアスに応じてソース/ドレイン間に流れ電流Idsで発光素子ELに通電する。

40

## 【0031】

本発明の特徴事項として画素回路5は逆バイアス印加手段9を備えている。この逆バイアス印加手段9は、ドライブトランジスタTr2のゲート(G)にソース(S)基準で負極性となる逆バイアスを印加するものであって、順バイアスの印加によって生じたドライブトランジスタTr2の閾電圧Vthの変動を逆バイアスの印加によって補正するもので

50

ある。この逆バイアス印加手段9は、ドライブトランジスタTr2の動作特性及び動作点に応じて逆バイアスの電圧値及び印加時間を設定し、以って閾電圧Vthの変動を過不足なく補正する。例えばこの逆バイアス印加手段9は、順バイアスの印加時間より逆バイアスの印加時間が短い程、順バイアスの絶対値より逆バイアスの絶対値を大きく設定可能である。

### 【0032】

本実施形態によると、この逆バイアス印加手段9は、ドライブトランジスタTr2のゲート(G)に逆バイアスを印加する為にオン/オフ駆動される薄膜型のスイッチングトランジスタTr4を含む。このスイッチングトランジスタTr4は、ドレインがドライブトランジスタTr2のゲート(G)に接続し、ソースがドライブトランジスタTr2のソース(S)電位よりも低く設定された負電位Vmbの電源に接続し、ゲートに制御線MBSを介してパルスが入力された時ドレイン/ソース間がオンして負電位Vmbを逆バイアスとしてドライブトランジスタTr2のゲート(G)に印加する。スイッチングトランジスタTr4のゲートに入力されるパルスの印加時間及び振幅と、スイッチングトランジスタTr4のソースに供給される負電位Vmbのレベルとは、ドライブトランジスタTr2の閾電圧Vthの変動を抑える為最適に設定されている。加えて制御線MBSから供給されるパルスの振幅及び負電位VmbのレベルはスイッチングトランジスタTr4自身の閾電圧の変動を抑える様に設定されている。尚負荷素子は通電によって発光する有機EL素子からなり、スイッチングトランジスタTr4は制御線MBSを介してゲートに入力されるパルスに応答してドライブトランジスタTr2をオン/オフ制御し、以って有機EL素子の発光時間と非発光時間を規定している。10 20

### 【0033】

(B)を参照して、引続き本実施形態に係る画素回路5の動作を説明する。フィールド期間1fの先頭に位置する水平期間(1H)で走査線WSに選択パルスが印加され、サンプリングトランジスタTr1が導通する。本実施形態ではスイッチングトランジスタTr3のゲートにもこの選択パルスが同時に印加される様になっている。この結果サンプリングされた映像信号Vsigは保持容量C1に入力信号Vinとして保持される。選択パルスが解除されると直ちにドライブトランジスタTr2はVinに応答してドレイン電流Idsを流し、発光素子ELを通電駆動する。発光期間の当初でブートストラップ動作が働き、ドライブトランジスタTr2のソース(S)が発光素子ELの特性変動分Vだけ上昇する。これに伴いゲート(G)電位も上昇するので入力信号Vinは一定に維持される。この発光期間中ドライブトランジスタTr2のゲート(G)には順バイアスが印加される。30

### 【0034】

続いて非発光期間が始まる時間もしくはその付近の時間に逆バイアス印加手段9を構成するスイッチングトランジスタTr4をオンさせる。このオペレーションによりトランジスタTr4がオンの時間はドライブトランジスタTr2のゲート電位(G)がVmbの電圧となる。又ドライブトランジスタTr2のソース(S)は、ゲート電圧が下がっていくことから電流値が下がり、これに伴う発光素子ELの電圧降下が起こり最終的にカソード電位(GND)まで下がる。この結果、ドライブトランジスタTr2のゲート/ソース間に-Vmbの逆バイアスをかけることができる。この様にしてVth変動が最も起き易いドライブトランジスタTr2のゲート/ソース間に逆バイアスを印加して、Vth変動を補正する。尚、Vmb電圧やMBSパルス振幅、又これに伴うWSパルス振幅は、トランジスタの正常動作とVth変動を補正できる電圧や振幅に設定する。本発明により非晶質シリコン TFT やポリシリコン TFT の閾電圧が変動しても、回路上で自動的に補正をかけることができる為、EL発光素子の輝度劣化を防ぐことができ、高品質な有機ELディスプレイを提供できる。40

### 【図面の簡単な説明】

### 【0035】

【図1】アクティブマトリクス表示装置及び画素回路の一般的な構成を示すブロック図で50

ある。

【図2】画素回路の参考例を示す回路図である。

【図3】図2に示した画素回路の動作説明に供するタイミングチャートである。

【図4】有機EL素子のI-V特性の経時変化を示すグラフである。

【図5】ドライブトランジスタと有機EL素子の動作点の経時変化を示すグラフである。

【図6】画素回路の他の参考例を示す回路図である。

【図7】図6に示した画素回路の動作説明に供するタイミングチャートである。

【図8】薄膜トランジスタのデバイス特性を示すグラフである。

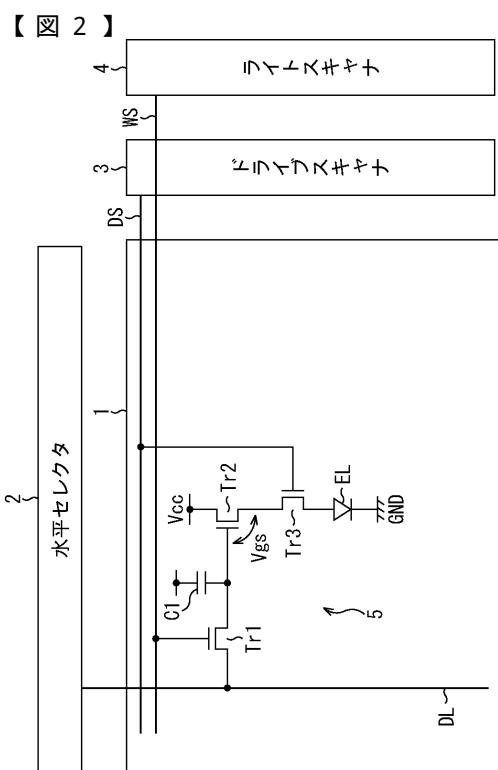
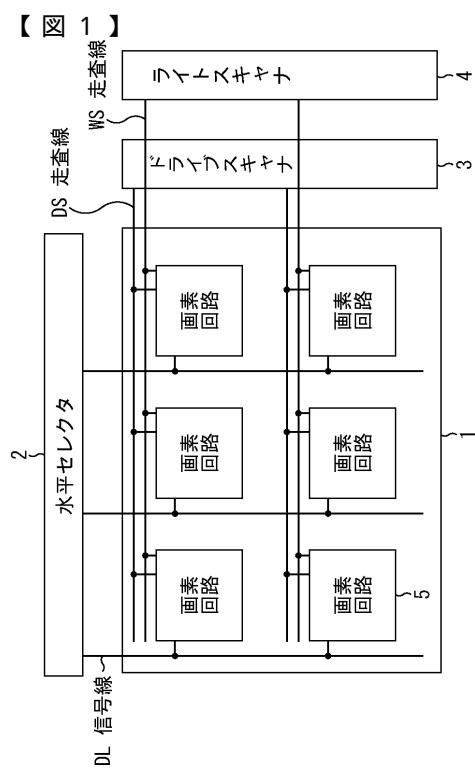
【図9】本発明に係る画素回路の実施形態を示す模式図である。

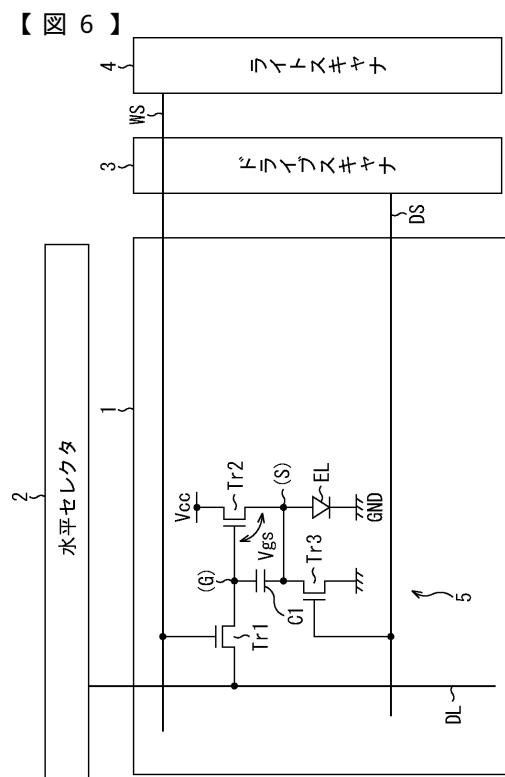
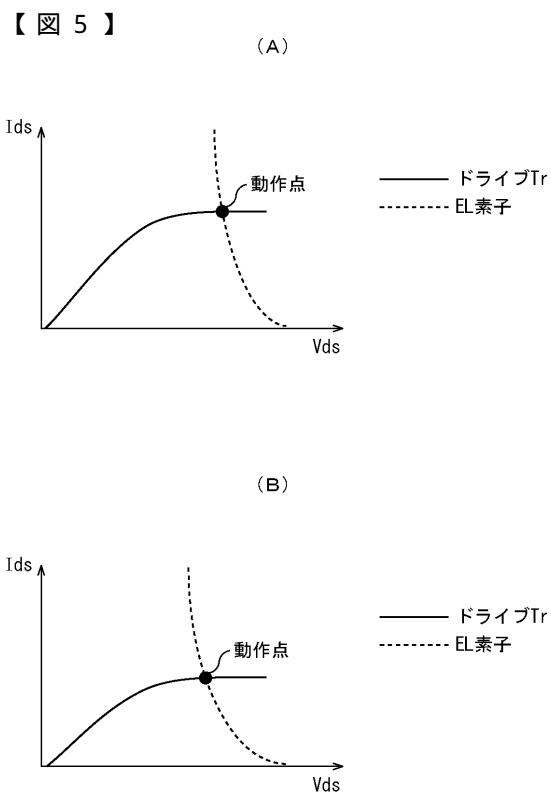
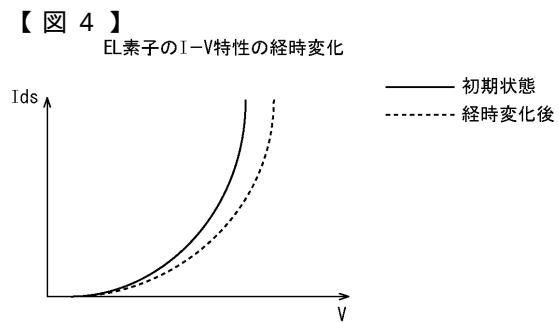
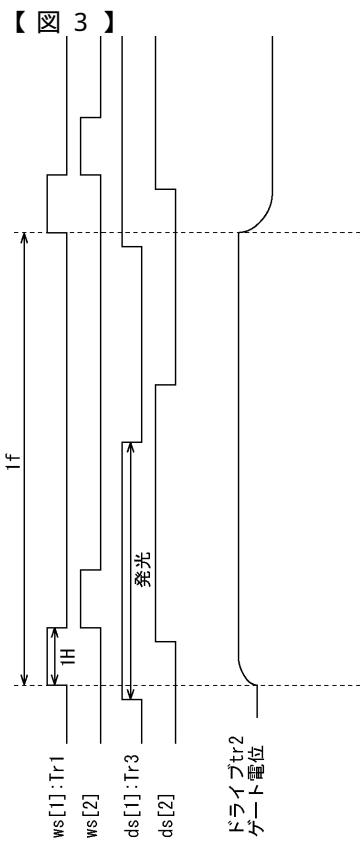
【符号の説明】

10

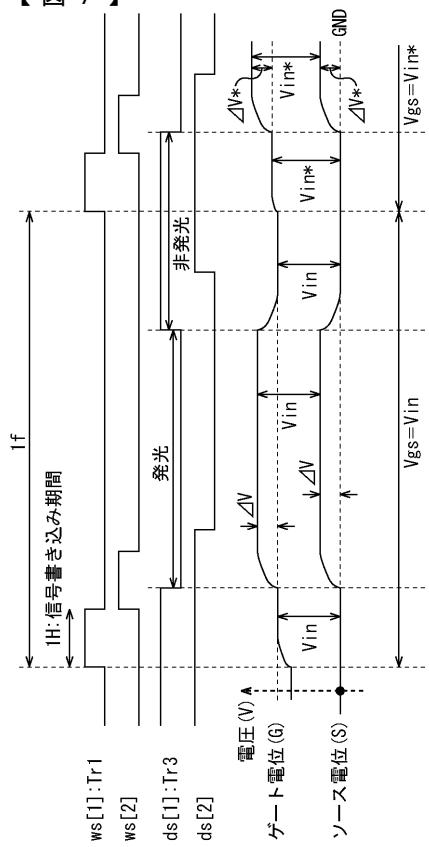
【0036】

1・・・画素アレイ、2・・・水平セレクタ、3・・・ドライブスキャナ、4・・・ライ  
トスキャナ、5・・・画素回路、9・・・逆バイアス印加手段

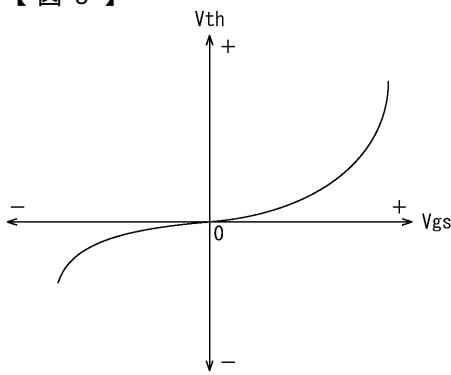




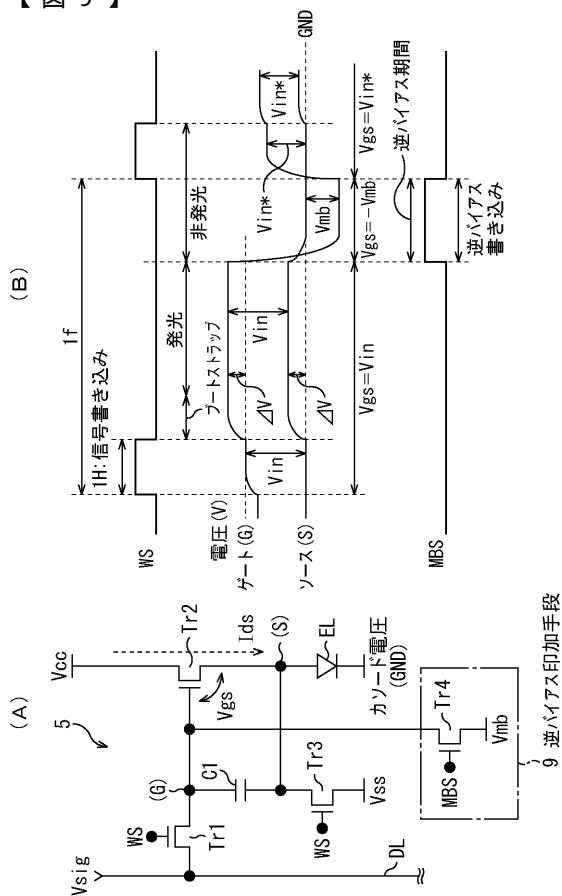
【図 7】



【図 8】



【図 9】



专利名称(译)	像素电路和显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2005164894A</a>	公开(公告)日	2005-06-23
申请号	JP2003402674	申请日	2003-12-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
CPC分类号	G09G2310/0254 G09G2310/0256		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.A G09G3/20.670.J H05B33/14.A G09G3/20.670.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA02 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD05 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB18 5C380/CB27 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CD013 5C380/CD014 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA19		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

要解决的问题：提供能够抑制驱动晶体管的阈值电压的长期变化的像素电路。  
**SOLUTION：**当通过扫描线WS选择栅极时，采样晶体管Tr1的源极和漏极电连接，并且从信号线DL采样信号Vsig以将其保持在保持电容器C1中。驱动晶体管Tr2在栅极处接收具有基于源极S的正极性的正向偏压，其中信号电位由保持电容器C1保持，并且通过在源极S和漏极D之间流动的电流Ids被激励到负载元件EL。根据前向偏见。反向偏压施加装置9将具有基于源极S的负极性的反向偏压Vmb施加到驱动晶体管Tr2的栅极G，以校正由施加正向偏压引起的阈值电压的向上变化。

