

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-246320
(P2004-246320A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int.Cl.⁷**G09G 3/30****G09G 3/20****H05B 33/14**

F 1

G09G 3/30

G09G 3/20

G09G 3/20 611A

G09G 3/20 611H

G09G 3/20 612R

審査請求 有 請求項の数 28 O L (全 42 頁) 最終頁に続く

テーマコード (参考)

3K007

5C080

(21) 出願番号

特願2003-300684 (P2003-300684)

(22) 出願日

平成15年8月26日 (2003.8.26)

(31) 優先権主張番号

特願2003-11046 (P2003-11046)

(32) 優先日

平成15年1月20日 (2003.1.20)

(33) 優先権主張国

日本国 (JP)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100100114

弁理士 西岡 伸泰

(72) 発明者 山下 敏弘

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 野口 幸宏

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

F ターム (参考) 3K007 AB05 AB17 BA06 DB03 GA00

GA04

5C080 AA06 BB05 CC03 DD05 DD26

EE29 EE30 FF11 JJ02 JJ03

JJ04 JJ05

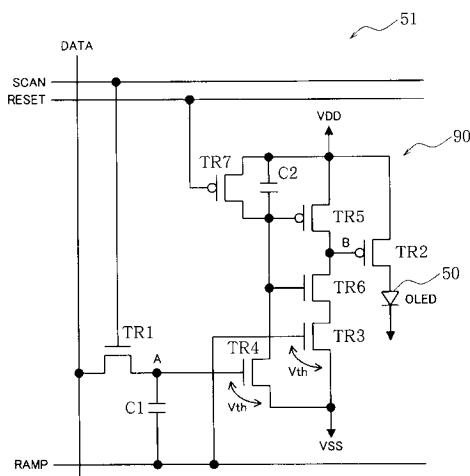
(54) 【発明の名称】アクティブマトリクス駆動型表示装置

(57) 【要約】

【課題】 マトリクス状に配列して構成されるデジタル駆動型の表示装置において、表示素子に対する通電時間をデータ電圧に正確に比例させて制御すると共に、消費電力を抑制する。

【解決手段】 本発明に係るアクティブマトリクス駆動型表示装置において、各画素51は、有機EL素子51と、有機EL素子51に対する通電をオン／オフする駆動用トランジスタTR2と、走査電圧が印加されて導通状態となる書き込み用トランジスタTR1と、書き込み用トランジスタTR1が導通状態となることによってデータ電圧が印加される容量素子C1と、ランプ電圧によって容量素子C1の出力電圧をパルス幅変調することにより駆動用トランジスタTR2をオン／オフ制御するパルス幅変調制御回路90とを具え、該パルス幅変調制御回路90は、オン制御用トランジスタTR3とオフ制御用トランジスタTR4とを具えている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の画素をマトリクス状に配列して構成される表示パネルを具え、該表示パネルの各画素には、電力の供給を受けて発光する表示素子と、外部から供給されるデータ電圧に応じて1フレーム期間内の各表示素子の発光期間を制御する制御回路とが配備されているアクティブマトリクス駆動型表示装置において、表示パネルを構成する各画素の制御回路は、表示素子に対する通電を開始するための第1制御素子と、表示素子に対する通電を停止するための第2制御素子とを具えていることを特徴とするアクティブマトリクス駆動型表示装置。

【請求項 2】

第1制御素子と第2制御素子の制御端子には、1フレーム期間内の少なくとも一部において漸増又は漸減する電圧が印加され、これによって両制御素子の動作が制御される請求項1に記載のアクティブマトリクス駆動型表示装置。

【請求項 3】

複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されるアクティブマトリクス駆動型表示装置において、

表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書き込み素子と、書き込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオンとするためのオン制御素子と、前記駆動素子をオフとするためのオフ制御素子と、前記電圧保持手段の出力電圧に応じて、前記オン制御素子のオン動作又はオフ制御素子のオフ動作のタイミングを制御する制御手段とを具えていることを特徴とするアクティブマトリクス駆動型表示装置。

【請求項 4】

複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されるアクティブマトリクス駆動型表示装置において、

表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書き込み素子と、書き込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオフとするためのオフ制御素子とを具えると共に、互いに近接する複数の画素からなる画素グループ毎に、各画素の駆動素子をオンとするためのオン制御素子と、各画素の電圧保持手段の出力電圧に応じて、前記オフ制御素子のオフ動作のタイミングを制御する制御手段とが設けられていることを特徴とするアクティブマトリクス駆動型表示装置。

【請求項 5】

複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されるアクティブマトリクス駆動型表示装置において、

表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書き込み素子と、書き込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオンとするためのオン制御素子とを具えると共に、互いに近接する複数の画素からなる画素グループ毎に、各画素の駆動素子をオフとするためのオフ制御素子と、各画素の電圧保持手段の出力電圧に応じて、前記オン制御素子のオン動作のタイミングを制御する制御手段とが設けられていることを特徴とするアクティブマトリクス駆動型表示装置。

【請求項 6】

複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されるアクティブマトリクス駆動型表示装置において、

10

20

30

40

50

タドライバーを接続して構成され、表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、

オン／オフ制御信号の入力に応じて、前記表示素子に対する通電をオン／オフする駆動素子と、

所定の変化率を有するランプ電圧により前記電圧保持手段の出力電圧をパルス幅変調して、前記駆動素子のオン／オフを制御するパルス幅変調制御手段

とを具え、前記パルス幅変調制御手段は、前記駆動素子をオンとするためのオン制御素子と前記駆動素子をオフとするためのオフ制御素子とを具えていることを特徴とするアクティブマトリクス駆動型表示装置。 10

【請求項 7】

前記オン制御素子は、前記ランプ電圧に応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記データ電圧とランプ電圧の和に応じた電圧の印加によって動作し、前記駆動素子をオフとするものである請求項 6 に記載のアクティブマトリクス駆動型表示装置。

【請求項 8】

前記オン制御素子は、前記データ電圧とランプ電圧の和の大きさに応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記ランプ電圧の大きさに応じた電圧の印加によって動作し、前記駆動素子をオフとするものである請求項 6 に記載のアクティブマトリクス駆動型表示装置。 20

【請求項 9】

表示素子へ電流を供給すべき高電位の電源と、オン制御素子及びオフ制御素子の動作基準となる低電位の電源とを繋ぐ信号ラインには、高電位の電源から低電位の電源へ向けて流れる電流を遮断するための素子が介在している請求項 3 乃至請求項 8 の何れかに記載のアクティブマトリクス駆動型表示装置。

【請求項 10】

表示パネルの各画素は、表示素子に流れる電流をプログラムするための電流プログラム回路を具えている請求項 3 乃至請求項 9 の何れかに記載のアクティブマトリクス駆動型表示装置。 30

【請求項 11】

前記第 1 制御素子は、表示素子に電力を供給すべき電源から伸びる給電ライン中に直列に介在し、表示素子に対する通電の開始時にオンとなって表示素子に対する通電を開始し、前記第 2 制御素子は、表示素子に対する通電の停止時にオンとなって第 1 制御素子をオフとし、これによって表示素子に対する通電を停止させる請求項 1 又は請求項 2 に記載のアクティブマトリクス駆動型表示装置。

【請求項 12】

表示パネルの各画素の制御回路には、走査電圧が印加されて導通状態となる書込み素子と、書込み素子が導通状態となることによってデータ電圧が印加され、該電圧を保持する電圧保持手段と、所定の変化率を有するランプ電圧により前記電圧保持手段の出力電圧をパルス幅変調して、前記第 1 制御素子及び第 2 制御素子のオン／オフを制御するパルス幅変調制御手段とが配備されている請求項 11 に記載のアクティブマトリクス駆動型表示装置。 40

【請求項 13】

表示パネルの各画素の制御回路には、走査電圧が印加されて導通状態となる書込み用トランジスタと、該書込み用トランジスタが導通状態となることによってデータ電圧が印加され、該電圧を保持するコンデンサとが配備され、前記第 1 制御素子は、前記給電ライン中に直列に介在してゲートに印加される電圧と電源電圧との差が所定の閾値を超えたときにオンとなる第 1 トランジスタによって構成され、前記第 2 制御素子は、ゲートに印加さ 50

れる電圧と電源電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする第2トランジスタによって構成され、第1トランジスタのゲートには、所定の変化率を有するランプ電圧とコンデンサの出力電圧の和に応じた電圧が印加され、第2トランジスタのゲートには、前記ランプ電圧が印加される請求項11に記載のアクティブマトリクス駆動型表示装置。

【請求項14】

表示パネルの各画素の制御回路には、走査電圧が印加されて導通状態となる書込み用トランジスタと、該書込み用トランジスタが導通状態となることによってデータ電圧が印加され、該電圧を保持するコンデンサとが配備され、前記第1制御素子は、前記給電ライン中に直列に介在してゲートに印加される電圧と電源電圧又は表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる第1トランジスタによって構成され、前記第2制御素子は、ゲートに印加される電圧と電源電圧又は表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする第2トランジスタによって構成され、第1トランジスタのゲートには、所定の変化率を有する第1のランプ電圧とコンデンサの出力電圧の和に応じた電圧が印加され、第2トランジスタのゲートには、所定の変化率を有する第2のランプ電圧が印加される請求項11に記載のアクティブマトリクス駆動型表示装置。

【請求項15】

表示パネルの各画素の制御回路には、走査電圧が印加されて導通状態となる書込み用トランジスタと、該書込み用トランジスタが導通状態となることによってデータ電圧が印加され、該電圧を保持するコンデンサとが配備され、前記第1制御素子は、前記給電ライン中に直列に介在してゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる第1トランジスタによって構成され、前記第2制御素子は、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする第2トランジスタによって構成され、第1トランジスタのゲートには、所定の変化率を有するランプ電圧とコンデンサの出力電圧の和に応じた電圧が印加され、第2トランジスタのゲートには、前記ランプ電圧が印加される請求項11に記載のアクティブマトリクス駆動型表示装置。

【請求項16】

表示パネルの各画素の制御回路には、走査電圧が印加されて導通状態となる書込み用トランジスタと、該書込み用トランジスタが導通状態となることによってデータ電圧が印加され、該電圧を保持するコンデンサとが配備され、前記第1制御素子は、前記給電ライン中に直列に介在してゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる第1トランジスタによって構成され、前記第2制御素子は、ゲートに印加される電圧と所定の一定電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする第2トランジスタによって構成され、第1トランジスタのゲートには、所定の変化率を有するランプ電圧とコンデンサの出力電圧の和に応じた電圧が印加され、第2トランジスタのゲートには、前記ランプ電圧が印加される請求項11に記載のアクティブマトリクス駆動型表示装置。

【請求項17】

表示パネルの各画素の制御回路には、1フレーム期間の前半に走査電圧を印加すると共に1フレーム期間の後半に第1ランプ電圧を印加するための第1信号線と、1フレーム期間の前半にデータ電圧を印加すると共に1フレーム期間の後半に第2ランプ電圧を印加するための第2信号線とが配備され、前記第1制御素子は、前記給電ライン中に直列に介在してゲートに印加される電圧と電源電圧との差が所定の閾値を越えたときにオンとなる第1トランジスタによって構成され、前記第2制御素子は、ゲートに印加される電圧と所定の一定電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする第2トランジスタによって構成され、第1トランジスタのゲートは、コンデンサを介して前記第2信号線に接続され、第2トランジスタのゲートは、前記第1信号線に接続されている請求項11に記載のアクティブマトリクス駆動型表示装置。

10

20

30

40

50

【請求項 1 8】

表示パネルの各画素の制御回路には、1フレーム期間の前半に走査電圧を印加すると共に1フレーム期間の後半に第1ランプ電圧を印加するための第1信号線と、1フレーム期間の前半にデータ電圧を印加すると共に1フレーム期間の後半に第2ランプ電圧を印加するための第2信号線とが配備され、前記第1制御素子は、前記給電ライン中に直列に介在してゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる第1トランジスタによって構成され、前記第2制御素子は、ゲートに印加される電圧と所定の一定電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする第2トランジスタによって構成され、第1トランジスタのゲートは、コンデンサを介して前記第2信号線に接続され、第2トランジスタのゲートは、前記第1信号線に接続されている請求項11に記載のアクティブマトリクス駆動型表示装置。10

【請求項 1 9】

表示パネルを構成する各画素の制御回路には、走査電圧が印加されて導通状態となる書き込み用トランジスタと、該書き込み用トランジスタが導通状態となることによってデータ電圧が印加され、該電圧を保持する第1コンデンサと、ゲートに印加される電圧と電源電圧との差が所定の閾値を越えたときにオンとなる前記第1制御素子としての第1トランジスタと、ゲートに印加される電圧と電源電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする前記第2制御素子としての第2トランジスタと、走査電圧の印加により導通して第1トランジスタのゲートに電源電圧を印加する第3トランジスタとが配備され、第1トランジスタのゲートには、所定の変化率を有するランプ電圧に応じた電圧が印加され、第2トランジスタのゲートには、前記ランプ電圧と第1コンデンサの出力電圧の和に応じた電圧が印加され、第1トランジスタのゲートは、第2のコンデンサを介して、前記ランプ電圧を印加するための信号線に繋がっている請求項11に記載のアクティブマトリクス駆動型表示装置。20

【請求項 2 0】

表示パネルを構成する各画素の制御回路には、発光開始時点における表示素子の一方の端子電圧に応じて第1制御素子のオン時点若しくは第2制御素子のオン時点を制御することにより、表示素子の発光期間を調整する発光期間調整手段が設けられている請求項11に記載のアクティブマトリクス駆動型表示装置。

【請求項 2 1】

発光期間調整手段は、発光開始時点における表示素子の端子間電圧が大きくなったときは表示素子の発光期間を延長し、該端子間電圧が小さくなったときは表示素子の発光期間を短縮するものである請求項20に記載のアクティブマトリクス駆動型表示装置。30

【請求項 2 2】

表示パネルを構成する各画素の制御回路には、走査電圧の印加により導通してデータ電圧を通過させる書き込み用トランジスタと、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる前記第1制御素子としての第1トランジスタと、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする前記第2制御素子としての第2トランジスタと、書き込み用トランジスタと第1トランジスタの間に介在するコンデンサと、該コンデンサの第1トランジスタ側の端子電圧が所定の電位を下回ることを阻止する電圧制御手段とが配備され、第1トランジスタのゲートには、第1のランプ電圧とデータ電圧の差に応じた電圧が印加され、第2トランジスタのゲートには、第2のランプ電圧が印加される請求項11に記載のアクティブマトリクス駆動型表示装置。40

【請求項 2 3】

前記電圧制御手段は、リセット電圧の印加により導通して前記コンデンサの第1トランジスタ側の端子を、表示素子の一方の端子に印加される電源電圧と表示素子の発光開始電圧との間の電圧を有する電源に接続する第3トランジスタによって構成されている請求項22に記載のアクティブマトリクス駆動型表示装置。

【請求項 2 4】

10

20

30

40

50

前記電圧制御手段は、前記コンデンサの第1トランジスタ側の端子に接続されたダイオードによって構成されている請求項22に記載のアクティブマトリクス駆動型表示装置。

【請求項25】

表示パネルを構成する各画素の制御回路には、走査電圧の印加により導通してデータ電圧を通過させる書き込み用トランジスタと、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる前記第1制御素子としての第1トランジスタと、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする前記第2制御素子としての第2トランジスタと、書き込み用トランジスタと第1トランジスタの間に介在するコンデンサとが配備され、第1トランジスタのゲートには、第1のランプ電圧とデータ電圧の差に応じた電圧が印加され、第2トランジスタのゲートには、第2のランプ電圧が印加され、表示素子は、前記コンデンサよりも大きな容量値を有している請求項11に記載のアクティブマトリクス駆動型表示装置。 10

【請求項26】

表示パネルを構成する各画素の制御回路には、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる前記第1制御素子としての第1トランジスタと、ゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする前記第2制御素子としての第2トランジスタと、一方の端子がデータ電圧供給ラインに接続されると共に他方の端子が第2トランジスタに接続されたコンデンサと、1フレーム内の発光期間にのみ導通して第1トランジスタに電源電圧を供給する第3トランジスタと、リセット信号の印加により導通して前記コンデンサの他方の端子を電源に接続する第4トランジスタとが配備され、第1トランジスタのゲートには、第1のランプ電圧とデータ電圧の差に応じた電圧が印加され、第2トランジスタのゲートには、第2のランプ電圧が印加される請求項11に記載のアクティブマトリクス駆動型表示装置。 20

【請求項27】

表示パネルを構成する各画素の制御回路には、走査電圧の印加により導通してデータ電圧を通過させる書き込み用トランジスタと、ゲートに印加される電圧と電源電圧との差が所定の閾値を越えたときにオンとなる前記第1制御素子としての第1トランジスタと、ゲートに印加される電圧と電源電圧との差が所定の閾値を越えたときにオンとなって第1トランジスタをオフとする前記第2制御素子としての第2トランジスタと、書き込み用トランジスタの出力端に一端が接続されたコンデンサと、走査電圧の印加により導通して前記コンデンサの他端を表示素子の一端に接続する第3トランジスタと、発光期間中に導通して前記コンデンサの他端に第1のランプ電圧を印加する第4トランジスタとが配備され、第1トランジスタのゲートには、前記コンデンサの一端が接続され、第2トランジスタのゲートには、第2のランプ電圧の供給ラインが接続されている請求項11に記載のアクティブマトリクス駆動型表示装置。 30

【請求項28】

複数の画素をマトリクス状に配列して構成される表示パネルを具え、該表示パネルの各画素には、電力の供給を受けて発光する表示素子と、外部から供給されるデータ電圧に応じて1フレーム期間内の各表示素子の発光期間を制御する制御回路とが配備されているアクティブマトリクス駆動型表示装置において、 40

表示パネルを構成する各画素の制御回路には、走査電圧が印加されて導通状態となる書き込み用トランジスタと、該書き込み用トランジスタが導通状態となることによってデータ電圧が印加され、該電圧を保持するコンデンサと、表示素子に電力を供給する給電ライン中に直列に介在してゲートに印加される電圧と表示素子の一方の端子電圧との差が所定の閾値を越えたときにオンとなる駆動用トランジスタとが配備され、駆動用トランジスタのゲートには、所定の変化率を有するランプ電圧とコンデンサの出力電圧の和に応じた電圧が印加されることを特徴とするアクティブマトリクス駆動型表示装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本発明は、有機エレクトロルミネッセンス表示装置の如く、複数の画素をマトリクス状に配列して構成される表示パネルを具えた表示装置に関するものである。

【背景技術】**【0002】**

近年、有機エレクトロルミネッセンスディスプレイ(以下、有機ELディスプレイといふ)の開発が進んでおり、例えば携帯電話機に有機ELディスプレイを採用することが検討されている。

有機ELディスプレイの駆動方式としては、走査電極とデータ電極を用いて時分割駆動するパッシブマトリクス駆動型と、各画素の発光を1垂直走査期間に亘って維持するアクティブマトリクス駆動型とが知られている。

【0003】

アクティブマトリクス駆動型の有機ELディスプレイにおいては、図51に示す如く、各画素(52)に、有機EL素子(50)と、有機EL素子(50)に対する通電を制御する駆動用トランジスタTR2と、走査電極による走査電圧SCANの印加に応じて導通状態となる書き込み用トランジスタTR1と、該書き込み用トランジスタTR1が導通状態となることによってデータ電極からのデータ電圧DATAが印加される容量素子Cとが配備され、該容量素子Cの出力電圧が駆動用トランジスタTR2のゲートに印加されている。

【0004】

先ず、各走査電極に順次電圧を印加し、同一走査電極に繋がっている複数の書き込み用トランジスタTR1を導通状態にし、この走査に同期して各データ電極にデータ電圧(入力信号)を印加する。このとき、書き込み用トランジスタTR1が導通状態であるので、該データ電圧に応じた電荷が容量素子Cに蓄積される。

次に、この容量素子Cに蓄積された電荷量によって駆動用トランジスタTR2の動作状態が決まり、駆動用トランジスタTR2がオンになったとき、該駆動用トランジスタTR2を経て有機EL素子(50)にデータ電圧に応じた大きさの電流が供給される。この結果、データ電圧に応じた明るさで該有機EL素子(50)が点灯する。この点灯状態は、1垂直走査期間に亘って保持されることになる。

【0005】

上述の如く、有機EL素子(50)にデータ電圧に応じた大きさの電流を供給して、該有機EL素子(50)をデータ電圧に応じた明るさで点灯させるアナログ駆動方式の有機ELディスプレイにおいては、表示むらの問題がある。そこで、有機EL素子(50)にはデータ電圧に応じたデューティ比を有するパルス電流を供給することによって多階調を表現するデジタル駆動型の有機ELディスプレイが提案されている(例えば特許文献1参照)。

【0006】

デジタル駆動型の有機ELディスプレイにおいては、図53(a)に示す如く、1画面の表示周期である1フィールド(若しくは1フレーム)を複数(N)のサブフィールド(若しくはサブフレーム)SFに分割し、各サブフィールドSFは、走査期間と発光期間によって構成する。ここで、1つのフィールドに含まれる走査期間は全て同じ長さを有しているが、発光期間は、2のn乗($n = 0, 1, 2, \dots, N - 1$)の長さに変化している。図示する例($N = 4$)では4つの発光期間がそれぞれ8, 4, 2, 1の長さに設定されており、各発光期間のオン/オフによって16階調の表現が可能となっている。

【0007】

上述のサブフィールド駆動においては、各サブフィールドSFにおいて、走査期間内に、各画素を構成する書き込み用トランジスタTR1に走査電圧を印加して、容量素子Cにそのサブフィールドの2値データを書き込み、その後の発光期間に、駆動用トランジスタTR2により、有機EL素子に対して2値データに応じて電流を供給する。

【0008】

しかしながら、上述のサブフィールド駆動法を採用した有機ELディスプレイにおいて

10

20

30

40

50

は、1フィールド内の複数のサブフィールドのそれぞれで全水平走査線に対する走査が必要であるため、多階調化に伴って高速の走査が必要となる問題や、擬似輪郭が発生する問題があった。

【0009】

そこで出願人は、図52に示す如き有機EL表示装置を提案している。該有機EL表示装置において、各画素(51)は、有機EL素子(50)と、ゲートに対するオン／オフ制御信号の入力に応じて有機EL素子(50)に対する通電をオン／オフする駆動用トランジスタTR2と、走査ドライバーからの走査電圧がゲートに印加されて導通状態となる書き込み用トランジスタTR1と、書き込み用トランジスタTR1が導通状態となることによってデータドライバーからのデータ電圧が印加される容量素子Cと、ランプ電圧発生回路から供給されるランプ電圧と容量素子Cの出力電圧とが正負一対の入力端子に供給されて、両電圧を比較するコンパレータ(9)とを具え、コンパレータ(9)の出力信号が駆動用トランジスタTR2のゲートへ供給される。

【0010】

駆動用トランジスタTR2のソースには電流供給ライン(54)が接続され、駆動用トランジスタTR2のドレンは有機EL素子(50)に接続されている。書き込み用トランジスタTR1の一方の電極(例えばソース)には前記データドライバーが接続され、書き込み用トランジスタTR1の他方の電極(例えばドレン)は、容量素子Cの一端に接続されると共に、コンパレータ(9)の反転入力端子に接続されている。コンパレータ(9)の非反転入力端子には前記ランプ電圧発生回路の出力端子が接続されている。

【0011】

上記有機EL表示装置においては、図53(b)に示す様に、1フィールド期間が、前半の走査期間と後半の発光期間とに分割される。

走査期間には、各水平ラインについて、各画素(51)を構成する書き込み用トランジスタTR1に走査ドライバーからの走査電圧が印加されて、書き込み用トランジスタTR1が導通状態となり、これによって、容量素子Cには、データドライバーからのデータ電圧が印加され、該電圧が電荷として蓄積される。この結果、有機EL表示装置を構成する全ての画素に対して、1フィールド分のデータが設定されることになる。

【0012】

ランプ電圧発生回路は、図53(c)に示す如く1フィールド期間毎に、前半の走査期間ではハイの電圧値を維持し、後半の発光期間では、ローの電圧値からハイの電圧値まで直線的に変化するランプ電圧を発生する。

前半の走査期間に、ランプ電圧発生回路からのハイの電圧がコンパレータ(9)の非反転入力端子に印加されることによって、コンパレータ(9)の出力は、反転入力端子への入力電圧に拘わらず図53(d)に示す如く常にハイとなる。

又、後半の発光期間にランプ電圧発生回路からのランプ電圧がコンパレータ(9)の非反転入力端子に印加されると同時に、容量素子Cの出力電圧(データ電圧)がコンパレータ(9)の反転入力端子に印加されることによって、コンパレータ(9)の出力は、図53(d)に示す如く両電圧の比較結果に応じてロー及びハイの2つの値をとる。即ち、ランプ電圧がデータ電圧を下回っている期間はコンパレータの出力がローとなり、ランプ電圧がデータ電圧を上回っている期間はコンパレータの出力がハイとなる。ここで、コンパレータの出力がローとなる期間の長さは、データ電圧の大きさに比例することになる。

【0013】

この様にして、コンパレータ(9)の出力がデータ電圧の大きさに比例する期間だけローとなることによって、該期間だけ駆動用トランジスタTR2がオンとなり、有機EL素子(50)への通電がオンとなる。

この結果、各画素(51)の有機EL素子(50)は、1フィールド期間内で、各画素(51)に対するデータ電圧の大きさに比例する期間だけ発光することになり、これによって多階調の表現が実現される。

【0014】

10

20

30

40

50

上述の有機EL表示装置によれば、1フィールド期間内に1回の走査を行なうだけで多階調表現が行なわれるので、高速の走査は不要であり、然も擬似輪郭が発生することはない。

【特許文献1】特開平10-312173号公報

【特許文献2】特許第3305946号公報

【特許文献3】特開2000-235370号公報

【特許文献4】特開2002-297097号公報

【特許文献5】特開2002-287682号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0015】

しかしながら、図52に示す画素(51)から構成される有機EL表示装置においても、コンパレータ(9)を構成している複数のトランジスタの特性にバラツキが生じることは避けることが出来ず、この結果、コンパレータ(9)の出力がローとなる時間、即ち有機EL素子(50)に電流が流れる時間が、データ電圧の大きさに正確には比例しなくなって、表示むらが生じ、画質が劣化する問題が残されていた。

又、上記特許文献2や特許文献4に示されている表示装置においては、コンパレータに流れる電流が有機EL素子に流れる電流に比べて無視出来ない大きさとなって、消費電力が増大する問題があった。

【0016】

そこで本発明の第1の目的は、各画素を構成するトランジスタの特性のバラツキに拘わらず、表示素子に対する通電時間がデータ電圧の大きさに正確に比例することとなる、アクティブマトリクス駆動型の表示装置を提供することである。

又、本発明の第2の目的は、従来よりも消費電力の節減を図ることが出来る、アクティブマトリクス駆動型の表示装置を提供することである。

【課題を解決するための手段】

【0017】

本発明に係るアクティブマトリクス駆動型表示装置は、複数の画素をマトリクス状に配列して構成される表示パネルを具え、該表示パネルの各画素には、電力の供給を受けて発光する表示素子と、外部から供給されるデータ電圧に応じて1フレーム期間内の各表示素子の発光期間を制御する制御回路とが配備されている。そして、表示パネルを構成する各画素の制御回路は、表示素子に対する通電を開始するための第1制御素子と、表示素子に対する通電を停止するための第2制御素子とを具えている。

30

【0018】

上記本発明のアクティブマトリクス駆動型表示装置においては、表示パネルの各画素内に、表示素子に対する通電を開始するための第1制御素子と、表示素子に対する通電を停止するための第2制御素子とが配備されているので、表示パネルの製造工程では、同一画素内の2つの制御素子は、極めて近い位置に同一のプロセスによって同時に形成されることになる。従って、これら2つの制御素子には、特性のバラツキが同様に発生することとなり、第1制御素子が表示素子への通電を開始するために動作する時点がずれたとしても、その後に第2制御素子が表示素子への通電を停止するために動作する時点も、同じだけ同じ方向にずれることになる。この結果、表示素子に通電が行なわれる時間は、両制御素子の特性のバラツキに拘わらず、データ電圧に応じた時間となる。

40

【0019】

又、本発明に係るアクティブマトリクス駆動型表示装置は、複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成され、表示パネルの各画素は、

電流又は電圧の供給を受けて発光する表示素子と、

走査ドライバーからの走査電圧が印加されて導通状態となる書き込み素子と、

書き込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加さ

50

れて、該電圧を保持する電圧保持手段と、

オン／オフ制御信号の入力に応じて、前記表示素子に対する通電をオン／オフする駆動素子と、

所定の変化率を有するランプ電圧により前記電圧保持手段の出力電圧をパルス幅変調して、前記駆動素子のオン／オフを制御するパルス幅変調制御手段

とを具え、前記パルス幅変調制御手段は、前記駆動素子をオンとするためのオン制御素子と前記駆動素子をオフとするためのオフ制御素子とを具えている。

【 0 0 2 0 】

具体的構成において、前記オン制御素子は、前記ランプ電圧に応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記データ電圧とランプ電圧の和に応じた電圧の印加によって動作し、前記駆動素子をオフとするものである。10

或いは、前記オン制御素子は、前記データ電圧とランプ電圧の和の大きさに応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記ランプ電圧の大きさに応じた電圧の印加によって動作し、前記駆動素子をオフとするものである。

【 0 0 2 1 】

上記本発明のアクティブマトリクス駆動型表示装置においては、1画面の表示周期内の走査期間にて、各画素を構成する書き込み素子に走査ドライバーからの走査電圧を印加して、書き込み素子を導通状態とすることによって、電圧保持手段に、データドライバーからのデータ電圧が印加されて、該電圧が保持される。20

一方、1画面の表示周期内の発光期間内には、所定の変化率を有するランプ電圧がパルス幅変調制御手段に印加され、該パルス幅変調制御手段は、前記ランプ電圧により電圧保持手段の出力電圧(データ電圧)をパルス幅変調し、それに応じて、オン制御素子が駆動素子をオンとした後、データ電圧に応じた期間が経過した時点で、オフ制御素子が駆動素子をオフとする。この結果、データ電圧に応じた期間だけ表示素子が通電されることになる。。

【 0 0 2 2 】

ここで、一対となるオン制御素子とオフ制御素子とは、同一画素内に存在して互いに近接しており、然も同一の製造プロセスによって同時に形成されるものであるので、特性のバラツキ(例えばゲート－ソース間のスレッショルドレベル)が同様に生ずることとなり、そのバラツキによってオン制御素子が駆動素子をオンとする時点がずれたとしても、その後にオフ制御素子が駆動素子をオフとする時点も同じだけ同じ方向にずれることになる。従って、オン制御素子が駆動素子をオンとしてからオフ制御素子が駆動素子をオフとするまでの時間は、両制御素子の特性のバラツキに拘わらず、データ電圧に応じた時間となる。30

【 0 0 2 3 】

又、本発明に係るアクティブマトリクス駆動型表示装置において、表示パネルの各画素には、表示素子に対する通電を開始するための第1制御素子と、表示素子に対する通電を停止するための第2制御素子とが配備され、第1制御素子に表示素子の駆動を兼ねさせた構成では、前記第1制御素子は、表示素子に電力を供給すべき電源から伸びる給電ライン中に直列に介在し、表示素子に対する通電の開始時にオンとなって表示素子に対する通電を開始し、前記第2制御素子は、表示素子に対する通電の停止時にオフとなって第1制御素子をオフとし、これによって表示素子に対する通電を停止させる具体的構成を採ることが出来る。40

【 0 0 2 4 】

ここで、第1制御素子及び第2制御素子をそれぞれ第1トランジスタ及び第2トランジスタによって構成した場合、第1トランジスタが、表示素子を駆動するための駆動用トランジスタの役割を果たすので、表示素子のカソード電位を変えることによって、第1トランジスタを線形領域(非飽和領域)と飽和領域の何れでも動作させることが出来る。即ち、50

駆動用トランジスタを飽和領域で動作させた場合、該駆動用トランジスタの特性のばらつきが表示素子に対する通電時間に大きな影響を及ぼすが、上述の如く第1トランジスタによって駆動用トランジスタを構成すれば、表示素子に対する通電時間を制御すべき第1トランジスタと第2トランジスタの特性のバラツキが相殺されるので、第1トランジスタを線形領域のみならず飽和領域でも動作させることが出来るのである。

又、表示素子に電力を供給すべき電源から伸びる給電ライン中に第1制御素子が直列に介在して、表示素子に対する通電をオン／オフするので、電源からの電流は通電オン時に給電ラインのみに流れることになり、無駄な電流の発生を回避することが出来る。

【0025】

又、本発明に係るアクティブマトリクス駆動型表示装置において、各画素の制御回路には、表示素子に対する通電を開始するための第1制御素子と、表示素子に対する通電を停止するための第2制御素子と、発光開始時点における表示素子の一方の端子電圧に応じて第1制御素子のオン時点若しくは第2制御素子のオン時点を制御することにより、表示素子の発光期間を調整する発光期間調整手段とが設けられている。10

ここで発光期間調整手段は、フレーム期間毎に、発光開始時点における表示素子の端子間電圧が大きくなったときは表示素子の発光期間を延長し、該端子間電圧が小さくなったときは表示素子の発光期間を短縮する。この結果、表示素子の温度変化や経時変化による特性の変化に拘わらず、1フレーム内の表示素子の発光量はデータ電圧に応じた大きさとなり、表示素子の特性の変化が吸収されることになる。

【発明の効果】

【0026】

本発明に係るアクティブマトリクス駆動型表示装置によれば、各画素を構成する複数のトランジスタの特性のバラツキに拘わらず、各画素の表示素子に対してデータ電圧に応じた正確な通電時間が設定されるので、表示むらの発生が防止され、高い画質を得ることが出来る。又、本発明に係るアクティブマトリクス駆動型表示装置によれば、無効電力の発生を抑制して、消費電力の節減を図ることが出来る。20

【発明を実施するための最良の形態】

【0027】

以下、本発明を有機EL表示装置に実施した形態につき、図面に沿って具体的に説明する。30

全体構成

本発明に係る有機ELディスプレイ(2)は、図1に示す如く、複数の画素をマトリクス状に配列して構成される表示パネル(5)に、走査ドライバー(3)とデータドライバー(4)を接続して構成されている。

TV受信機等の映像ソースから供給される映像信号は、映像信号処理回路(6)へ供給されて、映像表示に必要な信号処理が施され、これによって得られるRGB3原色の映像信号が、有機ELディスプレイ(2)のデータドライバー(4)へ供給される。

【0028】

又、映像信号処理回路(6)から得られる水平同期信号H sync及び垂直同期信号V syncがタイミング信号発生回路(7)へ供給され、これによって得られるタイミング信号が走査ドライバー(3)及びデータドライバー(4)へ供給される。40

又、タイミング信号発生回路(7)から得られるタイミング信号がランプ電圧発生回路(8)へ供給され、これによって、有機ELディスプレイ(2)の駆動に用いられるランプ電圧が生成され、該ランプ電圧が表示パネル(5)の各画素へ供給される。更に、タイミング信号発生回路(7)から得られるリセット信号が表示パネル(5)の各画素へ供給される。

尚、図1に示す各回路、各ドライバー及び有機ELディスプレイには電源回路(図示省略)が接続されている。

【0029】

第1実施例

表示パネル(5)は、図2に示す回路構成の画素(51)をマトリクス状に配列して構成され50

ている。各画素(51)は、有機EL素子(50)と、ゲートに対するオン／オフ制御信号の入力に応じて有機EL素子(50)に対する通電をオン／オフする駆動用トランジスタTR2と、前記走査ドライバーからの走査電圧がゲートに印加されて導通状態となる書き込み用トランジスタTR1と、書き込み用トランジスタTR1が導通状態となることによって前記データドライバーからのデータ電圧が印加される容量素子C1と、前記ランプ電圧発生回路から供給されるランプ電圧RAMPによって容量素子C1の出力電圧にパルス幅変調を施すパルス幅変調制御回路(90)とを具えている。

容量素子C1の両端はそれぞれ、書き込み用トランジスタTR1のドレインとランプ電圧供給ラインに接続されている。

【0030】

パルス幅変調制御回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR3と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR4とを具えている。

有機ELディスプレイ(2)には、各画素(51)に共通の高電位の電源V_{DD}と低電位の電源V_{SS}とが設けられ、高電位の電源V_{DD}には、各画素(51)の駆動用トランジスタTR2のソースが接続されている。電源V_{DD}とV_{SS}の間には、前記のオン制御用トランジスタTR3とオフ制御用トランジスタTR4が互いに並列に介在すると共に、一対のトランジスタTR5及びTR6が互いに直列に介在し、両トランジスタの連結点Bが、駆動用トランジスタTR2のゲートに接続されている。

【0031】

オン制御用トランジスタTR3のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR4のゲートには容量素子C1の出力電圧(データ電圧)が供給される。

電源V_{DD}とトランジスタTR5のゲートには、容量素子C2の両端がそれぞれ接続されると共に、リセット用のトランジスタTR7のソースとドレインがそれぞれ接続され、該トランジスタTR7のゲートに、リセット信号線RESETが接続されている。

【0032】

上記画素(51)から構成される有機EL表示装置においては、図3に示す如く、走査期間での走査電圧SCANの供給によって書き込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積された後、リセット信号RESETがハイからローとなることによって、リセット用のトランジスタTR7がオンとなり、容量素子C2の両端が高電位の電源電圧V_{DD}にセットされる。この結果、トランジスタTR5がオフとなる。

尚、この時点で他のトランジスタTR2、TR3、TR4及びTR6は全てオフとなっている。

【0033】

その後、発光期間において、ランプ電圧RAMPが上昇して低電位の電源電圧V_{SS}との差が増大し、オン制御用トランジスタTR3のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR3がオンとなる。これによって、トランジスタTR6が導通して、駆動用トランジスタTR2のゲート電圧(B点の電圧)が低下し、これによって駆動用トランジスタTR2が導通する。この結果、高電位の電源V_{DD}から有機EL素子(50)に電流が流れ、発光が開始される。

【0034】

その後、更にランプ電圧が上昇し、これに伴ってA点の電圧が上昇して低電位の電源電圧V_{SS}との差が増大し、オフ制御用トランジスタTR4のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR4が導通して、トランジスタTR6のゲート電圧を低下させる。これによって該トランジスタTR6がオフとなる。又、これと同時に、トランジスタTR5がオンとなり、駆動用トランジスタTR2のゲート電圧(B点の電圧)が上昇する。この結果、駆動用トランジスタTR2がオフとなり、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光終了時点が変化する

10

20

30

40

50

ことにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0035】

上記パルス幅変調制御回路(90)においては、オン制御用トランジスタTR3とオフ制御用トランジスタTR4とが同一画素(51)内の互いに近接した位置に形成されており、然も両トランジスタは同一の製造プロセスによって同時に形成されるので、各トランジスタのゲート-ソース間のスレッショルドレベルにバラツキがあったとしても、両トランジスタのバラツキは同様に発生するので、そのバラツキによってオン制御用トランジスタTR3が駆動用トランジスタTR2をオンさせる時点がずれたとしても、その後にオフ制御用トランジスタTR4が駆動用トランジスタTR2をオフとする時点も同じだけ同じ方向にずれることになる。10

従って、オン制御トランジスタTR3が駆動用トランジスタTR2をオンとしてからオフ制御用トランジスタTR4が駆動用トランジスタTR2をオフとするまでの時間は、両トランジスタTR3、TR4のスレッショルドレベルのバラツキに拘わらず、正確にデータ電圧に応じた時間となる。

【0036】

又、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ繋がる信号ラインには、一対のトランジスタTR5、TR6が介在しており、走査期間においてトランジスタTR6がオフの状態で、トランジスタTR5はリセット信号の供給に応じてオフとなり、その後、発光期間においてトランジスタTR6がオンからオフとなると同時に、トランジスタTR5がオンとなって、発光が停止されるので、走査期間及び発光期間を通じて一対のトランジスタTR5、TR6の少なくとも何れか一方がオフとなり、高電位の電源 V_{DD} から低電位の電源 V_{SS} への電流通路を遮断する。従って、高電位の電源 V_{DD} から低電位の電源 V_S へ無駄な電流が流れることはなく、これによって消費電力の節減が図られる。20

【0037】

第2実施例

図4に示す如く、各画素(51)の回路構成において、パルス幅変調制御回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR3と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR4とを具えているが、オン制御用トランジスタTR3のゲートには容量素子C1の出力電圧(データ電圧)が供給され、オフ制御用トランジスタTR4のゲートにはランプ電圧RAMPが供給されている点と、トランジスタTR5に対して並列に容量素子C3が接続されている点を除き、第1実施例と同じ構成である。30

【0038】

該画素(51)からなる有機EL表示装置においては、図5の如く、発光期間において、ランプ電圧RAMPが上昇し、これに伴ってA点の電圧が上昇して低電位の電源電圧 V_{SS} との差が増大し、オン制御用トランジスタTR3のゲート-ソース間のスレッショルドレベル V_{th} を上回ると、該トランジスタTR3がオンとなる。これによって、トランジスタTR6が導通して、駆動用トランジスタTR2のゲート電圧(B点の電圧)が低下し、これによって駆動用トランジスタTR2が導通する。この結果、高電位の電源 V_{DD} から有機EL素子(50)に電流が流れ、発光が開始される。40

【0039】

更にランプ電圧が上昇して低電位の電源電圧 V_{SS} との差が増大し、オフ制御用トランジスタTR4のゲート-ソース間のスレッショルドレベル V_{th} を上回ると、該トランジスタTR4が導通して、トランジスタTR6のゲート電圧を低下させる。これによって該トランジスタTR6がオフとなる。又、これと同時に、トランジスタTR5がオンとなり、駆動用トランジスタTR2のゲート電圧(B点の電圧)が上昇する。この結果、駆動用トランジスタTR2がオフとなり、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光開始時点が変化する50

ことにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0040】

上記パルス幅変調制御回路(90)においても、第1実施例と同様に、オン制御用トランジスタTR3とオフ制御用トランジスタTR4のゲート-ソース間のスレッショルドレベルにバラツキがあったとしても、オン制御用トランジスタTR3が駆動用トランジスタTR2をオンさせる時点と、その後にオフ制御用トランジスタTR4が駆動用トランジスタTR2をオフとする時点は、同じだけ同じ方向にばらつくことになるので、駆動用トランジスタTR2のオン時間は、両トランジスタTR3、TR4のスレッショルドレベルのバラツキに拘わらず、正確にデータ電圧に応じた時間となる。

10

【0041】

又、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ繋がる信号ラインには、一対のトランジスタTR5、TR6が介在しており、走査期間及び発光期間を通じて一対のトランジスタTR5、TR6の少なくとも何れか一方がオフとなり、高電位の電源 V_{DD} から低電位の電源 V_{SS} への電流通路を遮断するので、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ無駄な電流が流れることはなく、これによって消費電力の節減が図られる。

【0042】

第3実施例

図6に示す如く、各画素(51)のパルス幅変調制御回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR3と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR4とを具えている。

20

有機ELディスプレイ(2)には、各画素(51)に共通の高電位の電源 V_{DD} と低電位の電源 V_{SS} とが設けられ、高電位の電源 V_{DD} には、各画素(51)の駆動用トランジスタTR2のソースが接続されている。電源 V_{DD} と V_{SS} の間には、オン制御用トランジスタTR3とオフ制御用トランジスタTR4が互いに並列に介在すると共に、トランジスタTR5と容量素子C4とが互いに直列に介在し、トランジスタTR5と容量素子C4の連結点Bが、駆動用トランジスタTR2のゲートに接続されている。

【0043】

オン制御用トランジスタTR3のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR4のゲートには、容量素子C1の出力電圧(データ電圧)が供給される。

30

高電位の電源 V_{DD} とトランジスタTR5のゲートには、容量素子C2の両端がそれぞれ接続されると共に、リセット用のトランジスタTR7のソースとドレインがそれぞれ接続され、該トランジスタTR7のゲートに、リセット信号線RESETが接続されている。

【0044】

又、高電位の電源 V_{DD} と容量素子C4の一端(B点)には、リセット用のトランジスタTR8のソースとドレインがそれぞれ接続され、該トランジスタTR8のゲートに、リセット信号線RESETが接続されている。

更に、高電位の電源 V_{DD} と容量素子C4の他端には、リセット用のトランジスタTR9のソースとドレインがそれぞれ接続され、該トランジスタTR9のゲートに、リセット信号線RESETが接続されている。

40

【0045】

上記画素(51)から構成される有機EL表示装置においては、図7に示す如く、走査期間での走査電圧SCANの供給によって書き込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積された後、リセット信号RESETがハイからローとなることによって、リセット用の3つのトランジスタTR7、TR8及びTR9がオンとなり、容量素子C2の両端が高電位 V_{DD} にセットされると共に、容量素子C4の両端が高電位の電源電圧 V_{DD} にセットされる。この結果、トランジスタTR5がオフとなる。

50

尚、この時点で、他のトランジスタTR2、TR3、TR4はオフとなっている。

【0046】

その後、発光期間において、ランプ電圧RAMPが上昇して低電位の電源電圧V_{SS}との差が増大し、オン制御用トランジスタTR3のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR3がオンとなる。これによって容量素子C4の両端の電位が低下し、ゲート電圧(B点の電圧)の低下によって駆動用トランジスタTR2が導通する。この結果、高電位の電源V_{DD}から有機EL素子(50)に電流が流れ、発光が開始される。

尚、トランジスタTR5は、容量素子C2によってゲート電圧が高電位に保持され、オフのままである。

10

【0047】

更にランプ電圧が上昇し、これに伴ってA点の電圧が上昇して低電位V_{SS}との差が増大し、オフ制御用トランジスタTR4のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR4が導通して、トランジスタTR5のゲート電圧を低下させる。これによって該トランジスタTR5がオンとなる。この結果、駆動用トランジスタTR2のゲート電圧(B点の電圧)が上昇して、該トランジスタTR2がオフとなり、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光終了時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

20

【0048】

上記パルス幅変調制御回路(90)においても、第1実施例及び第2実施例と同様に、オン制御用トランジスタTR3とオフ制御用トランジスタTR4のゲート-ソース間のスレッショルドレベルにバラツキがあったとしても、駆動用トランジスタTR2のオン時間は、正確にデータ電圧に応じた時間となる。

又、高電位の電源V_{DD}から低電位の電源V_{SS}へ繋がる信号ラインには、容量素子C4が介在しているので、走査期間及び発光期間を通じて、高電位の電源V_{DD}から低電位の電源V_{SS}へ無駄な電流が流れることはなく、これによって消費電力の節減が図られる。

【0049】

30

第4実施例

本実施例における各画素(51)の回路構成は、上記第1実施例、第2実施例、或いは第3実施例と同じであるが、図8に示す如く、発光期間の前半と後半でランプ電圧を2回発生させる。

これによって発光を発光期間の前半と後半に分散させることができるので、R、G、Bの画素の発光時間のずれによる色割れ(高速に動く物体のエッジの色が変わる現象)を抑制することが出来る。

【0050】

40

第5実施例

本実施例における各画素(51)の回路構成は、上記第1実施例、第2実施例、或いは第3実施例と同じであるが、図9(a)~(c)に示す如く3原色(R、G、B)の画素のそれぞれについて、異なる傾斜を有するランプ電圧を供給する。

該構成によれば、R、G、Bの画素毎にランプ電圧の傾斜を変えることにより、データ電圧を変えずにホワイトバランスを調整することができる。又、図9(a)(b)(c)の3つのパターンを1フレーム毎に切り替えることにより、R、G、Bの画素の発光時間のずれによる色割れ(高速に動く物体のエッジの色が変わる現象)を抑制することができる。

【0051】

50

第6実施例

本実施例の有機EL表示装置は、図10に示す如く、表示パネル(5)に定電流ドライバー(91)を接続し、後述の電流プログラム回路によって各画素の有機EL素子(50)に流れる

電流を一定にし、パルス幅変調制御回路によって有機EL素子(50)に対する通電を制御するものである。

【0052】

該有機EL表示装置において、各画素(51)を構成するパルス幅変調制御回路(90)には、図11に示す如く電流プログラム回路(92)を介して定電流ドライバー(91)が接続されている。

パルス幅変調制御回路(90)は、電流オン用トランジスタTR13をオンとするためのオン制御用トランジスタTR11と、電流プログラム回路(92)を構成するトランジスタTR14をオフとするためのオフ制御用トランジスタTR12とを具えている。電源V_{DD}には、電流プログラム回路(92)を構成するトランジスタTR14を介して、電流オン用トランジスタTR13が接続されている。10

電源V_{DD}とトランジスタTR14のゲートにはそれぞれ、容量素子C11の両端が接続されると共に、オフ制御用トランジスタTR12のソース及びドレインが接続されている。又、電源V_{DD}と電流オン用トランジスタTR13のゲートにはそれぞれ、容量素子C12の両端が接続されると共に、オン制御用トランジスタTR11のソース及びドレインが接続されている。

【0053】

更に、容量素子C11とオフ制御用トランジスタTR12のドレインとの連結点は、トランジスタTR15及びTR16を介して、定電流ドライバー(91)に接続されている。又、トランジスタTR15とトランジスタTR16の連結点は、電流オン用トランジスタTR13のドレインに接続されている。20

電流オン用トランジスタTR13のゲートとオン制御用トランジスタTR11のドレインの連結点は、トランジスタTR17を介して、電流オン用トランジスタTR13と有機EL素子(50)の連結点に連結され、該トランジスタTR17のゲートにはリセット信号線RESETが接続されている。

【0054】

上記画素(51)から構成される有機EL表示装置においては、図12に示す如く、先ずリセット期間におけるリセット信号RESETの供給によってトランジスタTR17がオンとなり、電流オン用トランジスタTR13がオフとなる。

尚、このとき、トランジスタTR1、TR11、TR12、TR14、TR15及びTR16はオフとなっている。30

【0055】

続いて、走査期間において走査電圧SCANの供給により書き込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積される。又、トランジスタTR15及びTR16がオンとなると共に、電流プログラム回路(92)のトランジスタTR14が徐々に導通を開始する。この結果、電源V_{DD}からトランジスタTR14及びTR16を経て電流ドライバー(91)へ向けて、プログラムされた電流が流れ始め、最終的にはトランジスタTR14のゲート電圧が確定する。又、容量素子C11には、プログラムされた電流に応じた電荷が蓄積される。

【0056】

その後、発光期間においてランプ電圧RAMPが低下し、これに伴ってオン制御用トランジスタTR11のゲート電圧が低下して、電源電圧V_{DD}との差が増大し、オン制御用トランジスタTR11のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR11がオンとなる。この結果、電流オン用トランジスタTR13がオンとなり、電源V_{DD}からトランジスタTR14、TR13を経て有機EL素子(50)にプログラムされた電流が流れ、発光が開始される。40

【0057】

更にランプ電圧が低下して、電源電圧V_{DD}との差が増大し、オフ制御用トランジスタTR12のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR12がオンとなり、電流プログラム回路(92)のトランジスタTR14がオフとなる。こ50

の結果、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光開始時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0058】

上記パルス幅変調制御回路(90)においても、オン制御用トランジスタTR11とオフ制御用トランジスタTR12のゲート-ソース間のスレッショルドレベルのバラツキに拘わらず、有機EL素子(50)への通電時間は、正確にデータ電圧に応じた時間となる。

又、電源V_{DD}からの電流は、データ電圧に応じた時間だけ有機EL素子(50)に流れることに過ぎず、無駄な電流が流れることはないので、消費電力の節減が図られる。

【0059】

第7実施例

図13に示す如く、各画素(51)の回路構成において、パルス幅変調制御回路(90)はオン制御用トランジスタTR11とオフ制御用トランジスタTR12とを具えているが、オン制御用トランジスタTR11のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR12のゲートには容量素子C1の出力電圧(データ電圧)が供給されている点を除き、第6実施例と同じ構成である。

【0060】

該画素(51)からなる有機EL表示装置においては、図14の如く、発光期間においてランプ電圧RAMPが低下し、これに伴ってオン制御用トランジスタTR11のゲート電圧が低下して電源電圧V_{DD}との差が増大し、オン制御用トランジスタTR11のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR11がオンとなる。これによって、電流オン用トランジスタTR13が導通する。この結果、電源V_{DD}からトランジスタTR14、TR13を経て有機EL素子(50)に電流が流れ、発光が開始される。

【0061】

更にランプ電圧が低下して、電源電圧V_{DD}との差が増大し、オフ制御用トランジスタTR12のゲート-ソース間のスレッショルドレベルV_{th}を上回ると、該トランジスタTR12がオンとなり、電流プログラム回路(92)のトランジスタTR14がオフとなる。この結果、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光終了時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0062】

上記パルス幅変調制御回路(90)においても、有機EL素子(50)への通電時間は、正確にデータ電圧に応じた時間となる。又、電源V_{DD}からの電流は、データ電圧に応じた時間だけ有機EL素子(50)に流れることに過ぎず、無駄な電流が流れることはないので、消費電力の節減が図られる。

【0063】

第8実施例

本実施例は図15に示す如く、各画素(51)の回路構成において、図2に示す第1実施例のパルス幅変調制御回路(90)に図11に示す電流プログラム回路(92)を接続したものであって、図16に示す様に第1実施例と同じ動作が行なわれて、有機EL素子(50)に対する通電が制御される。

【0064】

第9実施例

本実施例の有機EL表示装置においては、図17に示す如く、互いに近接する複数の画素(51a)(51b)(51c)を1つの画素グループとして、その中の1つの画素(51a)の回路構成として、パルス幅変調制御回路(90)が組み込まれているが、他の画素(51b)(51c)の回路構成としては、パルス幅変調制御回路(90)の一部の回路のみを組み込み、他の回路部分は、同

一画素グループ内の画素(51a)(51b)(51c)で共用している。

【0065】

前記1つの画素(51a)に組み込まれているパルス幅変調制御回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR11と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR12とを具えている。

又、該画素(51a)には、高電位の電源 V_{DD} と低電位の電源 V_{SS} とが接続され、高電位の電源 V_{DD} は、駆動用トランジスタTR2を介して有機EL素子(50)に繋がっている。

【0066】

2つの電源 V_{DD} 、 V_{SS} の間には、前記のオン制御用トランジスタTR11とオフ制御用トランジスタTR12が互いに並列に介在すると共に、容量素子C21と2つのトランジスタTR21、TR22が互いに直列に介在し、オフ制御用トランジスタTR12と容量素子C21の連結点Bが、駆動用トランジスタTR2のゲートに接続されている。

又、高電位の電源 V_{DD} はトランジスタTR23を介してトランジスタTR21のドレインに接続され、両トランジスタTR23、TR21のゲートにはそれぞれ、第1リセット信号線RST1が接続されている。

【0067】

更に、トランジスタTR22のゲートと低電位の電源 V_{SS} には、トランジスタTR24のドレイン及びソースが接続され、該トランジスタTR24のゲートには、第2リセット信号線RST2が接続されている。

オン制御用トランジスタTR11のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR12のゲートには、容量素子C1の出力電圧(データ電圧)が供給される。

【0068】

一方、上記画素(51a)に隣接する画素(51b)(51c)には、前記パルス幅変調制御回路(90)の構成要素であるオフ制御用トランジスタTR12と容量素子C21のみが配備され、各画素の容量素子C21が低電位側にて互いに連結されている。

【0069】

上記画素(51a)(51b)(51c)から構成される有機EL表示装置においては、図18に示す如く、走査期間での走査電圧SCANの供給によって各画素の書き込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積され、データの書き込みが行なわれる。

尚、この時点で、トランジスタTR2、TR11、TR12、TR21、TR22、TR23及びTR24は全てオフとなっている。

【0070】

その後、発光期間において、ランプ電圧RAMPが低下して高電位 V_{DD} との差が増大し、オン制御用トランジスタTR11のゲート-ソース間のスレッショルドレベル V_{th} を上回ると、該トランジスタTR11がオンとなる。これによって、トランジスタTR22がオンとなると同時に、トランジスタTR21もオンとなり、各画素に配備された容量素子C21の両端の電圧が低下する。この結果、各画素の駆動用トランジスタTR2がオンとなって、高電位の電源 V_{DD} から有機EL素子(50)に電流が流れ、発光が開始される。

更にランプ電圧が低下し、これに伴ってA点の電圧が低下して高電位 V_{DD} との差が増大し、オフ制御用トランジスタTR12のゲート-ソース間のスレッショルドレベル V_{th} を上回ると、該トランジスタTR12がオンとなって、B点の電位が上昇する。この結果、駆動用トランジスタTR2がオフとなり、有機EL素子(50)への通電が停止されて、発光が終了することになる。

【0071】

続いてリセット期間において、先ず第1リセット信号RST1がハイからローに切り替わることによって、トランジスタTR23がオンになると同時に、トランジスタTR21がオフとなり、各画素の容量素子C21とトランジスタTR21の連結点の電位が上昇し

10

20

30

40

50

、該容量素子C21の両端が高電位にセットされることになる。

次に、ランプ電圧がハイまで上昇すると、オン制御用トランジスタTR11とオフ制御用トランジスタTR12がオフとなり、続いて第2リセット信号RST2が一定時間だけハイとなることによって、トランジスタTR24がオンとなり、トランジスタTR22がオフとなる。

その後、第1リセット信号RST1がハイとなることによって、トランジスタTR23がオフとなる。

この様に制御することにより、2つの電源V_{DD}、V_{SS}間に貫通電流が流れないようになることが出来る。

【0072】

上記有機EL表示装置によれば、互いに近接する複数の画素(51a)(51b)(51c)の内、1つの画素(51a)には、パルス幅変調制御回路(90)の全ての回路構成を配備するが、他の画素(51b)(51c)には、パルス幅変調制御回路(90)の一部の回路構成のみを配備すればよいので、表示パネル全体としてトランジスタの数が減少し、これによって表示パネルの開口率や歩留まりの向上を図ることが出来る。

【0073】

第10実施例

本実施例は、上記第1実施例～第9実施例の駆動用トランジスタを省略し、オン制御用のトランジスタ(後述の第1トランジスタ)によって、有機EL素子(50)の駆動とオン制御の両方を行なうものである。

【0074】

図19に示す如く、各画素(51)には、有機EL素子(50)と、ゲートに走査電圧SCANが印加されるpチャンネル型の書き込み用トランジスタTR1と、該書き込み用トランジスタTR1が導通状態となることによりデータ電圧DATAが印加されて該電圧を保持するコンデンサC1と、電源V_{DD}から有機EL素子(50)へ伸びる給電ライン(55)中に直列に介在してゲート電圧と電源電圧V_{DD}との差が所定の閾値V_{th}を超えたときにオンとなるpチャンネル型の第1トランジスタTR31と、ゲート電圧と電源電圧V_{DD}との差が所定の閾値V_{th}を超えたときにオンとなって第1トランジスタTR31をオフとするpチャンネル型の第2トランジスタTR32とが配備されている。

第1トランジスタTR31のゲートには、ランプ電圧RAMPとコンデンサ出力電圧の和に応じた電圧(A点の電圧)が印加され、第2トランジスタTR32のゲートには、ランプ電圧RAMPが印加される。

【0075】

図20に示す如く、1フレームの前半の走査期間において走査電圧SCANの印加により書き込み用トランジスタTR1が導通すると、A点の電位がデータ電圧に設定され、これによってコンデンサC1が充電される。

その後、1フレームの後半の発光期間において、ランプ電圧RAMPが徐々に低下すると、これに伴ってA点の電圧も同じ低下率で徐々に低下することになる。これによって、電源電圧V_{DD}とデータ電圧の差が第1トランジスタTR31の閾値V_{th}を超えると、第1トランジスタTR31が導通して、電源V_{DD}から有機EL素子(50)への通電が開始される。この結果、有機EL素子(50)に流れる電流が図20に示す如く徐々に増大し、有機EL素子(50)が発光することになる。

【0076】

その後、電源電圧V_{DD}とランプ電圧RAMPの差が第2トランジスタTR32の閾値V_{th}を超えると、第2トランジスタTR32が導通し、これによってA点の電位が電源電圧V_{DD}に向かって上昇し、第1トランジスタTR31がオフとなる。この結果、電源V_{DD}から有機EL素子(50)への通電が停止され、有機EL素子(50)の発光が停止することになる。

1フレームの終了時点に達すると、ランプ電圧が元の電圧まで復帰し、これに伴ってA点の電圧も元の電圧に復帰し、次のフレームの動作へ移行する。

【 0 0 7 7 】

図21は、データ電圧が変化した場合の各電圧の変化と有機EL素子(50)に流れる電流の変化を表わしている。この様に、データ電圧の変化に応じて有機EL素子(50)の発光期間が変化し、これによって画像の多階調表現が実現される。

【 0 0 7 8 】

ここで、例えば第1トランジスタTR31の閾値に正方向のバラツキがあった場合には、図20及び図21中に破線で示す様に、有機EL素子(50)の発光開始時期が遅くなるが、有機EL素子(50)の発光停止時期も同じだけ遅れるため、両トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。

これによって表示むらの発生が防止され、高い画質を得ることが出来る。

【 0 0 7 9 】

又、有機EL素子(50)のカソード電位CVを変えることによって、第1トランジスタTR31を線形領域と飽和領域の何れでも動作させることが出来、第1トランジスタTR31を線形領域で動作させることによって、消費電力の節減が可能であり、第1トランジスタTR31を飽和領域で動作させることによって、温度や経時変化の影響を受け難くすることが出来る。

【 0 0 8 0 】

更に又、給電ライン(55)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源V_{DD}からの電流は給電ライン(55)のみに流れることになり、無駄な電流の発生を回避することが出来、これによって消費電力の節減を図ることが出来る。

尚、書き込み用トランジスタTR1はpチャンネル型に限らず、nチャンネル型、又はnチャンネル型とpチャンネル型の並列接続であるCMOSスイッチで構成することも可能である。

【 0 0 8 1 】第11実施例

図22に示す如く、各画素(51)に、有機EL素子(50)と、pチャンネル型の書き込み用トランジスタTR1と、該書き込み用トランジスタTR1が導通状態となることによりデータ電圧DATAを保持するコンデンサC1と、給電ライン(55)中に直列に介在してゲート電圧と電源電圧V_{DD}との差が所定の閾値V_{th}を超えたときにオンとなるpチャンネル型の第1トランジスタTR31と、ゲート電圧と電源電圧V_{DD}との差が所定の閾値V_{th}を超えたときにオンとなって第1トランジスタTR31をオフとするpチャンネル型の第2トランジスタTR32とが配備されている構成において第10実施例と同じであるが、各画素(51)には、変化率の異なる2種類のランプ電圧RAMP1、RAMP2が供給されており、第1ランプ電圧RAMP1の供給ラインとA点の間にコンデンサC1が介在し、第2ランプ電圧RAMP2が第2トランジスタTR32のゲートに印加される。

【 0 0 8 2 】

図23に示す如く、発光期間においてA点の電圧は第1ランプ電圧RAMP1の低下に応じて低下するが、コンデンサC1の容量が小さい場合には、A点の電圧の低下率は第1ランプ電圧RAMP1の低下率よりも小さくなる。そこで、そのA点の電圧の変化率と同じ変化率となる第2ランプ電圧RAMP2を作成して、第2トランジスタTR32のゲートに印加し、これによってデータ電圧に応じた発光期間を得るのである。

【 0 0 8 3 】第12実施例

図24に示す画素(51)は、書き込み用トランジスタTR1、第1トランジスタTR31及び第2トランジスタTR32をそれぞれnチャンネル型のトランジスタによって構成したものである。

第1トランジスタTR31及び第2トランジスタTR32はそれぞれ、ゲート電圧と有機EL素子(50)の高電位側の端子電圧(B点の電圧)との差が所定の閾値を越えたときに才

ンとなる様に、B点に対して接続されており、第1トランジスタTR31のゲートには、ランプ電圧RAMPとコンデンサの出力電圧の和に応じた電圧(A点の電圧)が印加され、第2トランジスタTR32のゲートには、ランプ電圧RAMPが印加される。

【0084】

図25に示す如く、走査期間において走査電圧SCANの印加により書き込み用トランジスタTR1が導通すると、A点の電位がデータ電圧に設定され、これによってコンデンサC1が充電される。

その後、発光期間において、ランプ電圧RAMPが徐々に上昇すると、これに伴ってA点の電圧も同じ上昇率で徐々に上昇することになる。これによって、B点の電圧とデータ電圧の差が第1トランジスタTR31の閾値Vthを越えると、第1トランジスタTR31が導通して、電源VDDから有機EL素子(50)への通電が開始される。この結果、有機EL素子(50)に流れる電流が図25に示す如く徐々に増大し、有機EL素子(50)が発光することになる。

尚、図24に示す画素(51)の回路構成においては、有機EL素子(50)に流れる電流の増大に伴って、B点の電位は上昇することになる。

【0085】

その後、B点の電圧とランプ電圧RAMPの差が第2トランジスタTR32の閾値Vthを越えると、第2トランジスタTR32が導通し、これによってA点の電位がB点の電位に向かって下降し、第1トランジスタTR31がオフとなる。この結果、電源VDDから有機EL素子(50)への通電が停止され、有機EL素子(50)の発光が停止することになる。

1フレームの終了時点に達すると、ランプ電圧が元の電圧まで復帰し、これに伴ってA点の電圧も元の電圧に復帰し、次のフレームの動作へ移行する。

【0086】

図26は、データ電圧が変化した場合の各電圧の変化と有機EL素子(50)に流れる電流の変化を表わしている。この様に、データ電圧の変化に応じて有機EL素子(50)の発光期間が変化し、これによって画像の多階調表現が実現される。

【0087】

ここで、例えば第1トランジスタTR31の閾値に正方向のバラツキがあった場合には、図25及び図26中に破線で示す様に、有機EL素子(50)の発光開始時期が遅くなるが、有機EL素子(50)の発光停止時期も同じだけ遅れるため、両トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。

これによって表示むらの発生が防止され、高い画質を得ることが出来る。

【0088】

又、図24に示す画素(51)の回路構成によれば、有機EL素子(50)の特性が温度変化や経時変化によってシフトし、これによって例えば図27に矢印で示す如く走査期間中のB点の電位が下がったとしても、第2トランジスタTR32のドレインがB点に繋がっているため、有機EL素子(50)に流れる電流の波形が平行移動するに過ぎない。従って、表示むらが発生することはない。

【0089】

第13実施例

図28に示す画素(51)においては、上記実施例ではB点に繋がっていた第2トランジスタTR32のドレインを低電位の電源VSSに連結したものである。

該回路構成によれば、図29に示す如く、発光期間において電源電圧VSSとランプ電圧RAMPの差が第2トランジスタTR32の閾値Vthを越えると、第2トランジスタTR32が導通し、第1トランジスタTR31がオフとなる。この結果、電源VDDから有機EL素子(50)への通電が停止され、有機EL素子(50)の発光が停止することになる。

【0090】

該画素(51)においても図29に破線で示す如く、両トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さ

10

20

30

40

50

となる。従って、両トランジスタTR31、TR32に特性のバラツキがあったとしても、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。

又、給電ライン(55)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源V_{DD}からの電流は給電ライン(55)のみに流れることになり、無駄な電流の発生を回避することが出来る。

【0091】

第14実施例

図30に示す画素(51)においては、1フレーム期間の前半に走査電圧SCANを印加するとと共に1フレーム期間の後半にランプ電圧RAMP2を印加するための第1信号線(56)と、1フレーム期間の前半にデータ電圧DATAを印加するとと共に1フレーム期間の後半にランプ電圧RAMP1を印加するための第2信号線(57)とが配備されている。10

第1トランジスタTR31は給電ライン(55)中に直列に介在し、第1トランジスタTR31のゲートに繋がるA点には、第2信号線(57)がコンデンサC1を介して連結されると共に、第2トランジスタTR32のドレインが連結されている。第2トランジスタTR32のソースには、給電ライン(55)に繋がっている第1の電源V_{DD}よりも高い電圧の第2の電源V_{CC}が接続されている。又、第2トランジスタTR32のゲートには、第1信号線(56)が接続されている。

【0092】

図31に示す如く、走査期間において、A点の電圧は、第2信号線(57)に印加される各走査ラインのデータ電圧に応じて変化するが、第1信号線(56)から第2トランジスタTR32のゲートに走査電圧が印加された時点で、第2トランジスタTR32の導通によってA点の電圧が第2電源電圧V_{CC}に確定する。この時点でコンデンサC1には、電源電圧V_{CC}を基準としてデータ電圧に応じた電位差が与えられ、その後のA点の電圧変動に拘わらず、保持される。20

【0093】

発光期間においては、先ずA点の電圧が、コンデンサC1に保持されている電圧とランプ電圧RAMP1との差に応じた電圧に設定され、その後、ランプ電圧RAMP1の低下に応じてA点の電圧は徐々に低下する。これによって、電源電圧V_{DD}とA点の電圧との差が第1トランジスタTR31の閾値V_{th}を越えると、第1トランジスタTR31が導通して、電源V_{DD}から有機EL素子(50)への通電が開始される。この結果、有機EL素子(50)に流れる電流が徐々に増大し、有機EL素子(50)が発光することになる。30

【0094】

その後、第2の電源電圧V_{CC}とランプ電圧RAMP2の差が第2トランジスタTR32の閾値V_{th}を越えると、第2トランジスタTR32が導通し、これによって第1トランジスタTR31がオフとなる。この結果、電源V_{DD}から有機EL素子(50)への通電が停止され、有機EL素子(50)の発光が停止することになる。

【0095】

該画素(51)においても図31に破線で示す如く、両トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。従って、両トランジスタTR31、TR32に特性のバラツキがあったとしても、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。40

又、給電ライン(55)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源V_{DD}からの電流は給電ライン(55)のみに流れることになり、無駄な電流の発生を回避することが出来る。

【0096】

第15実施例

図32に示す画素(51)は、上記実施例の2つのpチャンネル型のトランジスタTR31、TR32をそれぞれnチャンネル型のトランジスタによって構成したものであり、全く50

同じ回路動作が実現される。

【0097】

第16実施例

本実施例は、通電開始用の第1トランジスタTR31にランプ電圧を供給する一方、通電停止用の第2トランジスタTR32にデータ電圧を印加して、データ電圧に応じて通電停止時期を制御するものである。

【0098】

図33に示す如く、各画素(51)には、有機EL素子(50)と、走査電圧SCANが印加されて導通状態となる書き込み用トランジスタTR1と、該書き込み用トランジスタが導通状態となることによってデータ電圧が印加される第1コンデンサC2と、電源VDDから有機EL素子(50)に繋がる給電ライン(55)中に直列に介在する第1トランジスタTR31と、第1トランジスタTR31をオフとするための第2トランジスタTR32と、走査電圧の印加により導通して第1トランジスタTR31のゲートに電源電圧を印加する第3トランジスタTR33と、第1トランジスタTR31のゲートとランプ電圧供給ラインの間に介在する第2コンデンサC3とが配備されている。

【0099】

第1トランジスタのゲートは、上記第2コンデンサC3を介してランプ電圧供給ラインに繋がると共に、第2トランジスタTR32及び第3トランジスタTR33を介して、電源VDDに繋がっている。第2トランジスタTR32のゲートは第1コンデンサC2を介してランプ電圧供給ラインに繋がっている。又、第3トランジスタTR33のゲートは、走査電圧供給ラインに繋がっている。

【0100】

上記画素(51)においては、図34に示す如く、走査期間にて走査電圧SCANが印加されることによって、書き込み用トランジスタTR1と第3トランジスタTR33が導通すると、データ電圧によって第1コンデンサC2が充電されて、その出力端(A点)がデータ電圧に設定されると共に、第1トランジスタTR31のゲートに繋がるB点が電源電圧VDDに設定される。

【0101】

発光期間においては、ランプ電圧RAMPが徐々に低下し、これに伴ってA点とB点の電位も徐々に低下する。そして、電源電圧VDDとB点の電圧の差が第1トランジスタTR31の閾値Vthを越えると、第1トランジスタTR31が導通し、有機EL素子(50)に対する通電が開始される。

その後、電源電圧VDDとA点の電圧の差が第2トランジスタTR32の閾値Vthを越えると、第2トランジスタTR32が導通して、B点の電圧が電源電圧VDDまで上昇する。この結果、第1トランジスタTR31がオフとなって、有機EL素子(50)に対する通電が停止される。

【0102】

上記画素(51)においては、ランプ電圧供給ラインとB点との間に第2コンデンサC3が介在しているので、ランプ電圧RAMPと電源電圧VDDとが互いに衝突することはない。

【0103】

該画素(51)においても図34に破線で示す如く、両トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。従って、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。

又、給電ライン(55)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源VDDからの電流は給電ライン(55)のみに流れることになり、無駄な電流の発生を回避することが出来る。

【0104】

第17実施例

10

20

30

40

50

図35に示す実施例は、駆動用の第1トランジスタTR31よりも高電位(V_{DD})側に有機EL素子(50)を配置し、第1トランジスタTR31及び第2トランジスタTR32のソースをそれぞれ低電位の電源 V_{SS} に接続したものである。

該実施例によっても、上述の実施例と同様に、表示むらの発生と無駄な電力消費を防止することが出来る。

【0105】

第18実施例

次に述べる第18実施例～第24実施例は、有機EL素子の特性変化に拘わらずデータ電圧に応じた発光量で表示素子を発光させるための構成を有するものである。

【0106】

図36に示す第18実施例においては、各画素(51)に、1フレーム期間の前半に走査電圧SCANを印加すると共に1フレーム期間の後半にハイの選択電圧SELを印加するための第1信号線(61)と、1フレーム期間の前半にデータ電圧DATAを印加すると共に1フレーム期間の後半に第1ランプ電圧RAMP1を印加するための第2信号線(62)と、リセット信号RSTを印加するための第3信号線(63)と、第2ランプ電圧RAMP2を印加するための第4信号線(64)とが配備されている。

【0107】

更に各画素(51)には、有機EL素子(50)と、書き込み用トランジスタTR1と、該書き込み用トランジスタTR1が導通状態となることによって第2信号線(62)からのデータ電圧DATAが印加されるコンデンサC1と、高電位の電源 V_{DD} から有機EL素子(50)に繋がる給電ライン(6)中に介在する第1トランジスタTR31と、コンデンサC1の出力端(B点)と有機EL素子(50)の一端(C点)の間に介在する第2トランジスタTR32と、コンデンサC1の出力端(B点)と低電位の電源 V_{SS} の間に介在する第3トランジスタTR34とが配備されている。

【0108】

書き込み用トランジスタTR1のゲートには第1信号線(61)が接続され、該書き込み用トランジスタTR1のドレインは、コンデンサC1を介して、第1トランジスタTR31のゲートに繋がっている。又、第2トランジスタTR32のゲートには第4信号線(64)が接続され、第3トランジスタTR34のゲートには、第3信号線(63)が接続されている。

【0109】

図37に示す如く、1フレームは、走査期間と発光期間とリセット期間に分割されており、リセット期間においては、先ず第2ランプ電圧RAMP2が立ち下がり、これによって第2トランジスタTR32がオフとなる。その後にリセット信号RSTがハイとなり、これによって第3トランジスタTR34がオンとなり、B点の電位が電源電圧 V_{SS} まで低下する。その後、第2ランプ電圧RAMP2が立ち上がり、これによって第2トランジスタTR32がオンとなる。この結果、B点とC点が繋がって、略同じ電位となる。又、リセット信号RSTがハイの間に第1ランプ電圧RAMP1が立ち下がる。

【0110】

次のフレームの走査期間において、走査電圧SCANの印加によって書き込み用トランジスタTR1がオンになると、書き込み用トランジスタTR1の出力端(A点)の電位がデータ電圧まで上昇し、これに伴ってB点の電位とC点の電位が有機EL素子(50)の発光開始電圧まで上昇することになる。この時点で、第1トランジスタTR31はオフ、第2トランジスタTR32はオンとなっており、コンデンサC1に蓄積された電荷は第2トランジスタTR32及び有機EL素子(50)を経て陰極へ流れ込むので、B点とC点の電位の上昇は、A点の電位の上昇よりも小さなものとなる。

尚、リセット期間におけるリセット動作によってB点の電位が電源電圧 V_{SS} に設定され、電源電圧 V_{SS} よりも低下することはないので、その後の走査期間においてA点の電位をデータ電圧まで上昇させることにより、B点とC点の電位を有機EL素子の発光開始電圧まで上昇させることが出来る。

【0111】

10

20

30

40

50

走査期間の終了と同時に、第2ランプ電圧RAMP2が低下し、これによって第2トランジスタTR32がオフとなる。続いて発光期間においては、第1ランプ電圧RAMP1と第2ランプ電圧RAMP2が上昇を開始する。

【0112】

これによって、A点の電位がデータ電圧から第1ランプ電圧RAMP1に切り替えられて上昇し、これに伴ってB点の電位が上昇することになる。この結果、B点の電位とC点の電位の差が第1トランジスタTR31のスレッショルドレベルV_{th}を上回ると、第1トランジスタTR31がオンとなり、有機EL素子(50)への通電が開始され、有機EL素子(50)が発光し始める。

その後、第2ランプ電圧RAMP2の上昇によって、第2ランプ電圧RAMP2とC点の電位の差が第2トランジスタTR32のスレッショルドレベルV_{th}を上回ると、第2トランジスタTR32がオンとなる。これによって第1トランジスタTR31がオフとなり、有機EL素子(50)への通電が停止されて、有機EL素子(50)の発光が終了する。

【0113】

該画素(51)においても図37に破線で示す如く、両トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。従って、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。

又、給電ライン(6)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源V_{DD}からの電流は給電ライン(6)のみに流れることになり、無駄な電流の発生を回避することが出来る。

【0114】

更に、本実施例によれば、有機EL素子(50)の温度変化や経時変化に伴う問題を解決することが出来る。即ち、図39に示す如く、有機EL素子の温度変化や経時変化によって有機EL特性がシフトし、この結果、動作点が変化して、発光量が変化することになるが、本実施例では後述の如く、走査後のC点の電位(有機EL素子の発光開示時点における端子電圧)を有機EL素子(50)の通電時間にフィードバックすることにより、この問題を解決している。

【0115】

図38は、有機EL素子の温度変化や経時変化によって有機EL特性が右側にシフトした場合の動作を表わしている。図示の如く、走査期間において走査電圧SCANの印加によりA点の電位がデータ電圧まで上昇し、これに伴ってB点の電位とC点の電位が僅かに上昇することになるが、有機EL特性のシフトによって、B点とC点の電位の上昇量は、図中に矢印で示す様に前述の特性シフトのない場合(図37)よりも僅かに大きくなっている。

【0116】

その後、発光期間においては、第1ランプ電圧RAMP1と第2ランプ電圧RAMP2が上昇を開始し、B点の電位とC点の電位の差が第1トランジスタTR31のスレッショルドレベルV_{th}を上回ると、第1トランジスタTR31がオンとなり、有機EL素子(50)への通電が開始され、有機EL素子(50)が発光し始める。この時点は、前述の特性シフトのない場合(図37)と同じである。

【0117】

その後、第2ランプ電圧RAMP2の上昇によって、第2ランプ電圧RAMP2とC点の電位の差が第2トランジスタTR32のスレッショルドレベルV_{th}を上回り、第2トランジスタTR32がオンとなるが、上述の如くC点の電位が特性シフトのない場合よりも上昇しているため、第2ランプ電圧RAMP2とC点の電位の差が第2トランジスタTR32のスレッショルドレベルV_{th}を上回る時点、即ち有機EL素子(50)の発光終了時点が遅れることになる。

【0118】

図39に示す如く、有機EL素子の温度変化や経時変化によって有機EL特性が右側に

10

20

30

40

50

シフトしている場合、有機EL素子に流れる電流は図示の如く低下することになる。

従って、有機EL素子の通電開始から通電終了までの電流の変化は図38に示す様に緩やかなものとなり、ピーク電流も低いものとなる。しかしながら、本実施例によれば上述の如く有機EL素子の通電開始から通電終了までの時間が延長されるので、1フレーム内における通電開始から通電終了までの有機EL素子の総発光量は、有機EL特性のシフト量に拘わらず一定となるのである。

温度変化によって有機EL特性が左側にシフトした場合も同様に、1フレーム内における通電開始から通電終了までの総発光量は一定となる。

【0119】

第19実施例

図40に示す画素(51)においては、第18実施例の第3トランジスタTR34に替えて、コンデンサC1の出力端と低電位の電源V_{SS}の間にダイオードDを介在させたものであり、該ダイオードDによってコンデンサC1の出力端の電位が電源電圧V_{SS}以下に低下することが阻止されている。

本実施例によっても第18実施例と同じ効果を得ることが出来る。

【0120】

第20実施例

図41に示す画素(51)においては、第18実施例の信号切換え式の第1信号線(61)と第2信号線(62)に替えて、信号個別の信号線を採用したものであって、第1ランプ電圧RAMP1を印加するための専用の信号線(65)と、選択電圧SELを印加するための専用の信号線(66)とが追加されている。

これに伴って、書き込み用トランジスタTR1のドレインと第1ランプ電圧専用信号線(65)の間にトランジスタTR39が介在し、該トランジスタTR39のゲートは選択電圧専用信号線(66)に接続されている。

【0121】

該画素(51)の動作は第18実施例と同じであって、第18実施例と同じ効果が得られる。

又、信号個別の専用信号線を採用した構成によれば、走査電圧の印加直後にランプ電圧の印加を開始することが出来るので、1フレームの殆ど全期間を発光期間として利用することが可能である。

【0122】

第21実施例

本実施例においては、図42に示す如く、第18実施例に配備されていたリセットのための回路構成が省略されている。有機EL素子(50)はその構造上、容量成分を有しているが、本実施例は、有機EL素子(50)の容量がコンデンサC1の容量よりも十分に大きい場合に有効な実施例である。この場合、図36に示すA点の電位変動に対してC点の電位変動が小さいため、B点の電位の低下量が過大とならず、これによって、B点の電位の低下を抑えるためのリセット動作が不要となるのである。

【0123】

第22実施例

図43に示す画素(51)においては、第21実施例の信号切換え式の第1信号線(61)と第2信号線(62)に替えて、信号個別の信号線を採用したものであって、ランプ電圧RAMPを印加するための専用の信号線(67)と、選択電圧SELを印加するための専用の信号線(66)とが追加されている。

これに伴って、書き込み用トランジスタTR1のドレインとランプ電圧専用信号線(67)の間にトランジスタTR39が介在し、該トランジスタTR39のゲートは選択電圧専用信号線(66)に接続されている。

該画素(51)の動作は第21実施例と同じであって、第21実施例と同じ効果が得られる。

【0124】

10

20

30

40

50

第23実施例

本実施例においては、図44に示す如く、1フレーム期間の前半にデータ電圧DATAを印加すると共に1フレーム期間の後半に第1ランプ電圧RAMP1を印加するための第1信号線(71)と、1フレーム期間の前半に走査電圧SCANを印加すると共に1フレーム期間の後半に第2ランプ電圧RAMP2を印加するための第2信号線(72)と、ハイの選択信号SELを印加するための第3信号線(73)と、リセット信号RSTを印加するための第4信号線(74)とが配備されている。

【0125】

各画素(51)には、有機EL素子(50)と、第1信号線(71)からのデータ電圧DATAが印加されるコンデンサC1と、電源V_{DD}から有機EL素子(50)に繋がる給電ライン(6)中に介在する第1トランジスタTR31と、コンデンサC1の出力端(B点)と有機EL素子(50)の一端(C点)の間に介在する第2トランジスタTR32と、電源V_{DD}と第1トランジスタTR31の間に介在する第3トランジスタTR35と、電源V_{DD}とB点の間に第4トランジスタTR36とが配備されている。10

【0126】

第1トランジスタTR31のゲートにはコンデンサC1を介して第1信号線(71)が接続され、第2トランジスタTR32のゲートには第2信号線(72)が接続され、第3トランジスタTR35のゲートには第3信号線(73)が接続されている。又、第4トランジスタTR36のゲートには第4信号線(74)が接続されている。

【0127】

図45に示す如く、1フレームは、走査期間と発光期間とリセット期間に分割されており、リセット期間においては、先ず第2ランプ電圧RAMP2が立ち下がり、これによって第2トランジスタTR32がオフとなる。その後にリセット信号RSTがハイとなり、これによって第4トランジスタTR36がオンとなり、B点の電位が電源電圧V_{DD}まで上昇する。又、第1ランプ電圧RAMP1が立ち下がる。20

【0128】

次のフレームの走査期間において、走査電圧SCANの印加によって第2トランジスタTR32がオンになると、A点の電位がデータ電圧まで上昇すると共に、B点の電位がC点の電位(有機EL素子の発光開始電圧)まで降下する。

発光期間においては、ハイの選択信号SELによって第3トランジスタTR35がオンとなる。又、第1ランプ電圧RAMP1と第2ランプ電圧RAMP2が上昇を開始する。これによって、A点の電位がデータ電圧から第1ランプ電圧RAMP1に切り替えられて上昇し、これに伴ってB点の電位が上昇することになる。この結果、B点の電位とC点の電位の差が第1トランジスタTR31のスレッショルドレベルV_{th}を上回ると、第1トランジスタTR31がオンとなり、有機EL素子(50)への通電が開始され、有機EL素子(50)が発光し始める。30

その後、第2ランプ電圧RAMP2の上昇によって、第2ランプ電圧RAMP2とC点の電位の差が第2トランジスタTR32のスレッショルドレベルV_{th}を上回ると、第2トランジスタTR32がオンとなる。これによって第1トランジスタTR31がオフとなり、有機EL素子(50)への通電が停止されて、有機EL素子(50)の発光が終了する。40

【0129】

該画素(51)においても図45に破線で示す如く、第1及び第2トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。従って、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。

又、給電ライン(6)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源V_{DD}からの電流は給電ライン(6)のみに流れることになり、無駄な電流の発生を回避することが出来る。

更に、有機EL素子(50)の温度変化や経時変化によって有機EL特性がシフトしたとしても、走査後のC点の電位が有機EL素子(50)の通電時間にフィードバックされるので、50

発光量が変化することはない。

【0130】

第24実施例

図46に示す画素(51)は、データ電圧DATA、走査電圧SCAN、選択信号SEL、第1ランプ電圧RAMP1及び第2ランプ電圧RAMP2をそれぞれ個別の信号線によって供給すると共に、全てのトランジスタをpチャンネル型のトランジスタによって構成したものである。

【0131】

図46に示す如く各画素(51)には、ゲートに走査電圧が印加される書込み用トランジスタTR1と、書込み用トランジスタTR1の出力端(A点)に接続されたコンデンサC1と、電源VDDから有機EL素子(50)へ伸びる給電ライン(6)中に介在する第1トランジスタTR31と、電源VDDと第1トランジスタTR31のゲートの間に介在する第2トランジスタTR32と、コンデンサC1の一端(B点)と有機EL素子(50)の一端(C点)の間に介在する第3トランジスタTR37と、B点に第1ランプ電圧RAMP1を印加するための第4トランジスタTR38とが配備されている。

【0132】

第1トランジスタTR31のゲートにはA点が接続されている。又、第2トランジスタTR32のゲートには第2ランプ電圧RAMP2が印加され、第3トランジスタTR37のゲートには走査電圧SCANが印加され、第4トランジスタTR38には発光期間にハイとなる選択信号SELが印加される。

【0133】

図47に示す如く、走査期間において走査電圧SCANが印加されると、書込み用トランジスタTR1がオンとなって、A点の電位がデータ電圧まで上昇する。又、第3トランジスタTR37がオンとなって、B点の電位がC点の電位(有機EL素子の発光開始電圧)まで低下する。

その後、発光期間においては、選択信号SELの印加によって第4トランジスタTR38がオンとなる。又、第1ランプ電圧RAMP1及び第2ランプ電圧RAMP2が低下を開始し、第1ランプ電圧RAMP1の低下に伴ってA点の電位が徐々に低下することになる。

【0134】

この結果、A点の電位と電源電圧VDDの差が第1トランジスタTR31のスレッショルドレベルVthを越えると、第1トランジスタTR31がオンとなって、有機EL素子(50)に対する通電が開始され、有機EL素子(50)が発光し始める。

その後、第2ランプ電圧RAMP2と電源電圧VDDの差が第2トランジスタTR32のスレッショルドレベルVthを越えると、第2トランジスタTR32がオンとなる。これによって第1トランジスタTR31がオフとなって、有機EL素子(50)に対する通電が停止され、有機EL素子(50)の発光が終了する。

そして、発光期間の終了時に第1ランプ電圧RAMP1が上昇し、これに伴ってB点の電位が上昇する。続いて、第2ランプ電圧RAMP2が上昇し、これによって第2トランジスタTR32がオフとなる。

【0135】

該画素(51)においても、第1及び第2トランジスタTR31、TR32の閾値のバラツキに拘わらず、有機EL素子(50)の発光期間はデータ電圧に応じた同じ長さとなる。従って、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。

又、給電ライン(6)中に第1トランジスタTR31が直列に介在して、有機EL素子(50)に対する通電をオン／オフするので、電源VDDからの電流は給電ライン(6)のみに流れることになり、無駄な電流の発生を回避することが出来る。

更に、有機EL素子(50)の温度変化や経時変化によって有機EL特性がシフトしたとしても、走査後のC点の電位が有機EL素子(50)の通電時間にフィードバックされるので、

10

20

30

40

50

発光量が変化することはない。

【 0 1 3 6 】

第 2 5 実施例

本実施例は、図24に示す第12実施例の第2トランジスタTR32を省略したものである。

図48に示す如く、各画素(51)は、それぞれnチャンネル型の書き込み用トランジスタTR1及び駆動用トランジスタTR30と、書き込み用トランジスタTR1が導通状態となることによってデータ電圧が印加されるコンデンサC1とを具え、該コンデンサC1は、書き込み用トランジスタTR1のドレインに繋がるA点とランプ電圧供給ラインの間に介在し、A点は、駆動用トランジスタTR30のゲートに接続されている。書き込み用トランジスタTR1のゲートには、走査電圧SCANが印加される。駆動用トランジスタTR30は、給電ライン(55)中に直列に介在してゲート電圧と有機EL素子(50)の高電位側の端子電圧(B点の電圧)との差が所定の閾値Vthを越えたときにオンとなるものである。

【 0 1 3 7 】

図49に示す如く、走査期間において走査電圧SCANの印加により書き込み用トランジスタTR1が導通すると、A点の電位がデータ電圧に設定され、これによってコンデンサC1が充電される。

その後、発光期間において、ランプ電圧RAMPが徐々に上昇すると、これに伴ってA点の電圧も同じ上昇率で徐々に上昇することになる。これによって、B点の電圧とA点の電圧の差が駆動用トランジスタTR30の閾値Vthを越えると、駆動用トランジスタTR30が導通して、電源VDDから有機EL素子(50)への通電が開始される。この結果、有機EL素子(50)に流れる電流が増大し、有機EL素子(50)が発光することになる。

尚、有機EL素子(50)に流れる電流の増大に伴って、B点の電位は上昇することになる。

【 0 1 3 8 】

その後、フレームの終了時点で、ランプ電圧が元の電圧に低下すると、これに応じてA点の電圧も元の電圧に向かって低下し、これによって駆動用トランジスタTR30がオフとなる。この結果、電源VDDから有機EL素子(50)への通電が停止され、有機EL素子(50)の発光が停止することになる。

【 0 1 3 9 】

上記画素(51)の回路構成においては、駆動用トランジスタTR30により、データ電圧に応じて発光開始時期が制御されるが、発光停止時期はフレームの終了時点に固定されているので、駆動用トランジスタTR30に特性のバラツキがあれば、有機EL素子(50)に対する通電時間がデータ電圧の大きさに比例しなくなつて、表示むらが生じる虞がある。

しかしながら、図48に示す画素(51)において、例えば駆動用トランジスタTR30にごく僅かな電流を流すことによって、駆動用トランジスタTR30の閾値VthとB点の電位の間に反比例的な関係、即ち駆動用トランジスタTR30の閾値Vthが増大すればB点の電位が低下し、駆動用トランジスタTR30の閾値Vthが減少すればB点の電位が上昇する関係を実現すれば、図49に破線で示す様に、駆動用トランジスタTR30の閾値Vthにバラツキがあったとしても、データ電圧が同じであれば、B点の電圧とA点の電圧の差が駆動用トランジスタTR30の閾値Vthを越える時点に殆ど違いは生じないことになる。

従つて、駆動用トランジスタTR30に特性のバラツキがあったとしても、有機EL素子(50)に対する通電時間はデータ電圧の大きさに比例し、表示むらが生じる虞はない。

【 0 1 4 0 】

尚、上述の各実施例では、表示素子が電流駆動素子の場合について述べたが、電流駆動素子に替えて電圧駆動素子を採用することも可能であり、この場合、第1実施例～第9実施例の駆動用トランジスタTR2を省略することが出来る。又、トランジスタの寄生容量や配線容量で代用出来る場合は、コンデンサC2、C3、C12及びC22は省略することが出来る。更に、第1～第5実施例において、リセット信号の印加は、発光期間以外で

10

20

30

40

50

あれば、時刻や期間を自由に設定することが可能である。

【0141】

又、ランプ電圧としては、図50(a)(b)に示す如く全発光期間に亘って一様に漸増若しくは漸減する波形に限らず、例えば図24～図27に示す第12実施例、図36～図45に示す第18実施例～第23実施例においては、発光期間の前半には漸増若しくは漸減すると共に、発光期間の後半には一定電圧を維持する波形を採用することも可能である。

【図面の簡単な説明】

【0142】

【図1】本発明の有機EL表示装置の構成を示すブロック図である。

10

【図2】第1実施例における画素の回路構成を示す図である。

【図3】該回路構成の動作を示す波形図である。

【図4】第2実施例における画素の回路構成を示す図である。

【図5】該回路構成の動作を示す波形図である。

【図6】第3実施例における画素の回路構成を示す図である。

【図7】該回路構成の動作を示す波形図である。

【図8】第4実施例における動作を示す波形図である。

【図9】第5実施例における動作を示す波形図である。

【図10】第6実施例における有機EL表示装置の構成を示すブロック図である。

20

【図11】第6実施例における画素の回路構成を示す図である。

【図12】該回路構成の動作を示す波形図である。

【図13】第7実施例における画素の回路構成を示す図である。

【図14】該回路構成の動作を示す波形図である。

【図15】第8実施例における画素の回路構成を示す図である。

【図16】該回路構成の動作を示す波形図である。

【図17】第9実施例における複数画素の回路構成を示す図である。

【図18】該回路構成の動作を示す波形図である。

【図19】第10実施例における画素の回路構成を示す図である。

30

【図20】該回路構成の動作を示す波形図である。

【図21】データ電圧が変化した場合の同上の波形図である。

【図22】第11実施例における画素の回路構成を示す図である。

【図23】該回路構成の動作を示す波形図である。

【図24】第12実施例における画素の回路構成を示す図である。

【図25】該回路構成の動作を示す波形図である。

【図26】データ電圧が変化した場合の同上の波形図である。

【図27】該回路構成において有機EL素子の特性がシフトしたときの補正動作を説明する波形図である。

【図28】第13実施例における画素の回路構成を示す図である。

【図29】該回路構成の動作を示す波形図である。

【図30】第14実施例における画素の回路構成を示す図である。

40

【図31】該回路構成の動作を示す波形図である。

【図32】第15実施例における画素の回路構成を示す図である。

【図33】第16実施例における画素の回路構成を示す図である。

【図34】該回路構成の動作を示す波形図である。

【図35】第17実施例における画素の回路構成を示す図である。

【図36】第18実施例における画素の回路構成を示す図である。

【図37】該回路構成の動作を示す波形図である。

【図38】有機EL特性シフト時の同上の動作を示す波形図である。

【図39】トランジスタ特性と有機EL特性を示すグラフである。

【図40】第19実施例における画素の回路構成を示す図である。

【図41】第20実施例における画素の回路構成を示す図である。

50

【図42】第21実施例における画素の回路構成を示す図である。

【図43】第22実施例における画素の回路構成を示す図である。

【図44】第23実施例における画素の回路構成を示す図である。

【図45】該回路構成の動作を示す波形図である。

【図46】第24実施例における画素の回路構成を示す図である。

【図47】該回路構成の動作を示す波形図である。

【図48】第25実施例における画素の回路構成を示す図である。

【図49】該回路構成の動作を示す波形図である。

【図50】ランプ電圧の種々の波形を示す図である。

【図51】従来の有機EL表示装置における画素の回路構成を示す図である。 10

【図52】出願人の提案する有機EL表示装置における画素の回路構成を示す図である。

【図53】該回路構成の動作を示す波形図である。

【符号の説明】

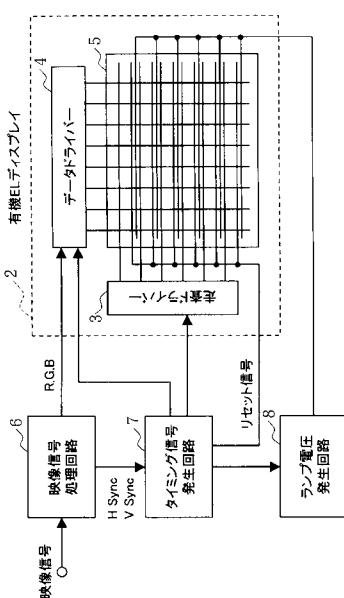
【0143】

- (2) 有機ELディスプレイ
- (3) 走査ドライバー
- (4) データドライバー
- (5) 表示パネル
- (6) 映像信号処理回路
- (7) タイミング信号発生回路
- (8) ランプ電圧発生回路
- (51) 画素
- (50) 有機EL素子
- (90) パルス幅変調制御回路

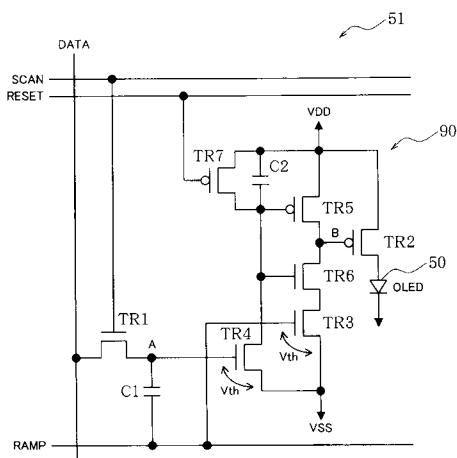
10

20

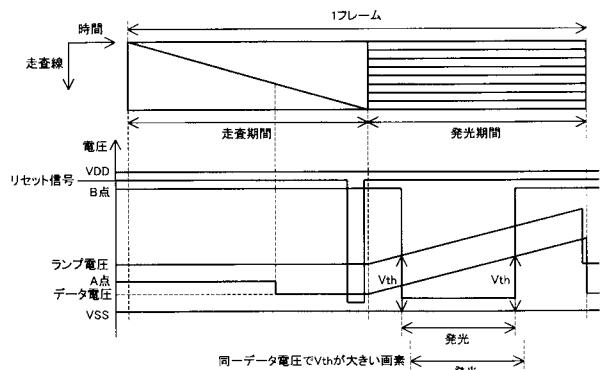
【図1】



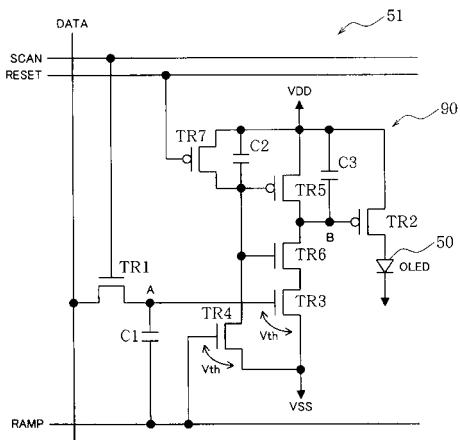
【図2】



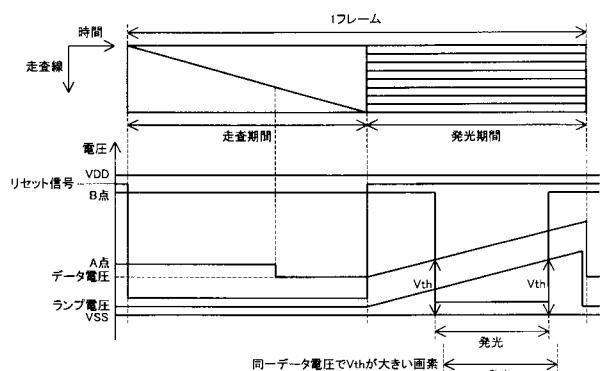
【図3】



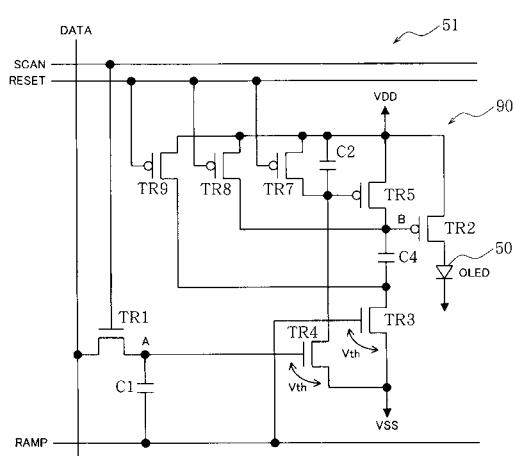
【図4】



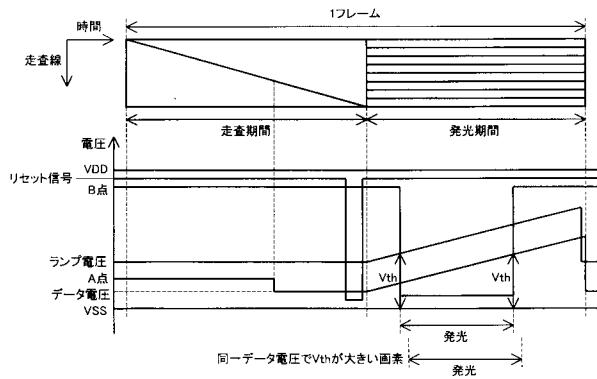
【図5】



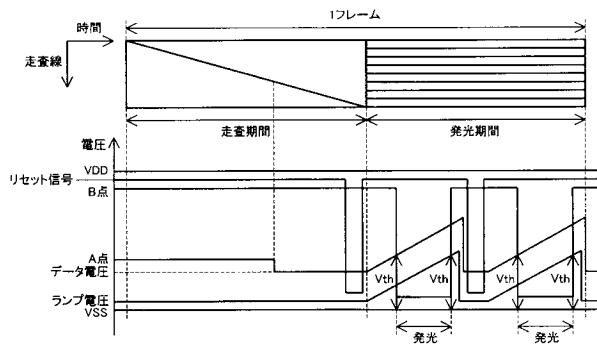
【図6】



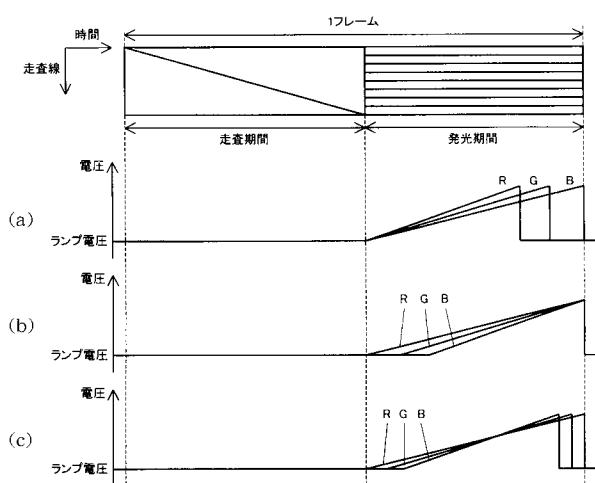
【 四 7 】



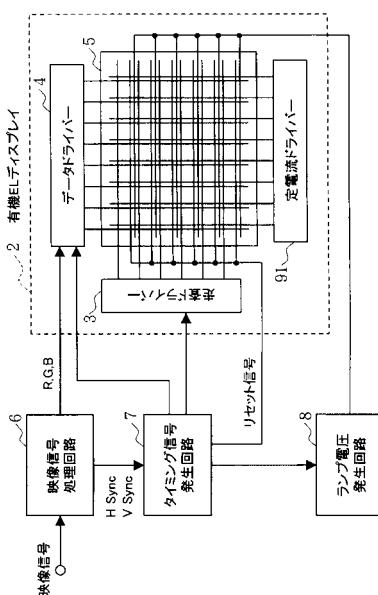
【図8】



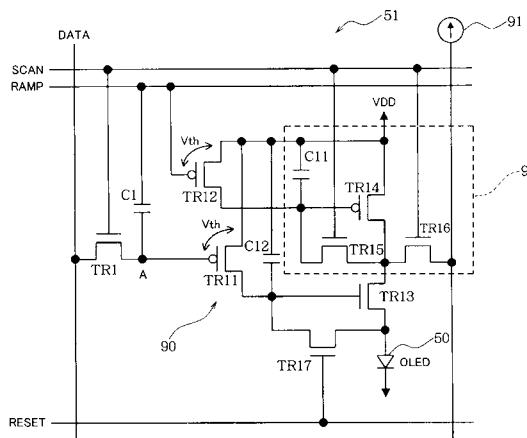
【 四 9 】



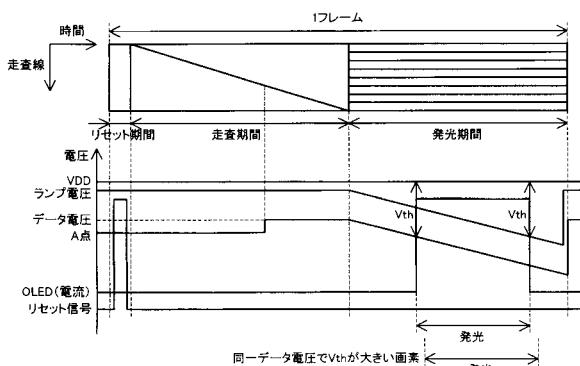
【図10】



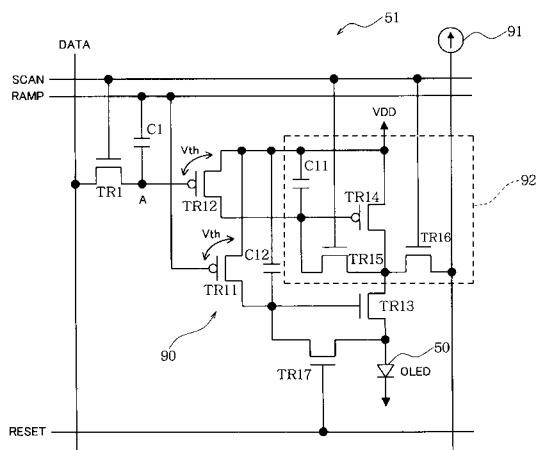
【 図 1 1 】



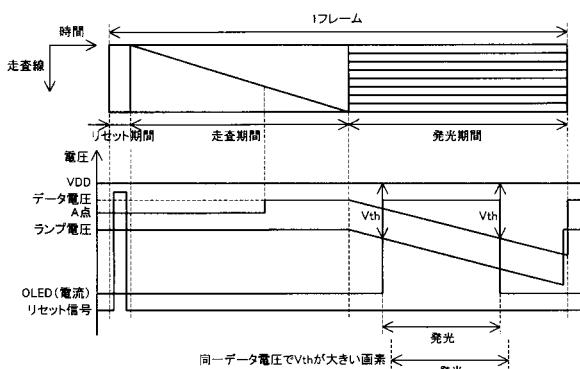
【図12】



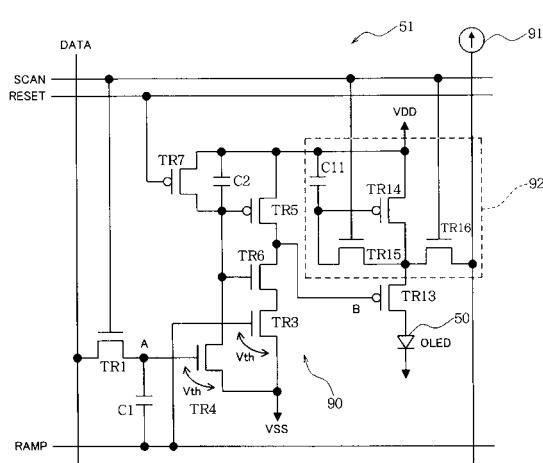
【 図 1 3 】



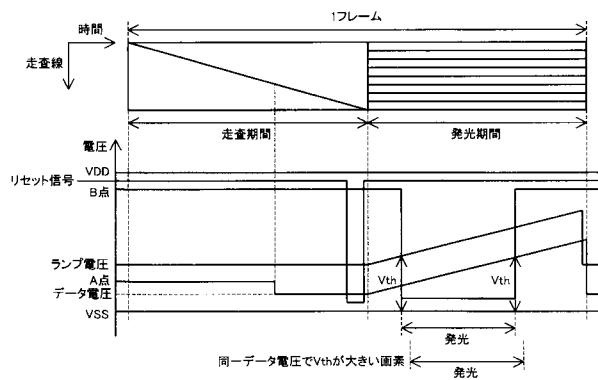
【図 1-4】



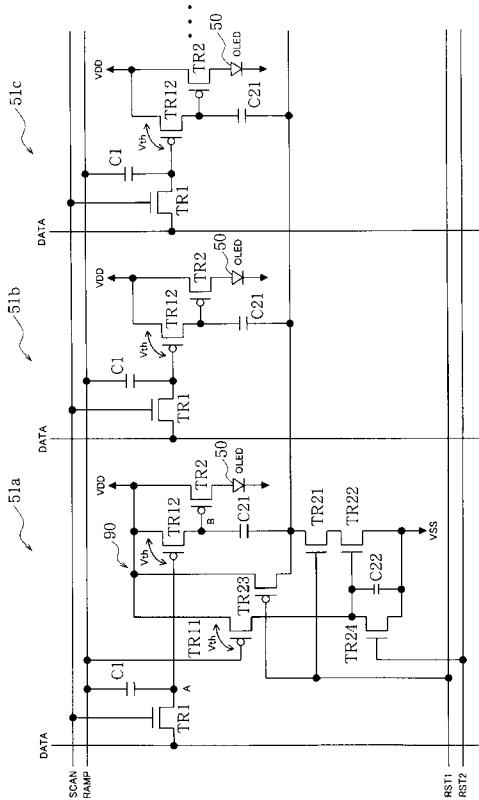
【 図 1 5 】



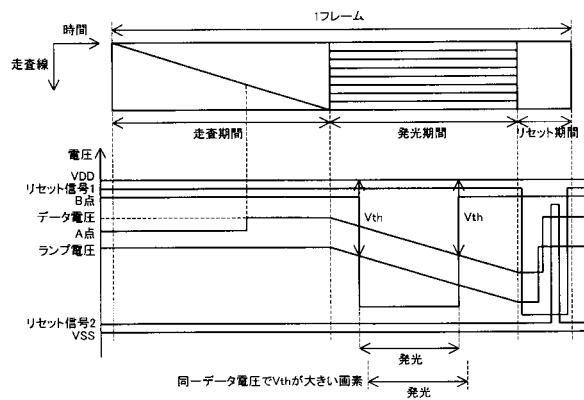
【図16】



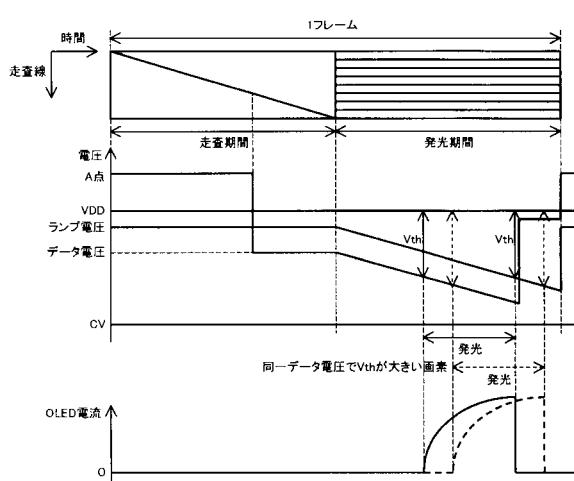
【図17】



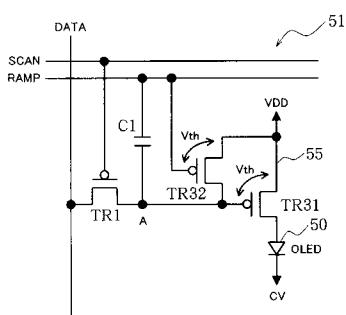
【図18】



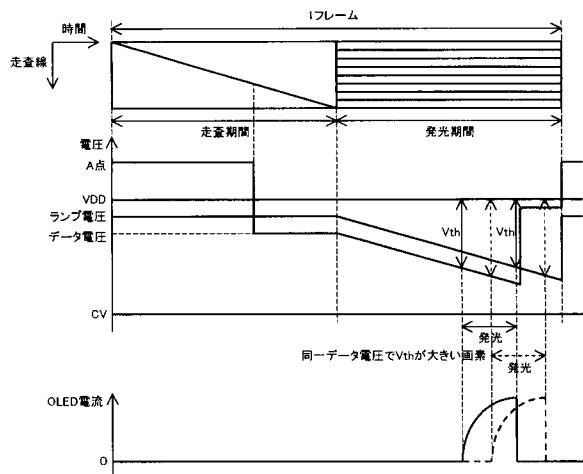
【図20】



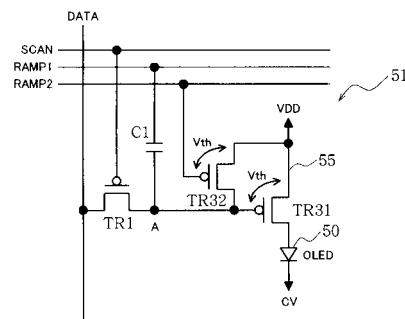
【図19】



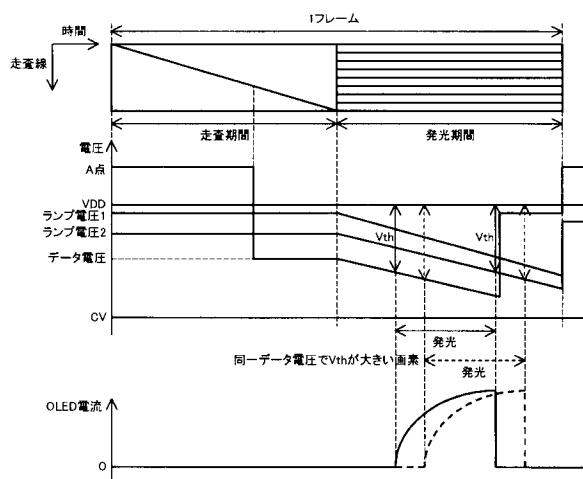
【図21】



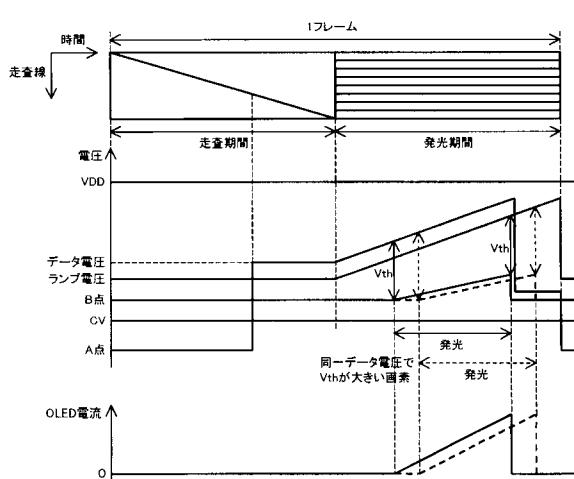
【図22】



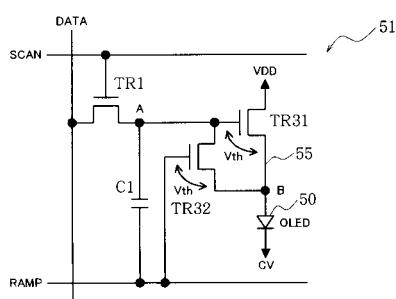
【図23】



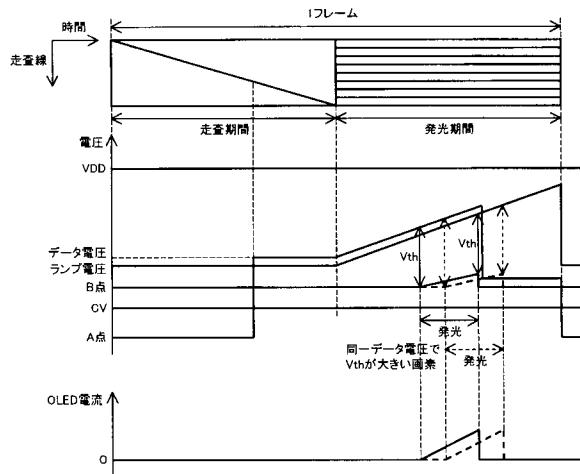
【図25】



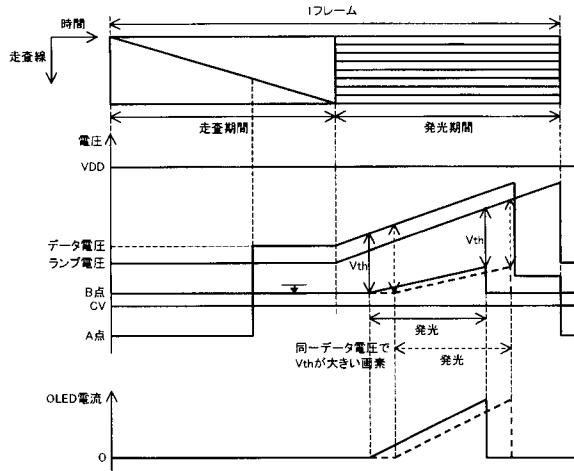
【図24】



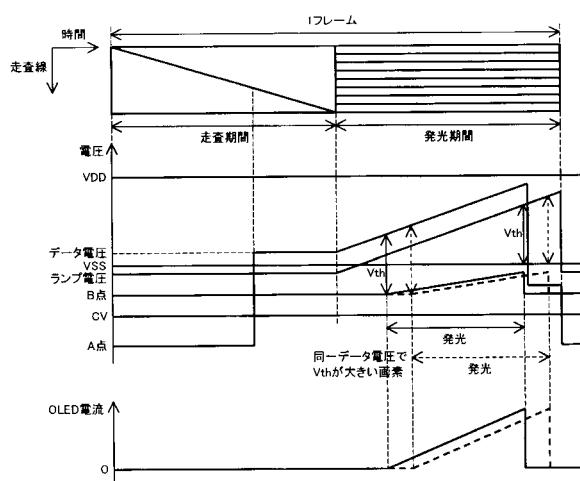
【図26】



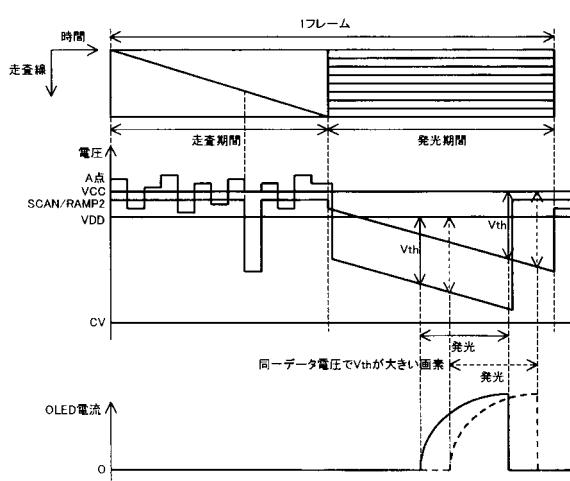
【図27】



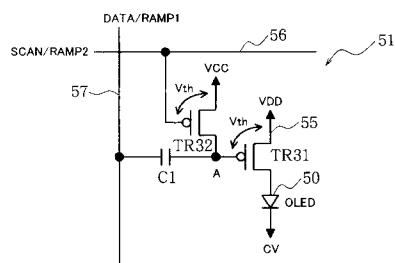
【図29】



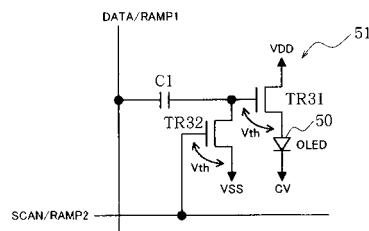
【図31】



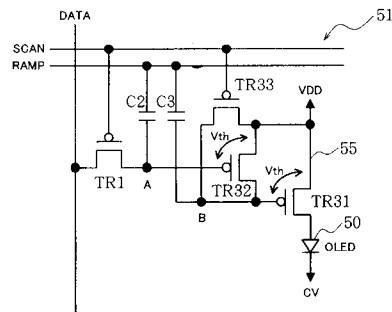
【図30】



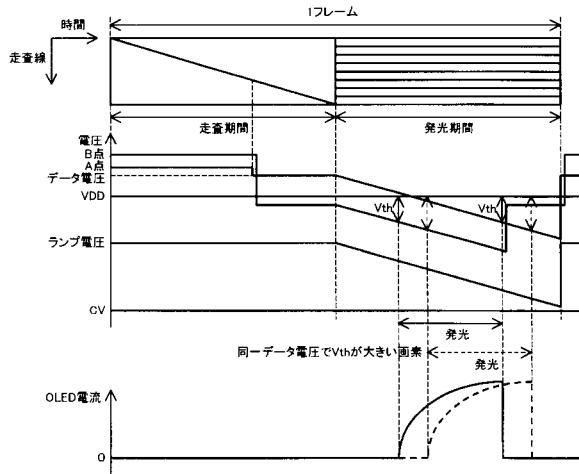
【図32】



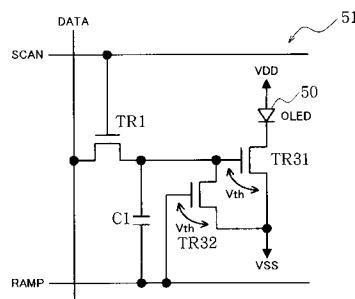
【図3-3】



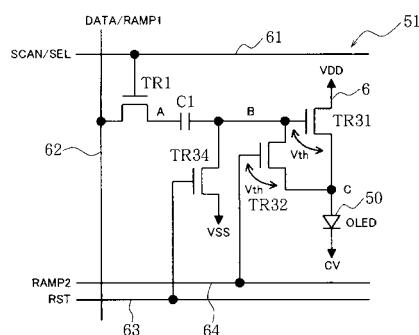
【図3-4】



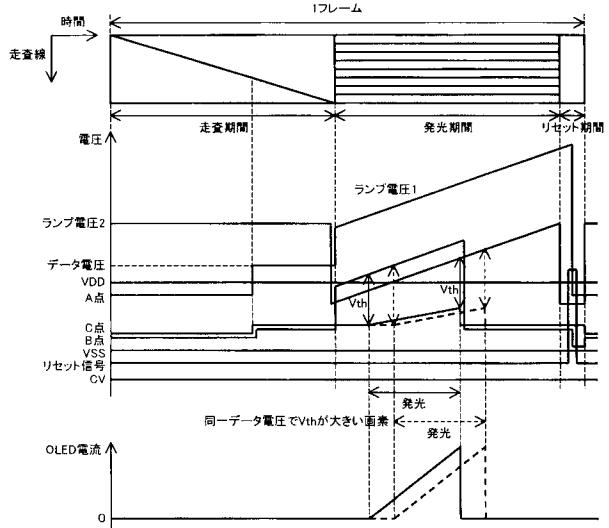
【図3-5】



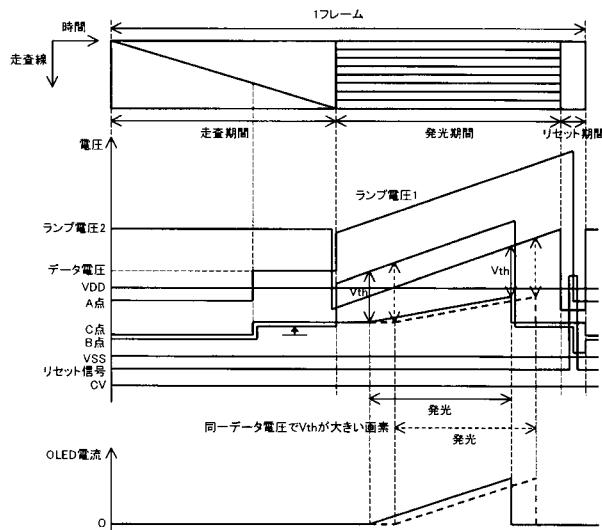
【図3-6】



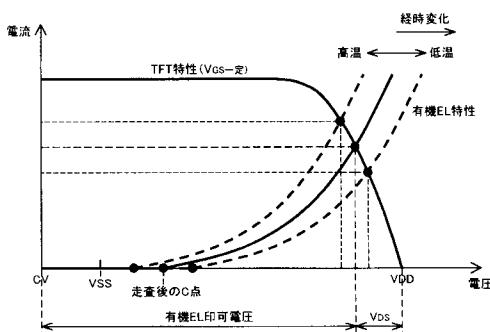
【図3-7】



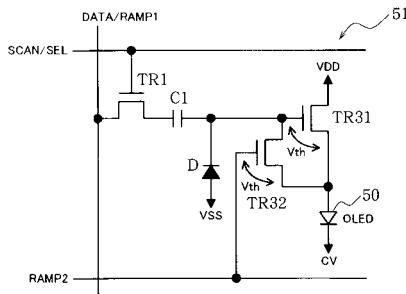
【図38】



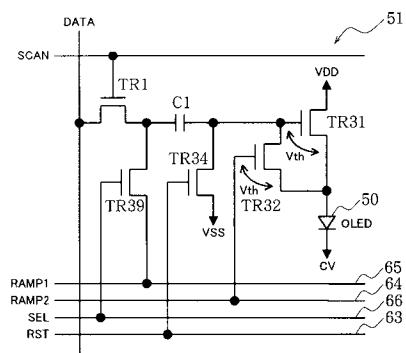
【図39】



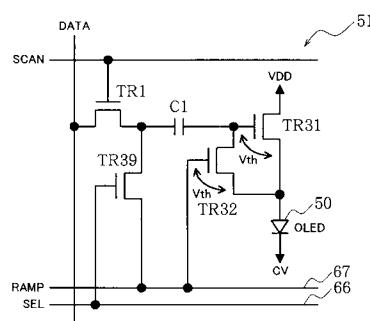
【図40】



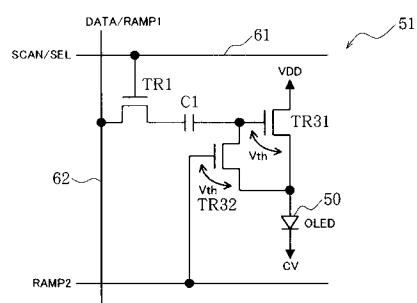
【図41】



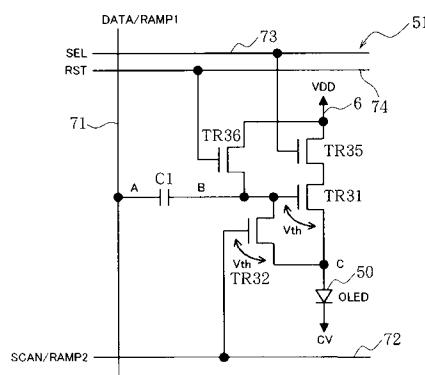
【図43】



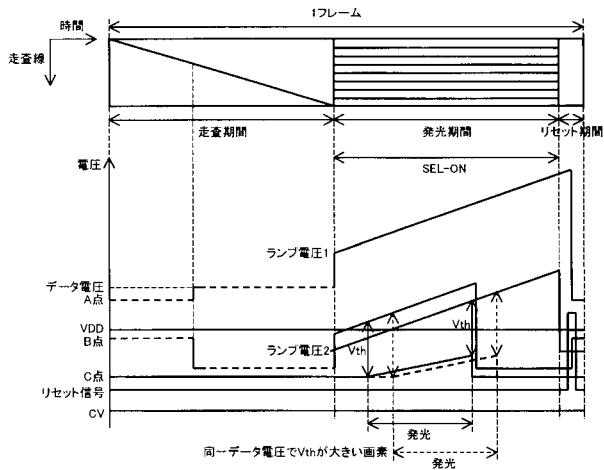
【図42】



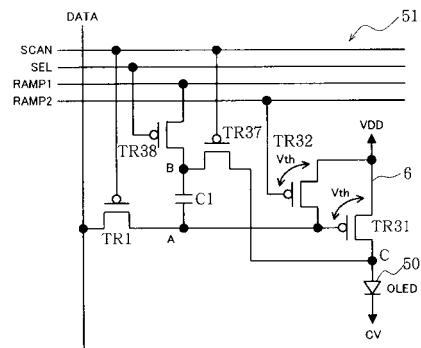
【図44】



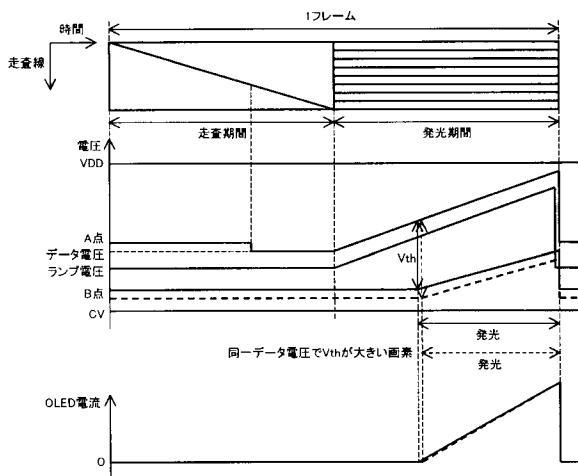
【図45】



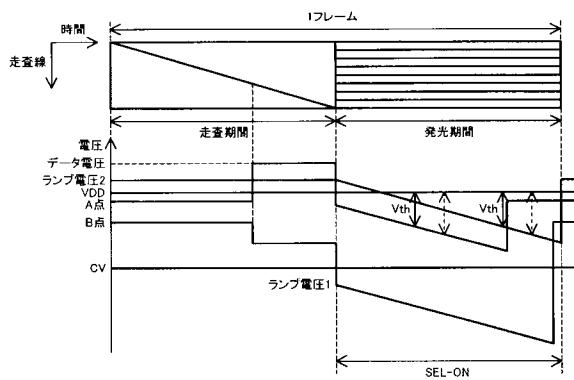
【図46】



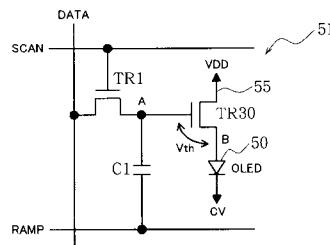
【図49】



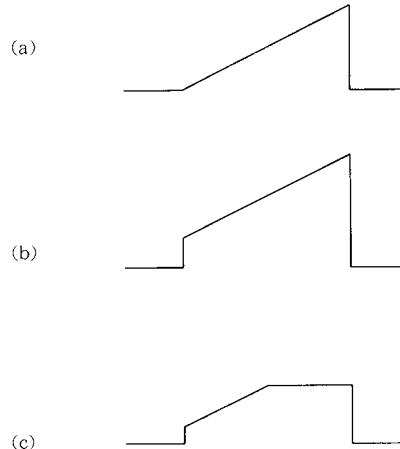
【図47】



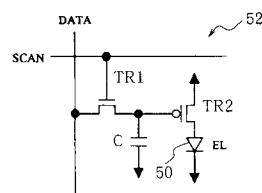
【図48】



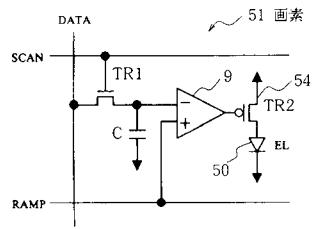
【図50】



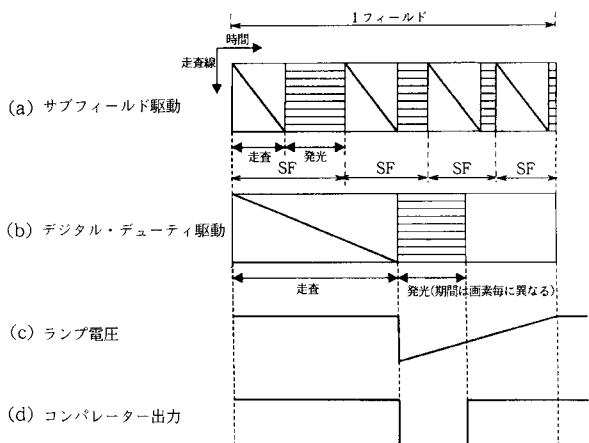
【図51】



【図5-2】



【図5-3】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G	3/20 6 2 1 A
	G 0 9 G	3/20 6 2 3 Y
	G 0 9 G	3/20 6 2 4 B
	G 0 9 G	3/20 6 4 1 A
	G 0 9 G	3/20 6 4 2 A
	H 0 5 B	33/14 A

专利名称(译)	有源矩阵驱动型显示装置		
公开(公告)号	JP2004246320A	公开(公告)日	2004-09-02
申请号	JP2003300684	申请日	2003-08-26
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	山下敦弘 野口幸宏		
发明人	山下 敦弘 野口 幸宏		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 G09G5/00 H05B33/00 H05B33/14		
CPC分类号	G09G3/3291 G09G3/2014 G09G3/3233 G09G3/3258 G09G2300/0809 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0876 G09G2310/0251 G09G2310/0259 G09G2310/066 G09G2320/045 G09G2330/021		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.A G09G3/20.611.H G09G3/20.612.R G09G3/20.621.A G09G3/20.623.Y G09G3/20.624.B G09G3/20.641.A G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC33 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AC07 5C380/BA01 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BA42 5C380/BB02 5C380/BB14 5C380/BB22 5C380/BD02 5C380/CA12 5C380/CA48 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB31 5C380/CC01 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC30 5C380/CC31 5C380/CC33 5C380/CC35 5C380/CC39 5C380/CC42 5C380/CC52 5C380/CC58 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC72 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CD027 5C380/CD037 5C380/CD038 5C380/CD039 5C380/CE04 5C380/DA01 5C380/DA02 5C380/DA07 5C380/DA30 5C380/DA47 5C380/DA50		
优先权	2003011046 2003-01-20 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：控制以矩阵形式与数据电压成比例地布置的数字驱动型显示装置中的显示元件的供电时间，并抑制功耗。在根据本发明的有源矩阵驱动型显示装置中，每个像素51设置有有机EL元件51，用于接通/关断对有机EL元件51通电的驱动晶体管TR2以及施加到其的扫描电压。处于导通状态的写入晶体管TR1，当写入晶体管TR1处于导通状态时向其施加数据电压的电容元件C1以及通过用于驱动的斜坡电压调制电容元件C1的输出电压的脉冲电压脉冲宽度调制控制电路90控制晶体管TR2的导通/截止，并且脉冲宽度调制控制电路90包括导通控制晶体管TR3和截止控制晶体管TR4。[选择图]图2

