

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02014/021201

発行日 平成28年7月21日 (2016. 7. 21)

(43) 国際公開日 平成26年2月6日 (2014. 2. 6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 622A	5C380
HO1L 29/786 (2006.01)	G09G 3/20 623A	5F110
	G09G 3/20 624B	

審査請求 有 予備審査請求 未請求 (全 102 頁) 最終頁に続く

出願番号 特願2014-528111 (P2014-528111)
 (21) 国際出願番号 PCT/JP2013/070280
 (22) 国際出願日 平成25年7月26日 (2013. 7. 26)
 (11) 特許番号 特許第5908084号 (P5908084)
 (45) 特許公報発行日 平成28年4月26日 (2016. 4. 26)
 (31) 優先権主張番号 特願2012-172073 (P2012-172073)
 (32) 優先日 平成24年8月2日 (2012. 8. 2)
 (33) 優先権主張国 日本国 (JP)

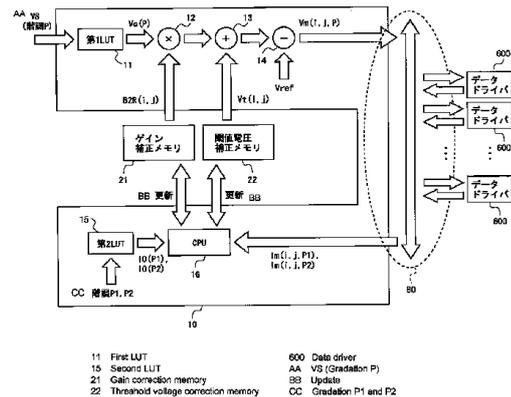
(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 高濱 健吾
 大阪府大阪市阿倍野区長池町2番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

有機EL表示装置は、コントローラ(10)と、データドライバ(600)と、ゲイン補正メモリ(21)および閾値電圧補正メモリ(22)を実現するDRAMとを備える。データドライバ(600)は、第1,第2測定用データ電圧Vmにそれぞれ応じた第1,第2測定データImをコントローラ(10)に送信する。コントローラ(10)は、理想特性データIO(P)と第1,第2測定データImとを比較し、比較結果に基づいて閾値電圧補正データVtおよびゲイン補正データB2Rを更新する。コントローラ(10)は、閾値電圧補正データVtおよびゲイン補正データB2Rに基づいて映像データVmを補正する。これにより、表示を行いつつ、駆動トランジスタの閾値電圧補償およびゲイン補償の双方を画素回路毎に行う。



【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の表示装置であって、
複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、
前記複数のデータ線に接続されたデータ駆動部と、
前記複数の走査線に接続された走査駆動部と、
前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部とを備え、

各画素回路は、
電流によって制御される電気光学素子と、
前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、
前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、
前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、
前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能であり、

前記走査駆動部は、前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第 1 期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第 2 期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第 2 期間毎にシフトさせ、

前記データ駆動部は、
前記第 2 期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第 1 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 1 測定データを取得し、前記複数の階調のうちの比較的高い第 2 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 2 測定データを取得する電流測定部と、

前記第 1 期間および前記第 2 期間で、前記データ電圧を前記データ線に供給するデータ電圧供給部とを含み、

前記表示制御部は、前記電流測定部が取得した前記第 1 測定データおよび前記第 2 測定データに基づいて前記映像データを補正することを特徴とする、表示装置。

【請求項 2】

前記映像データの補正に使用される補正データを記憶した記憶部をさらに備え、
前記電流測定部は、前記第 2 期間で、前記第 1 測定データおよび前記第 2 測定データを前記表示制御部に送信し、

前記表示制御部は、
前記第 2 期間では、前記第 1 階調および前記第 2 階調のそれぞれに対応する映像データを前記データ駆動部に送信し、前記電流測定部から前記第 1 測定データおよび前記第 2 測定データを受信して、前記第 1 階調および前記第 2 階調に対応する理想的な前記駆動トランジスタの特性を示す理想特性データと受信した前記第 1 測定データおよび前記第 2 測定データとをそれぞれ比較した結果に基づいて前記補正データを更新し、

前記第 1 期間および前記第 2 期間では、前記記憶部から前記補正データを読み出し、当該補正データに基づいて前記映像データを補正することを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記補正データは、前記駆動トランジスタの閾値電圧補償のための第 1 補正データと、前記駆動トランジスタのゲイン補償のための第 2 補正データとを含み、

前記表示制御部は、前記第 1 測定データと前記理想特性データとを比較した結果に基づ

10

20

30

40

50

いて前記第 1 補正データを更新し、前記第 2 測定データと前記理想特性データとを比較した結果に基づいて前記第 2 補正データを更新することを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記表示制御部は、前記第 1 補正データおよび前記第 2 補正データのそれぞれを更新すべきときに、前記第 1 補正データおよび前記第 2 補正データのそれぞれの値を予め定められた固定値だけ変更することを特徴とする、請求項 3 に記載の表示装置。

【請求項 5】

前記表示制御部は、前記データ電圧を前記画素回路に書き込むべきときに第 1 レベルになり、前記駆動電流を前記データ線に出力すべきときに第 2 レベルになる入出力制御信号をデータ駆動部に供給し、

前記データ電圧供給部は、前記映像データを前記データ電圧に変換する変換部を含み、前記データ電圧供給部および前記電流測定部は、それぞれで共通に、

前記変換部の出力端子に非反転入力端子が接続され、対応するデータ線に反転入力端子が接続されたオペアンプと、

前記オペアンプの反転入力端子と出力端子との間に設けられ、前記入出力制御信号が前記第 1 レベルであるときに閉じ、前記第 2 レベルであるときに開く制御スイッチとを含み、

前記電流測定部は、

前記オペアンプの反転入力端子と出力端子との間に、前記制御スイッチと並列に設けられた電流電圧変換素子と、

前記オペアンプの出力端子に接続され、前記オペアンプの出力から前記第 1 測定データまたは前記第 2 測定データを取得する測定データ取得部とを含み、

前記オペアンプの非反転入力端子には、前記入出力制御信号が前記第 2 レベルであるときに、前記第 1 階調または前記第 2 階調に対応する映像データを変換して得られるデータ電圧が入力されることを特徴とする、請求項 2 に記載の表示装置。

【請求項 6】

前記電流電圧変換素子は抵抗素子であることを特徴とする、請求項 5 に記載の表示装置

【請求項 7】

前記電流電圧変換素子は容量素子であることを特徴とする、請求項 5 に記載の表示装置

【請求項 8】

前記電流測定部は、前記オペアンプと前記測定データ取得部との間に設けられ、前記オペアンプの出力電圧を保持するための電圧保持部をさらに含むことを特徴とする、請求項 5 に記載の表示装置。

【請求項 9】

前記測定データ取得部は、少なくとも前記オペアンプの出力電圧および前記映像データに基づいて前記第 1 測定データまたは前記第 2 測定データを取得することを特徴とする、請求項 5 に記載の表示装置。

【請求項 10】

前記電流測定部は、2 以上の所定数の前記オペアンプに対して共通に設けられた第 1 セレクタおよび第 2 セレクタをさらに含み、

前記第 1 セレクタは、前記所定数の前記オペアンプの出力電圧を受け取り、外部から受け取ったアドレス信号に基づいて、受け取った前記オペアンプの出力電圧のいずれかを前記測定データ取得部に与え、

前記第 2 セレクタは、前記所定数の前記オペアンプの前記非反転入力端子に与えられる前記データ電圧の変換前の映像データを受け取り、前記アドレス信号に基づいて、受け取った前記映像データのいずれかを前記測定データ取得部に与えることを特徴とする、請求項 9 に記載の表示装置。

10

20

30

40

50

【請求項 1 1】

前記入出力制御信号のレベルは、前記第 2 期間において各走査線が選択される選択期間の開始時点から、前記第 1 レベル、前記第 2 レベル、前記第 1 レベル、前記第 2 レベル、および前記第 1 レベルの順に変化し、

前記表示制御部は、各選択期間において前記入出力制御信号が前記第 1 レベルである 3 つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第 1 階調および前記第 2 階調の一方に対応する映像データと、前記第 1 階調および前記第 2 階調の他方に対応する映像データと、前記複数の階調のいずれかに対応する映像データとを前記データ電圧供給部に送信し、

前記測定データ取得部は、各選択期間において前記入出力制御信号が前記第 2 レベルである 2 つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第 1 測定データおよび前記第 2 測定データの前記一方と、前記第 1 測定データおよび前記第 2 測定データの前記他方とを順に取得することを特徴とする、請求項 5 に記載の表示装置。

10

【請求項 1 2】

前記電流測定部は、各選択期間において前記入出力制御信号が前記第 2 レベルである 2 つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第 1 測定データおよび前記第 2 測定データの前記一方と、前記第 1 測定データおよび前記第 2 測定データの前記他方とを前記表示制御部に送信することを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記電流測定部は、各選択期間において前記入出力制御信号が前記第 2 レベルである 2 つの期間のうちの後続の期間で、前記第 1 測定データおよび前記第 2 測定データの前記一方を前記表示制御部に送信し、当該選択期間の終了直後の期間で、前記第 1 測定データおよび前記第 2 測定データの前記他方を前記表示制御部に送信することを特徴とする、請求項 1 1 に記載の表示装置。

20

【請求項 1 4】

前記電流測定部は、各選択期間の終了直後の期間で、前記第 1 測定データおよび前記第 2 測定データの前記一方と、前記第 1 測定データおよび前記第 2 測定データの前記他方とを前記表示制御部に送信することを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 5】

前記電流測定部は、前記第 2 期間におけるすべての選択期間の終了後の期間で、各選択期間で取得された前記第 1 測定データおよび前記第 2 測定データを前記表示制御部に送信することを特徴とする、請求項 1 1 に記載の表示装置。

30

【請求項 1 6】

前記表示制御部と前記データ駆動部とは、双方向通信バスを利用して前記映像データと前記第 1 測定データおよび前記第 2 測定データとの送受信を行うことを特徴とする、請求項 1 2 から 1 5 までのいずれか 1 項に記載の表示装置。

【請求項 1 7】

前記データ電圧供給部は、前記入出力制御信号が前記第 1 レベルであるときには、前記表示制御部から受信した前記映像データを前記変換部に出力し、前記入出力制御信号が前記第 2 レベルであるときには、前記入出力制御信号が直前に前記第 1 レベルであったときの映像データを前記変換部に出力するデータラッチ部をさらに含むことを特徴とする、請求項 1 2 から 1 5 までのいずれか 1 項に記載の表示装置。

40

【請求項 1 8】

前記表示制御部は、前記選択期間において前記入出力制御信号が前記第 2 レベルである 2 つの期間で、前記選択期間の開始時点から順にそれぞれ、前記第 1 階調および前記第 2 階調の前記一方に対応する映像データと、前記第 1 階調および前記第 2 階調の前記他方に対応する映像データとを前記データ電圧供給部に送信することを特徴とする、請求項 1 2 から 1 5 までのいずれか 1 項に記載の表示装置。

【請求項 1 9】

前記駆動トランジスタは、電源電圧が第 1 導通端子に供給され、

50

前記駆動容量素子は、前記駆動トランジスタの制御端子と第2導通端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記第2導通端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と参照電圧を供給する参照電圧線との間に設けられた参照電圧供給トランジスタをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項20】

前記駆動トランジスタは、電源電圧が第1導通端子に供給され、

前記駆動容量素子は、前記駆動トランジスタの前記第1導通端子と制御端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記制御端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と第2導通端子との間に設けられた電流パス形成トランジスタをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項21】

各画素回路は、前記電気光学素子と直列に設けられ、所定期間にオフ状態になる発光制御トランジスタをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項22】

前記駆動トランジスタおよび前記入力トランジスタのそれぞれは、チャンネル層が酸化物半導体により形成された薄膜トランジスタであることを特徴とする、請求項1に記載の表示装置。

【請求項23】

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素を主成分とすることを特徴とする、請求項22に記載の表示装置。

【請求項24】

前記走査駆動部は、

前記第1期間において前記複数の走査線を駆動するための第1シフトレジスタと、

前記第2期間において前記複数の走査線を駆動するための第2シフトレジスタと、

前記第1期間では前記第1シフトレジスタの各段の出力を対応する走査線に与え、前記第2期間では前記第2シフトレジスタの各段の出力を対応する走査線に与えるセレクト群とを含むことを特徴とする、請求項1に記載の表示装置。

【請求項25】

複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、前記複数のデータ線に接続されたデータ駆動部と、前記複数の走査線に接続された走査駆動部と、前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部とを備え、各画素回路は、電流によって制御される電気光学素子と、前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能である、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第1期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第2期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第2期間毎にシフトさせる走査駆動ステップと、

10

20

30

40

50

前記第 2 期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第 1 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 1 測定データを取得し、前記複数の階調のうちの比較的高い第 2 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 2 測定データを取得する電流測定ステップと、

前記第 1 期間および前記第 2 期間で、前記データ電圧を前記データ線に供給するデータ電圧供給ステップと、

前記電流測定ステップで取得された前記第 1 測定データおよび前記第 2 測定データに基づいて前記映像データを補正する補正ステップとを備えることを特徴とする、駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は表示装置に関し、より詳しくは、有機 EL (Electro Luminescence) 素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法に関する。

【背景技術】

【0002】

従来、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機 EL 素子が挙げられる。自発光素子である有機 EL 素子を使用した有機 EL 表示装置は、一般的にバックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、薄型化、低消費電力化、および高輝度化などを図ることができるので、近年積極的に開発が進められている。

20

【0003】

有機 EL 表示装置の駆動方式としては、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）およびアクティブマトリクス方式の 2 種類がある。パッシブマトリクス方式を採用した有機 EL 表示装置（以下「パッシブマトリクス型の有機 EL 表示装置」という。）は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機 EL 表示装置（以下「アクティブマトリクス型の有機 EL 表示装置」という。）は、パッシブマトリクス型の有機 EL 表示装置に比べて大型化および高精細化を容易に実現できる。

30

【0004】

アクティブマトリクス型の有機 EL 表示装置では、ゲート - ソース間に印加される電圧に応じて有機 EL 素子に供給すべき駆動電流を制御する駆動トランジスタが使用される。この駆動トランジスタとして、典型的には薄膜トランジスタ (Thin Film Transistor: 以下「TFT」と略記する場合がある。) が使用される。薄膜トランジスタとしては、アモルファスシリコン TFT、LTFS (Low Temperature Poly Silicon) - TFT、酸化物 TFT (チャンネル層が酸化物半導体により形成された TFT) が挙げられる。また、酸化物 TFT としては、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) を主成分とする酸化物半導体である InGaZnOx (以下「IGZO」という。) によりチャンネル層が形成された IGZO - TFT が挙げられる。薄膜トランジスタを駆動トランジスタとして使用する場合、画素回路毎で、閾値電圧、移動度、チャンネル幅、チャンネル長、およびゲート絶縁膜の厚み (ゲート絶縁膜容量) のばらつきなどの様々なばらつきが生じる。これにより、画素回路毎で駆動トランジスタの特性がばらつくので、駆動電流がばらつくことになる。その結果、表示品位が低下する。なお、以下では、移動度、ゲート幅、ゲート長、およびゲート絶縁膜の厚みのばらつきのことをまとめて「ゲインのばらつき」ということがある。

40

【0005】

そこで、従来、画素回路内のトランジスタおよび / または容量などを利用して、各種補償を行う有機 EL 表示装置が知られている。特許文献 1 には、駆動トランジスタの閾値電

50

圧の変動を検出するためのトランジスタを画素回路内に設けることにより、閾値電圧のばらつきを補償する有機EL表示装置が開示されている。また、特許文献2には、所定のタイミングで低電位と高電位とが切り替わる電源線および有機EL素子の両端に形成された寄生容量を利用して、閾値電圧および移動度の双方のばらつきを補償する有機EL表示装置が開示されている。なお、本明細書では、閾値電圧のばらつきを補償することおよび移動度（またはゲイン）のばらつきを補償することをそれぞれ、「閾値電圧補償」および「移動度（またはゲイン）補償」という場合がある。また、特許文献3には、有機EL素子の両端に形成された寄生容量などを利用して、閾値電圧補償を行う有機EL表示装置が開示されている。また、非特許文献1には、駆動トランジスタのゲート-ソース間に直列に接続された2つの容量素子を設け、一方の容量素子の一端の電圧を閾値電圧に応じた値に設定し、その後、他方の容量素子を短絡すると共に上記一方の容量素子を駆動トランジスタのゲート-ソース間に接続することにより、閾値電圧補償を行う画素回路が開示されている。

10

20

30

40

50

【0006】

また、画素回路の外部に設けられた回路（以下、単に「外部回路」という。）を使用して各種補償を行う有機EL表示装置が知られている。特許文献4には、列毎に設けられた外部回路で、駆動トランジスタが流す駆動電流を測定して得られた測定電流と目標電流とを比較し、その比較結果に応じて、データドライバに送信する映像データに対して閾値電圧補償を行うためのオフセット補正を行う有機EL表示装置が開示されている。なお、特許文献4に開示された外部回路に関連する構成は、特許文献5にも開示されている（ただし、特許文献5では、外部回路による補償動作の記載が特許文献4よりも簡略化されているので、以下では特許文献5に関する説明を省略する。）。また、特許文献6には、外部回路において、全画素回路の平均的な駆動電流を測定して補正用ゲインおよび補正用オフセットを更新し、これらの補正用ゲインおよび補正用オフセットを用いて画像データを補正する有機EL表示装置が開示されている。これにより、閾値電圧補償およびゲイン補償の双方を行うことができる。また、特許文献7には、各画素回路の駆動電流を測定して補正用ゲインおよび補正用オフセットを更新し、これらの補正用ゲインおよび補正用オフセットを用いて画像データを補正する有機EL表示装置が開示されている。閾値電圧補償およびゲイン補償の双方を行うことができる。また、特許文献8には、外部回路において、電流源を用いて閾値電圧に応じた検出電圧 V_{sen} を取得し、この検出電圧 V_{sen} に、各画素回路に対応する移動偏差分 MV に応じたデータ変動分 V_{data} を足し合わせた電圧で駆動トランジスタを制御することにより、閾値電圧補償および移動度補償の双方を行う有機EL表示装置が開示されている。なお、各画素回路に対応する移動偏差分 MV は、予めメモリに用意されている。

【先行技術文献】

【特許文献】

【0007】

- 【特許文献1】日本国特開2005-31630号公報
- 【特許文献2】日本国特開2007-310311号公報
- 【特許文献3】日本国特開2011-242767号公報
- 【特許文献4】米国特許第7619597号公報
- 【特許文献5】米国特許第7924249号公報
- 【特許文献6】日本国特開2005-284172号公報
- 【特許文献7】日本国特開2009-258302号公報
- 【特許文献8】日本国特開2009-199057号公報

【非特許文献】

【0008】

- 【非特許文献1】Yeon Gon Mo et al., "Amorphous Oxide TFT Backplane for Large Size AMOLED TVs" Symposium Digest for 2010 Society for Information Display Symposium, pp.1037-1040, 2010

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、特許文献1, 3および非特許文献1に開示された画素回路では、閾値電圧補償のみが行われ、ゲイン(移動度)補償は行われない。このため、駆動トランジスタの特性ばらつきを十分に補償できない。図56は、特許文献3および非特許文献1のそれぞれに開示された画素回路において、互いに特性が異なる複数の駆動トランジスタについて閾値電圧補償を行う前のゲート-ソース間電圧-駆動電流特性を示す図である。図57は、特許文献3および非特許文献1のそれぞれに開示された画素回路において、互いに特性が異なる複数の駆動トランジスタについて閾値電圧補償を行った後のゲート-ソース間電圧-駆動電流特性を示す図である。図56および図57に示すように、閾値電圧補償を行うのみでは、駆動トランジスタの特性ばらつきを十分に補償できない。また、特許文献2に開示された画素回路では、LTPS-TFTのような閾値電圧と移動度との間に負の相関があるトランジスタを駆動トランジスタとして使用した画素回路には適用できるが、このような負の相関がないアモルファスシリコンTFTまたはIGZO-TFTなどを使用した画素回路には適用できない。

10

【0010】

また、特許文献4に開示された有機EL表示装置では、オフセット補正を行うのみ、すなわち閾値電圧補償を行うのみであるので、駆動トランジスタの特性ばらつきを十分に補償できない。また、特許文献6に開示された有機EL表示装置では、全画素回路の平均的な駆動電流に基づいて補正用ゲインおよび補正用オフセットを更新するので、画素回路毎のゲイン補償および閾値電圧補償を十分に行うことができない。また、特許文献7に開示された有機EL表示装置では、各画素回路の有機EL素子のカソード端子に共通に接続された配線から駆動電流を出力するので、画素回路毎に駆動電流を測定するためには、測定対象となる画素回路以外の全画素回路の有機EL素子を消灯させる必要がある。このため、表示を行いつつ駆動電流を測定することが困難である。すなわち、表示を行いながらの補償が困難である。また、特許文献8に開示された有機EL表示装置では、各画素回路に対応する移動偏差分MVを予め測定して準備しておく必要があるので、駆動トランジスタの移動度が経時変化する場合に、その変化に追従して移動度補償を行うことができない。

20

【0011】

そこで、本発明は、表示を行いつつ、駆動トランジスタの閾値電圧補償およびゲイン補償の双方を画素回路毎に行うことができる表示装置およびその駆動方法を提供することを目的とする。

30

【課題を解決するための手段】

【0012】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
 複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、
 前記複数のデータ線に接続されたデータ駆動部と、
 前記複数の走査線に接続された走査駆動部と、
 前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部とを備え、
 各画素回路は、
 電流によって制御される電気光学素子と、
 前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、
 前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、
 前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、

40

50

前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能であり、

前記走査駆動部は、前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第1期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第2期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第2期間毎にシフトさせ、

前記データ駆動部は、

前記第2期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第1階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第1測定データを取得し、前記複数の階調のうちの比較的高い第2階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第2測定データを取得する電流測定部と、

前記第1期間および前記第2期間で、前記データ電圧を前記データ線に供給するデータ電圧供給部とを含み、

前記表示制御部は、前記電流測定部が取得した前記第1測定データおよび前記第2測定データに基づいて前記映像データを補正することを特徴とする。

【0013】

本発明の第2の局面は、本発明の第1の局面において、

前記映像データの補正に使用される補正データを記憶した記憶部をさらに備え、

前記電流測定部は、前記第2期間で、前記第1測定データおよび前記第2測定データを前記表示制御部に送信し、

前記表示制御部は、

前記第2期間では、前記第1階調および前記第2階調のそれぞれに対応する映像データを前記データ駆動部に送信し、前記電流測定部から前記第1測定データおよび前記第2測定データを受信して、前記第1階調および前記第2階調に対応する理想的な前記駆動トランジスタの特性を示す理想特性データと受信した前記第1測定データおよび前記第2測定データとをそれぞれ比較した結果に基づいて前記補正データを更新し、

前記第1期間および前記第2期間では、前記記憶部から前記補正データを読み出し、当該補正データに基づいて前記映像データを補正することを特徴とする。

【0014】

本発明の第3の局面は、本発明の第2の局面において、

前記補正データは、前記駆動トランジスタの閾値電圧補償のための第1補正データと、前記駆動トランジスタのゲイン補償のための第2補正データとを含み、

前記表示制御部は、前記第1測定データと前記理想特性データとを比較した結果に基づいて前記第1補正データを更新し、前記第2測定データと前記理想特性データとを比較した結果に基づいて前記第2補正データを更新することを特徴とする。

【0015】

本発明の第4の局面は、本発明の第3の局面において、

前記表示制御部は、前記第1補正データおよび前記第2補正データのそれぞれを更新すべきときに、前記第1補正データおよび前記第2補正データのそれぞれの値を予め定められた固定値だけ変更することを特徴とする。

【0016】

本発明の第5の局面は、本発明の第2の局面において、

前記表示制御部は、前記データ電圧を前記画素回路に書き込むべきときに第1レベルになり、前記駆動電流を前記データ線に出力すべきときに第2レベルになる入出力制御信号をデータ駆動部に供給し、

前記データ電圧供給部は、前記映像データを前記データ電圧に変換する変換部を含み、

前記データ電圧供給部および前記電流測定部は、それぞれで共通し、

前記変換部の出力端子に非反転入力端子が接続され、対応するデータ線に反転入力端子が接続されたオペアンプと、

10

20

30

40

50

前記オペアンプの反転入力端子と出力端子との間に設けられ、前記入出力制御信号が前記第1レベルであるときに閉じ、前記第2レベルであるときに開く制御スイッチとを含み、

前記電流測定部は、

前記オペアンプの反転入力端子と出力端子との間に、前記制御スイッチと並列に設けられた電流電圧変換素子と、

前記オペアンプの出力端子に接続され、前記オペアンプの出力から前記第1測定データまたは前記第2測定データを取得する測定データ取得部とを含み、

前記オペアンプの非反転入力端子には、前記入出力制御信号が前記第2レベルであるときに、前記第1階調または前記第2階調に対応する映像データを変換して得られるデータ電圧が入力されることを特徴とする。

10

【0017】

本発明の第6の局面は、本発明の第5の局面において、前記電流電圧変換素子は抵抗素子であることを特徴とする。

【0018】

本発明の第7の局面は、本発明の第5の局面において、前記電流電圧変換素子は容量素子であることを特徴とする。

【0019】

本発明の第8の局面は、本発明の第5の局面において、

前記電流測定部は、前記オペアンプと前記測定データ取得部との間に設けられ、前記オペアンプの出力電圧を保持するための電圧保持部をさらに含むことを特徴とする。

20

【0020】

本発明の第9の局面は、本発明の第5の局面において、

前記測定データ取得部は、少なくとも前記オペアンプの出力電圧および前記映像データに基づいて前記第1測定データまたは前記第2測定データを取得することを特徴とする。

【0021】

本発明の第10の局面は、本発明の第9の局面において、

前記電流測定部は、2以上の所定数の前記オペアンプに対して共通に設けられた第1セクタおよび第2セクタをさらに含み、

前記第1セクタは、前記所定数の前記オペアンプの出力電圧を受け取り、外部から受け取ったアドレス信号に基づいて、受け取った前記オペアンプの出力電圧のいずれかを前記測定データ取得部に与え、

30

前記第2セクタは、前記所定数の前記オペアンプの前記非反転入力端子に与えられる前記データ電圧の変換前の映像データを受け取り、前記アドレス信号に基づいて、受け取った前記映像データのいずれかを前記測定データ取得部に与えることを特徴とする。

【0022】

本発明の第11の局面は、本発明の第5の局面において、

前記入出力制御信号のレベルは、前記第2期間において各走査線が選択される選択期間の開始時点から、前記第1レベル、前記第2レベル、前記第1レベル、前記第2レベル、および前記第1レベルの順に変化し、

40

前記表示制御部は、各選択期間において前記入出力制御信号が前記第1レベルである3つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第1階調および前記第2階調の一方に対応する映像データと、前記第1階調および前記第2階調の他方に対応する映像データと、前記複数の階調のいずれかに対応する映像データとを前記データ電圧供給部に送信し、

前記測定データ取得部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方とを順に取得することを特徴とする。

【0023】

50

本発明の第12の局面は、本発明の第11の局面において、

前記電流測定部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方を前記表示制御部に送信することを特徴とする。

【0024】

本発明の第13の局面は、本発明の第11の局面において、

前記電流測定部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間のうちの後続の期間で、前記第1測定データおよび前記第2測定データの前記一方を前記表示制御部に送信し、当該選択期間の終了直後の期間で、前記第1測定データおよび前記第2測定データの前記他方を前記表示制御部に送信することを特徴とする。

10

【0025】

本発明の第14の局面は、本発明の第11の局面において、

前記電流測定部は、各選択期間の終了直後の期間で、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方を前記表示制御部に送信することを特徴とする。

【0026】

本発明の第15の局面は、本発明の第11の局面において、

前記電流測定部は、前記第2期間におけるすべての選択期間の終了後の期間で、各選択期間で取得された前記第1測定データおよび前記第2測定データを前記表示制御部に送信することを特徴とする。

20

【0027】

本発明の第16の局面は、本発明の第12の局面から第15の局面までのいずれかにおいて、

前記表示制御部と前記データ駆動部とは、双方向通信バスを利用して前記映像データと前記第1測定データおよび前記第2測定データとの送受信を行うことを特徴とする。

【0028】

本発明の第17の局面は、本発明の第12の局面から第15の局面までのいずれかにおいて、

前記データ電圧供給部は、前記入出力制御信号が前記第1レベルであるときには、前記表示制御部から受信した前記映像データを前記変換部に出力し、前記入出力制御信号が前記第2レベルであるときには、前記入出力制御信号が直前に前記第1レベルであったときの映像データを前記変換部に出力するデータラッチ部をさらに含むことを特徴とする。

30

【0029】

本発明の第18の局面は、本発明の第12の局面から第15の局面までのいずれかにおいて、

前記表示制御部は、前記選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、前記選択期間の開始時点から順にそれぞれ、前記第1階調および前記第2階調の前記一方に対応する映像データと、前記第1階調および前記第2階調の前記他方に対応する映像データとを前記データ電圧供給部に送信することを特徴とする。

40

【0030】

本発明の第19の局面は、本発明の第1の局面において、

前記駆動トランジスタは、電源電圧が第1導通端子に供給され、

前記駆動容量素子は、前記駆動トランジスタの制御端子と第2導通端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記第2導通端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と参照電圧を供給する参照電圧線との間に設けられた参照電圧供給トランジスタをさらに含むことを特徴とする。

50

【 0 0 3 1 】

本発明の第 2 0 の局面は、本発明の第 1 の局面において、
前記駆動トランジスタは、電源電圧が第 1 導通端子に供給され、
前記駆動容量素子は、前記駆動トランジスタの前記第 1 導通端子と制御端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記制御端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と第 2 導通端子との間に設けられた電流パス形成トランジスタをさらに含むことを特徴とする。

10

【 0 0 3 2 】

本発明の第 2 1 の局面は、本発明の第 1 の局面において、

各画素回路は、前記電気光学素子と直列に設けられ、所定期間にオフ状態になる発光制御トランジスタをさらに含むことを特徴とする。

【 0 0 3 3 】

本発明の第 2 2 の局面は、本発明の第 1 の局面において、

前記駆動トランジスタおよび前記入力トランジスタのそれぞれは、チャンネル層が酸化物半導体により形成された薄膜トランジスタであることを特徴とする。

【 0 0 3 4 】

本発明の第 2 3 の局面は、本発明の第 2 2 の局面において、

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素を主成分とすることを特徴とする。

20

【 0 0 3 5 】

本発明の第 2 4 の局面は、本発明の第 1 の局面において、

前記走査駆動部は、

前記第 1 期間において前記複数の走査線を駆動するための第 1 シフトレジスタと、

前記第 2 期間において前記複数の走査線を駆動するための第 2 シフトレジスタと、

前記第 1 期間では前記第 1 シフトレジスタの各段の出力を対応する走査線に与え、前記第 2 期間では前記第 2 シフトレジスタの各段の出力を対応する走査線に与えるセクタ群とを含むことを特徴とする。

30

【 0 0 3 6 】

本発明の第 2 5 の局面は、複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、前記複数のデータ線に接続されたデータ駆動部と、前記複数の走査線に接続された走査駆動部と、前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部とを備え、各画素回路は、電流によって制御される電気光学素子と、前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能である、アクティブマトリクス型の表示装置の駆動方法であって、

40

前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第 1 期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第 2 期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第 2 期間毎にシフトさせる走査駆動ステップと、

前記第 2 期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第 1 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 1 測定データを取得

50

し、前記複数の階調のうちの比較的高い第2階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第2測定データを取得する電流測定ステップと、

前記第1期間および前記第2期間で、前記データ電圧を前記データ線に供給するデータ電圧供給ステップと、

前記電流測定ステップで取得された前記第1測定データおよび前記第2測定データに基づいて前記映像データを補正する補正ステップとを備えることを特徴とする。

【発明の効果】

【0037】

本発明の第1の局面によれば、第2期間において、所定数の走査線が順次選択され、データ線毎に駆動電流が測定されることにより、画素回路毎に第1測定データおよび第2測定データが取得される。そして、取得された第1測定データおよび第2測定データ（以下、発明の効果の説明においてこれらを区別しない場合に単に「測定データ」という。）に基づいて映像データが補正される。比較的低い第1階調に対応する映像データに基づくデータ電圧に応じて駆動トランジスタが制御されるとき、当該駆動トランジスタの制御電圧（ゲート-ソース間電圧）が比較的小さいので、当該制御電圧に対する閾値電圧のずれは駆動電流に大きく反映される。これに対して、比較的高い第2階調に対応する映像データに基づくデータ電圧に応じて駆動トランジスタが制御されるとき、当該駆動トランジスタの制御電圧が比較的大きいので、当該制御電圧に対する閾値電圧のずれは駆動電流に反映されにくい一方で、ゲインのずれは駆動電流に相対的に大きく反映される。このため、第1測定データは、閾値電圧のずれが大きく反映されたデータであり、第2測定データは、ゲインのずれが大きく反映されたデータである。以上のようにして、閾値電圧のずれが大きく反映された第1測定データおよびゲインのずれが大きく反映された第2測定データの双方に基づいて映像データが補正されることにより、駆動トランジスタの閾値電圧補償およびゲイン補償の双方を画素回路毎に行うことができる。また、第2期間において、駆動電流の測定対象となる画素回路以外では、電気光学素子の発光を停止させる必要がないので、表示を行いつつ、補償を行うことができる。また、第2期間において取得した第1測定データおよび第2測定データに基づいて映像データが補正されるので、駆動トランジスタの特性の経時変化に追従した補償を行うことができる。

10

20

【0038】

本発明の第2の局面によれば、補正データを記憶した記憶部を設け、理想特性データと測定データとの比較結果に基づいて補正データが更新される。このような補正データの更新を行うことにより、駆動トランジスタの特性の経時変化に追従した補償を確実に行うことができる。また、記憶部がデータ駆動部の外部に設けられるので、データ駆動部の構成を簡素化することができる。また、理想特性データを使用することにより補正データの更新を簡易な処理で行うことができる。

30

【0039】

本発明の第3の局面によれば、第1補正データおよび第2補正データを用意し、第1測定データおよび第2測定データと理想特性データとを比較してそれぞれ第1補正データおよび第2補正データを更新することにより、本発明の第2の局面と同様の効果を確実に奏することができる。

40

【0040】

本発明の第4の局面によれば、第1補正データおよび第2補正データが固定幅で更新されるので、駆動トランジスタの特性の経時変化により確実に追従して補償を行うことができる。

【0041】

本発明の第5の局面によれば、データ電圧供給部と電流測定部とで共通なオペアンプおよび制御スイッチと、電流電圧変換素子とが設けられ、制御スイッチは入出力制御信号で制御される。このため、オペアンプは、入出力制御信号が第1レベルのときには、データ電圧を低出力インピーダンスでデータ線に供給するバッファアンプとして機能し、入出力制御信号が第2レベルのときには、電流電圧変換素子によって電流増幅（電流-電圧変換

50

動作を行う電流増幅アンプとして機能する。入出力制御信号が第2レベルのときには、オペアンプの非反転入力端子に第1階調または第2階調に対応する映像データを変換して得られるデータ電圧（以下、発明の効果の説明において「測定用データ電圧」という。）が入力されているので、オペアンプの出力電圧は、上記測定用データ電圧から、駆動電流と電流電圧変換素子のパラメータとに基づく値を減じた値となる。測定データ取得部は、オペアンプの出力電圧から、既知の測定用データ電圧および電流電圧変換素子のパラメータを考慮して駆動電流を測定することにより測定データを取得することができる。このように、駆動電流を測定する動作を実現するためのデータ駆動部の構成は、従来のデータ駆動部に電流電圧変換素子、制御スイッチ、および測定データ取得部を追加するのみで良い。このため、上記データ駆動部を低コストで実現できる。

10

【0042】

本発明の第6の局面によれば、入出力制御信号が第2レベルのときには、オペアンプの出力電圧は、上記測定用データ電圧から駆動電流と電流電圧変換素子の抵抗値との積を減じた値となる。このため、測定データ取得部は、オペアンプの出力電圧から、既知の測定用データ電圧および電流電圧変換素子の抵抗値を考慮して駆動電流を測定することにより測定データを取得することができる。

【0043】

本発明の第7の局面によれば、入出力制御信号が第2レベルのときには、オペアンプの出力電圧は、上記測定用データ電圧から、駆動電流と当該測定用データ電圧がオペアンプの非反転入力端子に入力される時間と電流電圧変換素子の容量値の逆数との積を減じた値となる。このため、測定データ取得部は、オペアンプの出力電圧から、既知の測定用データ電圧および電流電圧変換素子の容量値を考慮して駆動電流を測定することにより測定データを取得することができる。また、電流電圧変換素子が容量素子であるので、オペアンプの出力に現れる雑音を低減することができる。

20

【0044】

本発明の第8の局面によれば、電圧保持部によりオペアンプの出力電圧を保持し、当該出力電圧を測定データ取得部に与えることができる。

【0045】

本発明の第9の局面によれば、少なくともオペアンプの出力電圧および映像データに基づいて第1測定データまたは第2測定データを取得することにより、本発明の第5の実施形態と同様の効果を奏することができる。

30

【0046】

本発明の第10の局面によれば、第1セレクタおよび第2セレクタを使用して測定データ取得部に与えるべきオペアンプの出力電圧および映像データがそれぞれ選択されるので、2以上の所定数のオペアンプに対して設ける測定データ取得部は1個で良い。このため、測定データ取得部の個数を削減して、データ駆動部の回路規模を縮小することができる。

【0047】

本発明の第11の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2期間の各選択期間において、第1階調に対応する測定用データ電圧（以下、発明の効果の説明において「第1測定用データ電圧」という。）の画素回路への書き込み、第1測定データの取得、第2階調に対応する測定用データ電圧（以下、発明の効果の説明において「第2測定用データ電圧」という。）の画素回路への書き込み、第2測定データの取得、および複数の階調のいずれかに対応する映像データが変換されたデータ電圧の画素回路への書き込みが順に行われる。このようにして、各選択期間で、第1測定データおよび第2測定データの双方を取得することができる。また、複数の階調のいずれかに対応する映像データを変換して得られるデータ電圧が画素回路に書き込まれる。これにより、直後の第1期間の開始時に、第2期間において選択された走査線に対応する画素回路につき、第2階調に対応する映像データが変換されたデータ電圧に基づく輝度で表示が行われることを防ぐことができる。また、第1測定データおよび第2測定デー

40

50

タの取得直前に、それぞれ第1測定用データ電圧および第2測定用データ電圧がデータ線に充電されている。このため、第1測定データおよび第2測定データを取得すべきときに、データ線の電位を変化させることなく（充放電を生じずに）高速に駆動電流を測定できる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【0048】

本発明の第12の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2期間の各選択期間において、表示制御部が複数の階調のいずれかに対応する映像データをデータ電圧供給部に送信する前に、当該選択期間で取得された第1測定データおよび第2測定データが順に表示制御部に送信される。このため、当該選択期間で表示制御部が送信すべき複数の階調のいずれかに対応する映像データに対して、当該選択期間で取得された第1測定データおよび第2測定データに基づく補正を行うことができる。このため、駆動トランジスタの特性ばらつきの補償を、第2期間においてリアルタイムに行うことができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

10

【0049】

本発明の第13の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2測定データの取得直後に第1測定データが表示制御部に送信され、複数の階調のいずれかに対応する映像データのデータ電圧供給部への送信直後に第2測定データが表示制御部に送信される。このため、第1測定データおよび第2測定データを送信するまでの準備時間を十分に確保できるので、第1測定データおよび第2測定データを表示制御部に確実に送信することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

20

【0050】

本発明の第14の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2期間の各選択期間の終了直後の期間に第1測定データおよび第2測定データが表示制御部に送信される。このため、第1測定データおよび第2測定データを送信するまでの準備時間を十分に確保できるので、第1測定データおよび第2測定データを表示制御部に確実に送信することができる。また、表示制御部とデータ駆動部との間で双方向通信バスを利用し、且つ、各選択期間において入出力制御信号が第2レベルである期間に表示制御部がデータ駆動部に映像データを送信する必要がある場合であっても、第1測定データおよび第2測定データを表示制御部に送信することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

30

【0051】

本発明の第15の局面によれば、第2期間におけるすべての選択期間の終了後の期間に、各選択期間で取得された第1測定データおよび第2測定データが表示制御部に送信される。このため、第1測定データおよび第2測定データを送信するまでの準備時間を十分に確保できるので、第1測定データおよび第2測定データを表示制御部に確実に送信することができる。また、表示制御部とデータ駆動部との間で双方向通信バスを利用し、且つ、各選択期間において入出力制御信号が第2レベルである期間に表示制御部がデータ駆動部に映像データを送信する必要がある場合であっても、第1測定データおよび第2測定データを表示制御部に送信することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

40

【0052】

本発明の第16の局面によれば、双方向通信バスが利用されるので、表示制御部とデータ駆動部との間の通信系統が削減される。このため、低コスト化を図ることができる。

【0053】

本発明の第17の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、データラッチ部が設けられることにより、第2期間の各選択期間において入出力制御信号が第1レベルである1番目の期間と2番目の期間とでそれぞれ第

50

1 階調に対応する映像データおよび第 2 階調に対応する映像データをデータ電圧供給部に送信しておけば、入出力制御信号が第 2 レベルである 1 番目の期間と 2 番目の期間とでそれぞれ第 1 階調に対応する映像データおよび第 2 階調に対応する映像データが変換部に入力される。このような構成を採用して、第 1 測定データおよび第 2 測定データを取得すべきときに、データ線の電位を変化させることなく高速に駆動電流を測定する上述の効果を奏することができる。なお、第 1 階調および第 2 階調の一方が第 2 階調、他方が第 1 階調である場合も同様である。

【0054】

本発明の第 18 の局面によれば、第 1 階調および第 2 階調の一方が第 1 階調、他方が第 2 階調であるとする、入出力制御信号が第 2 レベルである 1 番目の期間と 2 番目の期間とでそれぞれ第 1 階調に対応する映像データおよび第 2 階調に対応する映像データがデジタル - アナログ変換部に入力される。このような構成を採用して、第 1 測定データおよび第 2 測定データを取得すべきときに、データ線の電位を変化させることなく高速に駆動電流を測定する上述の効果を奏することができる。なお、第 1 階調および第 2 階調の一方が第 2 階調、他方が第 1 階調である場合も同様である。

10

【0055】

本発明の第 19 の局面によれば、参照電圧およびデータ電圧により、駆動トランジスタを制御するための電圧が決定される。すなわち、駆動トランジスタを制御するための電圧が電源電圧に依存しない。このため、電源電圧を供給する配線の配線抵抗によりドロップ電圧が生じたとしても、駆動電流は変動しない。

20

【0056】

本発明の第 20 の局面によれば、入力トランジスタが駆動トランジスタの制御端子とデータ線との間に設けられた画素回路において、電流パス形成トランジスタおよび入力トランジスタを介して、駆動電流をデータ線に出力することができる。

【0057】

本発明の第 21 の局面によれば、発光制御トランジスタにより、電気光学素子の発光 / 非発光を制御することができる。

【0058】

本発明の第 22 の局面によれば、比較的移動度の高い酸化物 T F T が使用されるので、書き込み時間の短縮および高輝度化などを図ることができる。

30

【0059】

本発明の第 23 の局面によれば、I G Z O - T F T を使用して、本発明の第 22 の局面と同様の効果を奏することができる。

【0060】

本発明の第 24 の局面によれば、第 1 , 第 2 シフトレジスタの出力を選択的に使用して、本発明の第 1 の局面と同様の効果を奏することができる。

【0061】

本発明の第 25 の局面によれば、表示装置の駆動方法において、本発明の第 1 の局面と同様の効果を奏することができる。

【図面の簡単な説明】

40

【0062】

【図 1】本発明の第 1 の実施形態に係る有機 E L 表示装置の構成を示すブロック図である。

【図 2】図 1 に示す表示部の構成を説明するためのブロック図である。

【図 3】図 1 に示すデータドライバの構成を示すブロック図である。

【図 4】D A C の動作について説明するためのブロック図である。

【図 5】図 3 に示す電圧出力 / 電流測定回路の構成を説明するための回路図である。

【図 6】図 1 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素を示す回路図である。

【図 7】図 6 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の

50

映像信号期間での動作について説明するためのタイミングチャートである。

【図 8】上記第 1 の実施形態における、画素回路およびそれに対応するデータドライバ側の一部の構成要素の所望階調プログラム期間での動作について説明するための回路図である。

【図 9】上記第 1 の実施形態における、有機 EL 素子の発光時の、画素回路およびそれに対応するデータドライバ側の一部の構成要素の動作について説明するための回路図である。

【図 10】図 6 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。

【図 11】上記第 1 の実施形態における、画素回路およびそれに対応するデータドライバ側の一部の構成要素の測定用階調プログラム期間での動作について説明するための回路図である。

【図 12】上記第 1 の実施形態における、画素回路およびそれに対応するデータドライバ側の一部の構成要素の電流測定期間での動作について説明するための回路図である。

【図 13】上記第 1 の実施形態における各フレーム期間での動作について説明するための図である。

【図 14】図 3 に示すデータドライバの 1 列分の構成例を示す回路図である。

【図 15】図 14 に示す D ラッチの垂直同期期間での動作について説明するためのタイミングチャートである。

【図 16】上記第 1 の実施形態における、コントローラとデータドライバとの間でのデータ通信について説明するためのブロック図である。

【図 17】階調 - 制御電圧特性を示す図である。

【図 18】階調 - 発光駆動電流特性を示す図である。

【図 19】階調 - 発光輝度特性を示す図である。

【図 20】理想特性データを示す図である。

【図 21】測定誤差のシミュレーション結果を示す図である。(A)は、第 1 階調 P1 が 0、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(B)は、第 1 階調 P1 が 2、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(C)は、第 1 階調 P1 が 4、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(D)は、第 1 階調 P1 が 10、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(E)は、第 1 階調 P1 が 20、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(F)は、第 1 階調 P1 が 40、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。

【図 22】測定誤差のシミュレーション結果を示す図である。(A)は、第 1 階調 P1 が 64、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(B)は、第 1 階調 P1 が 96、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(C)は、第 1 階調 P1 が 128、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(D)は、第 1 階調 P1 が 192、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。

【図 23】測定誤差のシミュレーション結果を示す図である。(A)は、第 1 階調 P1 が 64、第 2 階調 P2 が 255 である場合のシミュレーション結果を示す図である。(B)は、第 1 階調 P1 が 64、第 2 階調 P2 が 224 である場合のシミュレーション結果を示す図である。(C)は、第 1 階調 P1 が 64、第 2 階調 P2 が 200 である場合のシミュレーション結果を示す図である。(D)は、第 1 階調 P1 が 64、第 2 階調 P2 が 192 である場合のシミュレーション結果を示す図である。(E)は、第 1 階調 P1 が 64、第 2 階調 P2 が 160 である場合のシミュレーション結果を示す図である。

【図 24】上記第 1 の実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 25】上記第 1 の実施形態における、第 N + 1 フレーム期間の垂直同期期間での映像

10

20

30

40

50

データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図26】図1に示す走査駆動部の詳細な構成を示す回路図である。

【図27】図26に示す走査駆動部の第Nフレーム期間での動作について説明するためのタイミングチャートである。

【図28】図26に示す走査駆動部の第N+1フレーム期間での動作について説明するためのタイミングチャートである。

【図29】第1従来例における理想特性データを用いた補正について説明するための図である。

【図30】第2従来例における充電動作について説明するための回路図である。

10

【図31】上記第1の実施形態における充電動作について説明するための回路図である。

【図32】上記第1の実施形態において、駆動電流を測定する動作について説明するための回路図である。

【図33】上記第2従来例において、参照電流を用いた補償を行う前の階調-駆動電流特性を示す図である。

【図34】上記第2従来例において、参照電流を用いた補償を行った後の階調-駆動電流特性を示す図である。

【図35】上記第1の実施形態において、第1,第2階調P1,P2に対応する駆動電流を用いた補償を行った後の階調-駆動電流特性を示す図である。

【図36】上記第1の実施形態の変形例におけるデータドライバの構成を示すブロック図である。

20

【図37】本発明の第2の実施形態における、データドライバの構成例を示す回路図である。

【図38】図37に示す各構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。

【図39】本発明の第3の実施形態における、コントローラとデータドライバとの間でのデータ通信について説明するためのブロック図である。

【図40】上記第3の実施形態における、第Nフレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

30

【図41】上記第3の実施形態における、第N+1フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図42】上記第3の実施形態における、走査駆動部の第Nフレーム期間での動作について説明するためのタイミングチャートである。

【図43】上記第3の実施形態における、走査駆動部の第N+1フレーム期間での動作について説明するためのタイミングチャートである。

【図44】本発明の第4の実施形態における、第Nフレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

40

【図45】本発明の第5の実施形態における、第Nフレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図46】本発明の第6の実施形態における画素回路およびそれに対応するデータドライバ側の一部の構成要素を示す回路図である。

【図47】図46に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間における動作について説明するためのタイミングチャートである。

【図48】図46に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間における動作について説明するためのタイミングチャートである。

【図49】上記第6の実施形態における各フレーム期間での動作について説明するための

50

図である。

【図50】本発明の第7の実施形態における画素回路およびそれに対応するデータドライバ側の一部の構成要素を示す回路図である。

【図51】図50に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間における動作について説明するためのタイミングチャートである。

【図52】図50に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間における動作について説明するためのタイミングチャートである。

【図53】上記第8の実施形態における画素回路およびそれに対応するデータドライバ側の一部の構成要素の構成を示す回路図である。

【図54】図53に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間における動作について説明するためのタイミングチャートである。

【図55】図53に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間における動作について説明するためのタイミングチャートである。

【図56】従来の有機EL表示装置における、閾値電圧補償前のゲート-ソース間電圧-駆動電流特性を示す図である。

【図57】従来の有機EL表示装置における、閾値電圧補償後のゲート-ソース間電圧-駆動電流特性を示す図である。

【発明を実施するための形態】

【0063】

以下、添付図面を参照しながら、本発明の第1～第8の実施形態について説明する。以下では、 m 、 n は2以上の整数であるとする。なお、各実施形態における画素回路に含まれるトランジスタは電界効果トランジスタであり、典型的には薄膜トランジスタである。画素回路に含まれるトランジスタとしては、酸化物TFT（例えばIGZO-TFT）、LTPS-TFT、またはアモルファスシリコンTFTなどを採用することができる。IGZO-TFTなどの酸化物TFTは特に、画素回路に含まれる n チャネル型のトランジスタとして採用する場合に有効である。ただし、本発明は、 p チャネル型の酸化物TFTの使用を排除するものではない。

【0064】

< 1. 第1の実施形態 >

< 1.1 全体構成 >

図1は、本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置1の構成を示すブロック図である。有機EL表示装置1は、コントローラ10、DRAM（Dynamic Random Access Memory）20、フラッシュメモリ30、表示パネル40、データ駆動部60、および走査駆動部70を備えている。本実施形態では、コントローラ10は表示制御部に相当し、DRAM20は記憶部に相当する。表示パネル40には表示部50が形成され、表示パネル40上にはデータ駆動部60および走査駆動部70が配置されている。なお、データ駆動部60および走査駆動部70のいずれか一方または双方が、表示部50と一体的に形成されていても良い。また、DRAM20やフラッシュメモリ30は、コントローラ10の内部に設けられていても良い。

【0065】

図2は、図1に示す表示部50の構成を説明するためのブロック図である。表示部50には、 m 本のデータ/測定線DAME1～DAME m およびこれらに直交する n 本の走査線DM1～DM n が配設されている。 m 本のデータ/測定線DAME1～DAME m を区別する必要がない場合はこれらを単に符号DAMEで表し、 n 本の走査線DM1～DM n を区別する必要がない場合はこれらを単に符号DMで表す。本実施形態では、データ/測定線DAMEはデータ線に相当する。以下では、データ/測定線DAMEの延伸方向を列方向とし、走査線DMの延伸方向を行方向とする。表示部50にはさらに、 m 本のデータ/測定線DAME1～DAME m と n 本の走査線DM1～DM n との交差点に対応して $m \times n$ 個の画素回路51が設けられている。各画素回路51は、赤色のサブ画素（以下「Rサブ画素」という。）、緑色のサブ画素（以下「Gサブ画素」という。）、および青色の

10

20

30

40

50

サブ画素（以下「Bサブ画素」という。）のいずれかを形成し、行方向に並んだ画素回路51は、例えば図2における最左端から順にRサブ画素、Gサブ画素、およびBサブ画素を形成する。なお、サブ画素の種類は、赤色、緑色、および青色に限定されるものではなく、シアン、マゼンタ、および黄色などでも良い。

【0066】

また、表示部50には、ハイレベル電源電圧ELVDDを供給する電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号ELVDDで表す。）、図示しないローレベル電源電圧ELVSSを供給する電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号ELVSSで表す。）、および図示しない参照電圧Vrefを供給する線（以下「参照電圧線」といい、参照電圧と同じく符号Vrefで表す。）が配設されている。ハイレベル電源電圧ELVDD、ローレベル電源電圧ELVSS、および参照電圧Vrefのそれぞれは固定値であり、ローレベル電源電圧ELVSSは例えば接地電圧である。

10

【0067】

図1に示すコントローラ10は、外部から受け取った映像信号VSに基づき、データ駆動部60および走査駆動部70を制御する。より詳細には、コントローラ10は、データ駆動部60には各種制御信号および映像データVD（詳細は後述）を送信し、走査駆動部70には各種制御信号を送信することにより、データ駆動部60および走査駆動部70を制御する。また、コントローラ10は、データ駆動部60から測定データ（詳細は後述）を受信する。コントローラ10とデータ駆動部60との間の各種データの送受信は、通信バス80を介して行われる。また、コントローラ10は、DRAM20およびフラッシュメモリ30を制御する。

20

【0068】

DRAM20は、映像データVDの補正に使用される補正データを記憶している。コントローラ10は、データ駆動部60から受信した測定データに基づいてDRAM20に記憶された補正データを更新する。また、コントローラ10は、DRAM20に記憶された補正データを読み出して映像データVDを補正する。DRAM20に記憶された補正データは、電源オフ時には、コントローラ10の制御に基づいてフラッシュメモリ30に書き込まれる。フラッシュメモリ30に記憶された補正データは、電源オン時には、コントローラ10の制御に基づいてDRAM20に読み出される。なお、ここで説明した補正データの書き込みおよび読み出しの態様は単なる一例であり、本発明はこれに限定されるものではない。

30

【0069】

データ駆動部60は、複数個のデータドライバ600を備えている。ただし、データ駆動部60は、1個のデータドライバ600を備えた構成でも良い。図1では、データドライバ600が6個設けられているものとしている。6個のデータドライバ600のうち、3個は表示パネル40の上端側に配置され、残りの3個は表示パネル40の下端側に配置されている。なお、このような各データドライバ600の配置は単なる一例であり、本発明はこれに限定されるものではない。各データドライバ600には、k本（図1の例では、 $k = m / 6$ ）のデータ/測定線DAME1~DAMEkが接続されている。

40

【0070】

各データドライバ600は、データ電圧供給部610および電流測定部620を備えている。言い換えると、データ駆動部60は、複数のデータ電圧供給部610および複数の電流測定部620を備えている。データ電圧供給部610は、映像データVDに基づくデータ電圧をデータ/測定線DAMEに供給する。電流測定部620は、所定階調に対応する映像データVDに基づくデータ電圧に応じて画素回路51から得られる駆動電流を測定し、当該駆動電流の電流値を示す測定データを取得する。また、電流測定部620は、取得した測定データをコントローラ10に送信する。以下では、便宜上、データ駆動部60全体の動作を、1個のデータドライバ600を代表させて説明する場合がある。なお、データドライバ600の構成および動作の詳細は後述する。

50

【 0 0 7 1 】

走査駆動部 7 0 は、複数個のゲートドライバ 7 0 0 を備えている。ただし、走査駆動部 7 0 は、1 個のゲートドライバ 7 0 0 を備えた構成でも良い。図 1 では、ゲートドライバ 7 0 0 が 2 個設けられているものとしている。2 個のゲートドライバ 7 0 0 のうち、1 個は表示パネル 4 0 の左端側に配置され、残りの 1 個は表示パネル 4 0 の右端側に配置されている。なお、このようなゲートドライバ 7 0 0 の配置は単なる一例であり、本発明はこれに限定されるものではない。

【 0 0 7 2 】

本実施形態では、1 フレーム期間が映像信号期間および垂直同期期間からなっている。本実施形態における映像信号期間は「走査期間」などとも呼ばれる。本実施形態における垂直同期期間は「垂直帰線期間」または「垂直ブランキング期間」などとも呼ばれる。本実施形態では、映像信号期間が第 1 期間に相当し、垂直同期期間が第 2 期間に相当する。走査駆動部 7 0 (ゲートドライバ 7 0 0) は、 n 本の走査線 DM を順次選択することにより、画素回路 5 1 にデータ電圧の書き込みを行うための上記映像信号期間と、 n 本の走査線 DM のうちの所定数 (p) 本の走査線 DM を順次選択することにより、画素回路 5 1 から後述の駆動電流 I_m をデータ/測定線 $DAME$ に出力するための上記垂直同期期間とを交互に繰り返す。ここで、 $1 < p < n$ であり、 n は p の自然数倍であることが望ましい。本実施形態に係る有機 EL 表示装置 1 は、通常は各種同期動作を行うのみである垂直同期期間において、駆動電流をデータ/測定線 $DAME$ に出力し、上記測定データを取得する。また、走査駆動部 7 0 は、選択すべき p 本の走査線 DM を垂直同期期間毎に (すなわち 1 フレーム期間毎に) シフトさせる。走査駆動部 7 0 の構成および動作の詳細は後述する。

【 0 0 7 3 】

< 1 . 2 データドライバ >

図 3 は、図 1 に示すデータドライバ 6 0 0 の構成を示すブロック図である。データドライバ 6 0 0 は、シフトレジスタ 6 3、第 1 ラッチ部 6 4、第 2 ラッチ部 6 5、デジタル - アナログ (D/A) 変換部 6 6、および電圧出力/電流測定部 6 7 を備えている。ここでは、 k 本のデータ/測定線 $DAME_1 \sim DAME_k$ に接続されたデータドライバ 6 0 0 を例示している。第 2 ラッチ部 6 5 は、 k 本のデータ/測定線 $DAME_1 \sim DAME_k$ にそれぞれ対応する k 個のラッチ回路 6 5 0 を備えている。 D/A 変換部 6 6 は、 k 本のデータ/測定線 $DAME_1 \sim DAME_k$ にそれぞれ対応する k 個の D/A コンバータ (以下「 DAC 」という。) 6 6 0 を備えている。電圧出力/電流測定部 6 7 は、 k 本のデータ/測定線 $DAME_1 \sim DAME_k$ にそれぞれ対応する k 個の電圧出力/電流測定回路 6 7 0 を備えている。コントローラ 1 0 は、映像データ VD と、上記各種制御信号としてデータスタートパルス DSP 、データクロック CLK 、ラッチストロブ信号 LS 、および入出力制御信号 DWT を送信する。

【 0 0 7 4 】

シフトレジスタ 6 3 は、データクロック CLK に同期して、データスタートパルス DSP を順次転送することにより所定のサンプリングパルスを順次出力する。

【 0 0 7 5 】

第 1 ラッチ部 6 4 は、映像データ VD の 1 行分の階調値を、上記サンプリングパルスのタイミングで順次記憶する。

【 0 0 7 6 】

各ラッチ回路 6 5 0 は、第 1 ラッチ部 6 4 に記憶された 1 行分の階調値のうちの対応する列の階調値をラッチストロブ信号 LS に応じて取り込み保持すると共に、その保持している階調値を対応する DAC 6 6 0 に与える。本明細書では、各ラッチ回路 6 5 0 が対応する DAC 6 6 0 に与える階調値のことを「映像データ」という。

【 0 0 7 7 】

各 DAC 6 6 0 は、対応するラッチ回路 6 5 0 から受け取った映像データに応じた階調電圧を選択し、当該階調電圧をデータ電圧として、対応する電圧出力/電流測定回路 6 7

10

20

30

40

50

0に与える。なお、各DAC660において選択対象となる階調電圧は、例えば図4に示すようにガンマレジスタ68(図3では便宜上不図示)から与えられる。ここでは、1024階調に対応する階調電圧VR0~VR1023がDAC660に与えられるものとしているが、本発明はこれに限定されるものではない。なお、第2ラッチ部65とD/A変換部66との間にはレベルシフトなどが設けられていても良い。

【0078】

各電圧出力/電流測定回路670は、入出力制御信号DWTのレベルに応じて異なる動作を行う。入出力制御信号DWTが“1”レベル(本明細書ではハイレベルである。)であるときには、各電圧出力/電流測定回路670は電圧出力回路として機能し、DAC660から受け取ったデータ電圧を対応するデータ/測定線DAMEに供給する。すなわち、入出力制御信号DWTが“1”レベルであるときには、電圧出力/電流測定部67は電圧出力部として機能し、D/A変換部66から受け取った各データ電圧を対応するデータ/測定線DAMEに供給する。入出力制御信号DWTが“0”レベル(本明細書ではローレベルである。)であるときには、各電圧出力/電流測定回路670は電流測定回路として機能し、対応するデータ/測定線DAMEに画素回路51から出力された駆動電流Imを測定する。すなわち、入出力制御信号DWTが“0”レベルであるときには、電圧出力/電流測定部67は電流測定部620として機能し、対応するデータ/測定線DAMEに画素回路51から出力された駆動電流Imを測定する。なお、各添付図面では、入出力制御信号DWTが“1”レベルであることを「DWT=“1”」とし、入出力制御信号DWTが“0”レベルであることを「DWT=“0”」として図示している。本実施形態では、“1”レベルは第1レベルに相当し、“0”レベルは第2レベルに相当する。

10

20

【0079】

図3に示す構成要素のうち、シフトレジスタ63と、第1ラッチ部64と、第2ラッチ部65と、D/A変換部66と、電圧出力/電流測定部67のうちの電圧出力部として機能する部分とはデータ電圧供給部610を構成し、電圧出力/電流測定部67のうちの電流測定部620として機能する部分は電流測定部620を構成する。

【0080】

< 1.3 電圧出力/電流測定回路 >

図5は、図3に示す電圧出力/電流測定回路670の詳細な構成を説明するための回路図である。図3に示す電圧出力/電流測定回路670は、i列目のデータ/測定線DAMEiに対応しているものとする。電圧出力/電流測定回路670は、オペアンプ731、抵抗素子R1、制御スイッチSW、および測定データ取得部740を備えている。オペアンプ731および制御スイッチSWは、データ電圧供給部610および電流測定部620で共有された構成要素である。一方、抵抗素子R1および測定データ取得部740は電流測定部620の構成要素である。本実施形態では、抵抗素子R1が電流電圧変換素子に相当する。

30

【0081】

オペアンプ731の非反転入力端子はDAC660の出力端子に接続され、反転入力端子は対応するデータ/測定線DAMEiに接続されている。オペアンプ731の出力端子と反転入力端子との間には、抵抗素子R1および制御スイッチSWが並列に接続されている。制御スイッチSWは、入出力制御信号DWTによって制御され、入出力制御信号DWT=“1”のときに閉じ、“0”レベルのときに開く。

40

【0082】

測定データ取得部740は、オペアンプ731の出力から測定データを取得する。測定データ取得部740は、より詳細には、アナログ-デジタル(A/D)コンバータ(以下「ADC」という。)732、減算部733、および除算部734を備えている。なお、測定データ取得部740の構成は、ここで示した例に限定されるものではない。

【0083】

ADC732は、オペアンプ731の出力電圧をA/D変換して減算部733に与える。減算部733は、オペアンプ731の出力電圧のデジタル値と、j行i列目の画素回路

50

5 1 に与えるべき階調 P のデータ電圧 V_m (本明細書では、このようなデータ電圧を符号 $V_m(i, j, P)$ で表す。) の D/A 変換前の映像データ (説明の便宜上、データ電圧と同符号で表す場合がある。) とを受け取り、オペアンプ 731 の出力電圧のデジタル値から映像データ $V_m(i, j, P)$ を減じた値を出力する。なお、階調 P は、映像信号 VS に基づいてコントローラ 10 で設定し得る階調 (複数の階調) のうちのいずれかを指す。除算部 734 は、減算部 733 の出力を $-R_1$ で除した値を出力する。この除算部 734 の出力が測定データとなる。なお、除算部 734 の後段には、測定データのコントローラ 10 への送信タイミングを調整するバッファメモリなどが設けられることがあるが、ここでは便宜上、その図示および説明を省略する。

【0084】

入出力制御信号 DWT が “1” レベルであるときには、制御スイッチ SW が閉じているのでオペアンプ 731 の出力端子と反転入力端子とが短絡されている。このため、入出力制御信号 DWT が “1” レベルであるときには、オペアンプ 731 はバッファアンプとして機能する。これにより、データ電圧 $V_m(i, j, P)$ は低出力インピーダンスでデータ/測定線 DAME_i に供給される。なお、このとき、ADC 732 を入出力制御信号 DWT で制御するなどして、データ電圧 $V_m(i, j, P)$ が ADC 732 に入力されないようにすることが望ましい。

【0085】

入出力制御信号 DWT が “0” レベルであるときには、制御スイッチ SW が開いているので、オペアンプ 731 の出力端子と反転入力端子とが抵抗素子 R_1 を介して互いに接続されている。このため、オペアンプ 731 は、抵抗素子 R_1 を帰還抵抗とした電流増幅アンプとして機能する。このとき、オペアンプ 731 の非反転入力端子にデータ電圧 $V_m(i, j, P)$ が入力されると、仮想短絡により反転入力端子の電位も $V_m(i, j, P)$ となる。また、このとき、j 行 i 列目の画素回路 51 からデータ/測定線 DAME_i に、データ電圧 $V_m(i, j, P)$ に基づくゲート-ソース間電圧 V_{gs} に応じて流れる駆動電流 (以下、符号 $I_m(i, j, P)$ で表す。) が出力される (詳細は後述)。これにより、オペアンプ 731 の出力電圧は「 $V_m(i, j, P) - R_1 * I_m(i, j, P)$ 」となる。そして、この出力電圧が ADC 732 で A/D 変換される。A/D 変換後の出力電圧から $V_m(i, j, P)$ が減じられた減算部 733 の出力は「 $-R_1 * I_m(i, j, P)$ 」となる。さらに、減算部 733 の出力が「 $-R_1$ 」で除された除算部 734 の出力は $I_m(i, j, P)$ となる。このようにして、駆動電流 $I_m(i, j, P)$ が測定され、当該駆動電流 $I_m(i, j, P)$ の値を示す測定データ (説明の便宜上、駆動電流と同符号の $I_m(i, j, P)$ で表す場合がある。) が取得される。なお、除算部 734 を乗算部とし、当該乗算部に「 $-R_1$ 」に代えて「 $-1/R_1$ 」を入力するようにしても良い。

【0086】

< 1.4 画素回路 >

図 6 は、図 1 に示す画素回路 51 およびそれに対応するデータドライバ 600 側の一部の構成要素を示す回路図である。ここで、図 6 に示す画素回路 51 は j 行 i 列目の画素回路 51 である。図 6 では、データドライバ 600 の構成要素のうち、i 列目のデータ/測定線 DAME_i に対応する DAC 660 と、電圧出力/電流測定回路 670 の一部であるオペアンプ 731、抵抗素子 R_1 、制御スイッチ SW、および ADC 732 とを示し、電圧出力/電流測定回路 670 のうちの減算部 733 および除算部 734 は便宜上省略している。

【0087】

画素回路 51 は、1 個の有機 EL 素子 OLED、3 個のトランジスタ T1 ~ T3、および 1 個のコンデンサ (駆動容量素子) C1 を備えている。トランジスタ T1 は駆動トランジスタであり、トランジスタ T2 は参照電圧供給トランジスタであり、トランジスタ T3 は入力トランジスタである。トランジスタ T1 ~ T3 はすべて n チャネル型であり、例えば酸化物 TFT である。

10

20

30

40

50

【 0 0 8 8 】

トランジスタ T 1 は、有機 E L 素子 O L E D と直列に設けられ、ハイレベル電源線 E L V D D に第 1 導通端子としてのドレイン端子が接続され、有機 E L 素子 O L E D のアノード端子に第 2 導通端子としてのソース端子が接続されている。トランジスタ T 2 は、走査線 D M j にゲート端子が接続され、参照電圧線 V r e f とトランジスタ T 1 のゲート端子との間に設けられている。トランジスタ T 3 は、走査線 D M j にゲート端子が接続され、データ / 測定線 D A M E i とトランジスタ T 1 のソース端子との間に設けられている。コンデンサ C 1 は、トランジスタ T 1 のゲート端子とソース端子との間に設けられている。有機 E L 素子 O L E D のカソード端子は、ローレベル電源線 E L V S S に接続されている。

10

【 0 0 8 9 】

< 1 . 5 映像信号期間での動作 >

図 7 は、図 6 に示す画素回路 5 1 およびそれに対応するデータドライバ 6 0 0 側の一部の構成要素の映像信号期間での動作について説明するためのタイミングチャートである。図 7 および以降のタイミングチャートにおける「 $I_m(i, j, P)$ 」は、測定データを表す。時刻 $t_1 \sim t_2$ の期間 A 3 は、所望の階調 P に対応する映像データ V D に基づくデータ電圧 V_m を画素回路 5 1 に書き込むための期間（以下「所望階調プログラム期間」という。）である。以下では、「X に対応する映像データ V D に基づくデータ電圧 V_m 」を単に「X に対応するデータ電圧 V_m 」という場合がある（X は、後述の「測定用階調」、「第 1 階調 P 1」、または「第 2 階調 P 2」を表す）。

20

【 0 0 9 0 】

走査線 D M j の電位は、入出力制御信号 D W T と同じく“ 1 ”レベルおよび“ 0 ”レベルのいずれかをとりものとする。本実施形態では、走査線 D M j の電位が“ 1 ”レベルであるとき当該走査線 D M j は選択状態であり、走査線 D M j の電位が“ 0 ”レベルであるとき当該走査線 D M j は非選択状態である。映像信号期間では、上述のように、n 本の走査線 D M が順次選択される。また、映像信号期間では、入出力制御信号は“ 1 ”レベルになっている。このため、オペアンプ 7 3 1 は上述のようにバッファアンプとして機能する。

【 0 0 9 1 】

時刻 t_1 以前では、走査線 D M j の電位が“ 0 ”レベルになっている。このとき、トランジスタ T 2 , T 3 がオフ状態になっており、トランジスタ T 1 には、コンデンサ C 1 に保持されたゲート - ソース間電圧 V_{gs} に応じた駆動電流 $I_m(i, j, P)$ が流れている。そして、有機 E L 素子 O L E D は、この駆動電流 $I_m(i, j, P)$ に応じた輝度で発光している。以下では、トランジスタ T 1 に流れる駆動電流と有機 E L 素子 O L E D に流れる駆動電流とを区別する場合に、有機 E L 素子 O L E D に流れる駆動電流のことを発光駆動電流 I_{oled} という。なお、所望階調プログラム期間 A 3 直前の 1 水平 (1 H) 期間では、データ / 測定線 D A M E i はデータ電圧 $V_m(i, j - 1, P)$ を供給している。

30

【 0 0 9 2 】

時刻 t_1 になると、データ / 測定線 D A M E i にはオペアンプ 7 3 1 を介してデータ電圧 $V_m(i, j, P)$ が供給される。また、走査線 D M j の電位が“ 1 ”レベルに変化して、トランジスタ T 2 , T 3 がターンオンする。このため、図 8 に示すように、コンデンサ C 1 の一端（トランジスタ T 1 のソース端子側）にはデータ / 測定線 D A M E i およびトランジスタ T 3 を介してデータ電圧 $V_m(i, j, P)$ が与えられ、コンデンサ C 1 の他端（トランジスタ T 1 のゲート端子側）にはトランジスタ T 2 を介して参照電圧 V r e f が与えられる。これにより、時刻 $t_1 \sim t_2$ の所望階調プログラム期間 A 3 において、コンデンサ C 1 は次式 (1) で与えられるゲート - ソース間電圧 V_{gs} に充電される。

40

$$V_{gs} = V_{ref} - V_m(i, j, P) \quad \dots (1)$$

【 0 0 9 3 】

なお、有機 E L 素子 O L E D の閾値電圧を V_{tholed} とすると、データ電圧 V_m (

50

i, j, P) は次式 (2) で与えられる値に設定することが望ましい。

$$V_m(i, j, P) < ELVSS + V_{tholed} \quad \dots (2)$$

式 (2) のように設定されたデータ電圧 $V_m(i, j, P)$ が有機 EL 素子 OLED のアノード端子 (トランジスタ T1 のソース端子) に与えられることにより、所望階調プログラム期間 A3 (後述の期間 A1, A2 でも同様) において発光駆動電流 I_{oled} が 0 になる。このため、有機 EL 素子 OLED の発光を停止することができる。

【0094】

時刻 t_2 になると、走査線 DM $_j$ の電位が “0” レベルに変化して、トランジスタ T2, T3 がターンオフする。このため、コンデンサ C1 の保持電圧は上記式 (1) で示すゲート - ソース間電圧 V_{gs} に確定する。このとき、トランジスタ T1 のソース端子はデータ / 測定線 DAME $_i$ から電氣的に切り離されているので、図 9 に示すように、ゲート - ソース間電圧 V_{gs} に応じた発光駆動電流 I_{oled} が流れ、当該発光駆動電流 I_{oled} に応じた輝度で有機 EL 素子 OLED が発光する。なお、このように発光駆動電流 I_{oled} に応じた輝度で有機 EL 素子 OLED が発光しているとき、 $I_{oled} = I_m(i, j, P)$ である。トランジスタ T1 は飽和領域で動作するので、発光駆動電流 I_{oled} は次式 (3) で与えられる。

$$\begin{aligned} I_{oled} &= (\mu / 2) * (V_{gs} - V_t)^2 \\ &= (\mu / 2) * (V_{ref} - V_m(i, j, P) - V_t)^2 \quad \dots (3) \end{aligned}$$

ここで、 μ , V_t はそれぞれトランジスタ T1 のゲインおよび閾値電圧を表す。ゲインは、次式 (4) で与えられる。

$$\mu = \mu * (W/L) * C_{ox} \quad \dots (4)$$

ここで、 μ , W , L , C_{ox} はそれぞれトランジスタ T1 の移動度、ゲート幅、ゲート長、および単位面積あたりのゲート絶縁膜容量を表す。

【0095】

なお、式 (3) におけるデータ電圧 $V_m(i, j, P)$ は、トランジスタ T1 の閾値電圧補償およびゲイン補償を行うように設定されるが、その詳細は後述する。以上の所望階調プログラム期間 A3 の動作を各走査線 DM について順に行うことにより、映像信号期間において全画素回路 51 へのデータ電圧 V_m の書き込みが行われる。なお、映像信号期間では、駆動電流 I_m の測定は行われない。

【0096】

ところで、本実施形態では、コンデンサ C1 にハイレベル電源線 ELVDD が接続されていないので、ゲート - ソース間電圧 V_{gs} がハイレベル電源電圧 ELVDD に依存しない値になる。このため、式 (3) に示されるとおり、発光駆動電流 I_{oled} もハイレベル電源電圧 ELVDD に依存しない値になる。このような画素回路構成によれば、有機 EL 素子 OLED を駆動するためにハイレベル電源線 ELVDD に大きな電流が流れてハイレベル電源線 ELVDD の配線抵抗によりドロップ電圧が生じたとしても、発光駆動電流 I_{oled} は変動しない。

【0097】

< 1.6 垂直同期期間での動作 >

図 10 は、図 6 に示す画素回路 51 およびそれに対応するデータドライバ 600 側の一部の構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。時刻 $t_1 \sim t_2$ の期間 A1 および時刻 $t_3 \sim t_4$ の期間 A1 のそれぞれは、駆動電流 I_m の測定に使用する階調 (以下「測定用階調」という。) に対応する映像データに基づくデータ電圧 V_m (以下、単に「測定用データ電圧」という場合がある。) を画素回路 51 に書き込むための期間 (以下「測定用階調プログラム期間」という。) である。測定用階調には 2 種類あり、1 つは、映像信号 VS に基づいてコントローラ 10 で設定し得る階調のうちの比較的低い第 1 階調 P1 であり、もう 1 つは、映像信号 VS に基づいてコントローラ 10 で設定し得る階調のうちの比較的高い第 2 階調 P2 である。なお、第 1, 第 2 階調 P1, P2 の具体的な設定については後述する。時刻 $t_2 \sim t_3$ の期間 A2 および時刻 $t_4 \sim t_5$ の期間 A2 のそれぞれは、測定用データ電圧 V_m に応じた駆動電流 I_m を測定

10

20

30

40

50

するための期間（以下「電流測定期間」という。）である。以下では、第1階調P1に対応する測定用データ電圧のことを「第1測定用データ電圧」といい、第2階調P2に対応する測定用データ電圧のことを「第2測定用データ電圧」という。また、第1階調P1に対応する映像データのことを「第1測定用映像データ」といい、第2階調P2に対応する映像データのことを「第2測定用映像データ」という。

【0098】

垂直同期期間では、上述のように、p本の走査線DMが順次選択される。ここで、本実施形態における表示パネル40がFHD（Full High Definition）方式であるとする、総走査線数は1125本であり、有効走査線数は1080本である。上記走査線DMの本数nは、有効走査線の本数に相当する。FHD方式では、1フレーム期間が1125H期間であり、映像信号期間が1080H期間であるので、垂直同期期間は45H期間となる。本実施形態では、 $p = 9$ とし、垂直同期期間において9本の走査線DMを5H期間ずつ順次選択する。なお、ここで示すpの値および走査線DMを選択する期間の長さなどは単なる一例であり、本発明はこれに限定されるものではない。

10

【0099】

図10に示すように、走査線DMjの電位が“1”レベルになっている時刻 $t_1 \sim t_6$ の5H期間で、入出力制御信号DWTのレベルは、“1”レベル、“0”レベル、“1”レベル、“0”レベル、および“1”レベルの順に1H期間毎に切り替わる。オペアンプ731は、入出力制御信号DWTが“1”レベルであるときには上述のようにバッファアンプとして機能し、入出力制御信号DWTが“0”レベルであるときには上述のように電流増幅アンプとして機能する。

20

【0100】

時刻 t_1 以前では、走査線DMjの電位が“0”レベルとなっている。このとき、トランジスタT2、T3がオフ状態になっており、トランジスタT1は、コンデンサC1に保持されたゲート-ソース間電圧 V_{gs} に応じた駆動電流 $I_m(i, j, P)$ を流している。トランジスタT1に流れる駆動電流 $I_m(i, j, P)$ は、発光駆動電流 I_{oled} として有機EL素子OLEDに流れる。そして、有機EL素子OLEDは、この発光駆動電流 I_{oled} に応じた輝度で発光している。

【0101】

時刻 t_1 になると、走査線DMjの電位が“1”レベルに変化して、トランジスタT2、T3がターンオンする。また、入出力制御信号DWTが“1”レベルになり、制御スイッチSWが閉じる。また、オペアンプ731の非反転入力端子には、第1測定用データ電圧 $V_m(i, j, P1)$ が入力される。このため、図11に示すように、第1測定用データ電圧 $V_m(i, j, P1)$ がデータ/測定線DAMEiに供給される。これにより、上記所望階調プログラム期間A3と同様に、時刻 $t_1 \sim t_2$ の測定用階調プログラム期間A1において、コンデンサC1には、次式(5)で与えられるゲート-ソース間電圧 V_{gs} が充電される。

30

$$V_{gs} = V_{ref} - V_m(i, j, P1) \quad \dots (5)$$

以下では、第1測定用データ電圧 $V_m(i, j, P1)$ を書き込む測定用階調プログラム期間A1のことを「第1測定用階調プログラム期間」という。

40

【0102】

時刻 t_2 になると、入出力制御信号DWTが“0”レベルに変化して、制御スイッチSWが開く。また、時刻 t_1 に引き続きオペアンプ731の非反転入力端子には第1測定用データ電圧 $V_m(i, j, P1)$ が入力されているので、仮想短絡により反転入力端子の電位も第1測定用データ電圧 $V_m(i, j, P1)$ となる。なお、時刻 $t_1 \sim t_2$ の期間A1ですでにデータ/測定線DAMEiは第1測定用データ電圧 $V_m(i, j, P1)$ に充電されているので、このように反転入力端子の電位が第1測定用データ電圧 $V_m(i, j, P1)$ になるために要する時間は僅かである。時刻 $t_2 \sim t_3$ の電流測定期間A2では、図12に示すように、オン状態であるトランジスタT3を介した駆動電流 $I_m(i, j, P1)$ の電流パスが形成され、画素回路51からデータ/測定線DAMEiに当該駆

50

動電流 $I_m(i, j, P_1)$ が出力される。なお、上記式 (2) より、発光駆動電流 I_{oled} は流れない。このように、トランジスタ T_3 はオン状態のときに駆動電流 $I_m(i, j, P_1)$ (後述の駆動電流 $I_m(i, j, P_2)$ についても同様) をデータ/測定線 $DAME_i$ に出力可能になっている。データ/測定線 $DAME_i$ に出力された駆動電流 $I_m(i, j, P_1)$ の測定手順は上述のとおりなので、ここではその説明を省略する。以下では、第1階調 P_1 に対応する駆動電流 $I_m(i, j, P_1)$ のことを「第1駆動電流」といい、第1駆動電流 $I_m(i, j, P_1)$ の測定を行う電流測定期間 A_2 のことを「第1電流測定期間」という。また、第1駆動電流 $I_m(i, j, P_1)$ の値を示す測定データ $I_m(i, j, P_1)$ のことを「第1測定データ」という。

【0103】

時刻 $t_3 \sim t_4$ の測定用階調プログラム期間 A_1 における動作は、時刻 $t_1 \sim t_2$ の第1測定用階調プログラム期間 A_1 における動作の第1階調 P_1 を第2階調 P_2 に変更したのみであるので、その詳細な説明は省略する。以下では、第2測定用データ電圧 $V_m(i, j, P_2)$ を書き込む測定用階調プログラム期間 A_1 のことを「第2測定用階調プログラム期間」という。

【0104】

時刻 $t_4 \sim t_5$ の電流測定期間 A_2 における動作は、時刻 $t_2 \sim t_3$ の第1電流測定期間 A_2 における動作の第1階調 P_1 を第2階調 P_2 に変更したのみであるので、その詳細な説明は省略する。以下では、第2階調 P_2 に対応する駆動電流 $I_m(i, j, P_2)$ のことを「第2駆動電流」といい、第2駆動電流 $I_m(i, j, P_2)$ の測定を行う電流測定期間 A_2 のことを「第2電流測定期間」という。また、第2駆動電流 $I_m(i, j, P_2)$ の値を示す測定データ $I_m(i, j, P_2)$ のことを「第2測定データ」という。

【0105】

時刻 $t_5 \sim t_6$ の所望階調プログラム期間 A_3 における動作は、映像信号期間におけるものと同様であるので、その詳細な説明は省略する。ただし、本実施形態における垂直同期期間中の所望階調プログラム期間 A_3 で画素回路 5_1 に書き込まれるデータ電圧 $V_m(i, j, P)$ は、当該垂直同期期間中に取得された第1, 第2測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ に基づいて更新された補正データが反映された値になっている(詳細は後述)。

【0106】

時刻 t_6 になると、走査線 DM_j の電位が“0”レベルに変化して、トランジスタ T_2 , T_3 がターンオフする。このため、コンデンサ C_1 の保持電圧は上記式 (1) で示すゲート-ソース間電圧 V_{gs} に確定する。このとき、トランジスタ T_1 のソース端子はデータ/測定線 $DAME_i$ から電氣的に切り離されているので、上記式 (3) で示す発光駆動電流 I_{oled} が流れ、当該発光駆動電流 I_{oled} に応じた輝度で有機EL素子 $OLED$ が発光する。

【0107】

なお、ここでは、第1測定用階調プログラム期間 A_1 および第1電流測定期間 A_2 の後に第2測定用階調プログラム期間 A_1 および第2電流測定期間 A_2 を設けるものとしたが、第2測定用階調プログラム期間 A_1 および第2電流測定期間 A_2 の後に第1測定用階調プログラム期間 A_1 および第1電流測定期間 A_2 を設けるようにしても良い。

【0108】

以上のような第1測定用階調プログラム期間 A_1 、第1電流測定期間 A_2 、第2測定用階調プログラム期間 A_1 、第2電流測定期間 A_2 、および所望階調プログラム期間 A_3 の動作を p 本の走査線 DM のそれぞれについて行うことにより、 p 本の走査線 DM に対応する画素回路 5_1 ($m \times p$ 個) のそれぞれについての駆動電流 I_m の測定が行われる。

【0109】

なお、あるフレーム期間の垂直同期期間で1行目 $\sim p$ 行目の走査線 $DM_1 \sim DM_p$ に対応する画素回路 5_1 のそれぞれについて駆動電流 I_m の測定が行われるとすると、その次のフレーム期間の垂直同期期間では $p+1$ 行目 $\sim 2p$ 行目の走査線 $DM_{p+1} \sim DM_{2p}$

10

20

30

40

50

に対応する画素回路 5 1 のそれぞれについて駆動電流 I_m の測定が行われる。また、あるフレーム期間の垂直同期期間で $n - p + 1$ 行目 ~ n 行目の走査線 $DM_{n-p+1} \sim DM_n$ に対応する画素回路 5 1 のそれぞれについて駆動電流 I_m の測定が行われるとすると、その次のフレーム期間の垂直同期期間では 1 行目 ~ p 行目の走査線 $DM_1 \sim DM_p$ に対応する画素回路 5 1 のそれぞれについて駆動電流 I_m の測定が行われる。このようにして、測定対象とする $m \times p$ 個の画素回路 5 1 を重複なく 1 フレーム期間毎に順次シフトさせることにより、 $m \times n$ 個の画素回路 5 1 のそれぞれについて駆動電流 I_m の測定を行うことができる。上述のように FHD 方式で $p = 9$ とした場合、120 フレーム期間 (1080 行 / 9 行)、すなわち 2 秒で全画素回路 5 1 について駆動電流 I_m の測定を行うことができる。

10

【0110】

< 1.7 各フレーム期間での動作 >

図 13 は、本実施形態における各フレーム期間での動作について説明するための図である。図 13 におけるプログラムタイミングは、映像信号期間において各走査線 DM を選択し、当該走査線 DM に対応する画素回路 5 1 にデータ電圧 V_m を書き込むタイミングを示している。第 1 フレーム期間の垂直同期期間では、1 行目 ~ p 行目の走査線 $DM_1 \sim DM_p$ に対応する画素回路 5 1 のそれぞれについての測定データが取得され、当該測定データに基づいて補正データの更新が行われる。第 2 フレーム期間の垂直同期期間では、 $p + 1$ 行目 ~ $2p$ 行目の走査線 $DM_{p+1} \sim DM_{2p}$ に対応する画素回路 5 1 のそれぞれについての測定データが取得され、当該測定データに基づいて補正データの更新が行われる。以降、第 3 フレーム期間以降についても、 p 本の走査線 DM を重複なく 1 フレーム期間毎にシフトして同様の動作が行われる。

20

【0111】

< 1.8 データドライバの 1 列分 >

図 14 は、図 3 に示すデータドライバ 600 の 1 列分の構成例を示す回路図である。なお、図 14 では、シフトレジスタ 63、第 1 ラッチ部 64、およびラッチ回路 650 の図示を便宜上省略している。データドライバ 600 は、各データ / 測定線 $DAME$ に対応して $DAC660$ の前段に設けられた D ラッチ 680 を備えている。本実施形態における D ラッチ 680 はデータラッチ部に相当する。なお、 D ラッチ 680 は実際には 1 列毎に複数ビット分設けられるが、以下では便宜上、 D ラッチ 680 が 1 列毎に 1 ビット分設けられるものとして説明する。

30

【0112】

D ラッチ 680 は、 D 入力端子、 LT 入力端子、および Q 出力端子を備えている。 D ラッチ 680 は、 D 入力端子から映像データ $V_m(i, j, P)$ を受け取り、 LT 入力端子から入出力制御信号 DWT を受け取り、 Q 出力端子から $DAC660$ および減算部 733 に与えるべき映像データ $V_m(i, j, P)$ を出力する。入出力制御信号 DWT が “1” レベルのとき、 D ラッチ 680 は、 D 入力端子から受け取った映像データ $V_m(i, j, P)$ をそのまま Q 出力端子から出力する。入出力制御信号 DWT が “0” レベルのとき、 D ラッチ 680 は、直前に入出力制御信号 DWT が “1” レベルであったときの映像データ $V_m(i, j, P)$ をラッチして Q 出力端子から出力する。

40

【0113】

図 15 は、図 14 に示す D ラッチ 680 の垂直同期期間での動作について説明するためのタイミングチャートである。図 15 では、 D 入力端子への入力を符号 D で表し、 Q 出力端子からの出力を符号 Q で表している。

【0114】

時刻 $t_1 \sim t_2$ の第 1 測定用階調プログラム期間 A_1 では、第 1 測定用映像データ $V_m(i, j, P_1)$ が D 入力端子に入力される。このとき、入出力制御信号 DWT が “1” レベルであるので、 D 入力端子に入力された第 1 測定用映像データ $V_m(i, j, P_1)$ がそのまま Q 出力端子から出力される。

【0115】

50

時刻 $t_2 \sim t_3$ の第 1 電流測定期間 A_2 では、例えば D 入力端子に入力がない。このとき、入出力制御信号 DWT が “ 0 ” レベルであるので、直前の第 1 測定用階調プログラム期間 A_1 における D 入力端子への入力である第 1 測定用映像データ $V_m(i, j, P_1)$ がラッチされ、出力端子から出力される。なお、第 1 測定用映像データ $V_m(i, j, P_1)$ のラッチは、より詳細には、入出力制御信号 DWT の “ 1 ” レベルから “ 0 ” レベルへの変化時に行われる。これは、第 2 測定用映像データ $V_m(i, j, P_2)$ のラッチについても同様である。

【 0 1 1 6 】

時刻 $t_3 \sim t_4$ の第 2 測定用階調プログラム期間 A_1 では、第 2 測定用映像データ $V_m(i, j, P_2)$ が D 入力端子に入力される。このとき、入出力制御信号 DWT が “ 1 ” レベルであるので、D 入力端子に入力された第 2 測定用映像データ $V_m(i, j, P_2)$ がそのまま Q 出力端子から出力される。

10

【 0 1 1 7 】

時刻 $t_4 \sim t_5$ の第 2 電流測定期間 A_2 では、例えば D 入力端子に入力がない。このとき、入出力制御信号 DWT が “ 0 ” レベルであるので、直前の第 2 測定用階調プログラム期間 A_1 における D 入力端子への入力である第 2 測定用映像データ $V_m(i, j, P_2)$ がラッチされ、出力端子から出力される。

【 0 1 1 8 】

時刻 $t_5 \sim t_6$ の所望階調プログラム期間 A_3 では、階調 P に対応する映像データ $V_m(i, j, P)$ が D 入力端子に入力される。このとき、入出力制御信号 DWT が “ 1 ” レベルであるので、D 入力端子に入力された映像データ $V_m(i, j, P)$ がそのまま Q 出力端子から出力される。

20

【 0 1 1 9 】

以上のようにして、図 10 に示すタイミングチャートにおけるデータ / 測定線 DAME_i の電位が得られる。このようなデータ / 測定線 DAME_i の電位を得るための構成は種々変形可能であり、D ラッチ 680 を使用する例に限定されるものではない。

【 0 1 2 0 】

なお、映像信号期間では、入出力制御信号 DWT が常時 “ 1 ” レベルであるので、D ラッチ 680 は、D 入力端子から受け取った映像データ $V_m(i, j, P)$ をそのまま Q 出力端子から出力する。

30

【 0 1 2 1 】

< 1.9 コントローラとデータドライバとの間のデータ通信 >

図 16 は、本実施形態における、コントローラ 10 とデータドライバ 600 との間でのデータ通信について説明するためのブロック図である。本実施形態における通信バス 80 は、コントローラ 10 からデータドライバ 600 への単方向通信バス（以下「第 1 単方向通信バス」という。）と、データドライバ 600 からコントローラ 10 への単方向通信バス（以下「第 2 単方向通信バス」という。）とにより構成されている。なお、第 1, 第 2 単方向通信バスの種類は特に限定されるものではないが、例えば、LVDS (Low Voltage Differential Signaling)、MIP I (Mobile Industry Processor Interface)、または e-DP (Embedded Display Port) などである。

40

【 0 1 2 2 】

図 16 に示すゲイン補正メモリ 21 および閾値電圧補正メモリ 22 は、DRAM 20 の所定の記憶領域によって実現される。ゲイン補正メモリ 21 は、トランジスタ T_1 (駆動トランジスタ) のゲイン補償が行われるように映像データ $V_m(i, j, P)$ を補正するためのゲイン補正データを記憶している。閾値電圧補正メモリ 22 は、トランジスタ T_1 の閾値電圧補償が行われるように映像データ $V_m(i, j, P)$ を補正するための閾値電圧補正データを記憶している。これらのゲイン補正データおよび閾値電圧補正データのそれぞれは画素回路 51 毎に用意されている。以下では、 j 行 i 列目の画素回路 51 に対応するゲイン補正データを符号 $B_2R(i, j)$ で表す。また、 j 行 i 列目の画素回路 51 に対応する閾値電圧補正データを符号 $V_t(i, j)$ で表す。本実施形態では、ゲイン補

50

正データ $B2R(i, j)$ は第2補正データに相当し、閾値電圧補正データ $Vt(i, j)$ は第1補正データに相当する。なお、ゲイン補正データ $B2R(i, j)$ の初期値は1に設定され、閾値電圧補正データ $Vt(i, j)$ の初期値は各画素回路51で共通の所定値に設定されているものとする。

【0123】

コントローラ10は、図16に示すように、第1LUT(Look up Table)11、乗算部12、加算部13、減算部14、第2LUT15、およびCPU(Central Processing Unit)16を備えている。なお、CPU16に代えてロジック回路などを使用しても良い。CPU16は、コントローラ10の各種動作を制御する。

【0124】

第1LUT11は、外部から映像信号VSを受け取り、画素回路51毎に、映像信号VSが示す階調Pを制御電圧Vc(P)に変換して出力する。第1LUT11における変換の詳細については後述する。

【0125】

乗算部12は、第1LUT11から制御電圧Vc(P)を受け取り、ゲイン補正メモリ21から読み出されたゲイン補正データ $B2R(i, j)$ を受け取る。なお、ゲイン補正メモリ21からのゲイン補正データ $B2R(i, j)$ の読み出しタイミングはCPU16などによって制御される。乗算部12は、制御電圧Vc(P)にゲイン補正データ $B2R(i, j)$ を乗じて得られる「 $Vc(P) * B2R(i, j)$ 」を出力する。

【0126】

加算部13は、乗算部12の出力を受け取り、閾値電圧補正メモリ22から読み出された閾値電圧補正データ $Vt(i, j)$ を受け取る。なお、閾値電圧補正メモリ22からの閾値電圧補正データ $Vt(i, j)$ の読み出しタイミングはCPU16などによって制御される。加算部13は、乗算部12の出力に閾値電圧補正データ $Vt(i, j)$ を加えて得られる「 $Vc(P) * B2R(i, j) + Vt(i, j)$ 」を出力する。

【0127】

減算部14は、加算部13の出力および参照電圧Vrefを受け取り、参照電圧Vrefから加算部13の出力を減じた値を映像データ $Vm(i, j, P)$ として出力する。減算部14から出力された映像データ $Vm(i, j, P)$ は、例えば図示しないバッファメモリなどに保持されて、CPU16による制御に基づいた所定のタイミングで第1単方向通信バスを介して対応するデータドライバ600に送信される。減算部14が出力する映像データ $Vm(i, j, P)$ は次式(6)で与えられる。

$$Vm(i, j, P) = Vref - Vc(P) * B2R(i, j) - Vt(i, j) \quad \dots (6)$$

【0128】

ここで、式(6)を上記式(3)に代入すると、次式(7)が得られる。

$$I_{oled} = (1/2) * (Vc(P) * B2R(i, j) + Vt(i, j) - Vt)^2 \quad \dots (7)$$

式(7)から、ゲイン補正データ $B2R(i, j)$ および閾値電圧補正データ $Vt(i, j)$ をトランジスタT1の状態に応じた値に設定することにより、ゲイン補償および閾値電圧補償が可能であることがわかる。

【0129】

上述の第1LUT11における変換についてさらに説明する。ここで、有機EL素子OLEDを最大輝度Ywに点灯させるための電流をIwとし、そのときのトランジスタT1のゲート-ソース間電圧Vgsが次式(8)で与えられるとする。

$$Vgs = Vw + Vth \quad \dots (8)$$

この場合、第1LUT11における変換は、例えば次式(9)に従って行えば良い。

$$Vc(P) = Vw * P^{1.1} \quad \dots (9)$$

【0130】

このようにして制御電圧Vc(P)を選択することにより、階調Pに対応する発光駆動電流Ioled(P)は次式(10)で与えられる。なお、 $B2R(i, j) = 1$ 、 $Vt(i, j) = Vt$ であるとする。

10

20

30

40

50

$$I_{oled}(P) = (I_w/2) * V_w^2 * P^{2.2} \dots (10)$$

したがって、発光駆動電流 I_{oled} は階調 P に対して $= 2.2$ となり、発光駆動電流 I_{oled} に比例する発光輝度も $= 2.2$ に設定することができる。なお、例えば $I_w = 130 \text{ nA}$ 、 $V_w = 2.0 \text{ V}$ であるときの第 1 LUT 1 の入出力関係、すなわち階調 P - 制御電圧 $V_c(P)$ 特性は図 17 に示され、階調 P - 発光駆動電流 $I_{oled}(P)$ 特性は図 18 に示され、階調 P - 発光輝度 $Y(P)$ 特性は図 19 に示される。

【0131】

ところで、式 (10) は、トランジスタ T_1 の出力電流 (駆動電流) が入力制御電圧に対して 2 乗特性となる理想的な場合を示しているが、出力電流が小さい領域では、その出力電流が実際には 2 乗特性から外れる。そのため、第 1 LUT 1 における変換は、式 (9) に代えて、次式 (11) により正規化した $V_c(P)$ を出力とすることが望ましい。これにより、第 1 LUT 1 における変換精度を向上させることができる。

10

$$V_c(P) = V_w * V_n(P) \dots (11)$$

ここで、 $V_n(P)$ は階調 P に対して非線形な値である。

【0132】

第 2 LUT 15 は、第 1、第 2 階調 P_1 、 P_2 を受け取り、それらを、第 1、第 2 階調 P_1 、 P_2 のそれぞれに対応する理想的な表示特性 (より詳細には理想的な階調対駆動電流の値) を示す理想特性データ $I_O(P)$ に変換して出力する。ここで、理想特性データ $I_O(P)$ は次式 (12) で与えられ、図 20 に示される。

$$I_O(P) = I_w * P^{2.2} \dots (12)$$

20

【0133】

CPU 16 は、第 2 単方向通信バスを介して、データドライバ 600 から所定のタイミングで、第 1、第 2 測定データ $I_m(i, j, P_1)$ 、 $I_m(i, j, P_2)$ を受け取る。CPU 16 は、第 1 測定データ $I_m(i, j, P_1)$ を受け取った場合、第 1 階調 P_1 に対応する理想特性データ $I_O(P_1)$ を第 2 LUT 15 から受け取る。そして、CPU 16 は、理想特性データ $I_O(P_1)$ と第 1 測定データ $I_m(i, j, P_1)$ とを比較して、その比較結果に基づいて閾値電圧補正データ $V_t(i, j)$ を更新する。

【0134】

具体的には、CPU 16 は、第 1 測定データ $I_m(i, j, P_1)$ が次式 (13) を満たす場合、閾値電圧補正データ $V_t(i, j)$ を「 $V_t(i, j) + V$ 」にし、第 1 測定データ $I_m(i, j, P_1)$ が次式 (14) を満たす場合、閾値電圧補正データ $V_t(i, j)$ を「 $V_t(i, j) - V$ 」にし、第 1 測定データ $I_m(i, j, P_1)$ が次式 (15) を満たす場合、閾値電圧補正データ $V_t(i, j)$ をそのまま「 $V_t(i, j)$ 」にすることにより、閾値電圧補正データ $V_t(i, j)$ を更新する。ここで、 V は、閾値電圧補正データ $V_t(i, j)$ の値を変更するための予め定められた固定値を表し、より詳細には、閾値電圧補正データ $V_t(i, j)$ の値を変更可能な最小の値を表す。すなわち、閾値電圧補正データ $V_t(i, j)$ は最小幅で更新される。

30

$$I_O(P_1) - I_m(i, j, P_1) > 0 \dots (13)$$

$$I_O(P_1) - I_m(i, j, P_1) < 0 \dots (14)$$

$$I_O(P_1) - I_m(i, j, P_1) = 0 \dots (15)$$

40

【0135】

CPU 16 は、第 2 測定データ $I_m(i, j, P_2)$ を受け取った場合、第 2 階調 P_2 に対応する理想特性データ $I_O(P_2)$ を第 2 LUT 15 から受け取る。そして、CPU 16 は、理想特性データ $I_O(P_2)$ と第 2 測定データ $I_m(i, j, P_2)$ とを比較して、その比較結果に基づいてゲイン補正データ $B_2R(i, j)$ を更新する。

【0136】

具体的には、CPU 16 は、第 2 測定データ $I_m(i, j, P_2)$ が次式 (16) を満たす場合、ゲイン補正データ $B_2R(i, j)$ を「 $B_2R(i, j) + B$ 」にし、第 2 測定データ $I_m(i, j, P_2)$ が次式 (17) を満たす場合、ゲイン補正データ $B_2R(i, j)$ を「 $B_2R(i, j) - B$ 」にし、第 2 測定データ $I_m(i, j, P_2)$ が

50

次式(18)を満たす場合、ゲイン補正データ $B2R(i, j)$ をそのまま「 $B2R(i, j)$ 」にすることにより、ゲイン補正データ $B2R(i, j)$ を更新する。ここで、 B は、ゲイン補正データ $B2R(i, j)$ の値を変更するための予め定められた固定値を表し、より詳細には、ゲイン補正データ $B2R(i, j)$ の値を変更可能な最小の値を表す。すなわち、ゲイン補正データ $B2R(i, j)$ は最小幅で更新される。

$$I0(P2) - Im(i, j, P2) > 0 \quad \dots (16)$$

$$I0(P2) - Im(i, j, P2) < 0 \quad \dots (17)$$

$$I0(P2) - Im(i, j, P2) = 0 \quad \dots (18)$$

【0137】

以上のようにして、各画素回路51について、第1, 第2測定データ $Im(i, j, P1)$, $Im(i, j, P2)$ を受信する毎にそれぞれ閾値電圧補正データ $Vt(i, j)$ およびゲイン補正データ $B2R(i, j)$ の更新が行われ、閾値電圧補正データ $Vt(i, j)$ およびゲイン補正データ $B2R(i, j)$ に基づいた映像データ $Vm(i, j, P)$ が生成される。言い換えると、第1, 第2測定データ $Im(i, j, P1)$, $Im(i, j, P2)$ に基づいて、あるいは、閾値電圧補正データ $Vt(i, j)$ およびゲイン補正データ $B2R(i, j)$ に基づいて映像データ $Vm(i, j, P)$ が補正される。

10

【0138】

ここで、第1測定データ $Im(i, j, P1)$ が閾値電圧補正データ $Vt(i, j)$ の更新の判断基準に使用されている理由は次のとおりである。第1測定用データ電圧 $Vm(i, j, P1)$ に応じてトランジスタ $T1$ が駆動される時、トランジスタ $T1$ のゲート-ソース間電圧 Vgs は比較的小さい。このため、ゲート-ソース間電圧 Vgs に対する閾値電圧 Vt のずれが第1駆動電流 $Im(i, j, P1)$ に大きく反映される。このため、第1測定データ $Im(i, j, P1)$ は、閾値電圧補正データ $Vt(i, j)$ 更新の判断基準に好適である。

20

【0139】

一方、第2測定データ $Im(i, j, P2)$ がゲイン補正データ $B2R(i, j)$ 更新の判断基準に使用されている理由は次のとおりである。第2測定用データ電圧 $Vm(i, j, P2)$ に応じてトランジスタ $T1$ が駆動される時、トランジスタ $T1$ のゲート-ソース間電圧 Vgs は比較的大きい。このため、ゲート-ソース間電圧 Vgs に対する閾値電圧 Vt のずれが第2駆動電流 $Im(i, j, P2)$ に反映されにくい一方で、ゲインのずれが第2駆動電流 $Im(i, j, P2)$ に相対的に大きく反映される。このため、第2測定データ $Im(i, j, P2)$ は、ゲイン補正データ $B2R(i, j)$ 更新の判断基準に好適である。

30

【0140】

< 1.10 第1階調および第2階調 >

第1, 第2階調 $P1, P2$ の具体的な設定について検討する。上述のように、理想特性データ $I0(P)$ は上記式(12)で与えられるが、ここでは便宜上 $Iw = 1$ とし、理想特性データ $I0(P)$ が次式(19)で与えられるとする。

$$I0(P) = P^{2.2} \quad \dots (19)$$

また、測定誤差を表す誤差関数 $Ie(P)$ を次式(20)で定義する。

40

$$\begin{aligned} Ie(P) &= I0(P) - (1 \cdot P^{2.2} + 2) \\ &= P^{2.2} - (1 \cdot P^{2.2} + 2) \quad \dots (20) \end{aligned}$$

【0141】

ここで、階調が第1, 第2階調 $P1, P2$ であるときの測定誤差をそれぞれ $n1, n2$ とすると、 $n1, n2$ はそれぞれ次式(21), (22)で与えられる。

$$n1 = Ie(P1) = P1^{2.2} - (1 \cdot P1^{2.2} + 2) \quad \dots (21)$$

$$n2 = Ie(P2) = P2^{2.2} - (1 \cdot P2^{2.2} + 2) \quad \dots (22)$$

式(21), (22)により、 $n1, n2$ はそれぞれ次式(23), (24)で与えられる。

$$n1 = 1 - (n2 - n1) / (P2^{2.2} - P1^{2.2}) \quad \dots (23)$$

50

$$2 = (n2 * P1^{2 \cdot 2} - n1 * P2^{2 \cdot 2}) / (P2^{2 \cdot 2} - P1^{2 \cdot 2}) \dots (24)$$

式(23), (24)を式(20)に代入すると、誤差関数 $I_e(P)$ は次式(25)で与えられる。

$$I_e(P) = [(n2 - n1) * P^{2 \cdot 2} + n1 * P2^{2 \cdot 2} - n2 * P1^{2 \cdot 2}] / (P2^{2 \cdot 2} - P1^{2 \cdot 2}) \dots (25)$$

【0142】

図21(A)～図21(F)、図22(A)～図22(D)、および図23(A)～図23(E)は、 $n1 = 0.05$ 、 $n2 = -0.05$ とした場合の測定誤差(式(25)で与えられる誤差関数 $I_e(P)$)のシミュレーション結果を示す。各図において、縦軸および横軸はそれぞれ $|I_e(P)|$ および階調 P である。なお、ここでは最大階調が255であるとする。図21(A)～図21(F)はそれぞれ、第1階調 $P1$ が0、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が2、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が4、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が10、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が20、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、および第1階調 $P1$ が40、第2階調 $P2$ が255である場合のシミュレーション結果を示す図である。図22(A)～図22(D)はそれぞれ、第1階調 $P1$ が64、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が96、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が128、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、および第1階調 $P1$ が192、第2階調 $P2$ が255である場合のシミュレーション結果を示す図である。図23(A)～図23(E)はそれぞれ、第1階調 $P1$ が64、第2階調 $P2$ が255である場合のシミュレーション結果を示す図、第1階調 $P1$ が64、第2階調 $P2$ が224である場合のシミュレーション結果を示す図、第1階調 $P1$ が64、第2階調 $P2$ が200である場合のシミュレーション結果を示す図、第1階調 $P1$ が64、第2階調 $P2$ が192である場合のシミュレーション結果を示す図、および第1階調 $P1$ が64、第2階調 $P2$ が160である場合のシミュレーション結果を示す図である。

10

20

30

40

50

【0143】

図21(A)～図21(F)、図22(A)～図22(D)、および図23(A)～図23(E)から、第1階調 $P1$ が64よりも大きくなると測定誤差が増加し、また、第2階調 $P2$ が200よりも小さくなると測定誤差が増加することがわかる。このため、最大階調が255である場合、第1、第2階調 $P1$ 、 $P2$ はそれぞれ0～64および200～255に設定することが望ましい。ただし、本発明は、第1、第2階調 $P1$ 、 $P2$ をそれぞれ0～64以外および200～255以外に設定することを排除するものではなく、第1階調 $P1$ が比較的低い階調であり、第2階調 $P2$ が比較的高い階調であれば良い。

【0144】

< 1.11 データ更新 >

図24は、本実施形態における、第 N フレーム期間 (N は自然数) の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。第 N フレーム期間の垂直同期期間では、走査線 $DM1 \sim DMp$ に対応する画素回路51のそれぞれについて駆動電流 I_m を測定する。ここでは $p = 7$ とし、垂直同期期間(45H期間)の開始側および終了側でそれぞれ1H期間および9H期間のマージンを設けている。なお、このようなマージンは必ずしも設ける必要はない。例えば、マージンを設けずに上述のように $p = 9$ としても良い。また、図24における V は映像信号期間であるか垂直同期期間であるかを示す期間種別信号を表す。期間種別信号 V は、映像信号期間では“0”レベルであり、垂直同期期間では“1”レベルである。

【0145】

期間種別信号 V が“1”レベルに切り替わると垂直同期期間が開始し、1H期間のマージンの後、1行目の走査線 $DM1$ が5H期間選択される。この5H期間では、上述のように、1行目の画素回路51に関する第1測定用階調プログラム期間 $A1$ 、第1電流測定期

間 A 2、第 2 測定用階調プログラム期間 A 1、第 2 電流測定期間 A 2、および所望階調プログラム期間 A 3 が 1 H 期間毎に順に切り替わる。以下では、「j 行目の画素回路 5 1 に関する」または「j 行目の画素回路 5 1 の」という表現を適宜「j 行目の」に省略して用いる。垂直同期期間中の各走査線 DM の選択期間では、入出力制御信号 DWT のレベルは、上述のように“1”レベル、“0”レベル、“1”レベル、“0”レベル、および“1”レベルの順に 1 H 期間毎に切り替わる。なお、図 2 4 と、後述の図 2 5、図 4 0、図 4 1、図 4 4、および図 4 5 とを参照した説明では、便宜上 i 列目の画素回路 5 1 に着目するものとする。

【0146】

1 行目の第 1 測定用階調プログラム期間 A 1 では、第 1 単方向通信バスを介してコントローラ 10 からデータドライバ 600 に第 1 測定用映像データ $V_m(i, 1, P1)$ が送信され、第 1 測定用データ電圧 $V_m(i, 1, P1)$ の書き込みが行われる。

10

【0147】

1 行目の第 1 電流測定期間 A 2 では、第 1 測定データ $I_m(i, 1, P1)$ が取得され、第 2 単方向通信バスを介してデータドライバ 600 からコントローラ 10 に第 1 測定データ $I_m(i, 1, P1)$ が送信される。そして、コントローラ 10 では、受信した第 1 測定データ $I_m(i, 1, P1)$ に基づいた閾値電圧補正データ $V_t(i, 1)$ の更新が行われる。

【0148】

1 行目の第 2 測定用階調プログラム期間 A 1 では、第 1 単方向通信バスを介してコントローラ 10 からデータドライバ 600 に第 2 測定用映像データ $V_m(i, 1, P2)$ が送信され、第 2 測定用データ電圧 $V_m(i, 1, P2)$ の書き込みが行われる。ここで、第 2 測定用映像データ $V_m(i, 1, P2)$ には、更新後の閾値電圧補正データ $V_t(i, 1)$ が反映されている。

20

【0149】

1 行目の第 2 電流測定期間 A 2 では、第 2 測定データ $I_m(i, 1, P2)$ が取得され、第 2 単方向通信バスを介してデータドライバ 600 からコントローラ 10 に第 2 測定データ $I_m(i, 1, P2)$ が送信される。そして、コントローラ 10 では、受信した第 2 測定データ $I_m(i, 1, P2)$ に基づいたゲイン補正データ $B2R(i, 1)$ の更新が行われる。

30

【0150】

1 行目の所望階調プログラム期間 A 3 では、第 1 単方向通信バスを介してコントローラ 10 からデータドライバ 600 に映像データ $V_m(i, 1, P)$ が送信され、データ電圧 $V_m(i, 1, P)$ の書き込みが行われる。ここで、映像データ $V_m(i, 1, P)$ には、更新後の閾値電圧補正データ $V_t(i, 1)$ および更新後のゲイン補正データ $B2R(i, 1)$ が反映されている。

【0151】

その後、1 行目の選択期間が終了し、2 行目～7 行目の走査線 DM 2～DM 7 が順次選択されることにより、2 行目～7 行目のそれぞれで 1 行目と同様の動作が行われる。7 行目の選択期間終了後、9 H 期間のマージンを経て、期間種別信号 V が“0”レベルに切り替わり、垂直同期期間が終了する。

40

【0152】

その後、第 N + 1 フレーム期間の映像信号期間が開始され、1 行目～7 行目については第 N フレーム期間の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われ、8 行目～1080 行目については第 N - 1 フレーム期間以前の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われる。なお、本実施形態では、1 行目～7 行目について、第 N フレーム期間の垂直同期期間においてすでに最新の更新結果がデータ電圧に反映されている。

【0153】

図 2 5 は、本実施形態における、第 N + 1 フレーム期間の垂直同期期間での映像データ

50

受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。第 $N + 1$ フレーム期間の垂直同期期間では、図 25 に示すように、8 行目 ~ 14 行目について 1 行目 ~ 7 行目と同様の動作が行われる。第 $N + 2$ フレーム期間の映像信号期間では、8 行目 ~ 14 行目については第 $N + 1$ フレーム期間の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われ、1 行目 ~ 7 行目、15 行目 ~ 1080 行目については第 N フレーム期間以前の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われる。

【0154】

以上のように、本実施形態では、1 行につき 5 H 期間を割り当てて閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B2R(i, j)$ の更新を行っている。また、各測定データの取得と同時に当該測定データの送信を行うことにより、更新結果を映像データ（データ電圧）にリアルタイムに反映している。なお、第 1、第 2 単方向通信バスに代えて双方向通信バスを使用した場合でも、本実施形態と同様の手順で閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B2R(i, j)$ の更新を行うことができる。本実施形態のように第 1、第 2 単方向通信バスを使用した場合、第 1 電流測定期間 $A2$ および第 2 電流測定期間 $A2$ においてもそれぞれ第 1 測定用映像データ $V_m(i, j, P1)$ および第 2 測定用映像データ $V_m(i, j, P2)$ をコントローラ 10 からデータドライバ 600 に送信可能である。この場合、上述の D ラッチ 680 は使用しなくても良い。

10

【0155】

< 1.12 走査駆動部 >

20

図 26 は、図 1 に示す走査駆動部 70 の詳細な構成を示す回路図である。走査駆動部 70 は、第 1 シフトレジスタ 710、第 2 シフトレジスタ 720、およびセクタ群 730 を備えている。第 1 シフトレジスタ 710 は、映像信号期間において n 本の走査線 $DM1 \sim DMn$ を駆動するためのシフトレジスタである。第 2 シフトレジスタ 720 は、垂直同期期間において n 本の走査線 $DM1 \sim DMn$ を駆動するためのシフトレジスタである。セクタ群 730 は、映像信号期間では第 1 シフトレジスタ 710 の各段の出力を対応する走査線に与え、垂直同期期間では第 2 シフトレジスタ 720 の各段の出力を対応する走査線に与える。

【0156】

第 1 シフトレジスタ 710 は、 n 個（段）の第 1 フリップフロップ $FA1 \sim FAn$ および n 個（段）の第 1 AND 回路 $AA1 \sim AAn$ を備えている。第 1 シフトレジスタ 710 の n 段の構成要素はそれぞれ n 本の走査線 $DM1 \sim DMn$ に対応している。以下では、 n 段の第 1 フリップフロップ $FA1 \sim FAn$ を特に区別する必要がない場合はこれらを単に符号 FA で表し、 n 段の第 1 AND 回路 $AA1 \sim AAn$ を特に区別する必要がない場合はこれらを単に符号 AA で表す。第 1 シフトレジスタ 710 は、コントローラ 10 から各種制御信号として第 1 イネーブル信号 DOE 、第 1 スタートパルス SPV 、および第 1 クロック HCK を受け取る。

30

【0157】

第 1 フリップフロップ FA は、D 入力端子、CK 入力端子、および Q 出力端子を備えている。各段の第 1 フリップフロップ FA の D 入力端子には、前段の第 1 フリップフロップ FA の Q 出力端子からの出力（以下「Q 出力」という。）が入力される。ただし、1 段目の第 1 フリップフロップ $FA1$ の D 入力端子には第 1 スタートパルス SPV が入力される。各段の第 1 フリップフロップ FA の CK 入力端子には第 1 クロック HCK が入力される。各段の第 1 AND 回路 AA の第 1 入力端子には同じ段の第 1 フリップフロップ FA の Q 出力が入力され、第 2 入力端子には第 1 イネーブル信号 DOE が入力される。

40

【0158】

第 2 シフトレジスタ 720 は、 n 個（段）の第 2 フリップフロップ $FB1 \sim FBn$ および n 個（段）の第 2 AND 回路 $AB1 \sim ABn$ を備えている。第 2 シフトレジスタ 720 の n 段の構成要素はそれぞれ n 本の走査線 $DM1 \sim DMn$ に対応している。以下では、 n 段の第 2 フリップフロップ $FB1 \sim FBn$ を特に区別する必要がない場合はこれらを単に

50

符号 F B で表し、n 段の第 2 A N D 回路 A B 1 ~ A B n を特に区別する必要がない場合はこれらを単に符号 A B で表す。第 2 シフトレジスタ 7 2 0 は、コントローラ 1 0 から各種制御信号として第 2 イネーブル信号 M O E、第 2 スタートパルス S P M、および第 2 クロック H 5 C K を受け取る。

【 0 1 5 9 】

第 2 フリップフロップ F B は、D 入力端子、C K 入力端子、および Q 出力端子を備えている。各段の第 2 フリップフロップ F B の D 入力端子には、前段の第 2 フリップフロップ F B の Q 出力が入力される。ただし、1 段目の第 2 フリップフロップ F B 1 の D 入力端子には第 2 スタートパルス S P M が入力される。各段の第 2 フリップフロップ F B の C K 入力端子には第 2 クロック H 5 C K が入力される。各段の第 2 A N D 回路 A B の第 1 入力端子には同じ段の第 2 フリップフロップの Q 出力が入力され、第 2 入力端子には第 2 イネーブル信号 M O E が入力される。

10

【 0 1 6 0 】

セレクタ群 7 3 0 は、n 個 (段) のセレクタ S E 1 ~ S E n を備えている。n 段のセレクタ S E 1 ~ S E n はそれぞれ n 本の走査線 D M 1 ~ D M n に対応している。以下では、n 段のセレクタ S E 1 ~ S E n を特に区別する必要がない場合はこれらを単に符号 S E で表す。セレクタ群 7 3 0 は、コントローラ 1 0 から各種制御信号としてセレクタ制御信号 M S _ I M を受け取る。

【 0 1 6 1 】

セレクタ S E は、A 入力端子、B 入力端子、および Y 出力端子を備えている。セレクタ S E は、セレクタ制御信号 M S _ I M に応じて、A 入力端子および B 入力端子への入力のどちらを Y 出力端子からの出力 (以下「 Y 出力」という。) にすべきかを選択する。具体的には、セレクタ S E は、セレクタ制御信号 M S _ I M が “ 0 ” レベルであれば A 入力端子への入力を Y 出力とし、“ 1 ” レベルであれば B 入力端子への入力を Y 出力とする。各段のセレクタ S E の A 入力端子には同じ段の第 1 A N D 回路 A A の出力が入力され、B 入力端子には同じ段の第 2 A N D 回路 A B の出力が入力される。各段のセレクタ S E の Y 出力は、同じ段の走査線 D M に入力される。

20

【 0 1 6 2 】

上述のように、本実施形態における走査駆動部 7 0 は 2 個のゲートドライバ 7 0 0 を備えている。例えば、図 2 6 に示す走査駆動部 7 0 の構成要素のうち、奇数段目の構成要素は一方のゲートドライバ 7 0 0 に相当し、偶数段目の構成要素は他方のゲートドライバ 7 0 0 に相当する。また、2 個のゲートドライバ 7 0 0 は、表示部 5 0 が高精細である場合や倍速または 4 倍速フレーム周波数などで駆動を行う場合のように、1 H 期間に対して走査線の時定数が不足するとき、2 個のゲートドライバ 7 0 0 を表示部 5 0 の左右から同じ駆動信号で駆動することにより、走査線の時定数不足を補うことができる。

30

【 0 1 6 3 】

図 2 7 は、図 2 6 に示す走査駆動部 7 0 の第 N フレーム期間での動作について説明するためのタイミングチャートである。図 2 7 において、Q A 1 ~ Q A n はそれぞれ第 1 フリップフロップ F A 1 ~ F A n の Q 出力を表し、Q B 1 ~ Q B n はそれぞれ第 2 フリップフロップ F B 1 ~ F B n の Q 出力を表す。第 1 クロック H C K は、映像信号期間において 1 H 期間を周期として “ 1 ” レベルのパルスを生じる。第 2 クロック H 5 C K は、垂直同期期間において 5 H 期間を周期として “ 1 ” レベルのパルスを 7 個生じる。図 2 7 では、第 1 クロック H C K が垂直同期期間においても 1 H 期間を周期として “ 1 ” レベルのパルスを生じるものとしているが、垂直同期期間では第 1 クロック H C K が常時 “ 0 ” レベルになっても良い。第 2 クロック H 5 C K は、映像信号期間では常時 “ 0 ” レベルである。第 1 イネーブル信号 D O E は、映像信号期間では第 1 クロック H C K を反転したレベルとなり、垂直同期期間では常時 “ 0 ” レベルとなる。第 2 イネーブル信号 M O E は、映像信号期間では常時 “ 0 ” レベルとなり、垂直同期期間では、第 2 クロック H 5 C K の 1 個目のパルスの立ち下がりと同時に “ 1 ” レベルに変化し、7 個目のパルスの立ち下がり時から 5 H 期間後に “ 0 ” レベルに変化する。

40

50

【 0 1 6 4 】

第 N フレーム期間の映像信号期間の開始時には、セクタ制御信号 M S _ I M が “ 0 ” レベルに変化すると同時に、“ 1 ” レベルの第 1 スタートパルス S P V が 1 段目の第 1 フリップフロップ F A 1 の D 入力端子に与えられる。“ 1 ” レベルの第 1 スタートパルス S P V の入力後、“ 1 ” レベルの Q 出力が第 1 クロック H C K に同期してシフトしていく。映像信号期間では、セクタ制御信号 M S _ I M が “ 0 ” レベルであるので、各段の第 1 フリップフロップ F A の Q 出力と第 1 イネーブル信号 D O E との A N D 演算結果が、セクタ S E を介して対応する行の走査線 D M に与えられる。このようにして、映像信号期間において 1 行目 ~ n 行目の走査線 D M 1 ~ D M n が順次選択される。なお、映像信号期間での動作は、各フレーム期間で同様である。

10

【 0 1 6 5 】

第 N フレーム期間の垂直同期期間の開始時には、セクタ制御信号 M S _ I M が “ 1 ” レベルに変化する。その後、1 H 期間のマージンを設け、“ 1 ” レベルの第 2 スタートパルス S P M に基づく Q 出力が、第 2 クロック H 5 C K に同期してシフトしていく。なお、マージンの期間は特に限定されるものではない。4 5 H 期間の垂直同期期間では、1 段目 ~ 7 段目の第 2 フリップフロップ F B 1 ~ F B 7 の Q 出力が順次 “ 1 ” レベルになる。垂直同期期間では、セクタ制御信号 M S _ I M が “ 1 ” レベルであるので、各段の第 2 フリップフロップ F B の Q 出力と第 2 イネーブル信号 M O E との A N D 演算結果が、セクタ S E を介して対応する行の走査線 D M に与えられる。このようにして、第 N フレーム期間の垂直同期期間において 1 行目 ~ 7 行目の走査線 D M 1 ~ D M 7 が 5 H 期間毎に順次選択される。第 2 クロック H 5 C K は 7 個目のパルスを生じると “ 0 ” レベルに固定されるので、第 2 シフトレジスタ 7 2 0 のシフト動作は停止する。このため、7 段目の第 2 フリップフロップ F B 7 の Q 出力は “ 1 ” レベルを保持する。なお、第 2 シフトレジスタ 7 2 0 のシフト動作の停止後は、第 2 イネーブル信号 M O E が上述のように “ 0 ” レベルになるので、7 行目の走査線 D M 7 が選択状態から非選択状態に切り替わる。

20

【 0 1 6 6 】

図 2 8 は、図 2 6 に示す走査駆動部 7 0 の第 N + 1 フレーム期間での動作について説明するためのタイミングチャートである。第 N + 1 フレーム期間の映像信号期間での動作は、第 N フレーム期間のものと同様であるので、その説明を省略する。第 N + 1 フレーム期間の垂直同期期間の開始時には、セクタ制御信号 M S _ I M が “ 1 ” レベルに変化する。その後、1 H 期間のマージンを設け、第 2 クロック H 5 C K が “ 1 ” レベルのパルスを生じる。このため、第 2 シフトレジスタ 7 2 0 のシフト動作が再開され、第 N フレーム期間と同様の動作により、8 段目 ~ 1 4 段目の第 2 フリップフロップ F B 8 ~ F B 1 4 の Q 出力が順次 “ 1 ” レベルになる。なお、第 N + 1 フレーム期間では、第 2 スタートパルス S P M は常時 “ 0 ” レベルである。垂直同期期間では、セクタ制御信号 M S _ I M が “ 1 ” レベルであるので、各段の第 2 フリップフロップ F B の Q 出力と第 2 イネーブル信号 M O E との A N D 演算結果が、セクタ S E を介して対応する行の走査線 D M に与えられる。このようにして、第 N + 1 フレーム期間の垂直同期期間において 8 行目 ~ 1 4 行目の走査線 D M 8 ~ D M 1 4 が 5 H 期間毎に順次選択される。第 2 クロック H 5 C K は 7 個目のパルスを生じると “ 0 ” レベルに固定されるので、第 2 シフトレジスタ 7 2 0 のシフト動作は停止する。このため、1 4 段目の第 2 フリップフロップ F B 1 4 の Q 出力は “ 1 ” レベルを保持する。なお、第 2 シフトレジスタ 7 2 0 のシフト動作の停止後は、第 2 イネーブル信号 M O E が上述のように “ 0 ” レベルになるので、1 4 行目の走査線 D M 1 4 が選択状態から非選択状態に切り替わる。このような第 N + 1 フレーム期間と同様の動作を第 N + 2 フレーム期間、第 N + 3 フレーム期間、... で繰り返し行うことにより、垂直同期期間においてすべての走査線 D M を選択することができる。その後、第 N フレーム期間、第 N + 1 フレーム期間、第 N + 2 フレーム期間、... と同様の動作が行われる。

30

40

【 0 1 6 7 】

図 2 7 および図 2 8 に示す例では、各フレーム期間の垂直同期期間で 7 行の走査線 D M を選択可能であり、1 0 8 0 行分の電流測定を行うためには 1 5 5 フレーム期間を要する

50

。この場合、“1”レベルの第2スタートパルスSPMは、155フレーム期間に1度だけ1段目の第2フリップフロップFB1に与えられる。

【0168】

< 1.13 従来例との比較 >

次に、本実施形態と従来例とを比較して説明する。ここで、比較対象に挙げる従来例は、特許文献4に記載の有機EL表示装置（以下「第1従来例」という。）および特許文献8に記載の有機EL表示装置（以下「第2従来例」という。）である。

【0169】

< 1.13.1 第1従来例との比較 >

図29は、第1従来例における、理想特性データIO(P)を用いた補正について説明するための図である。ここでは、第1従来例における「目標電流」のことを、説明の便宜上「理想特性」と呼んでいる。第1従来例では、ある階調Pcalにおける理想特性データIO(Pcal)と、ある画素回路の測定データIm(i, j, Pcal)とを比較して、その比較結果に基づいて本実施形態における閾値電圧補正データVt(i, j)の更新と同様の更新を行う。この場合の補償動作は、理想特性データIO(P)に対してオフセット方向にのみ行われる。このため、閾値電圧補償のみが行われ、ゲイン補償は行われない。

10

【0170】

これに対して、本実施形態では、上述のように、理想特性データIO(P)と第1, 第2測定データIm(i, j, P1), Im(i, j, P2)とを比較して閾値電圧補正データVt(i, j)およびゲイン補正データB2R(i, j)の双方を更新することにより、閾値電圧補償およびゲイン補償の双方を行うことができる。

20

【0171】

< 1.13.2 第2従来例との比較 >

図30は、第2従来例における充電動作について説明するための回路図である。第2従来例における画素回路は、本実施形態における画素回路51と基本的に同様の構成であるとし、本実施形態と同一の要素については、同一の参照符号を付して説明を省略する。図30におけるSW1, SW2は、それぞれ閉じた状態の2つのスイッチが実際には存在することを表している。スイッチSW1, SW2はそれぞれ本実施形態におけるトランジスタT2, T3に対応する。第2従来例に係る有機EL表示装置は、画素回路51の外部に、データ/測定線DAME（不図示）に接続された電流源IrefおよびコンデンサC2を備えている。以下では、電流源Irefによって流れる参照電流のことも符号Irefで表す。

30

【0172】

第2従来例では、参照電流Irefをデータ/測定線DAMEに流して、コンデンサC2を閾値電圧Vtに応じた検出電圧Vsenに充電する。言い換えると、データ/測定線DAMEを検出電圧Vsenに充電する。このようにして得られた検出電圧Vsenに、各画素回路51に対応する移動偏差分MVに応じたデータ変動分Vdata'を足し合わせた電圧でトランジスタT1を制御することにより、閾値電圧補償および移動度補償の双方を行うことができる。

40

【0173】

ここで、参照電流Irefを画素回路51から読み出して検出電圧Vsenを取得するために要する時間について検討する。データ/測定線DAMEの容量を30pF、中間階調の駆動電流を50nAとすると、データ/測定線DAMEの電位が1V変化するためには、次式(26)で示されるとおり0.6msecを要する。

$$\begin{aligned} T &= C \cdot V / I \\ &= (30 \cdot 10^{-12} \cdot 1) / (50 \cdot 10^{-9}) \\ &= 0.6 \cdot 10^{-3} \quad \dots (26) \end{aligned}$$

ここで、Tは充電に要する時間を表し、Cはデータ/測定線DAMEの容量を表し、Vはデータ/測定線DAMEの電位変化を表し、Iは中間階調の駆動電流を表す。このため

50

、参照電流 I_{ref} を画素回路 51 から読み出して検出電圧 V_{sen} を取得するために、比較的長い時間を要する。

【0174】

図31は、本実施形態における充電動作について説明するための回路図である。図32は、本実施形態において、駆動電流 I_m を測定する動作について説明するための回路図である。本実施形態では、上述のように、電流測定期間 A2 の直前の測定用階調プログラム期間 A1 において、データ/測定線 DAME が、予めデータ電圧 V_m に充電されている。このため、帰還抵抗 $R_1 = 10^7$ 、浮遊容量 0.5 pF とすると、補償に必要な駆動電流 I_m を画素回路 51 から読み出すために必要な時間を表す時定数 CR は、次式(27)で示されるとおり $5 \mu\text{sec}$ となる。

$$\begin{aligned} CR &= 10^7 * 0.5 * 10^{-12} \\ &= 5 * 10^{-6} \quad \dots (27) \end{aligned}$$

このため、電流を画素回路 51 の外部に読み出す動作に着目すると、本実施形態では第2従来例に比べて高速に駆動電流 I_m を読み出すことが可能である。

【0175】

図33は、上記第2従来例において、参照電流 I_{ref} を用いた補償を行う前の階調 - 駆動電流特性を示す図である。ここでは、 $I_{ref} = 0 \text{ nA}$ としている。図33において、 110 nA 、 120 nA 、 130 nA 、 140 nA 、 150 nA はそれぞれ階調 255 に対応するデータ電圧を互いに特性の異なる5種類の駆動トランジスタ(本実施形態におけるトランジスタ T1)に与えた際に、5種類の駆動トランジスタがそれぞれ出力する駆動電流(以下「指定階調駆動電流」という。)を表す。指定階調駆動電流が異なることは、駆動トランジスタの特性(より詳細には移動度)が異なることを表す。

【0176】

図34は、上記第2従来例において、参照電流 I_{ref} を用いた補償を行った後の階調 - 駆動電流特性を示す図である。ここでは、 $I_{ref} = 400 \text{ nA}$ としている。図34に示すように、参照電流 I_{ref} を用いた補償を行った後は、当該補償前に比べて駆動トランジスタの特性ばらつきが抑制されることがわかる。具体的には、駆動電流 I_m が参照電流 I_{ref} に一致する所(階調 380 付近)で各駆動トランジスタの特性を一致させることができる。しかし、階調 380 付近から離れるにつれて駆動トランジスタの特性ばらつきが大きくなる。このため、実際の駆動に使用する階調領域(以下「駆動領域」という。)が階調 0 ~ 255 であるとする、当該駆動領域では駆動トランジスタの特性ばらつきを十分に抑制できない。一方、参照電流 I_{ref} を例えば 100 nA 程度に設定した場合には、駆動電流 I_m が 100 nA 程度になる所(階調 200 付近)で各駆動トランジスタの特性を一致させることができる。これにより、 400 nA に設定する場合に比べて駆動領域での駆動トランジスタの特性ばらつきを抑制することができる。しかし、この場合、上記式(26)に示される検出電圧 V_{sen} の充電時間 T が長くなる。また、上記第2従来例では、各画素回路 51 に対応する移動偏差分 MV を予め測定して準備しておく必要がある、駆動トランジスタの移動度が経時変化する場合に、その変化に追従して補償を行うことができない。

【0177】

図35は、本実施形態において、第1, 第2階調 P_1 , P_2 に対応する駆動電流 I_m を用いた補償を行った後の階調 - 駆動電流特性を示す図である。本実施形態では、第2従来例における参照電流 I_{ref} は用いられず、第1, 第2測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ を使用して閾値電圧補償およびゲイン補償の双方が行われる。これにより、駆動領域における各階調について、駆動電流 $I_m(i, j, P)$ が理想特性データ $I_0(P)$ に近づくように補償が行われるので、上記第2従来例に比べて駆動トランジスタ(トランジスタ T1)の特性ばらつきを抑制することができる。また、本実施形態では、各画素回路 51 につき、所定期間毎に閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B_2R(i, j)$ が更新されるので、トランジスタ T1 の特性の経時変化に追従して補償を行うことができる。

10

20

30

40

50

【 0 1 7 8 】

< 1 . 1 4 効果 >

本実施形態によれば、垂直同期期間において、p本の走査線が順次選択され、データ/測定線DAME毎に駆動電流 I_m が測定されることにより、画素回路51毎に第1,第2測定データ $I_m(i,j,P1)$, $I_m(i,j,P2)$ が取得され、それらに基づいて映像データ $V_m(i,j,P)$ が補正される。第1測定用データ電圧 $V_m(i,j,P1)$ に応じてトランジスタ $T1$ が駆動されるとき、トランジスタ $T1$ のゲート-ソース間電圧 V_{gs} が比較的小さいので、ゲート-ソース間電圧 V_{gs} に対する閾値電圧 V_t のずれは第1駆動電流 $I_m(i,j,P1)$ に大きく反映される。これに対して、第2測定用データ電圧 $V_m(i,j,P2)$ に応じてトランジスタ $T1$ が駆動されるとき、トランジスタ $T1$ のゲート-ソース間電圧 V_{gs} が比較的大きいので、ゲート-ソース間電圧 V_{gs} に対する閾値電圧 V_t のずれは第2駆動電流 $I_m(i,j,P2)$ に反映されにくい一方で、ゲインのずれは第2駆動電流 $I_m(i,j,P2)$ に相対的に大きく反映される。このため、第1測定データ $I_m(i,j,P1)$ は閾値電圧 V_t のずれが大きく反映されたデータであり、第2測定データ $I_m(i,j,P2)$ はゲインのずれが大きく反映されたデータである。以上のようにして、閾値電圧 V_t のずれが大きく反映された第1測定データ $I_m(i,j,P1)$ およびゲインのずれが大きく反映された第2測定データ $I_m(i,j,P2)$ の双方に基づいて映像データ $V_m(i,j,P)$ が補正されることにより、トランジスタ $T1$ の閾値電圧補償およびゲイン補償の双方を画素回路51毎に行うことができる。また、垂直同期期間において、駆動電流 I_m の測定対象となる画素回路51以外では、有機EL素子OLEDの発光を停止させる必要がないので、表示を行いつつ、補償を行うことができる。また、垂直同期期間において取得した第1,第2測定データ $I_m(i,j,P1)$, $I_m(i,j,P2)$ に基づいて映像データ $V_m(i,j,P)$ が補正されるので、トランジスタ $T1$ の特性の経時変化に追従した補償を行うことができる。

10

20

【 0 1 7 9 】

また、本実施形態によれば、閾値電圧補正データ $V_t(i,j)$ およびゲイン補正データ $B2R(i,j)$ を記憶したDRAM20を設け、理想特性データ $IO(P)$ と第1,第2測定データ $I_m(i,j,P1)$, $I_m(i,j,P2)$ との比較結果に基づいて、閾値電圧補正データ $V_t(i,j)$ およびゲイン補正データ $B2R(i,j)$ がそれぞれ更新される。このような更新を行うことにより、トランジスタ $T1$ の特性の経時変化に追従した補償を確実に行うことができる。また、DRAM20がデータ駆動部60の外部に設けられるので、データ駆動部60の構成を簡素化することができる。また、理想特性データ $IO(P)$ を使用することにより、閾値電圧補正データ $V_t(i,j)$ およびゲイン補正データ $B2R(i,j)$ の更新を簡易な処理で行うことができる。

30

【 0 1 8 0 】

また、本実施形態によれば、フラッシュメモリ30は、DRAM20に対応してコントローラ10側に1個のみ設けられ、各データドライバ600側には不要である。このため、低コスト化を図ることができる。

【 0 1 8 1 】

また、本実施形態によれば、閾値電圧補正データ $V_t(i,j)$ およびゲイン補正データ $B2R(i,j)$ が最小幅(固定幅)で更新されるので、トランジスタ $T1$ の経時変化により確実に追従して補償を行うことができる。

40

【 0 1 8 2 】

また、本実施形態によれば、データ電圧供給部610と電流測定部620とで共通なオペアンプ731および制御スイッチSWと、抵抗素子R1とが設けられ、制御スイッチSWは入出力制御信号DWTで制御される。このため、オペアンプ731は、入出力制御信号DWTが“1”レベルのときには、データ電圧 $V_m(i,j,P)$ を低出力インピーダンスでデータ/測定線DAMEiに供給するバッファアンプとして機能し、入出力制御信号DWTが“0”レベルのときには、オペアンプ731の非反転入力端子に測定用データ

50

電圧 $V_m(i, j, P)$ が入力されているので、オペアンプの出力電圧は、測定用データ電圧 $V_m(i, j, P)$ から駆動電流 I_m と抵抗値 R_1 との積を減じた値となる。測定データ取得部 740 は、オペアンプ 731 の出力電圧から、既知の測定用データ電圧 $V_m(i, j, P)$ および抵抗値 R_1 を考慮して駆動電流 $I_m(i, j, P)$ を測定することにより、測定データ $I_m(i, j, P)$ を取得することができる。このように、駆動電流 $I_m(i, j, P)$ を測定する動作を実現するためのデータ駆動部 60 の構成は、従来のデータ駆動部に抵抗素子 R_1 、制御スイッチ SW 、および測定データ取得部 740 を追加するのみで良い。このため、データ駆動部 60 を低コストで実現できる。

【0183】

また、本実施形態によれば、垂直同期期間に各走査線 DM の選択期間内に、第 1 測定用階調プログラム期間 A_1 、第 1 電流測定期間 A_2 、第 2 測定用階調プログラム期間 A_1 、第 2 電流測定期間 A_2 、および所望階調プログラム期間 A_3 が順に設けられる。このため、各選択期間で第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ の双方を取得することができる。また、所望階調プログラム期間 A_3 では所望の階調 P に対応するデータ電圧 $V_m(i, j, P)$ が画素回路 51 に書き込まれる。これにより、直後の映像信号期間の開始時に、垂直同期期間において選択された走査線 DM に対応する画素回路 51 につき、第 2 測定用データ電圧 $V_m(i, j, P_2)$ に基づく輝度で表示が行われることを防ぐことができる。また、第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ の取得直前に、それぞれ第 1, 第 2 測定用データ電圧 $V_m(i, j, P_1)$, $V_m(i, j, P_2)$ がデータ/測定線 $DAME_i$ に充電されている。このため、第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ を取得すべきときに、データ/測定線 $DAME_i$ の電位を変化させることなく（充放電を生じずに）、高速に第 1, 第 2 駆動電流 $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ をそれぞれ測定できる。このような動作は、例えば上述のように D ラッチ 680 を使用して確実に行うことができる。また、本実施形態では第 1, 第 2 単方向通信バスを使用しているため、第 1, 第 2 電流測定期間 A_2 においてもそれぞれ第 1, 第 2 測定用映像データ $V_m(i, 1, P_1)$, $V_m(i, 1, P_2)$ をコントローラ 10 からデータドライバ 600 に送信することにより、 D ラッチ 680 を使用しないようにしても良い。

【0184】

また、本実施形態によれば、垂直同期期間の各選択期間において、所望階調プログラム期間 A_3 の前に、当該選択期間で取得された第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ がコントローラ 10 に送信される。このため、所望階調プログラム期間 A_3 でコントローラ 10 がデータドライバ 600 に送信すべき映像データ $V_m(i, j, P)$ に対して、当該選択期間で取得された第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ に基づく補正を行うことができる。このため、トランジスタ T_1 の特性ばらつきの補償を、垂直同期期間においてリアルタイムに行うことができる。

【0185】

また、本実施形態によれば、参照電圧 V_{ref} およびデータ電圧 V_m により、トランジスタ T_1 のゲート-ソース間電圧 V_{gs} が決定される。すなわち、トランジスタ T_1 のゲート-ソース間電圧 V_{gs} がハイレベル電源電圧 $ELVDD$ に依存しない。このため、有機 EL 素子 $OLED$ を駆動するためにハイレベル電源線 $ELVDD$ に大きな電流が流れてハイレベル電源線 $ELVDD$ の配線抵抗によりドロップ電圧が生じたとしても、発光駆動電流 I_{oled} は変動しない。

【0186】

また、本実施形態において、 n チャンネル型のトランジスタ $T_1 \sim T_3$ を酸化物 $TFET$ とした場合、書き込み時間の短縮および高輝度化などを図ることができる。

【0187】

< 1.15 変形例 >

図 36 は、上記第 1 の実施形態の変形例におけるデータドライバの構成を示すブロック図である。本変形例における有機 EL 表示装置 1 は SSD (Source Shared Driving) 方

10

20

30

40

50

式を採用しており、データドライバ600の構成は、上記第1の実施形態における構成にSSDスイッチ部69を加えたものである。SSDスイッチ部69はk/3個のSSDスイッチ690を備え、第2ラッチ部65とD/A変換部66との間に設けられている。

【0188】

本変形例におけるラッチ回路650、DAC660、電圧出力/電流測定回路670のそれぞれは、各データドライバ600につきk/3個設けられている。ラッチ回路650、SSDスイッチ690、DAC660、および電圧出力/電流測定回路670のそれぞれは3本のデータ/測定線DAMEに対応している。この3本のデータ/測定線DAMEにはそれぞれ、Rサブ画素を形成する画素回路51（以下「Rサブ画素回路」という。）、Gサブ画素を形成する画素回路51（以下「Gサブ画素回路」という。）、およびBサブ画素を形成する画素回路51（以下「Bサブ画素回路」という。）が接続されている。

10

【0189】

ラッチ回路650は、Rサブ画素、Gサブ画素、およびBサブ画素の3サブ画素分の映像データ（階調値）をラッチストロブ信号LSに応じて取り込み保持すると共に、その保持している映像データに対応するSSDスイッチ690に与える。

【0190】

SSDスイッチ690は、対応するラッチ回路650から受け取った3サブ画素分の映像データを1H期間において時分割で1サブ画素毎に出力する。以降、上記第1の実施形態と同様の動作により、各色のサブ画素のデータ電圧Vmがオペアンプ731から出力される。なお、実際には、オペアンプ731の出力端子とそれに対応する3本のデータ/測定線DAMEとは図示しない所定の選択回路を介して接続され、この選択回路により、オペアンプ731から出力される各色のデータ電圧Vmが対応するデータ/測定線DAMEに選択的に与えられる。

20

【0191】

本変形例では、図36に示す構成要素のうち、シフトレジスタ63と、第1ラッチ部64と、第2ラッチ部65と、SSDスイッチ部69と、D/A変換部66と、電圧出力/電流測定部67のうち電圧出力部として機能する部分とはデータ電圧供給部610を構成し、電圧出力/電流測定部67のうち電流測定部620として機能する部分は電流測定部620を構成する。

【0192】

本変形例によれば、SSD方式を採用した有機EL表示装置1において、上記第1の実施形態と同様の効果を奏することができる。なお、本変形例では、各データ/測定線DAMEに供給されたデータ電圧Vmは当該データ/測定線DAMEが有する浮遊容量に保持可能である。ただし、当該データ/測定線DAMEの浮遊容量がデータ電圧Vmを保持するための容量として不十分である場合には、データ電圧Vmを保持するために付加容量として機能するコンデンサを設けても良い。

30

【0193】

< 2 . 第2の実施形態 >

< 2 . 1 データドライバ >

図37は、本発明の第2の実施形態における、データドライバ600の構成例を示す回路図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。なお、図37では、i列目およびi+1列目の構成要素のみを示している（ただし、後述の第1,第2セレクタ760,770、バッファアンプ780および測定データ取得部740は複数列で共通の構成要素である。）。本実施形態に関する説明において、i列目、i+1列目に対応する構成要素の符号については、それらの末尾にそれぞれ“_i”および“_i+1”を付す。なお、以下では、主としてi列目の構成要素について説明し、i+1列目の構成要素については適宜説明を省略する。図37では、上記図14と同様に、シフトレジスタ63、第1ラッチ部64、およびラッチ回路650の図示を便宜上省略している。

40

【0194】

50

図37に示すように、 i 列目のデータ/測定線 $DAME_i$ に対応して $Dラッチ680_i$ 、 $DAC660_i$ 、および電圧出力/電流測定回路 670_i が設けられている。 i 列目の電圧出力/電流測定回路 670_i は、オペアンプ 731_i 、第1コンデンサ(容量素子) $Cd1_i$ 、第1制御スイッチ $SW1_i$ 、電圧保持部 750_i 、第1,第2セレクタ $760, 770$ 、バッファアンプ 780 、および測定データ取得部 740 を備えている。第1,第2セレクタ $760, 770$ 、バッファアンプ 780 、および測定データ取得部 740 は Ns 列で共通の構成要素である。ここで $i = 1$ であるとする、 Ns は、データ駆動部 60 が複数個のデータドライバ 600 で構成されていれば2以上 k 以下の整数であり、データ駆動部 60 が1個のデータドライバ 600 で構成されていれば2以上 m 以下の整数である。本実施形態における第1制御スイッチ $SW1_i$ は、上記第1の実施形態における制御スイッチ SW と同様のものである。また、本実施形態における測定データ取得部 740 は、上記第1の実施形態における測定データ取得部 740 と同様の構成である。本実施形態では、上記第1の実施形態における抵抗素子 $R1$ に代えて第1コンデンサ $Cd1_i$ が設けられ、第1コンデンサ $Cd1_i$ が電流電圧変換素子に相当する。なお、第1コンデンサ $Cd1_i$ の機能の詳細な説明は後述する。

10

【0195】

電圧保持部 750_i は、オペアンプ 731_i と測定データ取得部 740 との間に設けられ、オペアンプ 731_i の出力電圧を保持する。電圧保持部 750_i は、より詳細には、第2制御スイッチ $SW2_i$ および第2コンデンサ(容量素子) $Cd2_i$ を備えている。第2制御スイッチ $SW2_i$ は、オペアンプ 731_i の出力端子と第2コンデンサ $Cd2_i$ の一端との間に設けられ、サンプリング信号 SMP が“1”レベルのときに閉じ、“0”レベルのときに開く。サンプリング信号 SMP は、例えばコントローラ 10 から与えられる。第2コンデンサ $Cd2_i$ の他端は例えば接地されている。

20

【0196】

第1セレクタとしてのアナログセレクタ 760 は、 Ns 個のオペアンプ $731_i \sim 731_i + Ns - 1$ の出力電圧を受け取り、アドレス信号 SEL に基づいて Ns 個のオペアンプ $731_i \sim 731_i + Ns - 1$ の出力電圧のいずれかを、バッファアンプ 780 を介して測定データ取得部 740 に与える。アドレス信号 SEL は、例えばコントローラ 10 から与えられ、アドレス“ x ”を示す ($x = 0 \sim Ns - 1$)。アドレス信号 $SEL = “x”$ のとき、アナログセレクタ 760 は、バッファアンプ 780 を介してオペアンプ $731_i + x$ の出力電圧を測定データ取得部 740 に与える。アナログセレクタ 760 は、より詳細には、図示しない Ns 個の第1入力端子、1個の第2入力端子、1個の出力端子を備えている。アナログセレクタ 760 の Ns 個の第1入力端子にはそれぞれ、 Ns 個の電圧保持部 $750_i \sim 750_i + Ns - 1$ の第2コンデンサ $Cd2_i \sim Cd2_i + Ns - 1$ の一端が接続されている。以下では、第2コンデンサ $Cd2_i \sim Cd2_i + Ns - 1$ の一端に接続された Ns 個の第1入力端子への入力のことをそれぞれ「アナログセレクタ 760 の i 列目 $\sim i + Ns - 1$ 列目の入力」といい、符号 $Vc2_i \sim Vc2_i + Ns - 1$ で表す。アナログセレクタ 760 の第2入力端子にはアドレス信号 SEL が与えられる。アナログセレクタ 760 の出力端子にはバッファアンプ 780 の入力端子が接続されている。

30

40

【0197】

第2セレクタとしてのデジタルセレクタ 770 は、 Ns 個のオペアンプ $731_i \sim 731_i + Ns - 1$ の非反転入力端子に与えられるデータ電圧の変換前の映像データ $Vm(i, j, P) \sim Vm(i + Ns - 1, j, P)$ を受け取り、アドレス信号 SEL に基づいて映像データ $Vm(i, j, P) \sim Vm(i + Ns - 1, j, P)$ のいずれかを減算部 733 の被減算側の入力端子に与える。アドレス信号 $SEL = “x”$ のとき、デジタルセレクタ 770 は、映像データ $Vm(i + x, j, P)$ を減算部 733 の被減算側の入力端子に与える。デジタルセレクタ 770 は、より詳細には、図示しない Ns 個の第1入力端子、1個の第2入力端子、1個の出力端子を備えている。デジタルセレクタ 770 の Ns 個の第1入力端子にはそれぞれ、 Ns 個の $Dラッチ680_i \sim 680_i + Ns - 1$ の

50

Q出力端子が接続されている。デジタルセクタ770の第2入力端子にはアドレス信号SELが与えられる。デジタルセクタ770の出力端子には減算部733の被減算側の入力端子が接続されている。

【0198】

バッファアンプ780は、上述のようにアナログセクタ760の出力端子に入力端子が接続され、ADC732の入力端子に出力端子が接続されている。なお、バッファアンプ780を設けずに、アナログセクタ760の出力端子をADC732の入力端子に直接接続しても良い。

【0199】

< 2.2 動作 >

10

図38は、図37に示す各構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。図38において、AMP1はオペアンプ731__iの出力電圧を表し、Vc2__i, Vc2__i+1はそれぞれアナログセクタ760のi列目, i+1列目の入力を表し、Seloutはアナログセクタ760の出力を表し、ADCoutはADC732の出力を表す。なお、本実施形態におけるDラッチ680__iおよびDAC660__iの動作は上記第1の実施形態におけるものと同様であるので、その説明を適宜省略する。

【0200】

時刻t1~t2の第1測定用階調プログラム期間A1では、Dラッチ680__iのD入力端子に入力された第1測定用映像データVm(i, j, P1)がそのままQ出力端子から出力される。また、時刻t1~t2では、サンプリング信号SMPが“0”レベルになっているので、第2制御スイッチSW2__iが開いている。

20

【0201】

時刻t2~t3の第1電流測定期間A2では、上記第1の実施形態と同様に第1測定用映像データVm(i, j, P1)が引き続きDラッチ680__iの出力端子から出力される。また、時刻t2~t3では入出力制御信号DWTが“0”レベルであるので、第1制御スイッチSW1__iが開いている。このため、データ/測定線DAMEiを流れる駆動電流Im(i, j, P1)が第1コンデンサCd1__iによって期間thで積分される。本実施形態では、th=A2である。また、時刻t2~t3では、オペアンプ731__iの仮想短絡により、反転入力端子の電位が第1測定用データ電圧Vm(i, j, P1)となる。したがって、時刻t3において、オペアンプ731__iの出力電圧AMP1outは次式(28)で与えられる値となる。

30

$$AMP1out = Vm(i, j, P1) - Im(i, j, P1) * (th/C) \quad \dots (28)$$

ここで、Cは第1コンデンサCd1__iの容量値を表す。なお、以下では、第1コンデンサCd1__i~Cd1__i+Ns-1の容量値は互いに等しく、Cであるとする。

【0202】

時刻t2~t3の前半では、サンプリング信号SMPが“0”レベルになっているので、第2制御スイッチSW2__iが開いている。時刻t2~t3の後半では、サンプリング信号SMPが“1”レベルになっているので、第2制御スイッチSW2__iが閉じている。このため、時刻t2~t3の後半では、第2コンデンサCd2__iがオペアンプ731__iの出力電圧AMP1outに充電される。

40

【0203】

時刻t3~t4の第2測定用階調プログラム期間A1では、サンプリング信号SMPが“0”レベルになっているので、第2制御スイッチSW2__iが開いている。このため、第2コンデンサCd2__iは、オペアンプ731__iの出力電圧AMP1outを保持している。このようにして、Ns個のオペアンプ731__i~731__i+Ns-1の出力電圧がアナログセクタ760に与えられる。また、時刻t3~t4において、アドレス信号SELがアナログセクタ760に与えられる。アナログセクタ760は、アドレス信号SELに基づいてi+x列目の入力Vc2__i+xを選択し、バッファアンプ780を介してi+x行目の入力Vc2__i+xをADC732に与える。時刻t3~t4で

50

は、 x が例えば0から $N_s - 1$ まで変化する。ただし、 x が変化する順序は特に限定されるものではない。なお、アドレス信号SELはデジタルセクタ770にも与えられる。このため、デジタルセクタ770は、アドレス信号SELに基づいて第1測定用映像データ $V_m(i+x, j, P1)$ を選択し、それを減算部733の被減算側の入力端子に与える。なお、時刻 $t_3 \sim t_4$ では、Dラッチ680__iのQ出力端子から第2測定用映像データ $V_m(i, j, P2)$ が出力されているので、デジタルセクタ770による第1測定用映像データ $V_m(i+x, j, P1)$ の選択は、Dラッチ680__iのQ出力端子から第1測定用映像データ $V_m(i, j, P1)$ が出力されている時刻 $t_1 \sim t_2$ または時刻 $t_2 \sim t_3$ で行うことが望ましい。この場合、デジタルセクタ770による第1測定用映像データ $V_m(i+x, j, P1)$ の出力タイミングは適切に調整すれば良い。

10

【0204】

時刻 $t_3 \sim t_4$ における測定データ取得部740の動作について説明する。ADC732は、バッファアンプ780を介して与えられる $i+x$ 列目の入力 V_{c2_i+x} 、すなわち「 $V_m(i+x, j, P1) - I_m(i+x, j, P1) * (t_h / C)$ 」をA/D変換して減算部733の減算側の入力端子に与える。上述のように、減算部733の被減算側の入力端子には第1測定用映像データ $V_m(i+x, j, P1)$ が与えられているので、減算部733の出力は「 $- I_m(i+x, j, P1) * (t_h / C)$ 」となる。そして、減算部733の出力が「 $- t_h / C$ 」で除された除算部734の出力が $I_m(i+x, j, P1)$ となる。このようにして、第1測定データ $I_m(i+x, j, P1)$ が取得される。より詳細には、 x が0から $N_s - 1$ まで順に変化する場合には、時刻 $t_3 \sim t_4$ において第1測定データ $I_m(i, j, P1)$ 、 $I_m(i+1, j, P1)$ 、 $I_m(i+2, j, P1)$ 、...、 $I_m(i+N_s-1, j, P1)$ が順次得られる。なお、除算部734に入力される「 $- t_h / C$ 」は、例えば、予め計算してレジスタに格納しておき、除算部734に入力すべきときにレジスタから読み出せば良い。また、除算部734を乗算部とし、当該乗算部に「 $- t_h / C$ 」に代えて「 $- C / t_h$ 」を入力するようにしても良い。

20

【0205】

なお、時刻 $t_4 \sim t_5$ の第2電流測定期間A2および時刻 $t_5 \sim t_6$ の所望階調プログラム期間A3における電圧保持部750__i、アナログセクタ760、デジタルセクタ770、バッファアンプ780、および測定データ取得部740に関する動作は、時刻 $t_4 \sim t_5$ の第2電流測定期間A2および時刻 $t_5 \sim t_6$ の所望階調プログラム期間A3における動作の第1階調P1を第2階調P2に変更したのみであるので、その詳細な説明を省略する。また、本実施形態における映像信号期間の動作は、上記第1の実施形態におけるものと同様であるので、その説明を省略する。なお、上記第1の実施形態と同様に、本実施形態はDラッチ680__iを使用する例に限定されるものではない。

30

【0206】

< 2.3 第1コンデンサ >

次に、第1コンデンサ C_{d1_i} の機能について説明する。上記第1の実施形態では、オペアンプ731の出力端子と反転入力端子との間に設けられる電流電圧変換素子として抵抗素子R1が使用される。制御スイッチSW(本実施形態における第1制御スイッチSW1)が閉じているとき、抵抗素子R1に流れる電流が電圧に変換される。

40

【0207】

ところで、電流電圧変換素子として抵抗素子R1を使用する場合、オペアンプ731自身が発生するショットノイズ($1/f$ ノイズとも呼ばれる。 f は周波数を表す。)および熱雑音などを入力等価雑音電流 I_n として表すと、オペアンプの出力には「 $I_n * R1 + s q r t(4 k T B R1)$ 」の雑音が見れる。ここで、 k はボルツマン定数を表し、 T は絶対温度を表し、 B はバンド幅を表す。このような雑音は、数 nA の電流を検出する際に検出精度の低下を招く。

【0208】

また、オペアンプ731の反転入力端子にデータ/測定線DAME i (バスライン)の

50

ような容量性負荷が接続されていると、位相余裕が不足して動作が不安定になりやすい。このような現象に対しては、従来、抵抗素子 R 1 と並列に 1 p F 程度の位相補償コンデンサを追加して位相余裕を確保する手法がある。しかし、抵抗素子 R 1 および位相補償コンデンサによって決定される時定数 C R により、応答速度が著しく低下する。例えば、1 0 0 n A の電流を 1 V 程度の電圧として検出する際には、R 1 は一般的に 1 0 M 程度に設定されるので、時定数 C R は $1 0 \mu s e c (= 1 0 \times 1 0^6 \times 1 0^{-12})$ 程度になる。F H D (Full High Definition) の解像度では 1 H 期間が約 $1 4 . 8 \mu s e c$ であるので、 $1 0 \mu s e c$ 程度の時定数 C R では、1 H 期間内の測定で十分な検出精度を得ることが困難である。

【0209】

そこで、本実施形態のように電流電圧変換素子として第 1 コンデンサ C d 1 を使用すると、オペアンプ 7 3 1 の入力等価雑音および抵抗素子 R 1 で発生する熱雑音が低減される。具体的には、オペアンプ 7 3 1 の入力等価電圧を V_n とすると、オペアンプ 7 3 1 の出力に現れる雑音は「 $V_n + s q r t (k T / C)$ 」となり、抵抗素子 R 1 を使用した場合の雑音よりも小さくなる。なお、このような手法は公知のものであり、例えば微小電流を扱うセンサアンプなどに採用されている。

10

【0210】

< 2 . 4 効果 >

本実施形態によれば、第 1 , 第 2 セレクタ 7 6 0 , 7 7 0 を使用して測定データ取得部 7 4 0 に与えるべきオペアンプ 7 3 1 の出力電圧および映像データがそれぞれ選択されるので、N s 個のオペアンプ 7 3 1 に対して設ける測定データ取得部 7 4 0 は 1 個で良い。このため、測定データ取得部 7 4 0 の個数を削減して、データドライバ 6 0 0 の回路規模を縮小することができる。

20

【0211】

また、本実施形態によれば、オペアンプ 7 3 1 の出力端子と反転入力端子との間に設けられる電流電圧変換素子として第 1 コンデンサ C d 1 が使用されるので、オペアンプ 7 3 1 の出力に現れる雑音を低減することができる。

【0212】

< 3 . 第 3 の実施形態 >

< 3 . 1 コントローラとデータドライバとの間のデータ通信 >

図 3 9 は、本発明の第 3 の実施形態における、コントローラ 1 0 とデータドライバ 6 0 0 との間でのデータ通信について説明するためのブロック図である。本実施形態の構成要素のうち上記第 1 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態における通信バス 8 0 は、コントローラ 1 0 とデータドライバ 6 0 0 との間に双方向データ通信が可能な双方向通信バスにより構成されている。なお、双方向通信バスの種類は特に限定されるものではないが、例えば L V D S 、 M I P I 、または e - D P などである。

30

【0213】

< 3 . 2 データ更新 >

図 4 0 は、本実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。本実施形態では、 $p = 7$ とし、垂直同期期間 (4 5 H 期間) の開始側および終了側でそれぞれ 2 H 期間および 1 H 期間のマージンを設けている。また、本実施形態では、垂直同期期間における各選択期間の終了後に 1 H 期間の測定データ送信期間が設けられている。測定データ送信期間では、すべての走査線 D M が非選択状態になっている。

40

【0214】

期間種別信号 V が “ 1 ” レベルに切り替わると垂直同期期間が開始し、2 H 期間のマージンの後、1 行目の走査線 D M 1 が 5 H 期間選択される。この 5 H 期間では、上記第 1 の実施形態と同様に、1 行目の第 1 測定用階調プログラム期間 A 1 、第 1 電流測定期間 A 2 、第 2 測定用階調プログラム期間 A 1 、第 2 電流測定期間 A 2 、および所望階調プログラ

50

△期間 A 3 が 1 H 期間毎に順に切り替わる。

【 0 2 1 5 】

1 行目の第 1 測定用階調プログラム期間 A 1 では、双方向通信バスを介してコントローラ 1 0 からデータドライバ 6 0 0 に第 1 測定用映像データ $V_m(i, 1, P 1)$ が送信され、第 1 測定用データ電圧 $V_m(i, 1, P 1)$ の書き込みが行われる。

【 0 2 1 6 】

1 行目の第 1 電流測定期間 A 2 では、第 1 測定データ $I_m(i, 1, P 1)$ が取得される。

【 0 2 1 7 】

1 行目の第 2 測定用階調プログラム期間 A 1 では、双方向通信バスを介してコントローラ 1 0 からデータドライバ 6 0 0 に第 2 測定用映像データ $V_m(i, 1, P 2)$ が送信され、第 2 測定用データ電圧 $V_m(i, 1, P 2)$ の書き込みが行われる。

【 0 2 1 8 】

1 行目の第 2 電流測定期間 A 2 では、第 2 測定データ $I_m(i, 1, P 2)$ が取得される。また、双方向通信バスを介してデータドライバ 6 0 0 からコントローラ 1 0 に第 1 測定データ $I_m(i, 1, P 1)$ が送信される。そして、コントローラ 1 0 では、受信した第 1 測定データ $I_m(i, 1, P 1)$ に基づいた閾値電圧補正データ $V_t(i, 1)$ の更新が行われる。

【 0 2 1 9 】

1 行目の所望階調プログラム期間 A 3 では、双方向通信バスを介してコントローラ 1 0 からデータドライバ 6 0 0 に映像データ $V_m(i, 1, P)$ が送信され、データ電圧 $V_m(i, 1, P)$ の書き込みが行われる。ここで、映像データ $V_m(i, 1, P)$ には、更新後の閾値電圧補正データ $V_t(i, 1)$ が反映されている。

【 0 2 2 0 】

1 行目の選択期間と 2 行目の選択期間との間の測定データ送信期間では、双方向通信バスを介してデータドライバ 6 0 0 からコントローラ 1 0 に第 2 測定データ $I_m(i, 1, P 2)$ が送信される。そして、コントローラ 1 0 では、受信した第 2 測定データ $I_m(i, 1, P 2)$ に基づいたゲイン補正データ $B 2 R(i, 1)$ の更新が行われる。

【 0 2 2 1 】

その後、2 行目～7 行目の走査線 $DM 2 \sim DM 7$ が順次選択されることにより、2 行目～7 行目のそれぞれで 1 行目と同様の動作が行われる。7 行目の第 2 測定データ $I_m(i, 7, P 2)$ を送信後、1 H 期間のマージンを経て、期間種別信号 V が “ 0 ” レベルに切り替わり、垂直同期期間が終了する。

【 0 2 2 2 】

その後、第 $N + 1$ フレーム期間の映像信号期間が開始され、1 行目～7 行目については第 N フレーム期間の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われ、8 行目～1 0 8 0 行目については第 $N - 1$ フレーム期間以前の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われる。

【 0 2 2 3 】

図 4 1 は、本実施形態における、第 $N + 1$ フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。第 $N + 1$ フレーム期間の垂直同期期間では、図 4 1 に示すように、8 行目～1 4 行目について 1 行目～7 行目と同様の動作が行われる。第 $N + 2$ フレーム期間の映像信号期間では、8 行目～1 4 行目については第 $N + 1$ フレーム期間の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われ、1 行目～7 行目、1 5 行目～1 0 8 0 行目については第 N フレーム期間以前の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われる。

【 0 2 2 4 】

以上のように、本実施形態では、1 行につき 6 H 期間を割り当てて閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B 2 R(i, j)$ の更新を行っている。また、第

10

20

30

40

50

1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ を取得した2H期間後にそれぞれ第1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ の送信を行っている。また、閾値電圧補正データ $V_t(i, j)$ については、その更新結果を映像データ(データ電圧)にリアルタイムに反映している。なお、双方向通信バスに代えて第1, 第2単方向通信バスを使用した場合でも、本実施形態と同様の手順で閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B2R(i, j)$ の更新を行うことができる。

【0225】

< 3.3 走査駆動部 >

図42は、本実施形態における走査駆動部70の第Nフレーム期間での動作について説明するためのタイミングチャートである。なお、本実施形態における走査駆動部70の構成およびその映像信号期間での動作は上記第1の実施形態におけるものを同様である。本実施形態では、上記第1の実施形態と異なり、垂直同期期間において6H期間を周期として“1”レベルのパルスを7個生じる第2クロックH6CKが各第2フリップフロップFBのCK入力端子に入力されている。また、本実施形態における第2イネーブル信号MOEは、映像信号期間では常時“0”レベルとなり、垂直同期期間では、第2クロックH6CKの立ち下がりと同時に“1”レベルに変化し、その5H期間後に“0”レベルに変化する。

10

【0226】

第Nフレーム期間の垂直同期期間の開始時には、セクタ制御信号MS__IMが“1”レベルに変化する。その後、2H期間のマージンを設け、“1”レベルの第2スタートパルスSPMに基づくQ出力が、第2クロックH6CKに同期してシフトしていく。なお、マージンの期間は特に限定されるものではない。45H期間の垂直同期期間では、1段目~7段目の第2フリップフロップFB1~FB7のQ出力が順次“1”レベルになる。垂直同期期間では、セクタ制御信号MS__IMが“1”レベルであるので、各段の第2フリップフロップFBのQ出力と第2イネーブル信号MOEとのAND演算結果が、セクタSEを介して対応する行の走査線DMに与えられる。このようにして、第Nフレーム期間の垂直同期期間において1行目~7行目の走査線DM1~DM7が1H期間の間隔を空け且つ6H期間毎に順次選択される。第2クロックH6CKは7個目のパルスを生じると“0”レベルに固定されるので、第2シフトレジスタ720のシフト動作は停止する。このため、7段目の第2フリップフロップFB7のQ出力は“1”レベルを保持する。なお、第2シフトレジスタ720のシフト動作の停止後は、第2イネーブル信号MOEが上述のように“0”レベルになるので、7行目の走査線DM7が選択状態から非選択状態に切り替わる。

20

30

【0227】

図43は、本実施形態における走査駆動部70の第N+1フレーム期間での動作について説明するためのタイミングチャートである。第N+1フレーム期間の映像信号期間での動作は、第Nフレーム期間のものと同様であるので、その説明を省略する。第N+1フレーム期間の垂直同期期間の開始時には、セクタ制御信号MS__IMが“1”レベルに変化する。その後、2H期間のマージンを設け、第2クロックH6CKが“1”レベルのパルスを生じる。このため、第2シフトレジスタ720のシフト動作が再開され、第Nフレーム期間と同様の動作により、8段目~14段目の第2フリップフロップFB8~FB14のQ出力が順次“1”レベルになる。なお、第N+1フレーム期間では、第2スタートパルスSPMは常時“0”レベルである。垂直同期期間では、セクタ制御信号MS__IMが“1”レベルであるので、各段の第2フリップフロップFBのQ出力と第2イネーブル信号MOEとのAND演算結果が、セクタSEを介して対応する行の走査線DMに与えられる。このようにして、第N+1フレーム期間の垂直同期期間において8行目~14行目の走査線DM8~DM14が1H期間の間隔を空け且つ6H期間毎に順次選択される。第2クロックH6CKは7個目のパルスを生じると“0”レベルに固定されるので、第2シフトレジスタ720のシフト動作は停止する。このため、14段目の第2フリップフロ

40

50

ップFB14のQ出力は“1”レベルを保持する。なお、第2シフトレジスタ720のシフト動作の停止後は、第2イネーブル信号MOEが上述のように“0”レベルになるので、14行目の走査線DM14が選択状態から非選択状態に切り替わる。このような第N+1フレーム期間と同様の動作を第N+2フレーム期間、第N+3フレーム期間、...で繰り返し行うことにより、垂直同期期間においてすべての走査線DMを選択することができる。その後、第Nフレーム期間、第N+1フレーム期間、第N+2フレーム期間、...と同様の動作が行われる。

【0228】

< 3.4 効果 >

本実施形態によれば、双方向通信バスが利用されるので、コントローラ10とデータドライバ600との間の通信系統が削減される。このため、低コスト化を図ることができる。

10

【0229】

また、本実施形態によれば、第1,第2測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ を取得した2H期間後にそれぞれ第1,第2測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ がコントローラ10に送信される。このため、第1,第2測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ を送信するまでの準備時間を十分に確保できるので、第1,第2測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ をコントローラ10に確実に送信することができる。

20

【0230】

< 4.第4の実施形態 >

< 4.1 データ更新 >

図44は、本発明の第4の実施形態における、第Nフレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態では、 $p = 6$ とし、垂直同期期間(45H期間)の開始側および終了側でそれぞれ1H期間および2H期間のマージンを設けている。また、本実施形態では、垂直同期期間における各選択期間の終了後に2H期間の測定データ送信期間が設けられている。測定データ送信期間では、すべての走査線DMが非選択状態になっている。また、本実施形態では通信バス80が双方向通信バスにより構成されるものとして説明するが、通信バス80が第1,第2単方向通信バスにより構成されていても良い。

30

【0231】

期間種別信号Vが“1”レベルに切り替わると垂直同期期間が開始し、1H期間のマージンの後、1行目の走査線DM1が5H期間選択される。この5H期間では、上記第1の実施形態と同様に、1行目の第1測定用階調プログラム期間A1、第1電流測定期間A2、第2測定用階調プログラム期間A1、第2電流測定期間A2、および所望階調プログラム期間A3が1H期間毎に順に切り替わる。

【0232】

1行目の第1測定用階調プログラム期間A1では、双方向通信バスを介してコントローラ10からデータドライバ600に第1測定用映像データ $V_m(i, 1, P_1)$ が送信され、第1測定用データ電圧 $V_m(i, 1, P_1)$ の書き込みが行われる。

40

【0233】

1行目の第1電流測定期間A2では、第1測定用階調プログラム期間A1に引き続き、双方向通信バスを介してコントローラ10からデータドライバ600に第1測定用映像データ $V_m(i, 1, P_1)$ が送信され、第1測定データ $I_m(i, 1, P_1)$ が取得される。

【0234】

1行目の第2測定用階調プログラム期間A1では、双方向通信バスを介してコントローラ10からデータドライバ600に第2測定用映像データ $V_m(i, 1, P_2)$ が送信さ

50

れ、第2測定用データ電圧 $V_m(i, 1, P2)$ の書き込みが行われる。

【0235】

1行目の第2電流測定期間 $A2$ では、第2測定用階調プログラム期間 $A1$ に引き続き、双方向通信バスを介してコントローラ10からデータドライバ600に第2測定用映像データ $V_m(i, 1, P2)$ が送信され、第2測定データ $I_m(i, 1, P2)$ が取得される。

【0236】

1行目の所望階調プログラム期間 $A3$ では、双方向通信バスを介してコントローラ10からデータドライバ600に映像データ $V_m(i, 1, P)$ が送信され、データ電圧 $V_m(i, 1, P)$ の書き込みが行われる。

10

【0237】

1行目の選択期間と2行目の選択期間との間の測定データ送信期間のうちの前半の1H期間では、双方向通信バスを介してデータドライバ600からコントローラ10に第1測定データ $I_m(i, 1, P1)$ が送信される。そして、コントローラ10では、受信した第1測定データ $I_m(i, 1, P1)$ に基づいた閾値電圧補正データ $V_t(i, 1)$ の更新が行われる。

【0238】

1行目の選択期間と2行目の選択期間との間の測定データ送信期間のうちの後半の1H期間では、双方向通信バスを介してデータドライバ600からコントローラ10に第2測定データ $I_m(i, 1, P2)$ が送信される。そして、コントローラ10では、受信した第2測定データ $I_m(i, 1, P2)$ に基づいたゲイン補正データ $B2R(i, 1)$ の更新が行われる。

20

【0239】

その後、2行目～6行目の走査線 $DM2 \sim DM6$ が順次選択されることにより、2行目～6行目のそれぞれで1行目と同様の動作が行われる。6行目の第2測定データ $I_m(i, 6, P2)$ を送信後、2H期間のマージンを経て、期間種別信号 V が“0”レベルに切り替わり、垂直同期期間が終了する。

【0240】

その後、第 $N+1$ フレーム期間の映像信号期間が開始され、1行目～6行目については第 N フレーム期間の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われ、7行目～1080行目については第 $N-1$ フレーム期間以前の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われる。第 $N+1$ フレーム期間での動作は、第 N フレーム期間のものと基本的に同様であるので、その説明を省略する。

30

【0241】

以上のように、本実施形態では、1行につき7H期間を割り当てて閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B2R(i, j)$ の更新を行っている。また、第1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ を取得した選択期間の終了直後の期間に第1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ の送信を行っている。

【0242】

本実施形態における走査駆動部70の動作は、例えば、垂直同期期間において7H期間を周期として“1”レベルのパルスを6個生じる第2クロックと、当該第2クロックの立ち下がりと同時に“1”レベルに変化し、その5H期間後に“0”レベルに変化する第2イネーブル信号 MOE を使用するなどして実現される。

40

【0243】

<4.2 効果>

本実施形態によれば、第1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ を取得した選択期間の終了直後の期間に第1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ がコントローラ10に送信される。このため、第1, 第2測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ を送信するまでの準備時間を十分に確

50

保できるので、第 1, 第 2 測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ をコントローラ 10 に確実に送信することができる。

【0244】

また、本実施形態によれば、第 1, 第 2 電流測定期間 A2 でそれぞれ第 1, 第 2 測定用映像データ $V_m(i, 1, P1)$, $V_m(i, 1, P2)$ がデータドライバ 600 に送信され、DAC660 に与えられる。このため、Dラッチ 680 を使用することなく、第 1, 第 2 測定データ $I_m(i, j, P1)$, $I_m(i, j, P2)$ を取得すべきときに、データ/測定線 DAMEi の電位を変化させることなく（充放電を生じずに）、高速に第 1, 第 2 駆動電流 $I_m(i, j, P1)$, $I_m(i, j, P2)$ をそれぞれ測定できる。

【0245】

< 5. 第 5 の実施形態 >

< 5. 1 データ更新 >

図 45 は、本発明の第 5 の実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。本実施形態の構成要素のうち上記第 1 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態では、 $p = 6$ とし、垂直同期期間（45 H 期間）の開始側および終了側でそれぞれ 1 H 期間および 2 H 期間のマージンを設けている。また、本実施形態では、6 行目の選択期間終了後に 12 H 期間の測定データ送信期間が設けられている。なお、本実施形態における走査駆動部 70 の動作は、上記第 1 の実施形態におけるものと同様である。

【0246】

期間種別信号 V が “1” レベルに切り替わると垂直同期期間が開始し、1 H 期間のマージンの後、1 行目の走査線 DM1 が 5 H 期間選択される。この 5 H 期間では、上記第 1 の実施形態と同様に、1 行目の第 1 測定用階調プログラム期間 A1、第 1 電流測定期間 A2、第 2 測定用階調プログラム期間 A1、第 2 電流測定期間 A2、および所望階調プログラム期間 A3 が 1 H 期間毎に順に切り替わる。

【0247】

1 行目の第 1 測定用階調プログラム期間 A1 では、双方向通信バスを介してコントローラ 10 からデータドライバ 600 に第 1 測定用映像データ $V_m(i, 1, P1)$ が送信され、第 1 測定用データ電圧 $V_m(i, 1, P1)$ の書き込みが行われる。

【0248】

1 行目の第 1 電流測定期間 A2 では、第 1 測定データ $I_m(i, 1, P1)$ が取得される。

【0249】

1 行目の第 2 測定用階調プログラム期間 A1 では、双方向通信バスを介してコントローラ 10 からデータドライバ 600 に第 2 測定用映像データ $V_m(i, 1, P2)$ が送信され、第 2 測定用データ電圧 $V_m(i, 1, P2)$ の書き込みが行われる。1 行目の第 2 電流測定期間 A2 では、第 2 測定データ $I_m(i, 1, P2)$ が取得される。

【0250】

1 行目の所望階調プログラム期間 A3 では、双方向通信バスを介してコントローラ 10 からデータドライバ 600 に映像データ $V_m(i, 1, P)$ が送信され、データ電圧 $V_m(i, 1, P)$ の書き込みが行われる。

【0251】

その後、2 行目～6 行目の走査線 DM2～DM6 が順次選択されることにより、2 行目～6 行目のそれぞれで 1 行目と同様の動作が行われる。6 行目の選択期間終了後、12 H 期間の測定データ送信期間において、1 行目～6 行目の第 1, 第 2 測定データが双方向通信バスを介してコントローラ 10 に送信される。なお、測定データの送信順は特に限定されるものではないが、例えば、1 行目の $I_m(i, 1, P1)$, $I_m(i, 1, P2)$ 、2 行目の $I_m(i, 2, P1)$, $I_m(i, 2, P2)$ 、...、6 行目の $I_m(i, 6, P1)$, $I_m(i, 6, P2)$ の順に送信するものとする。この測定データ送信期間におい

10

20

30

40

50

て、コントローラ 10 では、受信した第 1 測定データ $I_m(i, j, P_1)$ に基づいた閾値電圧補正データ $V_t(i, j)$ の更新および受信した第 2 測定データ $I_m(i, j, P_2)$ に基づいたゲイン補正データ $B_2R(i, j)$ の更新が 1 行目 ~ 6 行目のそれぞれについて行われる。測定データ送信期間の後、2 H 期間のマージンを経て、期間種別信号 V が “0” レベルに切り替わり、垂直同期期間が終了する。

【0252】

第 $N+1$ フレーム期間の映像信号期間が開始され、1 行目 ~ 6 行目については第 N フレーム期間の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われ、7 行目 ~ 1080 行目については第 $N-1$ フレーム期間以前の垂直同期期間の更新結果が反映されたデータ電圧の書き込みが行われる。第 $N+1$ フレーム期間での動作は、第 N フレーム期間のものと同様であるので、その説明を省略する。

10

【0253】

本実施形態では、1 行につき 7 H 期間（各選択期間の 5 H 期間および測定データ送信期間のうち 2 H 期間）を割り当てて閾値電圧補正データ $V_t(i, j)$ およびゲイン補正データ $B_2R(i, j)$ の更新を行っている。また、取得した各行の第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ を測定データ送信期間にまとめて送信している。

【0254】

< 5.2 効果 >

本実施形態によれば、垂直同期期間のすべての選択期間の終了後に設けられた測定データ送信期間において、当該垂直同期期間で取得された各行の第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ がコントローラ 10 に送信される。このため、第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ を送信するまでの準備時間を十分に確保できるので、第 1, 第 2 測定データ $I_m(i, j, P_1)$, $I_m(i, j, P_2)$ をコントローラ 10 に確実に送信することができる。

20

【0255】

< 6. 第 6 の実施形態 >

< 6.1 画素回路 >

図 46 は、本発明の第 6 の実施形態における画素回路 51 およびそれに対応するデータドライバ 600 側の一部の構成要素を示す回路図である。本実施形態の構成要素のうち上記第 1 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態における画素回路 51 は、1 個の有機 EL 素子 OLED、4 個のトランジスタ $T_1 \sim T_4$ 、および 1 個のコンデンサ（駆動容量素子） C_1 を備えている。トランジスタ T_1 は駆動トランジスタであり、トランジスタ T_2 は参照電圧供給トランジスタであり、トランジスタ T_3 は入力トランジスタであり、トランジスタ T_4 は発光制御トランジスタである。トランジスタ $T_1 \sim T_4$ はすべて n チャネル型である。本実施形態における画素回路 51 は、上記第 1 の実施形態における画素回路 51 にトランジスタ T_4 を加えたものである。

30

【0256】

本実施形態における表示部 50 には、 n 本の走査線 $DM_1 \sim DM_n$ にそれぞれ沿って n 本のエミッション線 $EM_1 \sim EM_n$ が配設されている。以下では、 n 本のエミッション線 $EM_1 \sim EM_n$ を区別する必要がない場合はこれらを単に符号 EM で表す。

40

【0257】

トランジスタ T_1 は、有機 EL 素子 OLED と直列に設けられ、有機 EL 素子 OLED のアノード端子に第 2 導通端子としてのソース端子が接続されている。トランジスタ T_2 は、走査線 DM_j にゲート端子が接続され、参照電圧線 V_{ref} とトランジスタ T_1 のゲート端子との間に設けられている。トランジスタ T_3 は、走査線 DM_j にゲート端子が接続され、データ/測定線 $DAME_i$ とトランジスタ T_1 のソース端子との間に設けられている。トランジスタ T_4 は、有機 EL 素子 OLED と直列に設けられ、エミッション線 EM_j にゲート端子が接続され、トランジスタ T_1 の第 1 導通端子としてのドレイン端子と

50

ハイレベル電源線 E L V D D との間に設けられている。本実施形態におけるトランジスタ T 4 は、映像信号期間では、当該トランジスタ T 4 を備える画素回路 5 1 に対応する走査線 D M が選択されるときに少なくともオフ状態になり、垂直同期期間では、当該トランジスタ T 4 を備える画素回路 5 1 に対応する走査線 D M が選択されるときに少なくともオン状態になる。コンデンサ C 1 は、トランジスタ T 1 のゲート端子とソース端子との間に設けられている。有機 E L 素子 O L E D のカソード端子は、ローレベル電源線 E L V S S に接続されている。

【 0 2 5 8 】

< 6 . 2 映像信号期間での動作 >

図 4 7 は、図 4 6 に示す画素回路 5 1 およびそれに対応するデータドライバ 6 0 0 側の一部の構成要素の映像信号期間での動作について説明するためのタイミングチャートである。本実施形態では、時刻 $t_2 \sim t_3$ が所望階調プログラム期間 A 3 である。

10

【 0 2 5 9 】

時刻 t_1 以前では、走査線 D M j の電位は “ 0 ” レベル、エミッション線 E M j の電位は “ 1 ” レベルになっている。このとき、トランジスタ T 4 がオン状態になっており、トランジスタ T 1 のドレイン端子とハイレベル電源線 E L V D D とは電氣的に互いに接続されているので、ハイレベル電源線 E L V D D からトランジスタ T 1 のドレイン端子に電荷が供給される。また、トランジスタ T 2 , T 3 がオフ状態になっており、トランジスタ T 1 は、コンデンサ C 1 に保持されたゲート - ソース間電圧 V_{gs} に応じた発光駆動電流 I_{oled} を有機 E L 素子 O L E D に供給している。そして、有機 E L 素子 O L E D は、この発光駆動電流 I_{oled} に応じた輝度で発光している。なお、本実施形態では、所定の映像信号期間においてエミッション線 E M j の電位を “ 0 ” レベルに固定することにより有機 E L 素子 O L E D の発光を停止させ、所定の映像信号期間においてエミッション線 E M j の電位を “ 1 ” レベルに固定することにより有機 E L 素子 O L E D を発光させる場合がある（詳細は後述）。

20

【 0 2 6 0 】

時刻 t_1 になると、エミッション線 E M j の電位が “ 0 ” レベルに変化し、トランジスタ T 4 はターンオフする。このため、トランジスタ T 1 のドレイン端子とハイレベル電源線 E L V D D とが電氣的に互いに切り離され、ハイレベル電源線 E L V D D からトランジスタ T 1 のドレイン端子への電荷供給が停止する。このため、発光駆動電流 I_{oled} が 0 になり、有機 E L 素子 O L E D の発光が停止する。

30

【 0 2 6 1 】

時刻 t_2 になると、データ / 測定線 D A M E i にはオペアンプ 7 3 1 を介してデータ電圧 $V_m(i, j, P)$ が供給される。また、走査線 D M j の電位が “ 1 ” レベルに変化して、トランジスタ T 2 , T 3 がターンオンする。このため、上記第 1 の実施形態と同様に、時刻 $t_2 \sim t_3$ の所望階調プログラム期間 A 3 においてコンデンサ C 1 は上記式 (1) で与えられるゲート - ソース間電圧 V_{gs} に充電される。なお、本実施形態における垂直同期期間では、上述のように、選択されている走査線 D M に対応する画素回路 5 1 においてトランジスタ T 4 がオン状態になるので、データ電圧 $V_m(i, j, P)$ は上記式 (2) を満たすことが望ましい。

40

【 0 2 6 2 】

時刻 t_3 になると、走査線 D M j の電位が “ 0 ” レベルに変化して、トランジスタ T 2 , T 3 がターンオフする。このため、コンデンサ C 1 の保持電圧は上記式 (1) で示すゲート - ソース間電圧 V_{gs} に確定する。

【 0 2 6 3 】

時刻 t_4 になると、エミッション線 E M j の電位が “ 1 ” レベルに変化して、トランジスタ T 4 がターンオンする。このため、トランジスタ T 1 のドレイン端子とハイレベル電源線 E L V D D とが電氣的に互いに接続され、ハイレベル電源線 E L V D D からトランジスタ T 1 のドレイン端子に電荷が供給される。これにより、上記式 (3) で与えられる発光駆動電流 I_{oled} が有機 E L 素子 O L E D に流れる。

50

【 0 2 6 4 】

< 6 . 3 垂直同期期間での動作 >

図 4 8 は、図 4 6 に示す画素回路 5 1 およびそれに対応するデータドライバ 6 0 0 側の一部の構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。本実施形態では、時刻 $t_1 \sim t_2$ が第 1 測定用階調プログラム期間 A 1、時刻 $t_2 \sim t_3$ が第 1 電流測定期間 A 2、時刻 $t_3 \sim t_4$ が第 2 測定用階調プログラム期間 A 1、時刻 $t_4 \sim t_5$ が第 2 電流測定期間 A 2、時刻 $t_5 \sim t_6$ が所望階調プログラム期間 A 3 である。本実施形態では、例えば、垂直同期期間（後述の第 1，第 3 垂直同期期間を除く。）においてエミッション線 EM_j の電位が“ 1 ”レベルに固定されている。ただし、データ電圧 $V_m(i, j, P)$ が上記式 (2) を満たす値に設定されるので、走査線 DM_j の選択期間中は発光駆動電流 I_{oled} が流れない。なお、本実施形態における第 1 測定用階調プログラム期間 A 1、第 1 電流測定期間 A 2、第 2 測定用階調プログラム期間 A 1、第 2 電流測定期間 A 2、および所望階調プログラム期間 A 3 での動作は、上記第 1 の実施形態におけるものと同様であるので、その説明を省略する。

10

【 0 2 6 5 】

< 6 . 4 各フレーム期間での動作 >

図 4 9 は、本実施形態における各フレーム期間での動作について説明するための図である。本実施形態に係る有機 EL 表示装置 1 は、左目用画像 L および右目用画像 R を、4 フレーム期間を周期として順に表示させることにより 240 Hz 駆動で 3D 動画表示を行う。また、各エミッション線 EM の電位は、1 フレーム期間毎に“ 0 ”レベルと“ 1 ”レベルとで切り替わる。以下では、上記 4 フレーム期間の第 1 フレーム期間における映像信号期間および垂直同期期間をそれぞれ「第 1 映像信号期間」および「第 1 垂直同期期間」といい、第 2 フレーム期間における映像信号期間および垂直同期期間をそれぞれ「第 2 映像信号期間」および「第 2 垂直同期期間」といい、第 3 フレーム期間における映像信号期間および垂直同期期間をそれぞれ「第 3 映像信号期間」および「第 3 垂直同期期間」といい、第 4 フレーム期間における映像信号期間および垂直同期期間をそれぞれ「第 4 映像信号期間」および「第 4 垂直同期期間」という。

20

【 0 2 6 6 】

第 1 フレーム期間では、各エミッション線 EM の電位が“ 0 ”レベルになる。第 1 映像信号期間では、各画素回路 5 1 に左目用画像 L に対応するデータ電圧 V_m が書き込まれる。各エミッション線 EM の電位が“ 0 ”レベルであるので、各画素回路 5 1 の有機 EL 素子 O L E D の発光は停止している。このため、左目用画像 L は表示されない。第 1 垂直同期期間では、第 1，第 2 測定データの取得および補正データの更新は行われない。

30

【 0 2 6 7 】

第 2 フレーム期間では、各エミッション線 EM の電位が“ 1 ”レベルになる。第 2 映像信号期間ではデータ電圧 V_m の書き込みは行われず、各エミッション線 EM の電位が“ 1 ”レベルであるので、第 1 映像信号期間で書き込んだデータ電圧 V_m に基づいて左目用画像 L が表示される。第 2 垂直同期期間では、1 行目 $\sim p$ 行目について第 1，第 2 測定データの取得および補正データの更新が行われる。

40

【 0 2 6 8 】

第 3 フレーム期間では、各エミッション線 EM の電位が“ 0 ”レベルになる。第 3 映像信号期間では、各画素回路 5 1 に右目用画像 R に対応するデータ電圧 V_m が書き込まれる。各エミッション線 EM の電位が“ 0 ”レベルであるので、各画素回路 5 1 の有機 EL 素子 O L E D の発光は停止している。このため、右目用画像 R は表示されない。第 3 垂直同期期間では、第 1，第 2 測定データの取得および補正データの更新は行われない。

【 0 2 6 9 】

第 4 フレーム期間では、各エミッション線 EM の電位が“ 1 ”レベルになる。第 4 映像信号期間ではデータ電圧 V_m の書き込みは行われず、各エミッション線 EM の電位が“ 1 ”レベルであるので、第 3 映像信号期間で書き込んだデータ電圧 V_m に基づいて右目用画像 R が表示される。第 4 フレーム期間では、 $p + 1$ 行目 $\sim 2p$ 行目について第 1，第 2 測

50

定データの取得および補正データの更新が行われる。

【0270】

以上のようにして、本実施形態では、データ電圧 V_m の書き込みを実際に行う映像信号期間（第1映像信号期間または第3映像信号期間）と第1,第2測定データの取得および補正データの更新を実際に行う垂直同期期間（第2垂直同期期間または第4垂直同期期間）とが交互に繰り返される。

【0271】

<6.5 効果>

本実施形態によれば、1個の有機EL素子OLED、4個のnチャンネル型のトランジスタ $T_1 \sim T_4$ 、および1個のコンデンサ C_1 で構成された画素回路51を備える有機EL表示装置1において、上記第1の実施形態と同様の効果を奏することができる。

10

【0272】

また、本実施形態によれば、エミッション線EMおよびトランジスタ T_4 により、有機EL素子OLEDの発光/非発光を制御しつつ、データ電圧 V_m の書き込みを実際に行う映像信号期間（第1映像信号期間または第3映像信号期間）と第1,第2測定データの取得および補正データの更新を実際に行う垂直同期期間（第2垂直同期期間または第4垂直同期期間）とが交互に繰り返される。このため、3D動画表示を行いつつ、第1,第2測定データの取得および補正データの更新を行うことができる。

【0273】

<7.第7の実施形態>

20

<7.1 画素回路>

図50は、本発明の第7の実施形態における画素回路51およびそれに対応するデータドライバ600側の一部の構成要素を示す回路図である。本実施形態の構成要素のうち上記第1,第6の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態における画素回路51は、上記第6の実施形態における画素回路51においてトランジスタ T_4 の位置を変更したものである。上記第6の実施形態と同様に、表示部50にはn本のエミッション線 $EM_1 \sim EM_n$ が配設されている。

【0274】

本実施形態におけるトランジスタ T_4 は、走査線 DM_j にゲート端子が接続され、トランジスタ T_1 のソース端子と有機EL素子OLEDのアノード端子との間に設けられている。トランジスタ T_4 は、当該トランジスタ T_4 を備える画素回路51に対応する走査線DMが選択される選択期間に少なくともオフ状態になる。なお、トランジスタ T_1 のドレイン端子はハイレベル電源線ELVDDに接続されている。以下、本実施形態に関する説明では、トランジスタ T_1 のソース端子と、トランジスタ T_1 のソース端子側に位置するコンデンサ C_1 の一端と、トランジスタ T_1 のソース端子側に位置するトランジスタ T_3 の導通端子と、トランジスタ T_1 のソース端子側に位置するトランジスタ T_4 の導通端子との接続点のことを便宜上「第1ノード N_1 」という。また、有機EL素子OLEDのアノード端子と、有機EL素子OLEDのアノード端子側に位置するトランジスタ T_4 の導通端子との接続点のことを便宜上「第2ノード N_2 」という。また、本実施形態に関する映像信号期間の動作説明では、有機EL素子OLEDのアノード端子とカソード端子との間に形成される寄生容量 C_{el} を考慮するものとする。

30

40

【0275】

<7.2 映像信号期間での動作>

図51は、図50に示す画素回路51およびそれに対応するデータドライバ600側の一部の構成要素の映像信号期間での動作について説明するためのタイミングチャートである。本実施形態では、時刻 $t_2 \sim t_3$ が所望階調プログラム期間 A_3 である。

【0276】

時刻 t_1 以前では、走査線 DM_j の電位は“0”レベル、エミッション線 EM_j の電位は“1”レベルになっている。トランジスタ T_2, T_3 がオフ状態になっており、トランジスタ T_1 は、コンデンサ C_1 に保持されたゲート-ソース間電圧 V_{gs} に応じた駆動電

50

流 $I_m(i, j, P)$ を流している。また、トランジスタ T_4 がオン状態になっており、有機 EL 素子 OLED のアノード端子とトランジスタ T_1 のソース端子とは電氣的に互いに接続されている。このため、トランジスタ T_1 に流れる駆動電流 $I_m(i, j, P)$ は、発光駆動電流 I_{oled} として有機 EL 素子 OLED に流れる。そして、有機 EL 素子 OLED は、この発光駆動電流 I_{oled} に応じた輝度で発光している。

【0277】

時刻 t_1 になると、エミッション線 EM_j の電位が “0” レベルに変化し、トランジスタ T_4 はターンオフする。このため、有機 EL 素子 OLED のアノード端子とトランジスタ T_1 のソース端子とが電氣的に互いに切り離され、発光駆動電流 I_{oled} が 0 になる。これにより、有機 EL 素子 OLED の発光が停止する。また、第 1 ノード N_1 と第 2 ノード N_2 とが電氣的に互いに切り離されるので、第 2 ノード N_2 の電位は寄生容量 C_{el} の保持電圧に応じて V_{tholed} になる。

10

【0278】

時刻 t_2 になると、データ/測定線 $DAME_i$ にはオペアンプ 731 を介してデータ電圧 $V_m(i, j, P)$ が供給される。また、走査線 DM_j の電位が “1” レベルに変化して、トランジスタ T_2, T_3 がターンオンする。このため、上記第 1 の実施形態と同様に、時刻 $t_2 \sim t_3$ の所望階調プログラム期間 A_3 においてコンデンサ C_1 は上記式 (1) で与えられるゲート-ソース間電圧 V_{gs} に充電される。なお、本実施形態では、エミッション線 EM_j およびトランジスタ T_4 を使用して有機 EL 素子 OLED のアノード端子とトランジスタ T_1 のソース端子との接続を制御することにより、有機 EL 素子 OLED の発光/非発光を制御しているため、上記式 (2) に示されるデータ電圧 $V_m(i, j, P)$ の設定は不要である。

20

【0279】

時刻 t_3 になると、走査線 DM_j の電位が “0” レベルに変化して、トランジスタ T_2, T_3 がターンオフする。このため、コンデンサ C_1 の保持電圧は上記式 (1) で示すゲート-ソース間電圧 V_{gs} に確定する。

【0280】

時刻 t_4 になると、エミッション線 EM_j の電位が “1” レベルに変化して、トランジスタ T_4 がターンオンする。このため、有機 EL 素子 OLED のアノード端子とトランジスタ T_1 のソース端子とが電氣的に互いに接続され、上記式 (3) で与えられる発光駆動電流 I_{oled} が有機 EL 素子 OLED に流れる。このとき、第 1 ノード N_1 と第 2 ノード N_2 とが互いに接続されるので、それぞれ同電位になる。

30

【0281】

ところで、寄生容量 C_{el} は、第 1 ノード N_1 のデータ電圧 V_m への充電速度に影響を与える。例えば本実施形態において、第 1 ノード N_1 へのデータ電圧 V_m の書き込み時に、第 1 ノード N_1 に寄生容量 C_{el} が接続されているとすると、この寄生容量 C_{el} が負荷容量として作用し、第 1 ノード N_1 のデータ電圧 V_m への充電が遅れる。このため、第 1 ノード N_1 の充電量が不足する。しかし、本実施形態では、データ電圧 V_m の書き込み時にはトランジスタ T_4 がオフ状態になっているので、第 1 ノード N_1 と寄生容量 C_{el} とが電氣的に互いに切り離される。このため、第 1 ノード N_1 の充電不足が解消される。なお、このような充電不足の抑制に関する説明は、垂直同期期間においても同様に成り立つ。

40

【0282】

< 7.3 垂直同期期間での動作 >

図 52 は、図 50 に示す画素回路 51 およびそれに対応するデータドライバ 600 側の一部の構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。本実施形態では、時刻 $t_2 \sim t_3$ が第 1 測定用階調プログラム期間 A_1 、時刻 $t_3 \sim t_4$ が第 1 電流測定期間 A_2 、時刻 $t_4 \sim t_5$ が第 2 測定用階調プログラム期間 A_1 、時刻 $t_5 \sim t_6$ が第 2 電流測定期間 A_2 、時刻 $t_6 \sim t_7$ が所望階調プログラム期間 A_3 である。

50

【0283】

時刻 t_1 以前では、映像信号期間における時刻 t_1 以前と同様に、有機EL素子OLEDは発光駆動電流 I_{oled} に応じた輝度で発光している。時刻 t_1 になると、映像信号期間における時刻 t_1 と同様に、有機EL素子OLEDの発光が停止する。

【0284】

なお、本実施形態における第1測定用階調プログラム期間A1、第1電流測定期間A2、第2測定用階調プログラム期間A1、第2電流測定期間A2、および所望階調プログラム期間A3での動作は、上記第1の実施形態におけるものと基本的に同様であるので、その説明を省略する。

【0285】

時刻 t_8 になると、映像信号期間における時刻 t_4 と同様に、有機EL素子OLEDのアノード端子とトランジスタT1のソース端子とが電氣的に互いに接続され、発光駆動電流 I_{oled} が有機EL素子OLEDに流れる。

【0286】

<7.4 効果>

本実施形態によれば、1個の有機EL素子OLED、4個のnチャンネル型のトランジスタT1~T4、および1個のコンデンサC1で構成された画素回路51を備える有機EL表示装置1において、上記第1の実施形態と同様の効果を奏することができる。

【0287】

また、本実施形態によれば、エミッション線EM_jおよびトランジスタT4を使用して有機EL素子OLEDのアノード端子とトランジスタT1のソース端子との接続を制御することにより、有機EL素子OLEDの発光/非発光を制御することができる。

【0288】

また、本実施形態によれば、第1ノードN1へのデータ電圧V_mの書き込み時(走査線DMの選択時)にトランジスタT4がオフ状態になるので、第1ノードN1と寄生容量C_{e1}とが電氣的に互いに切り離される。このため、第1ノードN1の充電不足が解消される。これにより、データ電圧V_mを供給するトランジスタT3に必要な駆動能力を低減できるので、当該トランジスタT3のサイズを縮小することができる。

【0289】

<8.第8の実施形態>

<8.1 画素回路>

図53は、本発明の第8の実施形態における画素回路51およびそれに対応するデータドライバ600側の一部の構成要素を示す回路図である。本実施形態の構成要素のうち上記第1,第6,第7の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態における画素回路51は、1個の有機EL素子OLED、4個のトランジスタT1, T3~T5、および1個のコンデンサ(駆動容量素子)C1を備えている。トランジスタT1は駆動トランジスタであり、トランジスタT3は入力トランジスタであり、トランジスタT4は発光制御トランジスタであり、トランジスタT5は電流パス形成トランジスタである。トランジスタT1, T3~T5はすべてpチャンネル型である。上記第6,第7の実施形態と同様に、表示部50にはn本のエミッション線EM1~EM_nが配設されている。なお、本実施形態における表示部50には、参照電圧線V_{ref}は設けられない。

【0290】

トランジスタT1は、有機EL素子OLEDと直列に設けられ、ハイレベル電源線ELVDDに第1導通端子としてのソース端子が接続されている。トランジスタT3は、走査線DM_jにゲート端子が接続され、データ/測定線DAME_iとトランジスタT1のゲート端子との間に設けられている。トランジスタT4は、有機EL素子OLEDと直列に設けられ、エミッション線EM_jにゲート端子が接続され、トランジスタT1の第2導通端子としてのドレイン端子と有機EL素子OLEDのアノード端子との間に設けられている。トランジスタT4は、当該トランジスタT4を備える画素回路51に対応する走査線D

10

20

30

40

50

Mが選択される選択期間に少なくともオフ状態になる。トランジスタT5は、走査線DMjにゲート端子が接続され、トランジスタT1のゲート端子とドレイン端子との間に設けられている。コンデンサC1は、トランジスタT1のゲート端子とソース端子との間に設けられている。有機EL素子OLEDのカソード端子は、ローレベル電源線ELVSSに接続されている。

【0291】

< 8.2 映像信号期間での動作 >

図54は、図53に示す画素回路51およびそれに対応するデータドライバ600側の一部の構成要素の映像信号期間での動作について説明するためのタイミングチャートである。本実施形態において走査線DMjにゲート端子が接続されているトランジスタT3、T5はpチャンネル型であるので、上記第1の実施形態と異なり、走査線DMjの電位が“0”レベルであるとき当該走査線DMjは選択状態であり、走査線DMjの電位が“1”レベルであるとき当該走査線DMjは非選択状態である。本実施形態では、時刻t2~t3が所望階調プログラム期間A3である。

10

【0292】

時刻t1以前では、走査線DMjの電位は“1”レベル、エミッション線EMjの電位は“0”レベルになっている。このとき、トランジスタT3、T5がオフ状態になっており、トランジスタT1は、コンデンサC1に保持されたゲート-ソース間電圧Vgsに応じた駆動電流Im(i,j,P)を流している。また、トランジスタT4がオン状態になっており、有機EL素子OLEDのアノード端子とトランジスタT1のドレイン端子とは電氣的に互いに接続されている。このため、トランジスタT1が流す駆動電流Im(i,j,P)は、発光駆動電流Ioledとして有機EL素子OLEDに流れる。そして、有機EL素子OLEDは、この発光駆動電流Ioledに応じた輝度で発光している。

20

【0293】

時刻t1になると、エミッション線EMjの電位が“1”レベルに変化し、トランジスタT4はターンオフする。このため、有機EL素子OLEDのアノード端子とトランジスタT1のドレイン端子とが電氣的に互いに切り離され、発光駆動電流Ioledが0になる。これにより、有機EL素子OLEDの発光が停止する。

【0294】

時刻t2になると、データ/測定線DAMEiにはオペアンプ731を介してデータ電圧Vm(i,j,P)が供給される。また、走査線DMjの電位が“0”レベルに変化して、トランジスタT3、T5がターンオンする。このため、コンデンサC1の一端(トランジスタT1のゲート端子側)にはデータ/測定線DAMEiおよびトランジスタT3を介してデータ電圧Vm(i,j,P)が与えられる。なお、コンデンサC1の他端(トランジスタT1のソース端子側)にはハイレベル電源電圧ELVDDが常時与えられている。これにより、時刻t2~t3の所望階調プログラム期間A3においてコンデンサC1は、次式(29)で与えられるゲート-ソース間電圧Vgsに充電される。

30

$$V_{gs} = ELVDD - V_m(i, j, P) \quad \dots (29)$$

【0295】

なお、本実施形態では、エミッション線EMjおよびトランジスタT4を使用して有機EL素子OLEDのアノード端子とトランジスタT1のドレイン端子との接続を制御することにより、有機EL素子OLEDの発光/非発光を制御しているため、上記式(2)に示されるデータ電圧Vm(i,j,P)の設定は不要である。また、本実施形態においても、上記第7の実施形態と同様に、データ電圧Vmの書き込み時にトランジスタT4がオフ状態になることにより、寄生容量Cclに起因する、トランジスタT1のゲート端子(上記第7の実施形態における第1ノードN1に相当する。)の充電不足が解消される。

40

【0296】

時刻t3になると、走査線DMjの電位が“1”レベルに変化して、トランジスタT3、T5がターンオフする。このため、コンデンサC1の保持電圧は上記式(29)で示すゲート-ソース間電圧Vgsに確定する。

50

【 0 2 9 7 】

時刻 t_4 になると、エミッション線 EM_j の電位が “ 0 ” レベルに変化して、トランジスタ T_4 がターンオンする。このため、有機 EL 素子 $OLED$ のアノード端子とトランジスタ T_1 のドレイン端子とが電氣的に互いに接続され、次式 (3 0) で与えられる発光駆動電流 I_{oled} が有機 EL 素子 $OLED$ に流れる。

$$I_{oled} = \left(\frac{1}{2} \right) * (V_{gs} - V_t)^2 \\ = \left(\frac{1}{2} \right) * (ELVDD - V_m(i, j, P) - V_t)^2 \quad \dots (3 0)$$

式 (3 0) は、上記式 (3) における参照電圧 V_{ref} をハイレベル電源電圧 $ELVDD$ に置き換えたものである。これにより、本実施形態におけるコントローラ 10 による映像データ $V_m(i, j, P)$ の補正は、参照電圧 V_{ref} をハイレベル電源電圧 $ELVDD$ に置き換えることにより上記第 1 の実施形態におけるものと同様の手順で行えることがわかる。

10

【 0 2 9 8 】

< 8 . 3 垂直同期期間での動作 >

図 5 5 は、図 5 3 に示す画素回路 5 1 およびそれに対応するデータドライバ 6 0 0 側の一部の構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。本実施形態では、時刻 $t_2 \sim t_3$ が第 1 測定用階調プログラム期間 A_1 、時刻 $t_3 \sim t_4$ が第 1 電流測定期間 A_2 、時刻 $t_4 \sim t_5$ が第 2 測定用階調プログラム期間 A_1 、時刻 $t_5 \sim t_6$ が第 2 電流測定期間 A_2 、時刻 $t_6 \sim t_7$ が所望階調プログラム期間 A_3 である。

20

【 0 2 9 9 】

時刻 t_1 以前では、映像信号期間における時刻 t_1 以前と同様に、有機 EL 素子 $OLED$ は発光駆動電流 I_{oled} に応じた輝度で発光している。時刻 t_1 になると、映像信号期間における時刻 t_1 と同様に、有機 EL 素子 $OLED$ の発光が停止する。

【 0 3 0 0 】

時刻 t_2 になると、走査線 DM_j の電位が “ 0 ” レベルに変化して、トランジスタ T_3 、 T_5 がターンオンする。また、入出力制御信号 DWT が “ 1 ” レベルになり、制御スイッチ SW が閉じる。また、オペアンプ 7 3 1 の非反転入力端子には、第 1 測定用データ電圧 $V_m(i, j, P_1)$ が入力される。このため、時刻 $t_2 \sim t_3$ の第 1 測定用階調プログラム期間 A_1 では、上記所望階調プログラム期間 A_3 と同様の手順で、コンデンサ C_1 が次式 (3 1) で与えられるゲート - ソース間電圧 V_{gs} に充電される。

30

$$V_{gs} = ELVDD - V_m(i, j, P_1) \quad \dots (3 1)$$

【 0 3 0 1 】

時刻 t_3 になると、入出力制御信号 DWT が “ 0 ” レベルに変化して、制御スイッチ SW が開く。また、時刻 t_1 に引き続きオペアンプ 7 3 1 の非反転入力端子には第 1 測定用データ電圧 $V_m(i, j, P_1)$ が入力されているので、仮想短絡により反転入力端子の電位も第 1 測定用データ電圧 $V_m(i, j, P_1)$ となる。時刻 $t_3 \sim t_4$ の第 1 電流測定期間 A_2 では、トランジスタ T_5 、 T_3 を介した第 1 駆動電流 $I_m(i, j, P_1)$ の電流パスが形成され、画素回路 5 1 からデータ / 測定線 $DAME_i$ に当該第 1 駆動電流 $I_m(i, j, P_1)$ が出力される。このようにトランジスタ T_5 、 T_3 は互いに連動して、オン状態のときに第 1 駆動電流 $I_m(i, j, P_1)$ (第 2 駆動電流 (i, j, P_2) についても同様) をデータ / 測定線 $DAME_i$ に出力可能になっている。データ / 測定線 $DAME_i$ に出力された第 1 駆動電流 $I_m(i, j, P_1)$ の測定手順は上述のとおりなので、ここではその説明を省略する。

40

【 0 3 0 2 】

時刻 $t_4 \sim t_5$ の第 2 測定用階調プログラム期間 A_1 における動作は、時刻 $t_2 \sim t_3$ の第 1 測定用階調プログラム期間 A_1 における動作の第 1 階調 P_1 を第 2 階調 P_2 に変更したのみであるので、その詳細な説明は省略する。時刻 $t_5 \sim t_6$ の第 2 電流測定期間 A_2 における動作は、時刻 $t_3 \sim t_4$ の第 1 電流測定期間 A_2 における動作の第 1 階調 P_1 を第 2 階調 P_2 に変更したのみであるので、その詳細な説明は省略する。時刻 $t_6 \sim t_7$

50

の所望階調プログラム期間A3における動作は、映像信号期間におけるものと同様であるので、その詳細な説明は省略する。時刻 t_7 、 t_8 における動作は、映像信号期間の時刻 t_3 、 t_4 における動作とそれぞれ同様であるので、その詳細な説明は省略する。

【0303】

< 8.4 効果 >

本実施形態によれば、1個の有機EL素子OLED、4個のpチャネル型のトランジスタT1、T3～T5、および1個のコンデンサC1で構成された画素回路51を備える有機EL表示装置1において、上記第1、第7の実施形態と同様の効果を奏することができる。

【0304】

< 9.その他 >

本発明を適用可能な有機EL表示装置1は、各実施形態で例示した画素回路51を備えるものに限定されるものではない。画素回路51は、少なくとも、電流によって制御される電気光学素子(有機EL素子OLED)、トランジスタT1、T3、およびコンデンサC1を備えていれば良い。

【0305】

上記各実施形態におけるゲイン補償は、トランジスタT1の移動度 μ 、ゲート幅W、ゲート長L、および単位面積あたりのゲート絶縁膜容量 C_{ox} のうち、少なくとも移動度 μ のばらつきを補償するものであれば良い。

【0306】

データドライバ600からコントローラ10への第1、第2測定データ $I_m(i, j, P1)$ 、 $I_m(i, j, P2)$ の送信タイミングは、上記各実施形態で説明した例に限定されるものではなく、双方向通信バスまたは第2単方向通信バスの通信状況に応じて種々変更可能である。その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

【産業上の利用可能性】

【0307】

本発明の表示装置は、表示を行いつつ、駆動トランジスタの閾値電圧補償およびゲイン補償の双方を画素回路毎に行えるという特徴を有するので、有機EL表示装置など、電気光学素子を含む画素回路を備えた表示装置に利用することができる。

【符号の説明】

【0308】

- 1 ... 有機EL表示装置
- 10 ... コントローラ(表示制御部)
- 11 ... 第1LUT
- 12 ... 乗算部
- 13 ... 加算部
- 14, 733 ... 減算部
- 15 ... 第2LUT
- 16 ... CPU
- 20 ... DRAM(記憶部)
- 21 ... ゲイン補正メモリ
- 22 ... 閾値電圧補正メモリ
- 30 ... フラッシュメモリ
- 40 ... 表示パネル
- 50 ... 表示部
- 51 ... 画素回路
- 60 ... データ駆動部
- 66 ... デジタル-アナログ変換部
- 67 ... 電圧出力/電流測定部

10

20

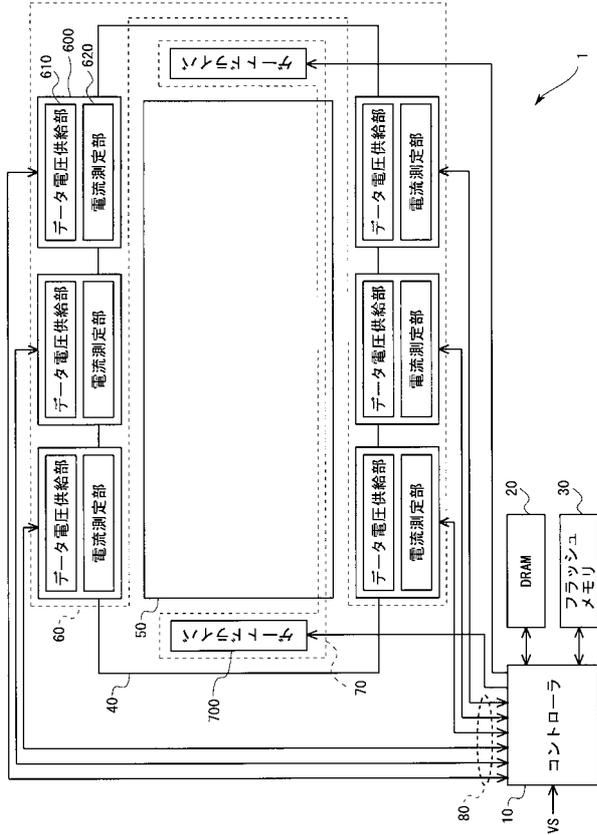
30

40

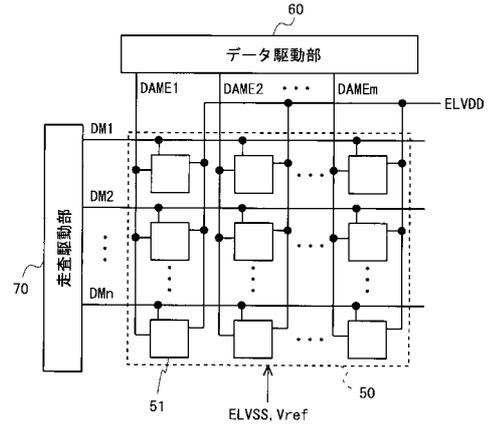
50

7 0 ... 走査駆動部	
8 0 ... 通信バス	
6 0 0 ... データドライバ	
6 1 0 ... データ電圧供給部	
6 2 0 ... 電流測定部	
6 6 0 ... D A C	
6 7 0 ... 電圧出力 / 電流測定回路	
6 8 0 ... D ラッチ	
7 0 0 ... ゲートドライバ	
7 3 1 ... オペアンプ	10
7 3 2 ... A D C	
7 3 4 ... 除算部	
7 4 0 ... 測定データ取得部	
7 5 0 ... 電圧保持部	
7 6 0 ... 第 1 セレクタ	
7 7 0 ... 第 2 セレクタ	
7 8 0 ... バッファアンプ	
O L E D ... 有機 E L 素子	
T 1 ~ T 5 ... 薄膜トランジスタ	
C 1 ... コンデンサ (駆動容量素子)	20
C d 1 , C d 2 ... 第 1 , 第 2 コンデンサ	
C e 1 ... 寄生容量	
V S ... 映像信号	
V D ... 映像データ	
V m ... データ電圧 , 映像データ	
I m ... 駆動電流 , 測定データ	
D A M E ... データ / 測定線 (データ線)	
D M ... 走査線	
E M ... エミッション線	
D W T ... 入出力制御信号	30

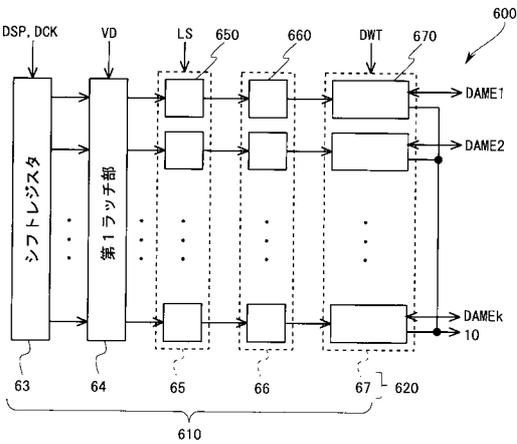
【図1】



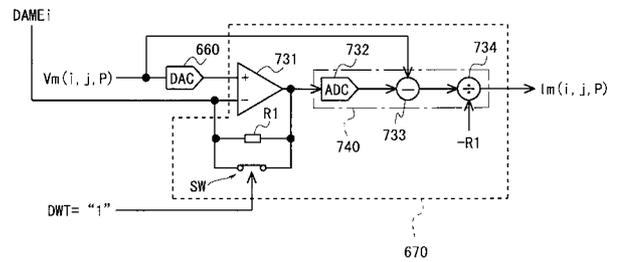
【図2】



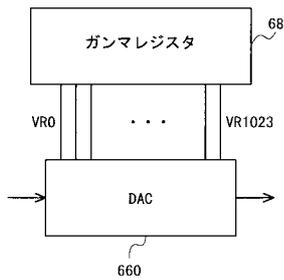
【図3】



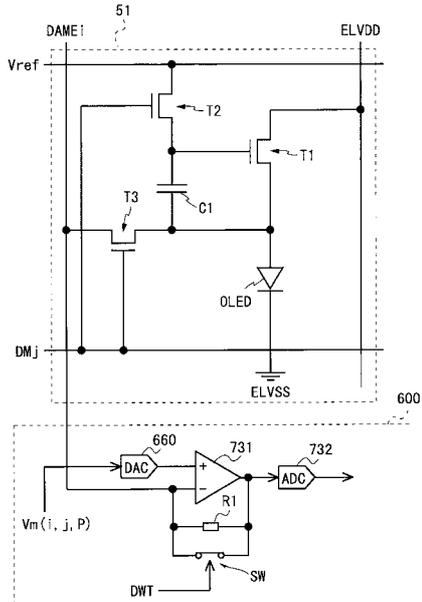
【図5】



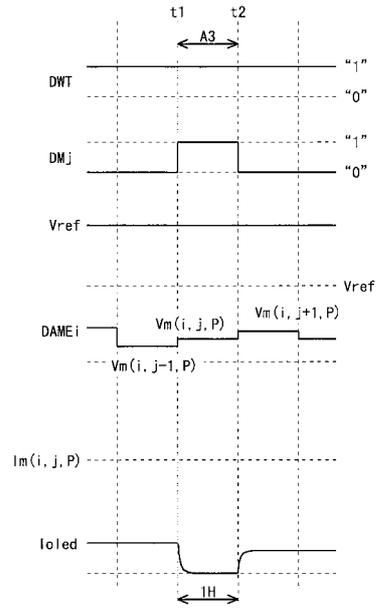
【図4】



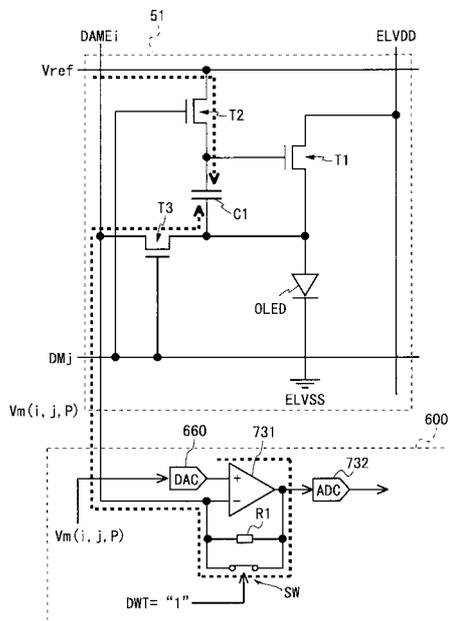
【 図 6 】



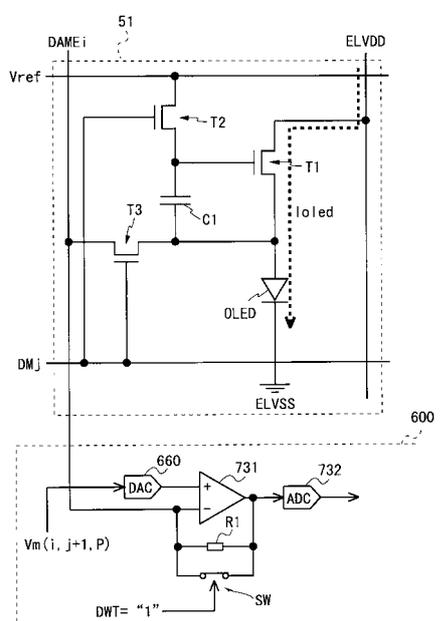
【 図 7 】



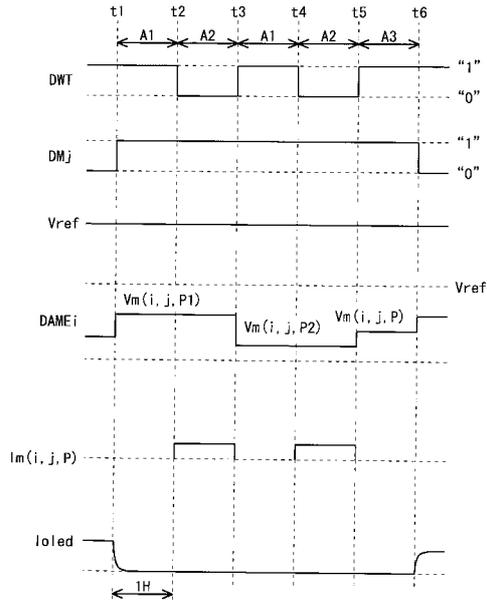
【 図 8 】



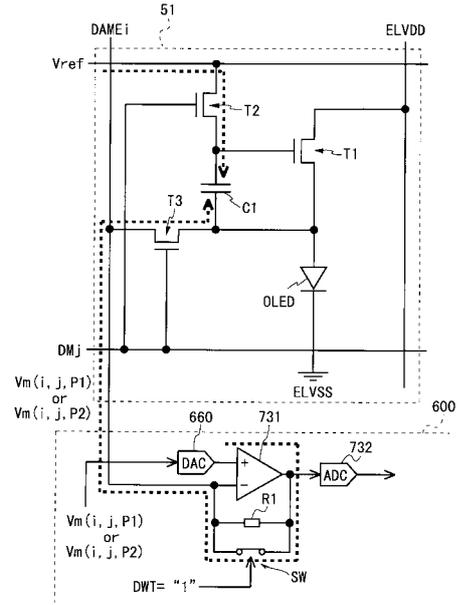
【 図 9 】



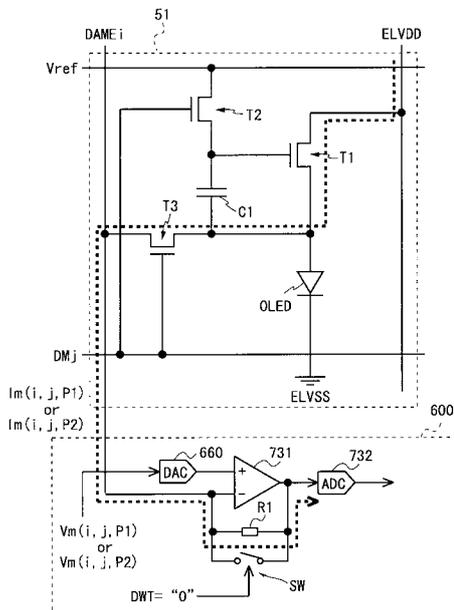
【 図 1 0 】



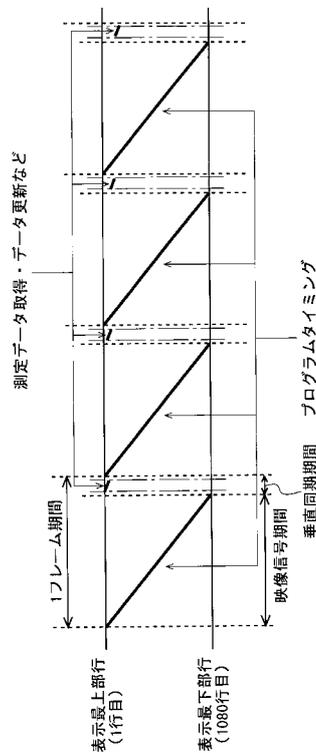
【 図 1 1 】



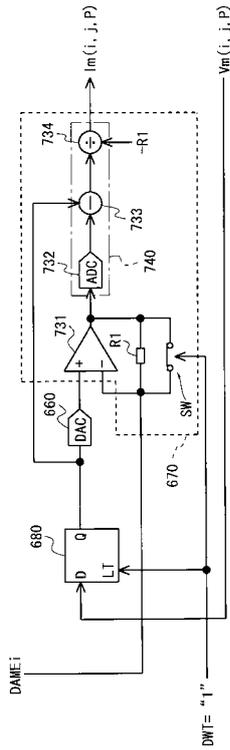
【 図 1 2 】



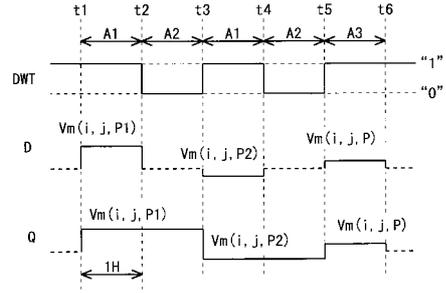
【 図 1 3 】



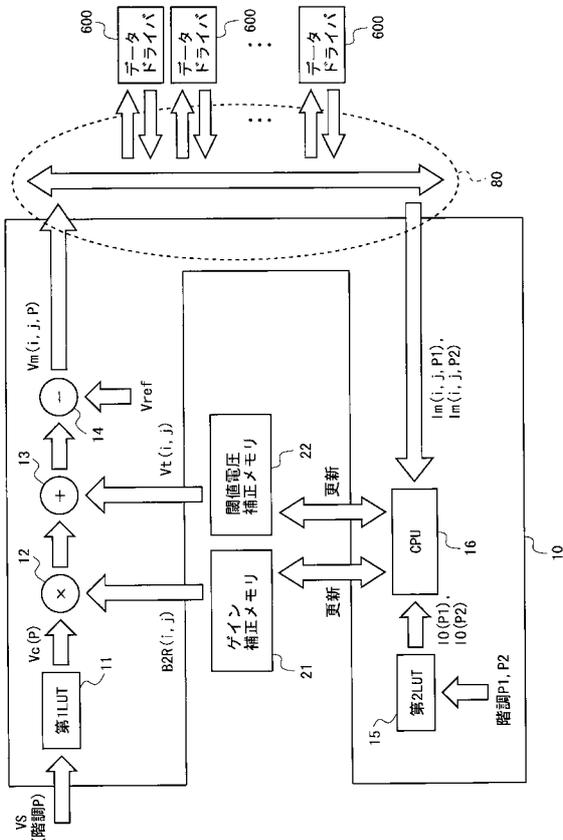
【 図 1 4 】



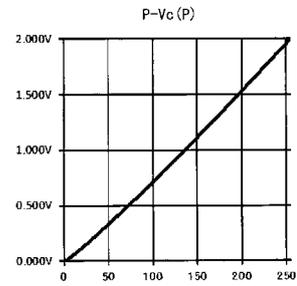
【 図 1 5 】



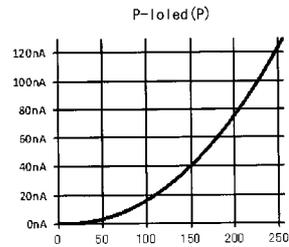
【 図 1 6 】



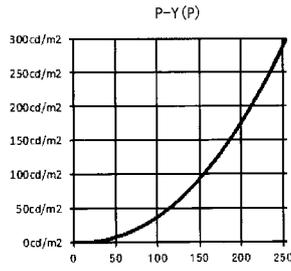
【 図 1 7 】



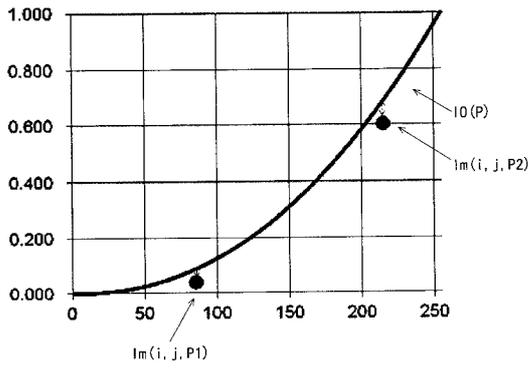
【 図 1 8 】



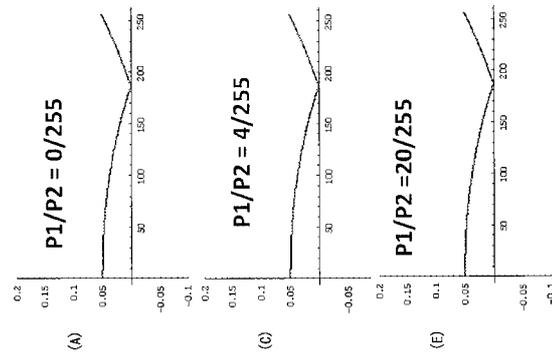
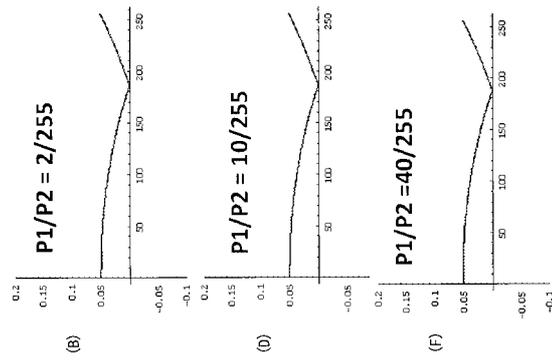
【 図 1 9 】



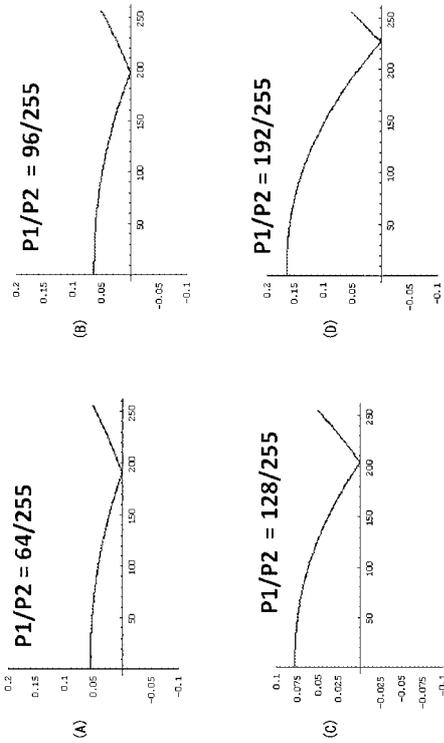
【 図 2 0 】



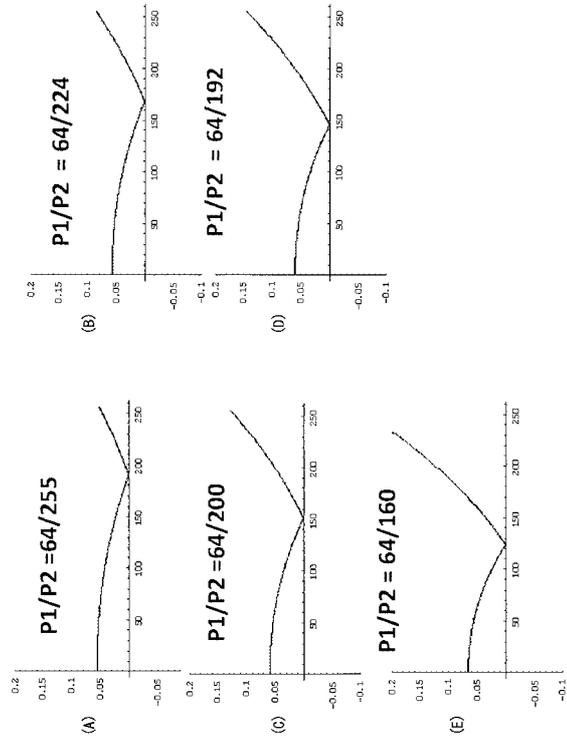
【 図 2 1 】



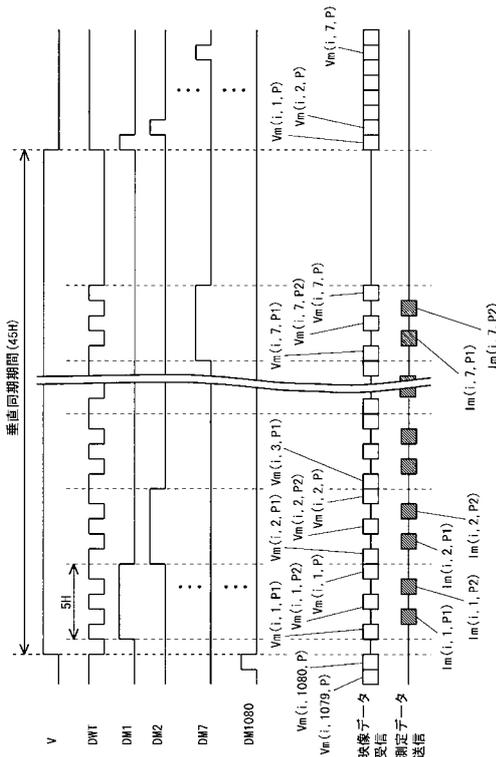
【 図 2 2 】



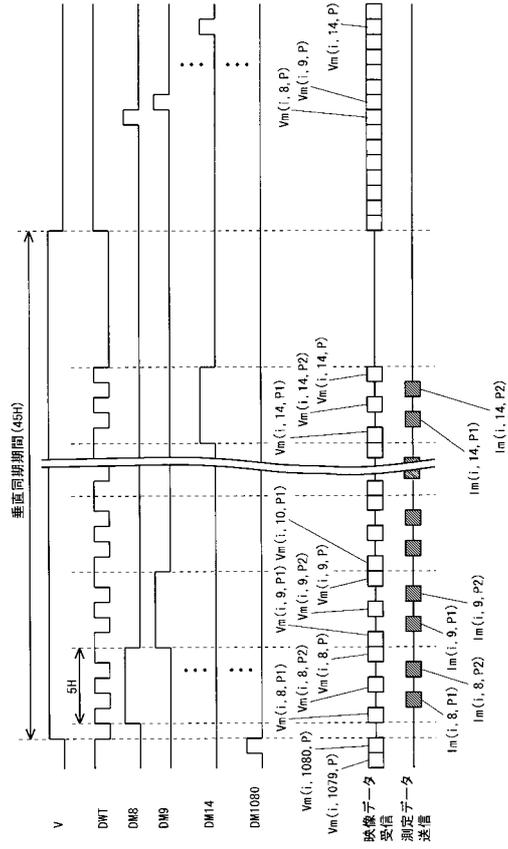
【 図 2 3 】



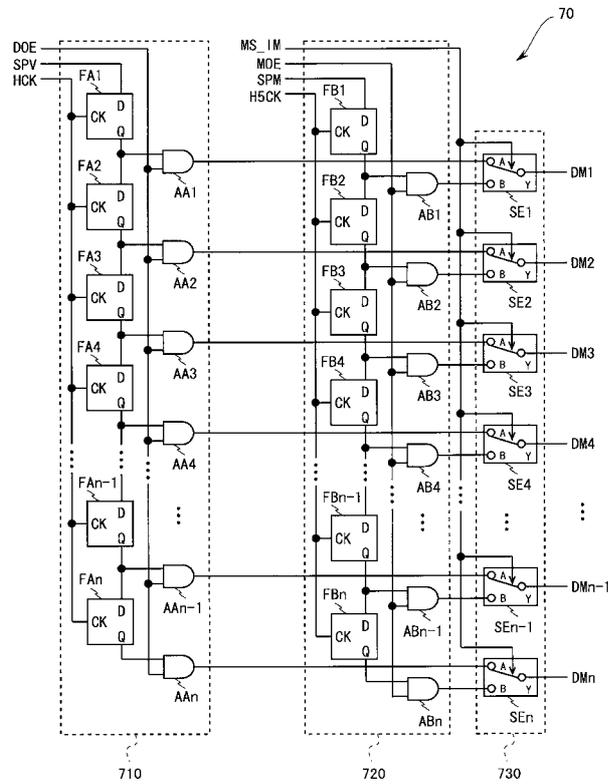
【図 2 4】



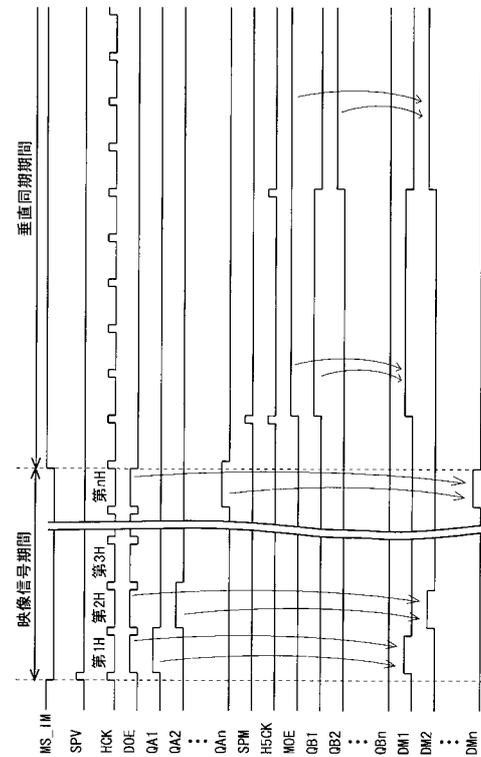
【図 2 5】



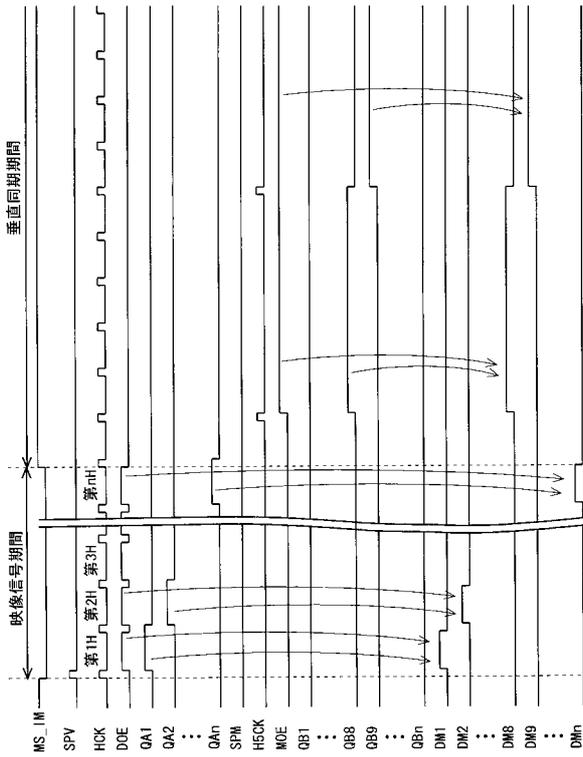
【図 2 6】



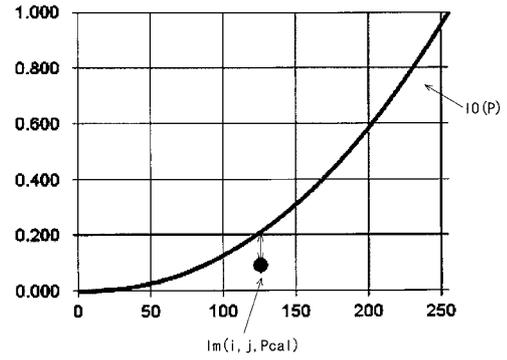
【図 2 7】



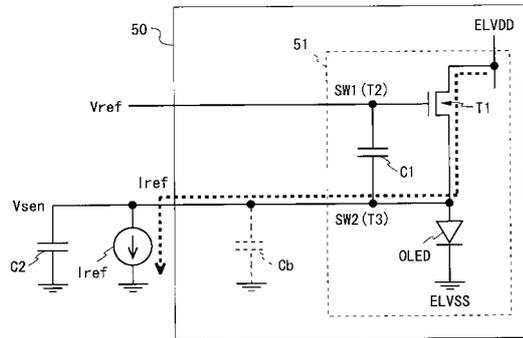
【 図 2 8 】



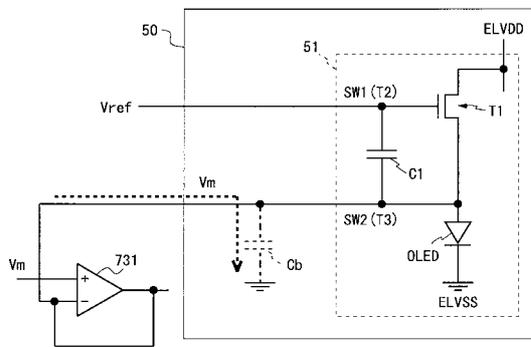
【 図 2 9 】



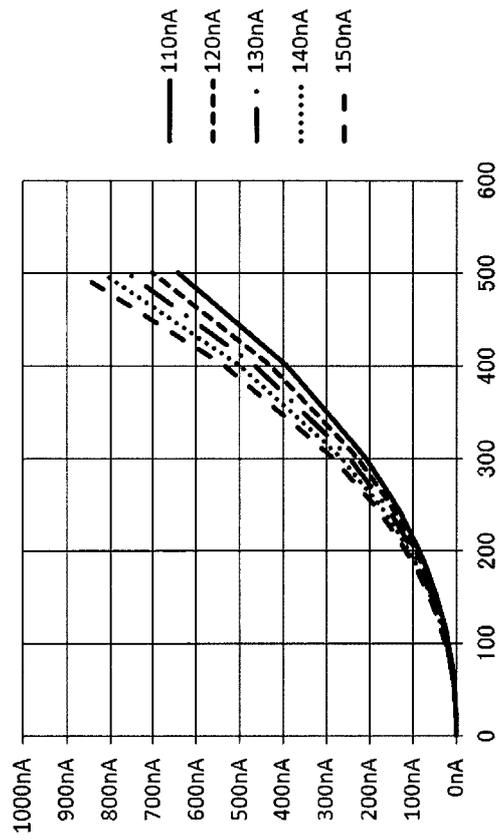
【 図 3 0 】



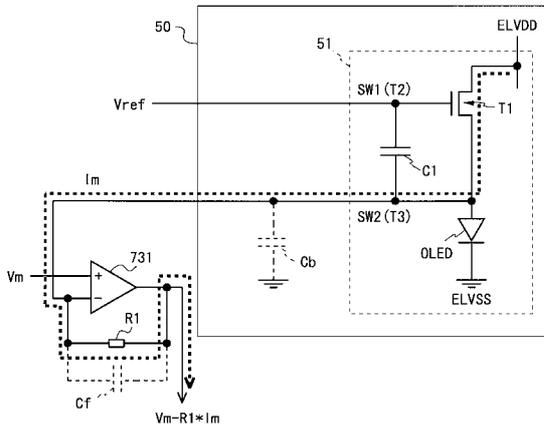
【 図 3 1 】



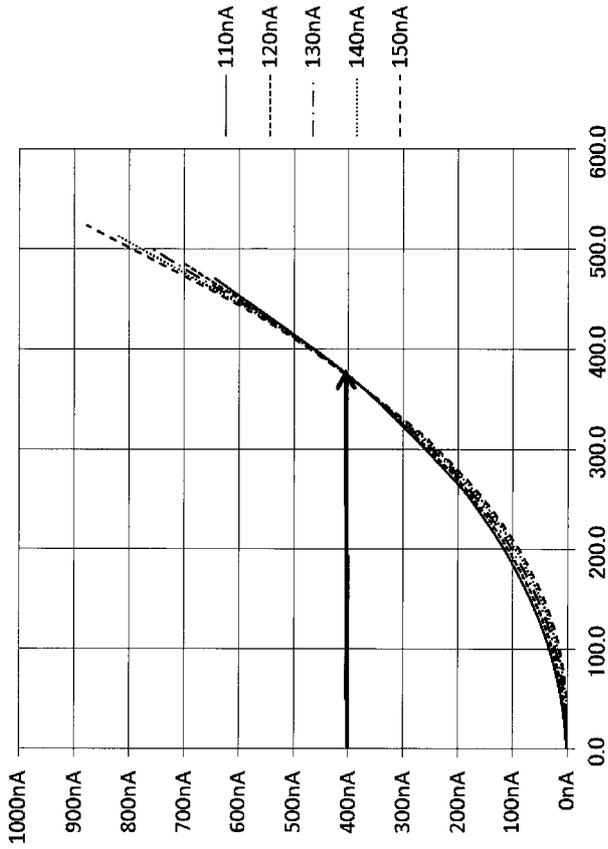
【 図 3 3 】



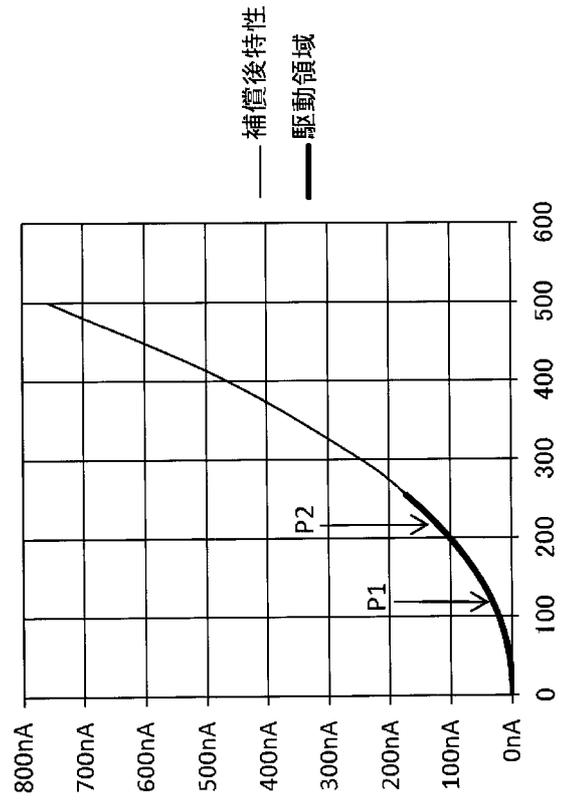
【 図 3 2 】



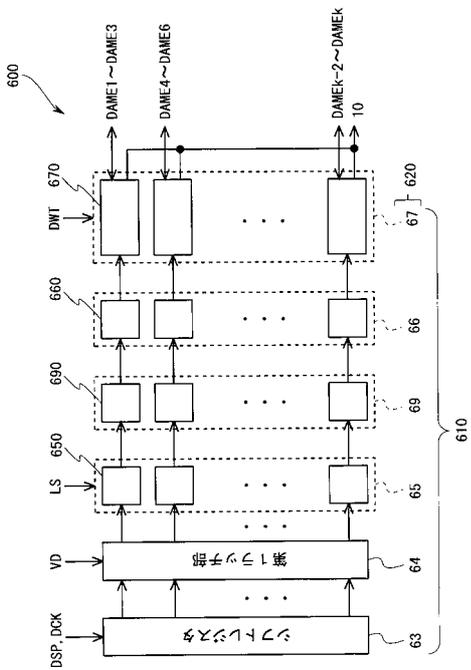
【 図 3 4 】



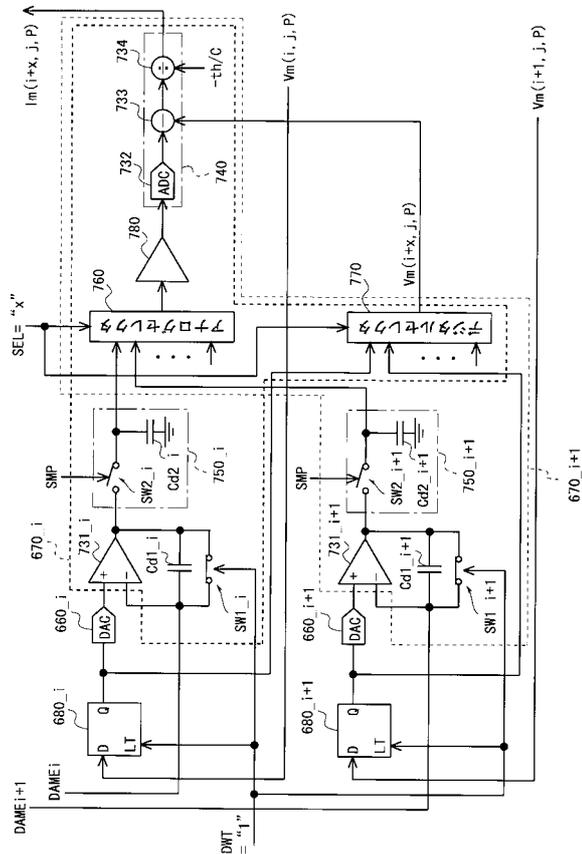
【 図 3 5 】



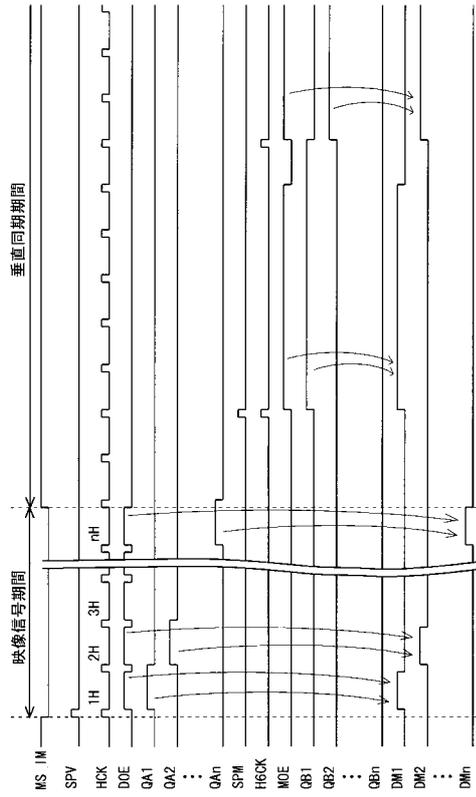
【 図 3 6 】



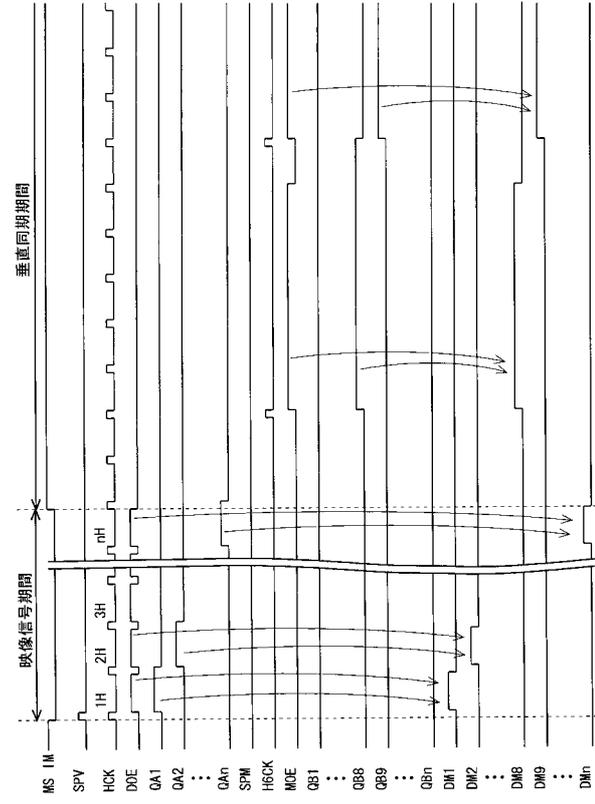
【 図 3 7 】



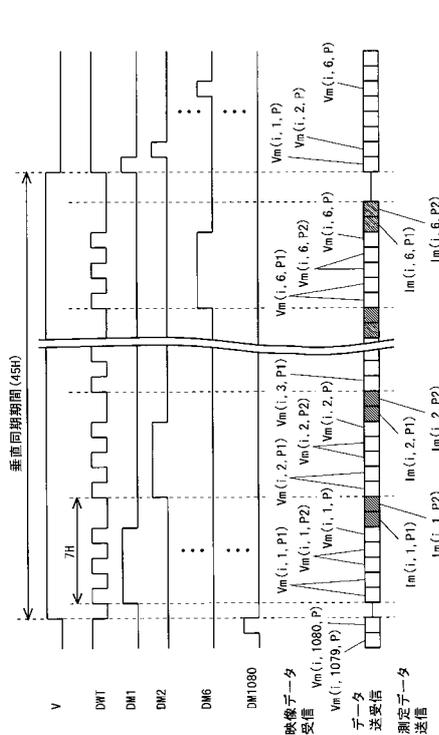
【 図 4 2 】



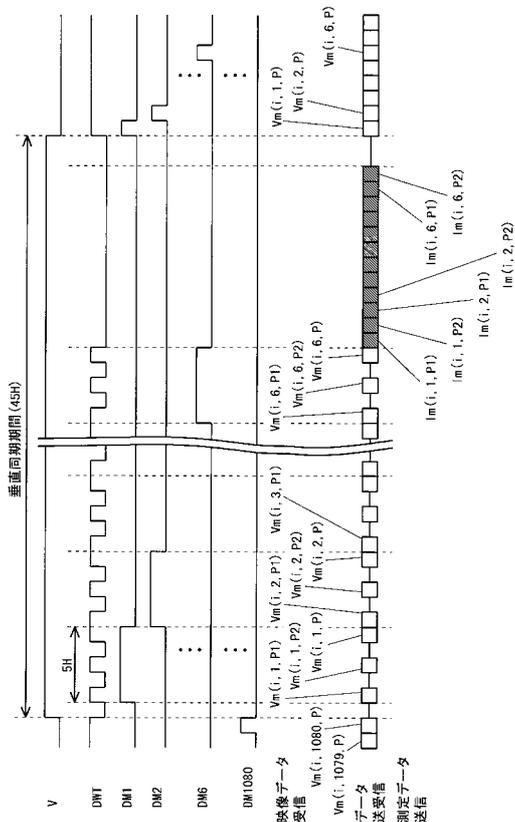
【 図 4 3 】



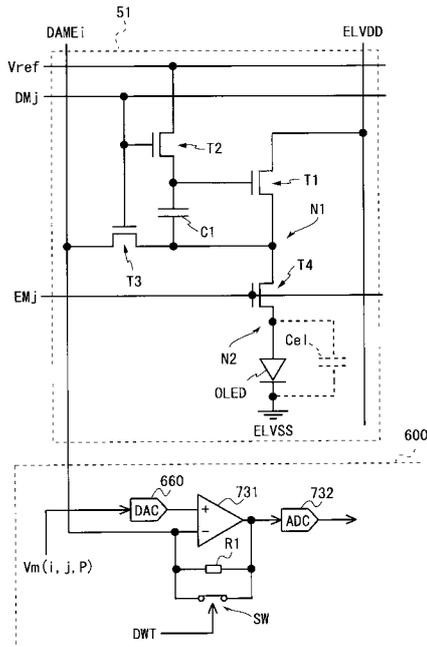
【 図 4 4 】



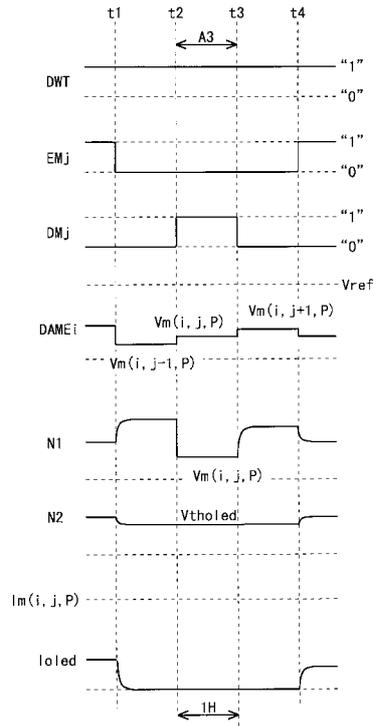
【 図 4 5 】



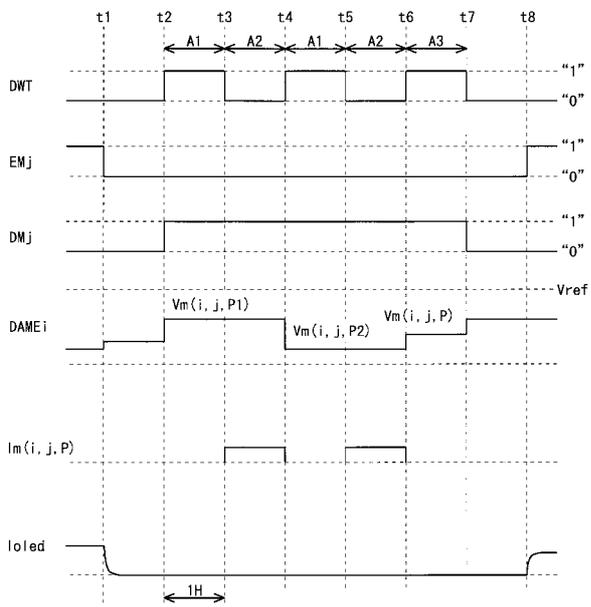
【 図 5 0 】



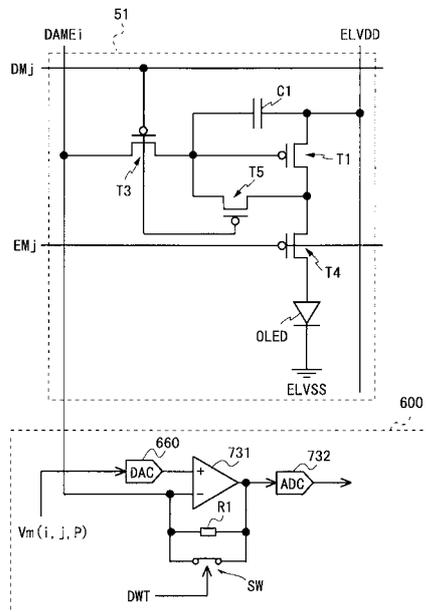
【 図 5 1 】



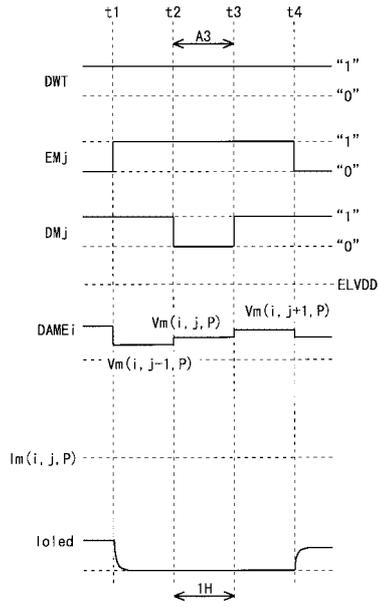
【 図 5 2 】



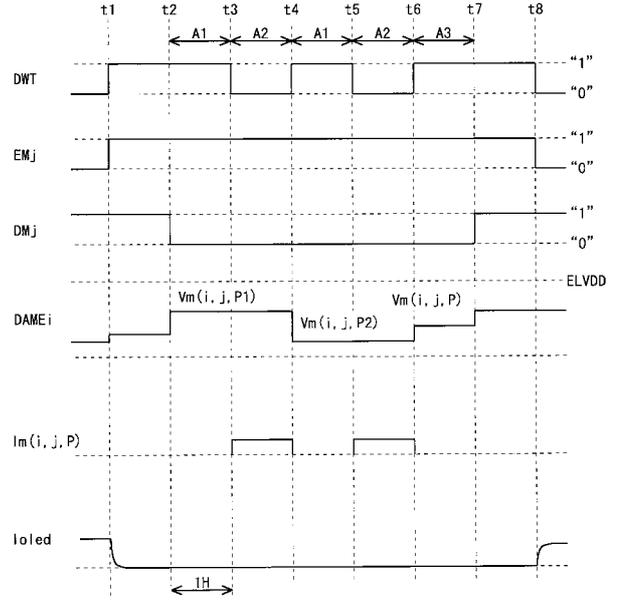
【 図 5 3 】



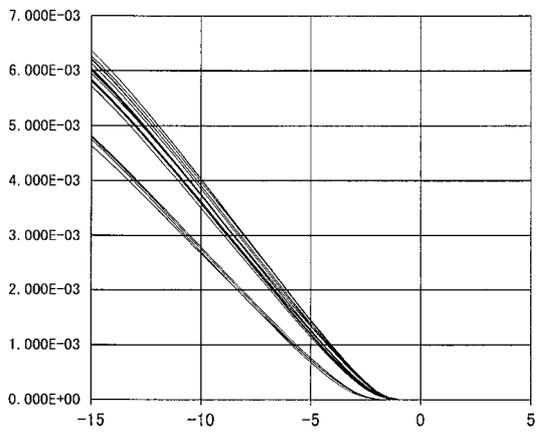
【 図 5 4 】



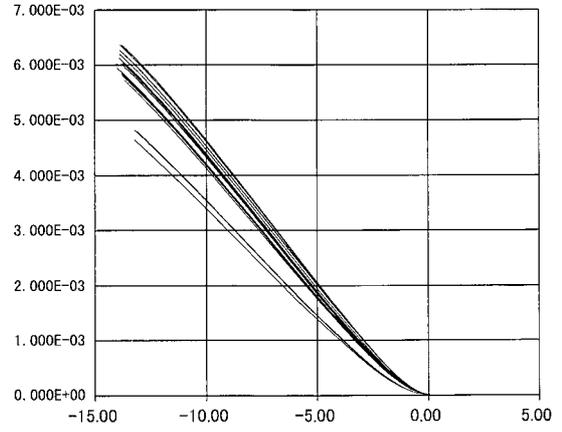
【 図 5 5 】



【 図 5 6 】



【 図 5 7 】



【手続補正書】

【提出日】平成27年2月10日(2015.2.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、
前記複数のデータ線に接続されたデータ駆動部と、
前記複数の走査線に接続された走査駆動部と、
前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部と、
前記映像データの補正に使用される補正データを記憶した記憶部とを備え、
各画素回路は、
電流によって制御される電気光学素子と、
前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、
前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、
前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、
前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能であり、
前記走査駆動部は、前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第1期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第2期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第2期間毎にシフトさせ、
前記データ駆動部は、
前記第2期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第1階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第1測定データを取得し、前記複数の階調のうちの比較的高い第2階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第2測定データを取得する電流測定部と、
前記第1期間および前記第2期間で、前記データ電圧を前記データ線に供給するデータ電圧供給部とを含み、
前記表示制御部は、前記電流測定部が取得した前記第1測定データおよび前記第2測定データに基づいて前記映像データを補正し、
前記電流測定部は、前記第2期間で、前記第1測定データおよび前記第2測定データを前記表示制御部に送信し、
前記表示制御部は、
前記第2期間では、前記第1階調および前記第2階調のそれぞれに対応する映像データを前記データ駆動部に送信し、前記電流測定部から前記第1測定データおよび前記第2測定データを受信して、前記第1階調および前記第2階調に対応する理想的な前記駆動トランジスタの特性を示す理想特性データと受信した前記第1測定データおよび前記第2測定データとをそれぞれ比較した結果に基づいて前記補正データを更新し、
前記第1期間および前記第2期間では、前記記憶部から前記補正データを読み出し、当該補正データに基づいて前記映像データを補正し、

前記表示制御部は、前記データ電圧を前記画素回路に書き込むべきときに第1レベルになり、前記駆動電流を前記データ線に出力すべきときに第2レベルになる入出力制御信号を前記データ駆動部に供給し、

前記データ電圧供給部は、前記映像データを前記データ電圧に変換する変換部を含み、前記データ電圧供給部および前記電流測定部は、それぞれで共通に、

前記変換部の出力端子に非反転入力端子が接続され、対応するデータ線に反転入力端子が接続されたオペアンプと、

前記オペアンプの反転入力端子と出力端子との間に設けられ、前記入出力制御信号が前記第1レベルであるときに閉じ、前記第2レベルであるときに開く制御スイッチとを含み、

前記電流測定部は、

前記オペアンプの反転入力端子と出力端子との間に、前記制御スイッチと並列に設けられた電流電圧変換素子と、

前記オペアンプの出力端子に接続され、前記オペアンプの出力から前記第1測定データまたは前記第2測定データを取得する測定データ取得部とを含み、

前記オペアンプの非反転入力端子には、前記入出力制御信号が前記第2レベルであるときに、前記第1階調または前記第2階調に対応する映像データを変換して得られるデータ電圧が入力されることを特徴とする。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【補正の内容】

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明の第2の局面は、本発明の第1の局面において、

前記補正データは、前記駆動トランジスタの閾値電圧補償のための第1補正データと、前記駆動トランジスタのゲイン補償のための第2補正データとを含み、

前記表示制御部は、前記第1測定データと前記理想特性データとを比較した結果に基づいて前記第1補正データを更新し、前記第2測定データと前記理想特性データとを比較した結果に基づいて前記第2補正データを更新することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明の第3の局面は、本発明の第2の局面において、

前記表示制御部は、前記第1補正データおよび前記第2補正データのそれぞれを更新すべきときに、前記第1補正データおよび前記第2補正データのそれぞれの値を予め定められた固定値だけ変更することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

本発明の第4の局面は、本発明の第1の局面において、前記電流電圧変換素子は抵抗素子であることを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明の第5の局面は、本発明の第1の局面において、前記電流電圧変換素子は容量素子であることを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明の第6の局面は、本発明の第1の局面において、前記電流測定部は、前記オペアンプと前記測定データ取得部との間に設けられ、前記オペアンプの出力電圧を保持するための電圧保持部をさらに含むことを特徴とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

本発明の第7の局面は、本発明の第1の局面において、前記測定データ取得部は、少なくとも前記オペアンプの出力電圧および前記映像データに基づいて前記第1測定データまたは前記第2測定データを取得することを特徴とする。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明の第8の局面は、本発明の第7の局面において、前記電流測定部は、2以上の所定数の前記オペアンプに対して共通に設けられた第1セクタおよび第2セクタをさらに含み、

前記第1セクタは、前記所定数の前記オペアンプの出力電圧を受け取り、外部から受け取ったアドレス信号に基づいて、受け取った前記オペアンプの出力電圧のいずれかを前記測定データ取得部に与え、

前記第2セクタは、前記所定数の前記オペアンプの前記非反転入力端子に与えられる前記データ電圧の変換前の映像データを受け取り、前記アドレス信号に基づいて、受け取った前記映像データのいずれかを前記測定データ取得部に与えることを特徴とする。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明の第9の局面は、本発明の第1の局面において、

前記入出力制御信号のレベルは、前記第2期間において各走査線が選択される選択期間の開始時点から、前記第1レベル、前記第2レベル、前記第1レベル、前記第2レベル、および前記第1レベルの順に変化し、

前記表示制御部は、各選択期間において前記入出力制御信号が前記第1レベルである3つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第1階調および前記第2階調の一方に対応する映像データと、前記第1階調および前記第2階調の他方に対応する映像データと、前記複数の階調のいずれかに対応する映像データとを前記データ電圧供給部に送信し、

前記測定データ取得部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方とを順に取得することを特徴とする。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の第10の局面は、本発明の第9の局面において、

前記電流測定部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方とを前記表示制御部に送信することを特徴とする。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の第11の局面は、本発明の第9の局面において、

前記電流測定部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間のうちの後続の期間で、前記第1測定データおよび前記第2測定データの前記一方を前記表示制御部に送信し、当該選択期間の終了直後の期間で、前記第1測定データおよび前記第2測定データの前記他方を前記表示制御部に送信することを特徴とする。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第12の局面は、本発明の第9の局面において、

前記電流測定部は、各選択期間の終了直後の期間で、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方とを前記表示制御部に送信することを特徴とする。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の第13の局面は、本発明の第9の局面において、

前記電流測定部は、前記第2期間におけるすべての選択期間の終了後の期間で、各選択期間で取得された前記第1測定データおよび前記第2測定データを前記表示制御部に送信することを特徴とする。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第14の局面は、本発明の第10の局面から第13の局面までのいずれかにおいて、

前記表示制御部と前記データ駆動部とは、双方向通信バスを利用して前記映像データと前記第1測定データおよび前記第2測定データとの送受信を行うことを特徴とする。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

本発明の第15の局面は、本発明の第10の局面から第13の局面までのいずれかにおいて、

前記データ電圧供給部は、前記入出力制御信号が前記第1レベルであるときには、前記表示制御部から受信した前記映像データを前記変換部に出力し、前記入出力制御信号が前記第2レベルであるときには、前記入出力制御信号が直前に前記第1レベルであったときの映像データを前記変換部に出力するデータラッチ部をさらに含むことを特徴とする。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

本発明の第16の局面は、本発明の第10の局面から第13の局面までのいずれかにおいて、

前記表示制御部は、前記選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、前記選択期間の開始時点から順にそれぞれ、前記第1階調および前記第2階調の前記一方に対応する映像データと、前記第1階調および前記第2階調の前記他方に対応する映像データとを前記データ電圧供給部に送信することを特徴とする。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

本発明の第17の局面は、本発明の第1の局面において、
前記駆動トランジスタは、電源電圧が第1導通端子に供給され、
前記駆動容量素子は、前記駆動トランジスタの制御端子と第2導通端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記第2導通端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と参照電圧を供給する参照電圧線との間に設けられた参照電圧供給トランジスタをさらに含むことを特徴とする。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

本発明の第18の局面は、本発明の第1の局面において、
前記駆動トランジスタは、電源電圧が第1導通端子に供給され、
前記駆動容量素子は、前記駆動トランジスタの前記第1導通端子と制御端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記制御端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と第2導通端子との間に設けられた電流パス形成トランジスタをさらに含むことを特徴とする。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

本発明の第19の局面は、本発明の第1の局面において、
各画素回路は、前記電気光学素子と直列に設けられ、所定期間にオフ状態になる発光制御トランジスタをさらに含むことを特徴とする。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

本発明の第20の局面は、本発明の第1の局面において、
前記駆動トランジスタおよび前記入力トランジスタのそれぞれは、チャンネル層が酸化物半導体により形成された薄膜トランジスタであることを特徴とする。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

本発明の第21の局面は、本発明の第20の局面において、
前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素を主成分とすることを

特徴とする。

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0 0 3 5】

本発明の第 2 2 の局面は、本発明の第 1 の局面において、

前記走査駆動部は、

前記第 1 期間において前記複数の走査線を駆動するための第 1 シフトレジスタと、

前記第 2 期間において前記複数の走査線を駆動するための第 2 シフトレジスタと、

前記第 1 期間では前記第 1 シフトレジスタの各段の出力を対応する走査線に与え、前記第 2 期間では前記第 2 シフトレジスタの各段の出力を対応する走査線に与えるセレクト群とを含むことを特徴とする。

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正の内容】

【0 0 3 6】

本発明の第 2 3 の局面は、複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、前記複数のデータ線に接続されたデータ駆動部と、前記複数の走査線に接続された走査駆動部と、前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部とを備え、各画素回路は、電流によって制御される電気光学素子と、前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能である、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第 1 期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第 2 期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第 2 期間毎にシフトさせる走査駆動ステップと、

前記第 2 期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第 1 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 1 測定データを取得し、前記複数の階調のうちの比較的高い第 2 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 2 測定データを取得する電流測定ステップと、

前記第 1 期間および前記第 2 期間で、前記データ電圧を前記データ線に供給するデータ電圧供給ステップと、

前記電流測定ステップで取得された前記第 1 測定データおよび前記第 2 測定データに基づいて前記映像データを補正する補正ステップと、

前記映像データの補正に使用される補正データを記憶する記憶ステップとを備え、

前記電流測定ステップは、前記第 2 期間で、前記第 1 測定データおよび前記第 2 測定データを前記補正ステップに送信し、

前記補正ステップは、

前記第 2 期間では、前記第 1 階調および前記第 2 階調のそれぞれに対応する映像デー

タを前記電流測定ステップおよび前記データ電圧供給ステップに送信し、前記電流測定ステップから前記第1測定データおよび前記第2測定データを受信して、前記第1階調および前記第2階調に対応する理想的な前記駆動トランジスタの特性を示す理想特性データと受信した前記第1測定データおよび前記第2測定データとをそれぞれ比較した結果に基づいて前記補正データを更新し、

前記第1期間および前記第2期間では、前記記憶ステップで記憶された前記補正データを読み出し、当該補正データに基づいて前記映像データを補正し、

前記補正ステップは、前記データ電圧を前記画素回路に書き込むべきときに第1レベルになり、前記駆動電流を前記データ線に出力すべきときに第2レベルになる入出力制御信号を前記電流測定ステップおよび前記データ電圧供給ステップに供給し、

前記データ電圧供給ステップは、前記映像データを前記データ電圧に変換する変換部を使用し、

前記データ電圧供給ステップおよび前記電流測定ステップは、それぞれで共通に、

前記変換部の出力端子に非反転入力端子が接続され、対応するデータ線に反転入力端子が接続されたオペアンプと、

前記オペアンプの反転入力端子と出力端子との間に設けられ、前記入出力制御信号が前記第1レベルであるときに閉じ、前記第2レベルであるときに開く制御スイッチとを使用し、

前記電流測定ステップは、

前記オペアンプの反転入力端子と出力端子との間に、前記制御スイッチと並列に設けられた電流電圧変換素子と、

前記オペアンプの出力端子に接続され、前記オペアンプの出力から前記第1測定データまたは前記第2測定データを取得する測定データ取得部とを使用し、

前記オペアンプの非反転入力端子には、前記入出力制御信号が前記第2レベルであるときに、前記第1階調または前記第2階調に対応する映像データを変換して得られるデータ電圧が入力されることを特徴とする。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

また、補正データを記憶した記憶部を設け、理想特性データと測定データとの比較結果に基づいて補正データが更新される。このような補正データの更新を行うことにより、駆動トランジスタの特性の経時変化に追従した補償を確実に行うことができる。また、記憶部がデータ駆動部の外部に設けられるので、データ駆動部の構成を簡素化することができる。また、理想特性データを使用することにより補正データの更新を簡易な処理で行うことができる。また、データ電圧供給部と電流測定部とで共通なオペアンプおよび制御スイッチと、電流電圧変換素子とが設けられ、制御スイッチは入出力制御信号で制御される。このため、オペアンプは、入出力制御信号が第1レベルのときには、データ電圧を低出力インピーダンスでデータ線に供給するバッファアンプとして機能し、入出力制御信号が第2レベルのときには、電流電圧変換素子によって電流増幅（電流 - 電圧変換）動作を行う電流増幅アンプとして機能する。入出力制御信号が第2レベルのときには、オペアンプの非反転入力端子に第1階調または第2階調に対応する映像データを変換して得られるデータ電圧（以下、発明の効果の説明において「測定用データ電圧」という。）が入力されているので、オペアンプの出力電圧は、上記測定用データ電圧から、駆動電流と電流電圧変換素子のパラメータとに基づく値を減じた値となる。測定データ取得部は、オペアンプの出力電圧から、既知の測定用データ電圧および電流電圧変換素子のパラメータを考慮して駆動電流を測定することにより測定データを取得することができる。このように、駆動電流を測定する動作を実現するためのデータ駆動部の構成は、従来のデータ駆動部に電流電

圧変換素子、制御スイッチ、および測定データ取得部を追加するのみで良い。このため、上記データ駆動部を低コストで実現できる。

【手続補正 27】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

本発明の第2の局面によれば、第1補正データおよび第2補正データを用意し、第1測定データおよび第2測定データと理想特性データとを比較してそれぞれ第1補正データおよび第2補正データを更新することにより、本発明の第2の局面と同様の効果を確実に奏することができる。

【手続補正 28】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

本発明の第3の局面によれば、第1補正データおよび第2補正データが固定幅で更新されるので、駆動トランジスタの特性の経時変化により確実に追従して補償を行うことができる。

【手続補正 29】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】削除

【補正の内容】

【手続補正 30】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

本発明の第4の局面によれば、入出力制御信号が第2レベルのときには、オペアンプの出力電圧は、上記測定用データ電圧から駆動電流と電流電圧変換素子の抵抗値との積を減じた値となる。このため、測定データ取得部は、オペアンプの出力電圧から、既知の測定用データ電圧および電流電圧変換素子の抵抗値を考慮して駆動電流を測定することにより測定データを取得することができる。

【手続補正 31】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

本発明の第5の局面によれば、入出力制御信号が第2レベルのときには、オペアンプの出力電圧は、上記測定用データ電圧から、駆動電流と当該測定用データ電圧がオペアンプの非反転入力端子に入力される時間と電流電圧変換素子の容量値の逆数との積を減じた値となる。このため、測定データ取得部は、オペアンプの出力電圧から、既知の測定用データ電圧および電流電圧変換素子の容量値を考慮して駆動電流を測定することにより測定データを取得することができる。また、電流電圧変換素子が容量素子であるので、オペアンプの出力に現れる雑音を低減することができる。

【手続補正 3 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 4

【補正方法】変更

【補正の内容】

【0 0 4 4】

本発明の第 6 の局面によれば、電圧保持部によりオペアンプの出力電圧を保持し、当該出力電圧を測定データ取得部に与えることができる。

【手続補正 3 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 5

【補正方法】変更

【補正の内容】

【0 0 4 5】

本発明の第 7 の局面によれば、少なくともオペアンプの出力電圧および映像データに基づいて第 1 測定データまたは第 2 測定データを取得することにより、本発明の第 5 の実施形態と同様の効果を奏することができる。

【手続補正 3 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【0 0 4 6】

本発明の第 8 の局面によれば、第 1 セレクタおよび第 2 セレクタを使用して測定データ取得部に与えるべきオペアンプの出力電圧および映像データがそれぞれ選択されるので、2 以上の所定数のオペアンプに対して設ける測定データ取得部は 1 個で良い。このため、測定データ取得部の個数を削減して、データ駆動部の回路規模を縮小することができる。

【手続補正 3 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

本発明の第 9 の局面によれば、第 1 階調および第 2 階調の一方が第 1 階調、他方が第 2 階調であるとすると、第 2 期間の各選択期間において、第 1 階調に対応する測定用データ電圧（以下、発明の効果の説明において「第 1 測定用データ電圧」という。）の画素回路への書き込み、第 1 測定データの取得、第 2 階調に対応する測定用データ電圧（以下、発明の効果の説明において「第 2 測定用データ電圧」という。）の画素回路への書き込み、第 2 測定データの取得、および複数の階調のいずれかに対応する映像データが変換されたデータ電圧の画素回路への書き込みが順に行われる。このようにして、各選択期間で、第 1 測定データおよび第 2 測定データの双方を取得することができる。また、複数の階調のいずれかに対応する映像データを変換して得られるデータ電圧が画素回路に書き込まれる。これにより、直後の第 1 期間の開始時に、第 2 期間において選択された走査線に対応する画素回路につき、第 2 階調に対応する映像データが変換されたデータ電圧に基づく輝度で表示が行われることを防ぐことができる。また、第 1 測定データおよび第 2 測定データの取得直前に、それぞれ第 1 測定用データ電圧および第 2 測定用データ電圧がデータ線に充電されている。このため、第 1 測定データおよび第 2 測定データを取得すべきときに、データ線の電位を変化させることなく（充放電を生じずに）高速に駆動電流を測定できる。なお、第 1 階調および第 2 階調の一方が第 2 階調、他方が第 1 階調である場合も同様である。

【手続補正 36】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

本発明の第10の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2期間の各選択期間において、表示制御部が複数の階調のいずれかに対応する映像データをデータ電圧供給部に送信する前に、当該選択期間で取得された第1測定データおよび第2測定データが順に表示制御部に送信される。このため、当該選択期間で表示制御部が送信すべき複数の階調のいずれかに対応する映像データに対して、当該選択期間で取得された第1測定データおよび第2測定データに基づく補正を行うことができる。このため、駆動トランジスタの特性ばらつきの補償を、第2期間においてリアルタイムに行うことができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【手続補正 37】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

本発明の第11の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2測定データの取得直後に第1測定データが表示制御部に送信され、複数の階調のいずれかに対応する映像データのデータ電圧供給部への送信直後に第2測定データが表示制御部に送信される。このため、第1測定データおよび第2測定データを送信するまでの準備時間を十分に確保できるので、第1測定データおよび第2測定データを表示制御部に確実に送信することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【手続補正 38】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

本発明の第12の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、第2期間の各選択期間の終了直後の期間に第1測定データおよび第2測定データが表示制御部に送信される。このため、第1測定データおよび第2測定データを送信するまでの準備時間を十分に確保できるので、第1測定データおよび第2測定データを表示制御部に確実に送信することができる。また、表示制御部とデータ駆動部との間で双方向通信バスを利用し、且つ、各選択期間において入出力制御信号が第2レベルである期間に表示制御部がデータ駆動部に映像データを送信する必要がある場合であっても、第1測定データおよび第2測定データを表示制御部に送信することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【手続補正 39】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

本発明の第13の局面によれば、第2期間におけるすべての選択期間の終了後の期間に

、各選択期間で取得された第1測定データおよび第2測定データが表示制御部に送信される。このため、第1測定データおよび第2測定データを送信するまでの準備時間を十分に確保できるので、第1測定データおよび第2測定データを表示制御部に確実に送信することができる。また、表示制御部とデータ駆動部との間で双方向通信バスを利用し、且つ、各選択期間において入出力制御信号が第2レベルである期間に表示制御部がデータ駆動部に映像データを送信する必要がある場合であっても、第1測定データおよび第2測定データを表示制御部に送信することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

本発明の第14の局面によれば、双方向通信バスが利用されるので、表示制御部とデータ駆動部との間の通信系統が削減される。このため、低コスト化を図ることができる。

【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

本発明の第15の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、データラッチ部が設けられることにより、第2期間の各選択期間において入出力制御信号が第1レベルである1番目の期間と2番目の期間とでそれぞれ第1階調に対応する映像データおよび第2階調に対応する映像データをデータ電圧供給部に送信しておけば、入出力制御信号が第2レベルである1番目の期間と2番目の期間とでそれぞれ第1階調に対応する映像データおよび第2階調に対応する映像データが変換部に入力される。このような構成を採用して、第1測定データおよび第2測定データを取得すべきときに、データ線の電位を変化させることなく高速に駆動電流を測定する上述の効果を奏することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【手続補正42】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

本発明の第16の局面によれば、第1階調および第2階調の一方が第1階調、他方が第2階調であるとする、入出力制御信号が第2レベルである1番目の期間と2番目の期間とでそれぞれ第1階調に対応する映像データおよび第2階調に対応する映像データがデジタル-アナログ変換部に入力される。このような構成を採用して、第1測定データおよび第2測定データを取得すべきときに、データ線の電位を変化させることなく高速に駆動電流を測定する上述の効果を奏することができる。なお、第1階調および第2階調の一方が第2階調、他方が第1階調である場合も同様である。

【手続補正43】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【 0 0 5 5 】

本発明の第 1 7 の局面によれば、参照電圧およびデータ電圧により、駆動トランジスタを制御するための電圧が決定される。すなわち、駆動トランジスタを制御するための電圧が電源電圧に依存しない。このため、電源電圧を供給する配線の配線抵抗によりドロップ電圧が生じたとしても、駆動電流は変動しない。

【 手 続 補 正 4 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 5 6

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 5 6 】

本発明の第 1 8 の局面によれば、入力トランジスタが駆動トランジスタの制御端子とデータ線との間に設けられた画素回路において、電流パス形成トランジスタおよび入力トランジスタを介して、駆動電流をデータ線に出力することができる。

【 手 続 補 正 4 5 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 5 7

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 5 7 】

本発明の第 1 9 の局面によれば、発光制御トランジスタにより、電気光学素子の発光 / 非発光を制御することができる。

【 手 続 補 正 4 6 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 5 8

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 5 8 】

本発明の第 2 0 の局面によれば、比較的移動度の高い酸化物 T F T が使用されるので、書き込み時間の短縮および高輝度化などを図ることができる。

【 手 続 補 正 4 7 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 5 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 5 9 】

本発明の第 2 1 の局面によれば、I G Z O - T F T を使用して、本発明の第 2 0 の局面と同様の効果を奏することができる。

【 手 続 補 正 4 8 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 6 0

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 6 0 】

本発明の第 2 2 の局面によれば、第 1 , 第 2 シフトレジスタの出力を選択的に使用して、本発明の第 1 の局面と同様の効果を奏することができる。

【 手 続 補 正 4 9 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 6 1

【 補 正 方 法 】 変 更

【補正の内容】

【0061】

本発明の第23の局面によれば、表示装置の駆動方法において、本発明の第1の局面と同様の効果を奏することができる。

【手続補正50】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

【図1】本発明の第1の実施形態に係る有機EL表示装置の構成を示すブロック図である。

【図2】図1に示す表示部の構成を説明するためのブロック図である。

【図3】図1に示すデータドライバの構成を示すブロック図である。

【図4】DACの動作について説明するためのブロック図である。

【図5】図3に示す電圧出力/電流測定回路の構成を説明するための回路図である。

【図6】図1に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素を示す回路図である。

【図7】図6に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間での動作について説明するためのタイミングチャートである。

【図8】上記第1の実施形態における、画素回路およびそれに対応するデータドライバ側の一部の構成要素の所望階調プログラム期間での動作について説明するための回路図である。

【図9】上記第1の実施形態における、有機EL素子の発光時の、画素回路およびそれに対応するデータドライバ側の一部の構成要素の動作について説明するための回路図である。

【図10】図6に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。

【図11】上記第1の実施形態における、画素回路およびそれに対応するデータドライバ側の一部の構成要素の測定用階調プログラム期間での動作について説明するための回路図である。

【図12】上記第1の実施形態における、画素回路およびそれに対応するデータドライバ側の一部の構成要素の電流測定期間での動作について説明するための回路図である。

【図13】上記第1の実施形態における各フレーム期間での動作について説明するための図である。

【図14】図3に示すデータドライバの1列分の構成例を示す回路図である。

【図15】図14に示すDラッチの垂直同期期間での動作について説明するためのタイミングチャートである。

【図16】上記第1の実施形態における、コントローラとデータドライバとの間でのデータ通信について説明するためのブロック図である。

【図17】階調-制御電圧特性を示す図である。

【図18】階調-発光駆動電流特性を示す図である。

【図19】階調-発光輝度特性を示す図である。

【図20】理想特性データを示す図である。

【図21】測定誤差のシミュレーション結果を示す図である。(A)は、第1階調P1が0、第2階調P2が255である場合のシミュレーション結果を示す図である。(B)は、第1階調P1が2、第2階調P2が255である場合のシミュレーション結果を示す図である。(C)は、第1階調P1が4、第2階調P2が255である場合のシミュレーション結果を示す図である。(D)は、第1階調P1が10、第2階調P2が255である場合のシミュレーション結果を示す図である。(E)は、第1階調P1が20、第2階調

P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。(F) は、第 1 階調 P 1 が 4 0、第 2 階調 P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。

【図 2 2】測定誤差のシミュレーション結果を示す図である。(A) は、第 1 階調 P 1 が 6 4、第 2 階調 P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。(B) は、第 1 階調 P 1 が 9 6、第 2 階調 P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。(C) は、第 1 階調 P 1 が 1 2 8、第 2 階調 P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。(D) は、第 1 階調 P 1 が 1 9 2、第 2 階調 P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。

【図 2 3】測定誤差のシミュレーション結果を示す図である。(A) は、第 1 階調 P 1 が 6 4、第 2 階調 P 2 が 2 5 5 である場合のシミュレーション結果を示す図である。(B) は、第 1 階調 P 1 が 6 4、第 2 階調 P 2 が 2 2 4 である場合のシミュレーション結果を示す図である。(C) は、第 1 階調 P 1 が 6 4、第 2 階調 P 2 が 2 0 0 である場合のシミュレーション結果を示す図である。(D) は、第 1 階調 P 1 が 6 4、第 2 階調 P 2 が 1 9 2 である場合のシミュレーション結果を示す図である。(E) は、第 1 階調 P 1 が 6 4、第 2 階調 P 2 が 1 6 0 である場合のシミュレーション結果を示す図である。

【図 2 4】上記第 1 の実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 2 5】上記第 1 の実施形態における、第 N + 1 フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 2 6】図 1 に示す走査駆動部の詳細な構成を示す回路図である。

【図 2 7】図 2 6 に示す走査駆動部の第 N フレーム期間での動作について説明するためのタイミングチャートである。

【図 2 8】図 2 6 に示す走査駆動部の第 N + 1 フレーム期間での動作について説明するためのタイミングチャートである。

【図 2 9】第 1 従来例における理想特性データを用いた補正について説明するための図である。

【図 3 0】第 2 従来例における充電動作について説明するための回路図である。

【図 3 1】上記第 1 の実施形態における充電動作について説明するための回路図である。

【図 3 2】上記第 1 の実施形態において、駆動電流を測定する動作について説明するための回路図である。

【図 3 3】上記第 2 従来例において、参照電流を用いた補償を行う前の階調 - 駆動電流特性を示す図である。

【図 3 4】上記第 2 従来例において、参照電流を用いた補償を行った後の階調 - 駆動電流特性を示す図である。

【図 3 5】上記第 1 の実施形態において、第 1、第 2 階調 P 1、P 2 に対応する駆動電流を用いた補償を行った後の階調 - 駆動電流特性を示す図である。

【図 3 6】上記第 1 の実施形態の変形例におけるデータドライバの構成を示すブロック図である。

【図 3 7】本発明の第 2 の実施形態における、データドライバの構成例を示す回路図である。

【図 3 8】図 3 7 に示す各構成要素の垂直同期期間での動作について説明するためのタイミングチャートである。

【図 3 9】本発明の第 3 の実施形態における、コントローラとデータドライバとの間でのデータ通信について説明するためのブロック図である。

【図 4 0】上記第 3 の実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 4 1】上記第 3 の実施形態における、第 N + 1 フレーム期間の垂直同期期間での映像

データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 4 2】上記第 3 の実施形態における、走査駆動部の第 N フレーム期間での動作について説明するためのタイミングチャートである。

【図 4 3】上記第 3 の実施形態における、走査駆動部の第 N + 1 フレーム期間での動作について説明するためのタイミングチャートである。

【図 4 4】本発明の第 4 の実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 4 5】本発明の第 5 の実施形態における、第 N フレーム期間の垂直同期期間での映像データ受信および測定データ送信のタイミングについて説明するためのタイミングチャートである。

【図 4 6】本発明の第 6 の実施形態における画素回路およびそれに対応するデータドライバ側の一部の構成要素を示す回路図である。

【図 4 7】図 4 6 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間における動作について説明するためのタイミングチャートである。

【図 4 8】図 4 6 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間における動作について説明するためのタイミングチャートである。

【図 4 9】上記第 6 の実施形態における各フレーム期間での動作について説明するための図である。

【図 5 0】本発明の第 7 の実施形態における画素回路およびそれに対応するデータドライバ側の一部の構成要素を示す回路図である。

【図 5 1】図 5 0 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間における動作について説明するためのタイミングチャートである。

【図 5 2】図 5 0 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間における動作について説明するためのタイミングチャートである。

【図 5 3】第 8 の実施形態における画素回路およびそれに対応するデータドライバ側の一部の構成要素の構成を示す回路図である。

【図 5 4】図 5 3 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の映像信号期間における動作について説明するためのタイミングチャートである。

【図 5 5】図 5 3 に示す画素回路およびそれに対応するデータドライバ側の一部の構成要素の垂直同期期間における動作について説明するためのタイミングチャートである。

【図 5 6】従来の有機 EL 表示装置における、閾値電圧補償前のゲート - ソース間電圧 - 駆動電流特性を示す図である。

【図 5 7】従来の有機 EL 表示装置における、閾値電圧補償後のゲート - ソース間電圧 - 駆動電流特性を示す図である。

【手続補正 5 1】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 4

【補正方法】変更

【補正の内容】

【0 1 3 4】

具体的には、CPU 16 は、第 1 測定データ $I_m(i, j, P1)$ が次式 (13) を満たす場合、閾値電圧補正データ $V_t(i, j)$ を「 $V_t(i, j) + V$ 」にし、第 1 測定データ $I_m(i, j, P1)$ が次式 (14) を満たす場合、閾値電圧補正データ $V_t(i, j)$ を「 $V_t(i, j) - V$ 」にし、第 1 測定データ $I_m(i, j, P1)$ が次式 (15) を満たす場合、閾値電圧補正データ $V_t(i, j)$ をそのまま「 $V_t(i, j)$ 」にすることにより、閾値電圧補正データ $V_t(i, j)$ を更新する。ここで、 V は、閾値電圧補正データ $V_t(i, j)$ の値を変更するための予め定められた固定値を表し、より詳細には、閾値電圧補正データ $V_t(i, j)$ の値を変更可能な最小の値を表す。す

なわち、閾値電圧補正データ $V_t(i, j)$ は最小幅で更新される。

$$I_Q(P1) - I_m(i, j, P1) > 0 \quad \dots (13)$$

$$I_Q(P1) - I_m(i, j, P1) < 0 \quad \dots (14)$$

$$I_Q(P1) - I_m(i, j, P1) = 0 \quad \dots (15)$$

【手続補正52】

【補正対象書類名】明細書

【補正対象項目名】0136

【補正方法】変更

【補正の内容】

【0136】

具体的には、CPU16は、第2測定データ $I_m(i, j, P2)$ が次式(16)を満たす場合、ゲイン補正データ $B2R(i, j)$ を「 $B2R(i, j) + B$ 」にし、第2測定データ $I_m(i, j, P2)$ が次式(17)を満たす場合、ゲイン補正データ $B2R(i, j)$ を「 $B2R(i, j) - B$ 」にし、第2測定データ $I_m(i, j, P2)$ が次式(18)を満たす場合、ゲイン補正データ $B2R(i, j)$ をそのまま「 $B2R(i, j)$ 」にすることにより、ゲイン補正データ $B2R(i, j)$ を更新する。ここで、 B は、ゲイン補正データ $B2R(i, j)$ の値を変更するための予め定められた固定値を表し、より詳細には、ゲイン補正データ $B2R(i, j)$ の値を変更可能な最小の値を表す。すなわち、ゲイン補正データ $B2R(i, j)$ は最小幅で更新される。

$$I_Q(P2) - I_m(i, j, P2) > 0 \quad \dots (16)$$

$$I_Q(P2) - I_m(i, j, P2) < 0 \quad \dots (17)$$

$$I_Q(P2) - I_m(i, j, P2) = 0 \quad \dots (18)$$

【手続補正53】

【補正対象書類名】明細書

【補正対象項目名】0203

【補正方法】変更

【補正の内容】

【0203】

時刻 $t_3 \sim t_4$ の第2測定用階調プログラム期間 A_1 では、サンプリング信号 SMP が“0”レベルになっているので、第2制御スイッチ $SW2_i$ が開いている。このため、第2コンデンサ $Cd2_i$ は、オペアンプ 731_i の出力電圧 $AMP1out$ を保持している。このようにして、 N_s 個のオペアンプ $731_i \sim 731_i + N_s - 1$ の出力電圧がアナログセレクタ 760 に与えられる。また、時刻 $t_3 \sim t_4$ において、アドレス信号 SEL がアナログセレクタ 760 に与えられる。アナログセレクタ 760 は、アドレス信号 SEL に基づいて $i + x$ 列目の入力 $Vc2_i + x$ を選択し、バッファアンプ 780 を介して $i + x$ 列目の入力 $Vc2_i + x$ を $ADC732$ に与える。時刻 $t_3 \sim t_4$ では、 x が例えば 0 から $N_s - 1$ まで変化する。ただし、 x が変化する順序は特に限定されるものではない。なお、アドレス信号 SEL はデジタルセレクタ 770 にも与えられる。このため、デジタルセレクタ 770 は、アドレス信号 SEL に基づいて第1測定用映像データ $V_m(i + x, j, P1)$ を選択し、それを減算部 733 の被減算側の入力端子に与える。なお、時刻 $t_3 \sim t_4$ では、Dラッチ 680_i の Q 出力端子から第2測定用映像データ $V_m(i, j, P2)$ が出力されているので、デジタルセレクタ 770 による第1測定用映像データ $V_m(i + x, j, P1)$ の選択は、Dラッチ 680_i の Q 出力端子から第1測定用映像データ $V_m(i, j, P1)$ が出力されている時刻 $t_1 \sim t_2$ または時刻 $t_2 \sim t_3$ で行うことが望ましい。この場合、デジタルセレクタ 770 による第1測定用映像データ $V_m(i + x, j, P1)$ の出力タイミングは適切に調整すれば良い。

【手続補正54】

【補正対象書類名】明細書

【補正対象項目名】0205

【補正方法】変更

【補正の内容】

【0205】

なお、時刻 $t_4 \sim t_5$ の第2電流測定期間 A_2 および時刻 $t_5 \sim t_6$ の所望階調プログラム期間 A_3 における電圧保持部 750 __ i、アナログセレクタ 760、デジタルセレクタ 770、バッファアンプ 780、および測定データ取得部 740 に関する動作は、時刻 $t_2 \sim t_3$ の第1電流測定期間 A_2 および時刻 $t_3 \sim t_4$ の第2測定用階調プログラム期間 A_1 における動作の第1階調 P_1 を第2階調 P_2 に変更したのみであるので、その詳細な説明を省略する。また、本実施形態における映像信号期間の動作は、上記第1の実施形態におけるものと同様であるので、その説明を省略する。なお、上記第1の実施形態と同様に、本実施形態は D ラッチ 680 __ i を使用する例に限定されるものではない。

【手続補正55】

【補正対象書類名】明細書

【補正対象項目名】0274

【補正方法】変更

【補正の内容】

【0274】

本実施形態におけるトランジスタ T_4 は、エミッション線 EM_j にゲート端子が接続され、トランジスタ T_1 のソース端子と有機 EL 素子 $OLED$ のアノード端子との間に設けられている。トランジスタ T_4 は、当該トランジスタ T_4 を備える画素回路 51 に対応する走査線 DM が選択される選択期間に少なくともオフ状態になる。なお、トランジスタ T_1 のドレイン端子はハイレベル電源線 $ELVDD$ に接続されている。以下、本実施形態に関する説明では、トランジスタ T_1 のソース端子と、トランジスタ T_1 のソース端子側に位置するコンデンサ C_1 の一端と、トランジスタ T_1 のソース端子側に位置するトランジスタ T_3 の導通端子と、トランジスタ T_1 のソース端子側に位置するトランジスタ T_4 の導通端子との接続点のことを便宜上「第1ノード N_1 」という。また、有機 EL 素子 $OLED$ のアノード端子と、有機 EL 素子 $OLED$ のアノード端子側に位置するトランジスタ T_4 の導通端子との接続点のことを便宜上「第2ノード N_2 」という。また、本実施形態に関する映像信号期間の動作説明では、有機 EL 素子 $OLED$ のアノード端子とカソード端子との間に形成される寄生容量 C_{el} を考慮するものとする。

【手続補正56】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アクティブマトリクス型の表示装置であって、
複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、
前記複数のデータ線に接続されたデータ駆動部と、
前記複数の走査線に接続された走査駆動部と、
前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部と、
前記映像データの補正に使用される補正データを記憶した記憶部とを備え、
各画素回路は、
電流によって制御される電気光学素子と、
前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、
前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、

前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、

前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能であり、

前記走査駆動部は、前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第1期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第2期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第2期間毎にシフトさせ、

前記データ駆動部は、

前記第2期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第1階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第1測定データを取得し、前記複数の階調のうちの比較的高い第2階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第2測定データを取得する電流測定部と、

前記第1期間および前記第2期間で、前記データ電圧を前記データ線に供給するデータ電圧供給部とを含み、

前記表示制御部は、前記電流測定部が取得した前記第1測定データおよび前記第2測定データに基づいて前記映像データを補正し、

前記電流測定部は、前記第2期間で、前記第1測定データおよび前記第2測定データを前記表示制御部に送信し、

前記表示制御部は、

前記第2期間では、前記第1階調および前記第2階調のそれぞれに対応する映像データを前記データ駆動部に送信し、前記電流測定部から前記第1測定データおよび前記第2測定データを受信して、前記第1階調および前記第2階調に対応する理想的な前記駆動トランジスタの特性を示す理想特性データと受信した前記第1測定データおよび前記第2測定データとをそれぞれ比較した結果に基づいて前記補正データを更新し、

前記第1期間および前記第2期間では、前記記憶部から前記補正データを読み出し、当該補正データに基づいて前記映像データを補正し、

前記表示制御部は、前記データ電圧を前記画素回路に書き込むべきときに第1レベルになり、前記駆動電流を前記データ線に出力すべきときに第2レベルになる入出力制御信号を前記データ駆動部に供給し、

前記データ電圧供給部は、前記映像データを前記データ電圧に変換する変換部を含み、

前記データ電圧供給部および前記電流測定部は、それぞれで共通に、

前記変換部の出力端子に非反転入力端子が接続され、対応するデータ線に反転入力端子が接続されたオペアンプと、

前記オペアンプの反転入力端子と出力端子との間に設けられ、前記入出力制御信号が前記第1レベルであるときに閉じ、前記第2レベルであるときに開く制御スイッチとを含み、

前記電流測定部は、

前記オペアンプの反転入力端子と出力端子との間に、前記制御スイッチと並列に設けられた電流電圧変換素子と、

前記オペアンプの出力端子に接続され、前記オペアンプの出力から前記第1測定データまたは前記第2測定データを取得する測定データ取得部とを含み、

前記オペアンプの非反転入力端子には、前記入出力制御信号が前記第2レベルであるときに、前記第1階調または前記第2階調に対応する映像データを変換して得られるデータ電圧が入力されることを特徴とする、表示装置。

【請求項2】

前記補正データは、前記駆動トランジスタの閾値電圧補償のための第1補正データと、前記駆動トランジスタのゲイン補償のための第2補正データとを含み、

前記表示制御部は、前記第1測定データと前記理想特性データとを比較した結果に基づ

いて前記第 1 補正データを更新し、前記第 2 測定データと前記理想特性データとを比較した結果に基づいて前記第 2 補正データを更新することを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記表示制御部は、前記第 1 補正データおよび前記第 2 補正データのそれぞれを更新すべきときに、前記第 1 補正データおよび前記第 2 補正データのそれぞれの値を予め定められた固定値だけ変更することを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記電流電圧変換素子は抵抗素子であることを特徴とする、請求項 1 に記載の表示装置。

【請求項 5】

前記電流電圧変換素子は容量素子であることを特徴とする、請求項 1 に記載の表示装置。

【請求項 6】

前記電流測定部は、前記オペアンプと前記測定データ取得部との間に設けられ、前記オペアンプの出力電圧を保持するための電圧保持部をさらに含むことを特徴とする、請求項 1 に記載の表示装置。

【請求項 7】

前記測定データ取得部は、少なくとも前記オペアンプの出力電圧および前記映像データに基づいて前記第 1 測定データまたは前記第 2 測定データを取得することを特徴とする、請求項 1 に記載の表示装置。

【請求項 8】

前記電流測定部は、2 以上の所定数の前記オペアンプに対して共通に設けられた第 1 セレクタおよび第 2 セレクタをさらに含み、

前記第 1 セレクタは、前記所定数の前記オペアンプの出力電圧を受け取り、外部から受け取ったアドレス信号に基づいて、受け取った前記オペアンプの出力電圧のいずれかを前記測定データ取得部に与え、

前記第 2 セレクタは、前記所定数の前記オペアンプの前記非反転入力端子に与えられる前記データ電圧の変換前の映像データを受け取り、前記アドレス信号に基づいて、受け取った前記映像データのいずれかを前記測定データ取得部に与えることを特徴とする、請求項 7 に記載の表示装置。

【請求項 9】

前記入出力制御信号のレベルは、前記第 2 期間において各走査線が選択される選択期間の開始時点から、前記第 1 レベル、前記第 2 レベル、前記第 1 レベル、前記第 2 レベル、および前記第 1 レベルの順に変化し、

前記表示制御部は、各選択期間において前記入出力制御信号が前記第 1 レベルである 3 つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第 1 階調および前記第 2 階調の一方に対応する映像データと、前記第 1 階調および前記第 2 階調の他方に対応する映像データと、前記複数の階調のいずれかに対応する映像データとを前記データ電圧供給部に送信し、

前記測定データ取得部は、各選択期間において前記入出力制御信号が前記第 2 レベルである 2 つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第 1 測定データおよび前記第 2 測定データの前記一方と、前記第 1 測定データおよび前記第 2 測定データの前記他方とを順に取得することを特徴とする、請求項 1 に記載の表示装置。

【請求項 10】

前記電流測定部は、各選択期間において前記入出力制御信号が前記第 2 レベルである 2 つの期間で、当該選択期間の開始時点から順にそれぞれ、前記第 1 測定データおよび前記第 2 測定データの前記一方と、前記第 1 測定データおよび前記第 2 測定データの前記他方とを前記表示制御部に送信することを特徴とする、請求項 9 に記載の表示装置。

【請求項 11】

前記電流測定部は、各選択期間において前記入出力制御信号が前記第2レベルである2つの期間のうちの後続の期間で、前記第1測定データおよび前記第2測定データの前記一方を前記表示制御部に送信し、当該選択期間の終了直後の期間で、前記第1測定データおよび前記第2測定データの前記他方を前記表示制御部に送信することを特徴とする、請求項9に記載の表示装置。

【請求項12】

前記電流測定部は、各選択期間の終了直後の期間で、前記第1測定データおよび前記第2測定データの前記一方と、前記第1測定データおよび前記第2測定データの前記他方を前記表示制御部に送信することを特徴とする、請求項9に記載の表示装置。

【請求項13】

前記電流測定部は、前記第2期間におけるすべての選択期間の終了後の期間で、各選択期間で取得された前記第1測定データおよび前記第2測定データを前記表示制御部に送信することを特徴とする、請求項9に記載の表示装置。

【請求項14】

前記表示制御部と前記データ駆動部とは、双方向通信バスを利用して前記映像データと前記第1測定データおよび前記第2測定データとの送受信を行うことを特徴とする、請求項10から13までのいずれか1項に記載の表示装置。

【請求項15】

前記データ電圧供給部は、前記入出力制御信号が前記第1レベルであるときには、前記表示制御部から受信した前記映像データを前記変換部に出力し、前記入出力制御信号が前記第2レベルであるときには、前記入出力制御信号が直前に前記第1レベルであったときの映像データを前記変換部に出力するデータラッチ部をさらに含むことを特徴とする、請求項10から13までのいずれか1項に記載の表示装置。

【請求項16】

前記表示制御部は、前記選択期間において前記入出力制御信号が前記第2レベルである2つの期間で、前記選択期間の開始時点から順にそれぞれ、前記第1階調および前記第2階調の前記一方に対応する映像データと、前記第1階調および前記第2階調の前記他方に対応する映像データとを前記データ電圧供給部に送信することを特徴とする、請求項10から13までのいずれか1項に記載の表示装置。

【請求項17】

前記駆動トランジスタは、電源電圧が第1導通端子に供給され、

前記駆動容量素子は、前記駆動トランジスタの制御端子と第2導通端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記第2導通端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と参照電圧を供給する参照電圧線との間に設けられた参照電圧供給トランジスタをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項18】

前記駆動トランジスタは、電源電圧が第1導通端子に供給され、

前記駆動容量素子は、前記駆動トランジスタの前記第1導通端子と制御端子との間に設けられ、

前記入力トランジスタは、前記駆動トランジスタの前記制御端子と前記データ線との間に設けられ、

各画素回路は、前記走査線に制御端子が接続され、前記駆動トランジスタの前記制御端子と第2導通端子との間に設けられた電流パス形成トランジスタをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項19】

各画素回路は、前記電気光学素子と直列に設けられ、所定期間にオフ状態になる発光制御トランジスタをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項 2 0】

前記駆動トランジスタおよび前記入力トランジスタのそれぞれは、チャンネル層が酸化物半導体により形成された薄膜トランジスタであることを特徴とする、請求項 1 に記載の表示装置。

【請求項 2 1】

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素を主成分とすることを特徴とする、請求項 2 0 に記載の表示装置。

【請求項 2 2】

前記走査駆動部は、

前記第 1 期間において前記複数の走査線を駆動するための第 1 シフトレジスタと、

前記第 2 期間において前記複数の走査線を駆動するための第 2 シフトレジスタと、

前記第 1 期間では前記第 1 シフトレジスタの各段の出力を対応する走査線に与え、前記第 2 期間では前記第 2 シフトレジスタの各段の出力を対応する走査線に与えるセレクト群とを含むことを特徴とする、請求項 1 に記載の表示装置。

【請求項 2 3】

複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、前記複数のデータ線に接続されたデータ駆動部と、前記複数の走査線に接続された走査駆動部と、前記走査駆動部を制御すると共に、前記データ駆動部に、複数の階調のいずれかに対応する映像データを送信する表示制御部とを備え、各画素回路は、電流によって制御される電気光学素子と、前記走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる入力トランジスタと、前記映像データに基づくデータ電圧が前記データ線および前記入力トランジスタを介して与えられる駆動容量素子と、前記駆動容量素子が保持する電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含み、前記入力トランジスタは、オン状態のときに、前記駆動トランジスタに流れる前記駆動電流を前記データ線に出力可能である、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択することにより、前記画素回路に前記データ電圧の書き込みを行うための第 1 期間と、前記複数の走査線のうちの所定数の走査線を順次選択することにより、前記駆動トランジスタに流れる前記駆動電流を、前記入力トランジスタを介して前記画素回路から前記データ線に出力するための第 2 期間とを交互に繰り返すと共に、選択すべき前記所定数の走査線を前記第 2 期間毎にシフトさせる走査駆動ステップと、

前記第 2 期間で、前記データ線毎に、前記複数の階調のうちの比較的低い第 1 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 1 測定データを取得し、前記複数の階調のうちの比較的高い第 2 階調に対応する映像データに基づくデータ電圧に応じた駆動電流を測定して第 2 測定データを取得する電流測定ステップと、

前記第 1 期間および前記第 2 期間で、前記データ電圧を前記データ線に供給するデータ電圧供給ステップと、

前記電流測定ステップで取得された前記第 1 測定データおよび前記第 2 測定データに基づいて前記映像データを補正する補正ステップと、

前記映像データの補正に使用される補正データを記憶する記憶ステップとを備え、

前記電流測定ステップは、前記第 2 期間で、前記第 1 測定データおよび前記第 2 測定データを前記補正ステップに送信し、

前記補正ステップは、

前記第 2 期間では、前記第 1 階調および前記第 2 階調のそれぞれに対応する映像データを前記電流測定ステップおよび前記データ電圧供給ステップに送信し、前記電流測定ステップから前記第 1 測定データおよび前記第 2 測定データを受信して、前記第 1 階調および前記第 2 階調に対応する理想的な前記駆動トランジスタの特性を示す理想特性データと受信した前記第 1 測定データおよび前記第 2 測定データとをそれぞれ比較した結果に基づいて前記補正データを更新し、

前記第 1 期間および前記第 2 期間では、前記記憶ステップで記憶された前記補正デ

タを読み出し、当該補正データに基づいて前記映像データを補正し、

前記補正ステップは、前記データ電圧を前記画素回路に書き込むべきときに第1レベルになり、前記駆動電流を前記データ線に出力すべきときに第2レベルになる入出力制御信号を前記電流測定ステップおよび前記データ電圧供給ステップに供給し、

前記データ電圧供給ステップは、前記映像データを前記データ電圧に変換する変換部を使用し、

前記データ電圧供給ステップおよび前記電流測定ステップは、それぞれで共通に、

前記変換部の出力端子に非反転入力端子が接続され、対応するデータ線に反転入力端子が接続されたオペアンプと、

前記オペアンプの反転入力端子と出力端子との間に設けられ、前記入出力制御信号が前記第1レベルであるときに閉じ、前記第2レベルであるときに開く制御スイッチとを使用し、

前記電流測定ステップは、

前記オペアンプの反転入力端子と出力端子との間に、前記制御スイッチと並列に設けられた電流電圧変換素子と、

前記オペアンプの出力端子に接続され、前記オペアンプの出力から前記第1測定データまたは前記第2測定データを取得する測定データ取得部とを使用し、

前記オペアンプの非反転入力端子には、前記入出力制御信号が前記第2レベルであるときに、前記第1階調または前記第2階調に対応する映像データを変換して得られるデータ電圧が入力されることを特徴とする、駆動方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2013/070280
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/00-3/38, H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-38210 A (Seiko Epson Corp.), 05 February 2004 (05.02.2004), paragraphs [0077], [0112] & JP 2004-38209 A & JP 2006-309260 A & JP 3887826 B & US 2002/0180721 A1 & US 2003/0063081 A1 & EP 923067 A1 & WO 1998/040871 A1 & DE 69825402 D & DE 69825402 T & TW 397965 B & KR 10-2000-0010923 A	1-2, 19-20, 25 3-4, 21-24 5-18
X Y A	JP 2009-42486 A (Sanyo Electric Co., Ltd.), 26 February 2009 (26.02.2009), paragraphs [0067] to [0089] (Family: none)	1-2, 19-20, 25 3-4, 21-24 5-18
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 August, 2013 (20.08.13)		Date of mailing of the international search report 03 September, 2013 (03.09.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-26586 A (Sony Corp.), 05 February 2009 (05.02.2009), entire text; fig. 1 to 14 (Family: none)	3-4
Y	JP 2010-224532 A (Semiconductor Energy Laboratory Co., Ltd.), 07 October 2010 (07.10.2010), paragraphs [0027] to [0028]; fig. 2 & US 2010/0220117 A1 & CN 101819987 A & KR 10-2010-0098327 A & TW 201115538 A	21-23
Y	JP 2006-58638 A (Toshiba Matsushita Display Technology Co., Ltd.), 02 March 2006 (02.03.2006), entire text; fig. 1 to 4 & US 2006/0038767 A1	24

国際調査報告		国際出願番号 PCT/JP2013/070280									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/00-3/38, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X Y A	JP 2004-38210 A (セイコーエプソン株式会社) 2004.02.05, 【0077】 , 【0112】 & JP 2004-38209 A & JP 2006-309260 A & JP 3887826 B & US 2002/0180721 A1 & US 2003/0063081 A1 & EP 923067 A1 & WO 1998/040871 A1 & DE 69825402 D & DE 69825402 T & TW 397965 B & KR 10-2000-0010923 A	1-2, 19-20, 25 3-4, 21-24 5-18									
X Y A	JP 2009-42486 A (三洋電機株式会社) 2009.02.26, 【0067】 - 【0089】 (ファミリーなし)	1-2, 19-20, 25 3-4, 21-24 5-18									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 20.08.2013		国際調査報告の発送日 03.09.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中村 直行	2G 9214 電話番号 03-3581-1101 内線 3226								

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 7 0 2 8 0
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-26586 A (ソニー株式会社) 2009.02.05, 全文, 図1-14 (ファミリーなし)	3-4
Y	JP 2010-224532 A (株式会社半導体エネルギー研究所) 2010.10.07, 【0027】 - 【0028】, 図2 & US 2010/0220117 A1 & CN 101819987 A & KR 10-2010-0098327 A & TW 201115538 A	21-23
Y	JP 2006-58638 A (東芝松下ディスプレイテクノロジー株式会社) 2006.03.02, 全文, 図1-4 & US 2006/0038767 A1	24

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 4 2 P
	H 0 5 B 33/14	A
	H 0 1 L 29/78	6 1 8 B

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, T M), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, R S, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, H R, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI , NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72) 発明者 山内 祥光
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 野口 登
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 岸 宣孝
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

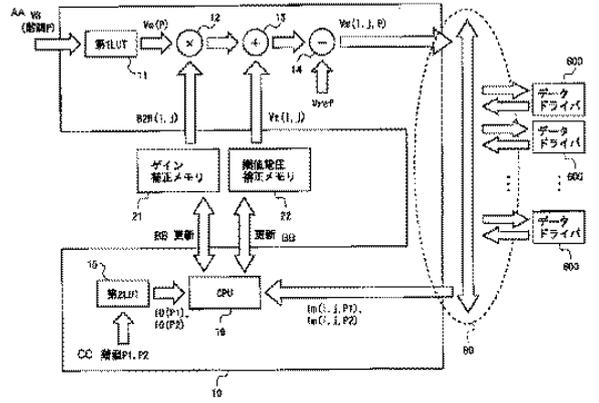
F ターム(参考) 3K107 AA01 BB01 CC31 EE03 EE04 HH05
5C080 AA06 BB05 DD05 FF11 JJ02 JJ03 JJ04 JJ05 JJ06
5C380 AA01 AB06 AB22 AB24 AB34 AB37 BA38 BA39 BB04 CA04
CB11 CC01 CC30 CC39 CC62 CD013 CD014 CF02 CF07 CF09
CF10 CF13 CF18 CF19 CF24 CF27 CF41 CF48 CF62 DA06
DA32 DA42 DA44 FA03 FA22 FA28
5F110 BB02 GG01 GG02 GG13 GG15 NN72 NN74

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2014021201A1	公开(公告)日	2016-07-21
申请号	JP2014528111	申请日	2013-07-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	高濱健吾 山内祥光 野口登 岸宣孝		
发明人	高濱 健吾 山内 祥光 野口 登 岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H01L29/786		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/027 G09G2310/0286 G09G2310/0291 G09G2310/0294 G09G2320/0233 G09G2320/029 G09G2320/0295 G09G2320/043 H01L27/3276		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.622.A G09G3/20.623.A G09G3/20.624.B G09G3/20.641.C G09G3/20.641.P G09G3/20.622.E G09G3/20.642.P H05B33/14.A H01L29/78.618.B		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB37 5C380/BA38 5C380/BA39 5C380/BB04 5C380/CA04 5C380/CB11 5C380/CC01 5C380/CC30 5C380/CC39 5C380/CC62 5C380/CD013 5C380/CD014 5C380/CF02 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF13 5C380/CF18 5C380/CF19 5C380/CF24 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF62 5C380/DA06 5C380/DA32 5C380/DA42 5C380/DA44 5C380/FA03 5C380/FA22 5C380/FA28 5F110/BB02 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/NN72 5F110/NN74		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2012172073 2012-08-02 JP		
其他公开文献	JP5908084B2		
外部链接	Espacenet		

摘要(译)

有机EL显示装置包括控制器(10),数据驱动器(600)和实现增益校正存储器(21)和阈值电压校正存储器(22)的DRAM。数据驱动器(600)将与第一和第二测量数据电压Vm相对应的第一和第二测量数据Im发送到控制器(10)。控制器(10)将理想特性数据IO(P)与第一和第二测量数据Im进行比较,并基于比较结果来更新阈值电压校正数据Vt和增益校正数据B2R。控制器(10)基于阈值电压校正数据Vt和增益校正数据B2R来校正视频数据Vm。结果,在显示的同时对每个像素电路执行了阈值电压补偿和驱动晶体管的增益补偿。



- | | | | |
|----|-------------------------------------|-----|---------------------|
| 11 | First LUT | 600 | Data driver |
| 15 | Second LUT | AA | VS (Stradation P) |
| 21 | Gain correction memory | BS | Update |
| 22 | Threshold voltage correction memory | CC | Gradation P1 and P2 |