

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2007/138729

発行日 平成21年10月1日(2009.10.1)

(43) 国際公開日 平成19年12月6日(2007.12.6)

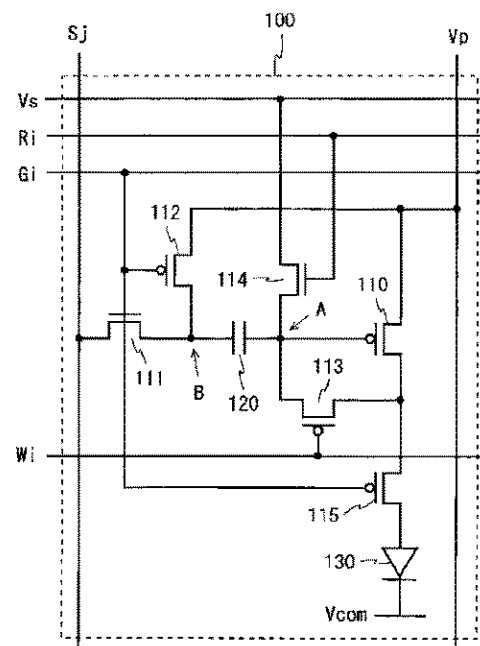
(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 642A	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 624B	
	G09G 3/20 641D	
審査請求 有 予備審査請求 未請求 (全 34 頁) 最終頁に続く		

出願番号	特願2008-517777 (P2008-517777)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2006/325186		シャープ株式会社
(22) 国際出願日	平成18年12月18日(2006.12.18)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2006-149142 (P2006-149142)	(74) 代理人	100104695
(32) 優先日	平成18年5月30日(2006.5.30)		弁理士 島田 明宏
(33) 優先権主張国	日本国(JP)	(72) 発明者	仙田 孝裕
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC32 CC33 CC35
			EE03 HH04 HH05
			5C080 AA06 BB05 DD05 EE29 FF11
			JJ02 JJ03 JJ04
			最終頁に続く

(54) 【発明の名称】 電流駆動型表示装置

(57) 【要約】

画素回路100には、電源配線Vpと共通陰極Vcomとの間に駆動用TFT110とスイッチ用TFT115と有機EL素子130を設け、駆動用TFT110のゲート端子とデータ線Sjとの間にコンデンサ120とスイッチ用TFT111を設ける。コンデンサ120とスイッチ用TFT111の接続点Bと電源配線Vpとの間にスイッチ用TFT112を設け、駆動用TFT110のゲート端子とドレイン端子との間にスイッチ用TFT113を設け、駆動用TFT110のゲート端子と基準電源配線Vsとの間にスイッチ用TFT114を設ける。基準電源配線Vsには、駆動用TFT110を導通状態とする電位が印加される。これにより、駆動素子の閾値電圧のばらつきを正しく補償し、電気光学素子の不要な発光を防止することができる。



【特許請求の範囲】**【請求項 1】**

電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、
前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、
前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、
前記画素回路は、

第 1 の電源配線と第 2 の電源配線との間に設けられた電気光学素子と、

前記第 1 の電源配線と前記第 2 の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第 1 の電極が接続されたコンデンサと、

前記コンデンサの第 2 の電極と前記データ線との間に設けられた第 1 のスイッチング素子と、

前記コンデンサの第 2 の電極と所定の電源配線との間に設けられた第 2 のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第 3 のスイッチング素子と、

一方の端子が第 3 の電源配線に接続され、他方の端子が直接または前記第 3 のスイッチング素子を介して前記駆動素子の制御端子に接続された第 4 のスイッチング素子とを含む、表示装置。

【請求項 2】

前記第 3 の電源配線には、前記駆動素子を導通状態とする電位が印加されることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記第 4 のスイッチング素子は、前記第 3 の電源配線と前記駆動素子の制御端子との間に設けられていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

前記画素回路に対する書き込み時には、

第 1 の期間では、前記第 1 および第 4 のスイッチング素子が導通状態に、前記第 2 および第 3 のスイッチング素子が非導通状態に制御され、

次に第 2 の期間では、前記第 4 のスイッチング素子が非導通状態に、前記第 3 のスイッチング素子が導通状態に制御され、

次に第 3 の期間では、前記第 1 および第 3 のスイッチング素子が非導通状態に、前記第 2 のスイッチング素子が導通状態に制御されることを特徴とする、請求項 3 に記載の表示装置。

【請求項 5】

前記第 4 のスイッチング素子は、前記第 3 の電源配線と、前記第 3 のスイッチング素子に接続された、前記駆動素子の電流入出力端子との間に設けられていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 6】

前記画素回路に対する書き込み時には、

第 1 の期間では、前記第 1、第 3 および第 4 のスイッチング素子が導通状態に、前記第 2 のスイッチング素子が非導通状態に制御され、

次に第 2 の期間では、前記第 4 のスイッチング素子が非導通状態に制御され、

次に第 3 の期間では、前記第 1 および第 3 のスイッチング素子が非導通状態に、前記第 2 のスイッチング素子が導通状態に制御されることを特徴とする、請求項 5 に記載の表示装置。

【請求項 7】

前記第 2 のスイッチング素子は、前記第 1 の電源配線と前記コンデンサの第 2 の電極との間に設けられていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 8】

前記第 4 のスイッチング素子の制御端子は前記第 3 の電源配線に接続されており、

前記第 3 の電源配線の電位は、前記駆動素子を導通状態にする電位と前記第 4 のスイッチング素子を非導通状態にする電位との間で切り替えられることを特徴とする、請求項 7 に記載の表示装置。

【請求項 9】

前記第 2 のスイッチング素子は、前記第 3 の電源配線と前記コンデンサの第 2 の電極との間に設けられていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 10】

前記第 3 の電源配線の電位は、制御可能に構成されていることを特徴とする、請求項 9 に記載の表示装置。

10

【請求項 11】

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第 5 のスイッチング素子をさらに含む、請求項 1 に記載の表示装置。

【請求項 12】

前記画素回路に対する書き込み時には、前記第 2 の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御されることを特徴とする、請求項 1 に記載の表示装置。

【請求項 13】

前記電気光学素子は有機 EL 素子で構成されていることを特徴とする、請求項 1 に記載の表示装置。

20

【請求項 14】

前記駆動素子および前記画素回路内のすべてのスイッチング素子は、薄膜トランジスタで構成されていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 15】

前記駆動素子および前記画素回路内のすべてのスイッチング素子は、同じチャネル型の薄膜トランジスタで構成されていることを特徴とする、請求項 14 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

30

本発明は、表示装置に関し、より特定的には、有機 EL ディスプレイや FED などの電流駆動型表示装置に関する。

【背景技術】**【0002】**

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機 EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) に関する研究開発が活発に行われている。

【0003】

有機 EL ディスプレイに含まれる有機 EL 素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機 EL 素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機 EL ディスプレイに電圧制御型の駆動方式を適用すると、有機 EL 素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機 EL 素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機 EL ディスプレイには電流制御型の駆動方式を適用することが好ましい。

40

【0004】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成された TFT (Thin Film Transistor: 薄膜トランジスタ) を用いて構成される。ところが、TFT の特性 (例えば、閾値電圧や移動度) には、ばらつきが生じやすい。そこで、有機 EL ディスプレイの画素回路には T

50

F Tの特性のばらつきを補償する回路が設けられ、この回路の作用により有機E L素子の輝度のばらつきが抑えられる。

【0005】

電流駆動型の駆動方式においてT F Tの特性のばらつきを補償する方式は、駆動用T F Tに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

【0006】

ところが、電流プログラム方式には、第1に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはT F T作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

【0007】

電流駆動型の駆動方式を適用した有機E Lディスプレイについては、従来から、以下に示す画素回路が知られている。図17は、特許文献1に記載された画素回路の回路図である。図17に示す画素回路910は、駆動用T F T911、スイッチ用T F T912～914、コンデンサ915、916、および、有機E L素子917を備えている。画素回路910に含まれるT F Tは、いずれもpチャネル型である。

【0008】

画素回路910では、電源配線V p（電位をV D Dとする）とグランドとの間に、駆動用T F T911、スイッチ用T F T914および有機E L素子917が直列に設けられている。駆動用T F T911のゲート端子とデータ線S jとの間には、コンデンサ915およびスイッチ用T F T912が直列に設けられている。駆動用T F T911のゲート端子とドレイン端子との間にはスイッチ用T F T913が設けられ、駆動用T F T911のゲート端子と電源配線V pとの間にはコンデンサ916が設けられている。スイッチ用T F T912のゲート端子は走査線G iに接続され、スイッチ用T F T913のゲート端子はオートゼロ線A Z iに接続され、スイッチ用T F T914のゲート端子は照明線I L iに接続されている。

【0009】

図18は、画素回路910のタイミングチャートである。時刻t 0より前では、走査線G iとオートゼロ線A Z iの電位はハイレベルに、照明線I L iの電位はローレベルに、データ線S jの電位は基準電位V s t dに制御される。時刻t 0において走査線G iの電位がローレベルに変化すると、スイッチ用T F T912が導通状態に変化する。次に時刻t 1においてオートゼロ線A Z iの電位がローレベルに変化すると、スイッチ用T F T913が導通状態に変化する。これにより、駆動用T F T911のゲート端子とドレイン端子は同電位となる。

【0010】

次に時刻t 2において照明線I L iの電位がハイレベルに変化すると、スイッチ用T F T914が非導通状態に変化する。このとき、電源配線V pから駆動用T F T911とスイッチ用T F T913を経由して駆動用T F T911のゲート端子に電流が流れ込み、駆動用T F T911のゲート端子電位は駆動用T F T911が導通状態である間は上昇する。駆動用T F T911は、ゲート-ソース間電圧が閾値電圧V t h（負の値）になる（すなわち、ゲート端子電位が（V D D + V t h）になる）と、非導通状態に変化する。したがって、駆動用T F T911のゲート端子電位は（V D D + V t h）まで上昇する。

【0011】

次に時刻t 3においてオートゼロ線A Z iの電位がハイレベルに変化すると、スイッチ

10

20

30

40

50

用 T F T 9 1 3 が非導通状態に変化する。このときコンデンサ 9 1 5 には、駆動用 T F T 9 1 1 のゲート端子とデータ線 S j との電位差 ($V_{DD} + V_{th} - V_{std}$) が保持される。

【 0 0 1 2 】

次に時刻 t 4 においてデータ線 S j の電位が基準電位 V_{std} からデータ電位 V_{data} に変化すると、駆動用 T F T 9 1 1 のゲート端子電位は、同じ量 ($V_{data} - V_{std}$) だけ変化して ($V_{DD} + V_{th} + V_{data} - V_{std}$) となる。次に時刻 t 5 において走査線 G i の電位がハイレベルに変化すると、スイッチ用 T F T 9 1 2 が非導通状態に変化する。このときコンデンサ 9 1 6 には、駆動用 T F T 9 1 1 のゲート - ソース間電圧 ($V_{th} + V_{data} - V_{std}$) が保持される。

10

【 0 0 1 3 】

次に時刻 t 6 において照明線 I L i の電位がローレベルに変化すると、スイッチ用 T F T 9 1 4 が導通状態に変化する。これにより、電源配線 V p から駆動用 T F T 9 1 1 とスイッチ用 T F T 9 1 4 を経由して有機 E L 素子 9 1 7 に電流が流れる。駆動用 T F T 9 1 1 を流れる電流の量はゲート端子電位 ($V_{DD} + V_{th} + V_{data} - V_{std}$) に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 ($V_{data} - V_{std}$) が同じであれば電流量は同じである。したがって、閾値電圧 V_{th} の値にかかわらず、有機 E L 素子 9 1 7 には電位 V_{data} に応じた量の電流が流れ、有機 E L 素子 9 1 7 はデータ電位 V_{data} に応じた輝度で発光する。

【 0 0 1 4 】

このように画素回路 9 1 0 によれば、駆動用 T F T 9 1 1 の閾値電圧のばらつきを補償し、有機 E L 素子 9 1 7 を所望の輝度で発光させることができる。

20

【 0 0 1 5 】

図 1 9 は、特許文献 2 に記載された画素回路の回路図である。図 1 9 に示す画素回路 9 2 0 は、駆動用 T F T 9 2 1、スイッチ用 T F T 9 2 2 ~ 9 2 5、コンデンサ 9 2 6、および、有機 E L 素子 9 2 7 を備えている。スイッチ用 T F T 9 2 3、9 2 5 は n チャンネル型、他の T F T は p チャンネル型である。

【 0 0 1 6 】

画素回路 9 2 0 では、電源配線 V p と共通陰極 V c o m (電位をそれぞれ V_{DD} 、 V_{SS} とする) との間に、駆動用 T F T 9 2 1、スイッチ用 T F T 9 2 5 および有機 E L 素子 9 2 7 が直列に設けられている。駆動用 T F T 9 2 1 のゲート端子とデータ線 S j との間には、コンデンサ 9 2 6 およびスイッチ用 T F T 9 2 2 が直列に設けられている。以下、駆動用 T F T 9 2 1 とコンデンサ 9 2 6 の接続点を A、コンデンサ 9 2 6 とスイッチ用 T F T 9 2 2 の接続点を B という。接続点 B と電源配線 V p との間にはスイッチ用 T F T 9 2 3 が設けられ、接続点 A と駆動用 T F T 9 2 1 のドレイン端子の間にはスイッチ用 T F T 9 2 4 が設けられている。スイッチ用 T F T 9 2 2 ~ 9 2 5 のゲート端子は、いずれも走査線 G i に接続されている。

30

【 0 0 1 7 】

図 2 0 は、画素回路 9 2 0 のタイミングチャートである。時刻 t 0 より前では、走査線 G i の電位はハイレベルに制御される。時刻 t 0 において走査線 G i の電位がローレベルに変化すると、スイッチ用 T F T 9 2 2、9 2 4 は導通状態、スイッチ用 T F T 9 2 3、9 2 5 は非導通状態に変化する。これにより、接続点 B は電源配線 V p から切り離され、スイッチ用 T F T 9 2 2 を介してデータ線 S j に接続される。また、駆動用 T F T 9 2 1 のゲート端子とドレイン端子は同電位となる。このため、電源配線 V p から駆動用 T F T 9 2 1 とスイッチ用 T F T 9 2 4 を経由して駆動用 T F T 9 2 1 のゲート端子に電流が流れ込み、接続点 A の電位は駆動用 T F T 9 2 1 が導通状態である間は上昇する。駆動用 T F T 9 2 1 は、ゲート - ソース間電圧が閾値電圧 V_{th} (負の値) になる (すなわち、接続点 A の電位が ($V_{DD} + V_{th}$) になる) と、非導通状態に変化する。したがって、接続点 A の電位は ($V_{DD} + V_{th}$) まで上昇する。

40

【 0 0 1 8 】

50

次に時刻 t_1 において、データ線 S_j の電位が前回のデータ電位 V_{data0} (1行上の画素回路に書き込まれたデータ電位) から今回のデータ電位 V_{data} に変化すると、接続点 B の電位は V_{data} に変化する。したがって、時刻 t_2 直前におけるコンデンサ 926 の電極間電圧は、接続点 A と接続点 B の電位差 ($V_{DD} + V_{th} - V_{data}$) となる。

【0019】

次に時刻 t_2 において走査線 G_i の電位がハイレベルに変化すると、スイッチ用 TFT 922、924 は非導通状態、スイッチ用 TFT 923、925 は導通状態に変化する。これにより、駆動用 TFT 921 のゲート端子はドレイン端子から切り離される。また、接続点 B はデータ線 S_j から切り離され、スイッチ用 TFT 923 を介して電源配線 V_p に接続される。これにより、接続点 B の電位は V_{data} から V_{DD} に変化し、これに伴い、接続点 A の電位は同じ量 ($V_{DD} - V_{data}$; 以下、 V_B という) だけ変化して ($V_{DD} + V_{th} + V_B$) となる。

【0020】

また、時刻 t_2 以降、スイッチ用 TFT 925 が導通状態となるので、電源配線 V_p から駆動用 TFT 921 とスイッチ用 TFT 925 を経由して有機 EL 素子 927 に電流が流れる。駆動用 TFT 921 を流れる電流の量は、ゲート端子電位 ($V_{DD} + V_{th} + V_B$) に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 V_B が同じであれば電流量は同じである。したがって、閾値電圧 V_{th} の値にかかわらず、有機 EL 素子 927 には電位 V_{data} に応じた量の電流が流れ、有機 EL 素子 927 はデータ電位 V_{data} に応じた輝度で発光する。

【0021】

このように画素回路 920 によれば、画素回路 910 と同様に、駆動用 TFT 921 の閾値電圧のばらつきを補償し、有機 EL 素子 927 を所望の輝度で発光させることができる。また、画素回路 920 には、画素回路 910 と比べてコンデンサ 916、オートゼロ線 AZ_i および照明線 IL_i がない分、回路規模が小さいという利点もある。なお、画素回路 920 では、pチャネル型の駆動用 TFT 921 を導通状態にするために、電位差 V_B は負 (すなわち、 $V_{data} > V_{DD}$) である必要がある。

【特許文献1】国際公開第 98/48403 号パンフレット

【特許文献2】日本国特開 2005-157308 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、画素回路 920 には、駆動用 TFT 921 の閾値電圧のばらつきを正しく補償できないことがあるという問題がある。例えば、前フレームでは駆動用 TFT 921 に電流がほとんど流れない場合 (黒表示を行う場合)、図 20 の時刻 t_0 における接続点 A の電位 V_A はほぼ ($V_{DD} + V_{th}$) となる。接続点 B の電位が時刻 t_0 から時刻 t_1 の間に V_{DD} から V_{data} に変化すると、これに伴い接続点 A の電位も変化する。ところが、上述したように $V_{data} > V_{DD}$ であるので、接続点 A の電位がほぼ ($V_{DD} + V_{th}$) であるときに接続点 B の電位が V_{DD} から V_{data} に上昇すると、接続点 A の電位は ($V_{DD} + V_{th}$) よりも高くなる。このため、駆動用 TFT 921 は、電流をほとんど流さない状態からさらに電流を流さない状態に制御され、導通状態にならない。この場合、上記の方法で駆動用 TFT 921 の閾値電圧のばらつきを補償することができない。

【0023】

特許文献 2 には、画素回路 920 に加えて、図 21 に示す画素回路 930 も記載されている。画素回路 930 では、スイッチ用 TFT 922、924 のゲート端子は走査線 G_i に接続され、スイッチ用 TFT 923、925 のゲート端子は制御線 E_i に接続されている。画素回路 930 によれば、スイッチ用 TFT 924 を導通状態に変化させた後にスイッチ用 TFT 925 を非導通状態に変化させることにより、駆動用 TFT 921 のゲート

端子電位を共通陰極 V_{com} の電位 V_{SS} に引き込むことができる。このとき駆動用 T F T 9 2 1 は導通状態となるので、上記の方法で駆動用 T F T 9 2 1 の閾値電圧のばらつきを補償することができる。なお、特許文献 2 には、画素回路 9 3 0 の構成は記載されているが、画素回路 9 3 0 を上記のタイミングで動作させることは明記されていない。

【 0 0 2 4 】

ところが、画素回路 9 3 0 を上記のタイミングで動作させると、駆動用 T F T 9 2 1 のゲート端子電位を共通陰極 V_{com} の電位 V_{SS} に引き込むときに、有機 E L 素子 9 2 7 に電流が流れ、有機 E L 素子 9 2 7 が発光する。このときの駆動用 T F T 9 2 1 のゲート端子電位は外部から正確に制御できないので、画素回路 9 3 0 を外部から制御しても有機 E L 素子 9 2 7 の不要な発光を抑えることはできない。このため、画素回路 9 3 0 を上記のタイミングで動作させると、正確な階調表示が困難になる。また、黒表示のときにも有機 E L 素子 9 2 7 が発光するので、表示画面のコントラストが低下する。

10

【 0 0 2 5 】

また、画素回路 9 2 0 では、走査線 G_i の電位がローレベルである間（1 水平走査期間内）に、駆動用 T F T の閾値電圧のばらつきを補償する処理が完了する。したがって、駆動用 T F T 9 2 1 のゲート端子電位（接続点 A の電位）は、1 水平走査期間内に以前の電位から閾値状態の電位（ $V_{DD} + V_{th}$ ）に変化する必要がある。

【 0 0 2 6 】

ところが、図 2 0 の時刻 t_0 における接続点 A の電位 V_A は、画素回路 9 2 0 に前回書き込まれたデータ電位によってすべて異なる。接続点 A の電位は、例えば、時刻 t_0 より前に有機 E L 素子 9 2 7 が最大輝度で発光するときに（ $V_{DD} + V_{th}$ ）から最も離れ、時刻 t_0 より前に有機 E L 素子 9 2 7 が発光しないときに（ $V_{DD} + V_{th}$ ）に最も近づく。しかし、いずれの場合においても、接続点 A の電位は、1 水平走査期間内に（ $V_{DD} + V_{th}$ ）に変化する必要がある。このため、1 水平走査期間が短い高精細の表示装置では、駆動用 T F T の閾値電圧のばらつきを正確に補償することが困難になる。

20

【 0 0 2 7 】

それ故に、本発明は、駆動素子の閾値電圧のばらつきを正しく補償すると共に、電気光学素子の不要な発光を防止した表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 8 】

本発明の第 1 の局面は、電流駆動型の表示装置であって、
複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、
前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、
前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、
前記画素回路は、

30

第 1 の電源配線と第 2 の電源配線との間に設けられた電気光学素子と、

前記第 1 の電源配線と前記第 2 の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第 1 の電極が接続されたコンデンサと、

前記コンデンサの第 2 の電極と前記データ線との間に設けられた第 1 のスイッチング素子と、

40

前記コンデンサの第 2 の電極と所定の電源配線との間に設けられた第 2 のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第 3 のスイッチング素子と、

一方の端子が第 3 の電源配線に接続され、他方の端子が直接または前記第 3 のスイッチング素子を介して前記駆動素子の制御端子に接続された第 4 のスイッチング素子を含む。

【 0 0 2 9 】

本発明の第 2 の局面は、本発明の第 1 の局面において、

50

前記第 3 の電源配線には、前記駆動素子を導通状態とする電位が印加されることを特徴とする。

【 0 0 3 0 】

本発明の第 3 の局面は、本発明の第 1 の局面において、

前記第 4 のスイッチング素子は、前記第 3 の電源配線と前記駆動素子の制御端子との間に設けられていることを特徴とする。

【 0 0 3 1 】

本発明の第 4 の局面は、本発明の第 3 の局面において、

前記画素回路に対する書き込み時では、

第 1 の期間では、前記第 1 および第 4 のスイッチング素子が導通状態に、前記第 2 および第 3 のスイッチング素子が非導通状態に制御され、

次に第 2 の期間では、前記第 4 のスイッチング素子が非導通状態に、前記第 3 のスイッチング素子が導通状態に制御され、

次に第 3 の期間では、前記第 1 および第 3 のスイッチング素子が非導通状態に、前記第 2 のスイッチング素子が導通状態に制御されることを特徴とする。

【 0 0 3 2 】

本発明の第 5 の局面は、本発明の第 1 の局面において、

前記第 4 のスイッチング素子は、前記第 3 の電源配線と、前記第 3 のスイッチング素子に接続された、前記駆動素子の電流入出力端子との間に設けられていることを特徴とする。

【 0 0 3 3 】

本発明の第 6 の局面は、本発明の第 5 の局面において、

前記画素回路に対する書き込み時には、

第 1 の期間では、前記第 1、第 3 および第 4 のスイッチング素子が導通状態に、前記第 2 のスイッチング素子が非導通状態に制御され、

次に第 2 の期間では、前記第 4 のスイッチング素子が非導通状態に制御され、

次に第 3 の期間では、前記第 1 および第 3 のスイッチング素子が非導通状態に、前記第 2 のスイッチング素子が導通状態に制御されることを特徴とする。

【 0 0 3 4 】

本発明の第 7 の局面は、本発明の第 1 の局面において、

前記第 2 のスイッチング素子は、前記第 1 の電源配線と前記コンデンサの第 2 の電極との間に設けられていることを特徴とする。

【 0 0 3 5 】

本発明の第 8 の局面は、本発明の第 7 の局面において、

前記第 4 のスイッチング素子の制御端子は前記第 3 の電源配線に接続されており、

前記第 3 の電源配線の電位は、前記駆動素子を導通状態にする電位と前記第 4 のスイッチング素子を非導通状態にする電位との間で切り替えられることを特徴とする。

【 0 0 3 6 】

本発明の第 9 の局面は、本発明の第 1 の局面において、

前記第 2 のスイッチング素子は、前記第 3 の電源配線と前記コンデンサの第 2 の電極との間に設けられていることを特徴とする。

【 0 0 3 7 】

本発明の第 10 の局面は、本発明の第 9 の局面において、

前記第 3 の電源配線の電位は、制御可能に構成されていることを特徴とする。

【 0 0 3 8 】

本発明の第 11 の局面は、本発明の第 1 の局面において、

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第 5 のスイッチング素子をさらに含む。

【 0 0 3 9 】

本発明の第 12 の局面は、本発明の第 1 の局面において、

前記画素回路に対する書き込み期間では、前記第2の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御されることを特徴とする。

【0040】

本発明の第13の局面は、本発明の第1の局面において、前記電気光学素子は有機EL素子で構成されていることを特徴とする。

【0041】

本発明の第14の局面は、本発明の第1の局面において、前記駆動素子および前記画素回路内のすべてのスイッチング素子は、薄膜トランジスタで構成されていることを特徴とする。

【0042】

本発明の第15の局面は、本発明の第14の局面において、前記駆動素子および前記画素回路内のすべてのスイッチング素子は、同じチャネル型の薄膜トランジスタで構成されていることを特徴とする。

【発明の効果】

【0043】

本発明の第1または第2の局面によれば、駆動素子を導通状態とする電位を第3の電源配線に印加し、第4のスイッチング素子（または、第3および第4のスイッチング素子）を導通状態に制御することにより、駆動素子の制御端子に第3の電源配線の電位を与え、画素回路の以前の状態にかかわらず、駆動素子を必ず導通状態に設定することができる。したがって、第3のスイッチング素子を導通状態に制御したときに、駆動素子を確実に閾値状態（閾値電圧が印加された状態）に設定し、駆動素子の閾値電圧のばらつきを正しく補償することができる。

【0044】

本発明の第3の局面によれば、第4のスイッチング素子が第3の電源配線と駆動素子の制御端子との間に設けられているので、第4のスイッチング素子を導通状態に制御することにより、駆動素子の制御端子に第3の電源配線の電位を与えることができる。

【0045】

本発明の第4の局面によれば、第1の期間では、コンデンサの第1の電極には第3の電源配線の電位が与えられ、コンデンサの第2の電極には表示データに応じた電位（以下、データ電位ともいう）が与えられ、コンデンサにはこれら2つの電位の差が保持される。第2の期間では、駆動素子が閾値状態となるまでコンデンサの第1の電極の電位が変化し、これに伴い、コンデンサに保持された電位差は、データ電位と駆動素子の閾値電圧との差に変化する。第3の期間では、コンデンサが上記の電位差を保持したままで、コンデンサの第2の電極の電位が、データ電位から所定の電源配線の電位に変化する。このため、その後の駆動素子の制御端子電位は、駆動素子が閾値状態となる電位に、所定の電源配線の電位とデータ電位の差を加えた電位となる。したがって、駆動素子に流れる電流の量は、閾値電圧が異なってもデータ電位が同じであれば、同じになる。このようにして駆動素子の閾値電圧のばらつきを補償することができる。

【0046】

本発明の第5の局面によれば、第4のスイッチング素子が第3の電源配線と第3のスイッチング素子に接続された駆動素子の電流入出力端子との間に設けられているので、第3および第4のスイッチング素子を共に導通状態に制御することにより、駆動素子の制御端子に第3の電源配線の電位を与えることができる。また、駆動素子の制御端子は第3および第4のスイッチング素子を介して第3の電源配線に接続されるので、駆動素子の制御端子が第4のスイッチング素子を介して第3の電源配線に接続される場合よりも、駆動素子の制御端子に接続されるスイッチング素子の数が少ない。したがって、駆動素子の制御端子電位は、スイッチング素子を流れるリーク電流が少ない分だけ変動しにくい。よって、電気光学素子の輝度を正しく保持し、表示品位を高めることができる。

【0047】

本発明の第6の局面によれば、第1の期間では、コンデンサの第1の電極には第3の電

10

20

30

40

50

源配線の電位が与えられ、コンデンサの第2の電極にはデータ電位が与えられ、コンデンサにはこれら2つの電位の差が保持される。第2の期間では、駆動素子が閾値状態となるまでコンデンサの第1の電極の電位が変化し、これに伴い、コンデンサに保持された電位差は、データ電位と駆動素子の閾値電圧との差に変化する。第3の期間では、コンデンサが上記の電位差を保持したままで、コンデンサの第2の電極の電位が、データ電位から所定の電源配線の電位に変化する。このため、その後の駆動素子の制御端子電位は、駆動素子が閾値状態となる電位に、所定の電源配線の電位とデータ電位の差を加えた電位となる。したがって、駆動素子に流れる電流の量は、閾値電圧が異なってもデータ電位が同じであれば、同じになる。このようにして駆動素子の閾値電圧のばらつきを補償することができる。

10

【0048】

本発明の第7の局面によれば、第2のスイッチング素子を導通状態に制御することにより、コンデンサの第2の電極に第1の電源配線の電位を与えることができる。したがって、コンデンサの第1の電極に接続された駆動素子の制御端子の電位を、表示データに応じたレベルに保つことができる。

【0049】

本発明の第8の局面によれば、第4のスイッチング素子を第3の電源配線にダイオード接続し、第3の電源配線の電位を所定のレベル間で切り替えることにより、第4のスイッチング素子を導通状態および非導通状態に切り替え、駆動素子を導通状態に設定することができる。したがって、第4のスイッチング素子を制御する配線が不要となるので、表示装置の回路規模を削減することができる。

20

【0050】

本発明の第9の局面によれば、第2のスイッチング素子を導通状態に制御することにより、コンデンサの第2の電極に第3の電源配線の電位を与えることができる。したがって、コンデンサの第1の電極に接続された駆動素子の制御端子の電位を、表示データに応じたレベルに保つことができる。

【0051】

本発明の第10の局面によれば、駆動素子の制御端子電位は、第3の電源配線の電位とデータ電位の差に応じて増減するので、第3の電源配線の電位を制御することにより、すべての電気光学素子の輝度を一律に調整することができる。したがって、少量の回路を追加するだけで、表示データを変更することなく、ピーク輝度調整を容易に行うことができる。

30

【0052】

本発明の第11の局面によれば、画素回路に対する書き込み時に、第5のスイッチング素子を非導通状態に制御することにより、駆動素子から電気光学素子に流れる電流を遮断することができる。これにより、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

【0053】

本発明の第12の局面によれば、画素回路に対する書き込み時に、第2の電源配線の電位を制御することにより、第1の電源配線と第2の電源配線との間にスイッチング素子を設けなくても、電気光学素子に電流が流れないようにすることができる。これにより、より少ない回路量で、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

40

【0054】

本発明の第13の局面によれば、駆動素子の閾値電圧のばらつきを正しく補償する有機ELディスプレイを得ることができる。

【0055】

本発明の第14の局面によれば、駆動素子および画素回路内のすべてのスイッチング素子を薄膜トランジスタで構成することにより、画素回路を容易かつ高精度で製造することができる。

50

【 0 0 5 6 】

本発明の第 1 5 の局面によれば、駆動素子および画素回路内のすべてのスイッチング素子を同じチャネル型のトランジスタで構成することにより、すべてのトランジスタを同じマスクを用いて同じプロセスで製造し、表示装置のコストを下げるができる。また、同じチャネル型のトランジスタは異なるチャネル型のトランジスタよりも接近して配置できるので、その分だけ画素回路の面積を他の用途に利用することができる。

【図面の簡単な説明】

【 0 0 5 7 】

【図 1】本発明の第 1 ～ 第 7（第 4 を除く）の実施形態に係る表示装置の構成を示すブロック図である。

10

【図 2】本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図 3】図 2 に示す画素回路のタイミングチャートである。

【図 4】本発明の第 2 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図 5】図 4 に示す画素回路のタイミングチャートである。

【図 6】本発明の第 3 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図 7】図 6 に示す画素回路のタイミングチャートである。

【図 8】本発明の第 4 の実施形態に係る表示装置の構成を示すブロック図である。

【図 9】本発明の第 4 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図 1 0】図 9 に示す画素回路のタイミングチャートである。

【図 1 1】本発明の第 5 の実施形態に係る表示装置に含まれる画素回路の回路図である。

20

【図 1 2】図 1 1 に示す画素回路のタイミングチャートである。

【図 1 3】本発明の第 6 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図 1 4】図 1 3 に示す画素回路のタイミングチャートである。

【図 1 5】本発明の第 7 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図 1 6】図 1 5 に示す画素回路のタイミングチャートである。

【図 1 7】従来の表示装置に含まれる画素回路（第 1 の例）の回路図である。

【図 1 8】図 1 7 に示す画素回路のタイミングチャートである。

【図 1 9】従来の表示装置に含まれる画素回路（第 2 の例）の回路図である。

【図 2 0】図 1 9 に示す画素回路のタイミングチャートである。

【図 2 1】従来の表示装置に含まれる画素回路（第 3 の例）の回路図である。

30

【符号の説明】

【 0 0 5 8 】

1 0、4 0 表示装置

1 1 表示制御回路

1 2 ゲートドライバ回路

1 3 ソースドライバ回路

1 4 基準電源調整回路

2 1 シフトレジスタ

2 2 レジスタ

2 3 ラッチ回路

2 4 D / A コンバータ

4 8 基準電位制御回路

1 0 0、2 0 0、3 0 0、4 0 0、5 0 0、6 0 0、7 0 0 画素回路

1 1 0、2 1 0、3 1 0、4 1 0、5 1 0、6 1 0、7 1 0 駆動用 T F T

1 1 1 ～ 1 1 5、2 1 1 ～ 2 1 4、3 1 1 ～ 3 1 5、4 1 1 ～ 4 1 5、5 1 1 ～ 5 1 5
、6 1 1 ～ 6 1 5、7 1 1 ～ 7 1 5 スイッチ用 T F T

1 2 0、2 2 0、3 2 0、4 2 0、5 2 0、6 2 0、7 2 0 コンデンサ

1 3 0、2 3 0、3 3 0、4 3 0、5 3 0、6 3 0、7 3 0 有機 E L 素子

V p 電源配線

V s 基準電源配線

40

50

V c o m 共通陰極
C A i 陰極配線
W i、R i、E i 制御線
G i 走査線
S j データ線

【発明を実施するための最良の形態】

【0059】

以下、図1～図16を参照して、本発明の第1～第7の実施形態に係る表示装置について説明する。各実施形態に係る表示装置は、電気光学素子、駆動素子、コンデンサおよび複数のスイッチング素子を含む画素回路を備えている。画素回路は、電気光学素子として有機EL素子を含み、駆動素子およびスイッチング素子としてCGシリコンTFTで構成された駆動用TFTおよびスイッチ用TFTを含んでいる。なお、駆動素子およびスイッチング素子は、CGシリコンTFT以外にも、例えばアモルファスシリコンTFTや低温ポリシリコンTFTなどで構成することができる。駆動素子およびスイッチング素子をTFTで構成することにより、画素回路を容易かつ高精度で製造することができる。

10

【0060】

CGシリコンTFTの構成は、Inukai、他7名、"4.0 in. TFT OLED Displays and a Novel Digital Driving Method"、SID'00 Digest、pp.924 927に開示されている。CGシリコンTFTの製造プロセスは、Takayama、他5名、"Continuous Grain Silicon Technology and Its Applications for Active Matrix Display"、AMD LCD 2000、pp.25 28に開示されている。有機EL素子の構成は、Friend、"Polymer Light Emitting Diodes for use in Flat Panel Display"、AM LCD'01、pp.211 214に開示されている。そこで、これらの事項については説明を省略する。

20

【0061】

図1は、本発明の第1～第7（第4を除く）の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置10は、複数の画素回路Aij（iは1以上n以下の整数、jは1以上m以下の整数）、表示制御回路11、ゲートドライバ回路12、ソースドライバ回路13、および、基準電源調整回路14を備えている。表示装置10には、互いに平行な複数の走査線Giと、走査線Giと直交する互いに平行な複数のデータ線Sjとが設けられる。画素回路Aijは、走査線Giとデータ線Sjの各交差点に対応してマトリクス状に配置されている。

30

【0062】

これに加えて表示装置10には、互いに平行な複数の制御線（Wi、Riなど；図示せず）が走査線Giと平行に配置されている。走査線Giと制御線はゲートドライバ回路12に接続され、データ線Sjはソースドライバ回路13に接続されている。ゲートドライバ回路12とソースドライバ回路13は、画素回路Aijの駆動回路として機能する。

【0063】

表示制御回路11は、ゲートドライバ回路12に対してタイミング信号OE、スタートパルスYIおよびクロックYCKを出力し、ソースドライバ回路13に対してスタートパルスSP、クロックCLK、表示データDAおよびラッチパルスLPを出力し、基準電源調整回路14に対して電圧制御信号PDAを出力する。

40

【0064】

ゲートドライバ回路12は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロックYCKに同期してスタートパルスYIを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線Giや制御線Wi、Riなどに与えられる。このようにゲートドライバ回路12は、走査線Giを用いて書き込み対象の画素回路を選択する走査信号出力回路として機能する。

【0065】

50

ソースドライバ回路 13 は、 m ビットのシフトレジスタ 21、レジスタ 22、ラッチ回路 23、および、 m 個の D/A コンバータ 24 を含んでいる。シフトレジスタ 21 は、縦続接続された m 個の 1 ビットレジスタを含んでいる。シフトレジスタ 21 は、クロック CLK に同期してスタートパルス SP を順次転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 22 には表示データ DA が供給される。レジスタ 22 は、タイミングパルス DLP に従い、表示データ DA を記憶する。レジスタ 22 に 1 行分の表示データ DA が記憶されると、表示制御回路 11 はラッチ回路 23 に対してラッチパルス LP を出力する。ラッチ回路 23 は、ラッチパルス LP を受け取ると、レジスタ 22 に記憶された表示データを保持する。D/A コンバータ 24 は、各データ線 S_j に 1 つずつ設けられる。D/A コンバータ 24 は、ラッチ回路 23 に保持された表示データをアナログ信号電圧に変換し、対応するデータ線 S_j に与える。このようにソースドライバ回路 13 は、データ線 S_j に対して表示データに応じた電位を与える表示信号出力回路として機能する。

10

【0066】

なお、表示装置 10 を小型、低コスト化するために、ゲートドライバ回路 12 やソースドライバ回路 13 の全部または一部を、CG シリコン TFT や多結晶シリコン TFT などを用いて画素回路 A_{ij} と同じ基板上に形成することが好ましい。

【0067】

基準電源調整回路 14 は、電圧制御信号 PDA に基づき、基準電源配線 V_s に印加される電位（以下、基準電位 V_{std} という）のレベルを調整する。すべての画素回路 A_{ij} は、基準電源配線 V_s に接続されており、基準電源調整回路 14 から基準電位 V_{std} の供給を受ける。また、図 1 では省略されているが、画素回路 A_{ij} の配置領域には、画素回路 A_{ij} に電源電圧を供給するために、電源配線 V_p と共通陰極 V_{com} （または陰極配線 CA_i ）が配置されている。

20

【0068】

以下、各実施形態に係る表示装置に含まれる画素回路 A_{ij} の詳細を説明する。以下の説明では、スイッチ用 TFT のゲート端子に与えられるハイレベル電位を GH、ローレベル電位を GL という。また、以下の説明では、各 TFT のチャネル型は固定的に決定されているが、各 TFT のゲート端子に適切な制御信号を供給できるのであれば、各 TFT は p チャネル型でも n チャネル型でもよい。

30

【0069】

（第 1 の実施形態）

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 2 に示す画素回路 100 は、駆動用 TFT 110、スイッチ用 TFT 111 ~ 115、コンデンサ 120、および、有機 EL 素子 130 を備えている。スイッチ用 TFT 111、114 は n チャネル型、他の TFT は p チャネル型である。

【0070】

画素回路 100 は、電源配線 V_p 、基準電源配線 V_s 、共通陰極 V_{com} 、走査線 G_i 、制御線 W_i 、 R_i 、および、データ線 S_j に接続されている。このうち、電源配線 V_p （第 1 の電源配線）と共通陰極 V_{com} （第 2 の電源配線）にはそれぞれ一定の電位 V_D 、 V_{SS} が印加され、基準電源配線 V_s （第 3 の電源配線）には基準電源調整回路 14 で得られた基準電位 V_{std} が印加される。共通陰極 V_{com} は、表示装置内のすべての有機 EL 素子 130 の共通電極となる。

40

【0071】

画素回路 100 では、電源配線 V_p と共通陰極 V_{com} とを結ぶ経路上に電源配線 V_p 側から順に、駆動用 TFT 110、スイッチ用 TFT 115 および有機 EL 素子 130 が直列に設けられている。駆動用 TFT 110 のゲート端子には、コンデンサ 120 の一方の電極が接続されている。コンデンサ 120 の他方の電極とデータ線 S_j との間には、スイッチ用 TFT 111 が設けられている。以下、駆動用 TFT 110 とコンデンサ 120 の接続点を A、コンデンサ 120 とスイッチ用 TFT 111 の接続点を B という。接続点

50

Bと電源配線V_pとの間にはスイッチ用TFT112が設けられ、接続点Aと駆動用TFT110のドレイン端子との間にはスイッチ用TFT113が設けられ、接続点Aと基準電源配線V_sとの間にはスイッチ用TFT114が設けられている。

【0072】

スイッチ用TFT111、112、115のゲート端子は走査線G_iに接続され、スイッチ用TFT113のゲート端子は制御線W_iに接続され、スイッチ用TFT114のゲート端子は制御線R_iに接続されている。走査線G_iおよび制御線W_i、R_iの電位はゲートドライバ回路12によって制御され、データ線S_jの電位はソースドライバ回路13によって制御される。

【0073】

図3は、画素回路100のタイミングチャートである。図3には、走査線G_i、制御線W_i、R_iおよびデータ線S_jに印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図3では、時刻t₀から時刻t₅までが1水平走査期間に相当する。以下、図3を参照して、画素回路100の動作を説明する。

【0074】

時刻t₀より前では、走査線G_iと制御線R_iの電位はG_L（ローレベル）に、制御線W_iの電位はG_H（ハイレベル）に、データ線S_jの電位は前回の表示データ（1行上の画素回路に書き込まれた表示データ）に応じたレベルに制御される。このため、スイッチ用TFT112、115は導通状態、スイッチ用TFT111、113、114は非導通状態となる。また、接続点Aの電位は画素回路100に前回書き込まれた表示データに応じた電位となり、接続点Bの電位はV_{DD}となる。

【0075】

時刻t₀において走査線G_iの電位がG_Hに変化すると、スイッチ用TFT111が導通状態に、スイッチ用TFT112、115が非導通状態に変化する。走査線G_iの電位がG_Hである間（時刻t₀から時刻t₅までの間）、スイッチ用TFT115は非導通状態にあるので、有機EL素子130に電流は流れず、有機EL素子130は発光しない。

【0076】

走査線G_iの電位がG_Hである間、データ線S_jの電位は今回の表示データに応じたレベル電位（以下、データ電位V_{data}という）に制御される。この間、接続点Bはスイッチ用TFT111を介してデータ線S_jに接続されるので、接続点Bの電位はV_{data}となる。また、時刻t₀から時刻t₁までの間、スイッチ用TFT113、114は非導通状態であるので、接続点Bの電位がV_{DD}からV_{data}に変化すると、接続点Aの電位も同じ量（V_{data} - V_{DD}）だけ変化する。

【0077】

次に時刻t₁において制御線R_iの電位がG_Hに変化すると、スイッチ用TFT114が導通状態に変化する。これにより、接続点Aはスイッチ用TFT114を介して基準電源配線V_sに接続されるので、接続点Aの電位はV_{std}に変化する。このとき接続点Bはスイッチ用TFT111を介してデータ線S_jに接続されているので、接続点Aの電位が変化しても、接続点Bの電位はV_{data}のままである。

【0078】

基準電源配線V_sの基準電位V_{std}は、ゲート端子に基準電位V_{std}を印加したときに駆動用TFT110が導通状態となるように決定される。したがって、時刻t₁以降、駆動用TFT110は必ず導通状態となる。なお、駆動用TFT110が導通状態となってもスイッチ用TFT115が非導通状態である間は、有機EL素子130に電流は流れず、有機EL素子130は発光しない。

【0079】

次に時刻t₂において制御線R_iの電位がG_Lに変化すると、スイッチ用TFT114が非導通状態に変化する。これにより、接続点Aは基準電源配線V_sから切り離され、接続点Aの電位は固定される。このときコンデンサ120には、接続点AとBの電位差（V_{std} - V_{data}）が保持される。

10

20

30

40

50

【 0 0 8 0 】

次に時刻 t_3 において制御線 W_i の電位が GL に変化すると、スイッチ用 TFT_{113} が導通状態に変化する。これにより駆動用 TFT_{110} のゲート端子とドレイン端子が短絡され、駆動用 TFT_{110} はダイオード接続となる。時刻 t_1 から時刻 t_2 までの間、接続点 A には基準電位 V_{std} が印加され、時刻 t_2 以降も接続点 A の電位はコンデンサ 120 によって V_{std} に保たれる。したがって、時刻 t_3 以降も、駆動用 TFT_{110} は必ず導通状態となる。

【 0 0 8 1 】

また、電源配線 V_p から駆動用 TFT_{110} とスイッチ用 TFT_{113} を経由して接続点 A に電流が流れ込み、接続点 A の電位（駆動用 TFT_{110} のゲート端子電位）は駆動用 TFT_{110} が導通状態である間は上昇する。駆動用 TFT_{110} は、ゲート - ソース間電圧が閾値電圧 V_{th} （負の値）になる（すなわち、接続点 A の電位が $(V_{DD} + V_{th})$ になる）と、非導通状態に変化する。したがって、接続点 A の電位は $(V_{DD} + V_{th})$ まで上昇し、駆動用 TFT_{110} は閾値状態（ゲート - ソース間に閾値電圧が印加された状態）となる。

10

【 0 0 8 2 】

次に時刻 t_4 において制御線 W_i の電位が GH に変化すると、スイッチ用 TFT_{113} が非導通状態に変化する。このときコンデンサ 120 には、接続点 A と B の電位差 $(V_{DD} + V_{th} - V_{data})$ が保持される。

【 0 0 8 3 】

次に時刻 t_5 において走査線 G_i の電位が GL に変化すると、スイッチ用 TFT_{112} 、 115 が導通状態に、スイッチ用 TFT_{111} が非導通状態に変化する。これにより、接続点 B は、データ線 S_j から切り離され、スイッチ用 TFT_{112} を介して電源配線 V_p に接続される。このため、接続点 B の電位は V_{data} から V_{DD} に変化し、これに伴い、接続点 A の電位も同じ量 $(V_{DD} - V_{data})$ ；以下、 V_B という）だけ変化して $(V_{DD} + V_{th} + V_B)$ となる。

20

【 0 0 8 4 】

時刻 t_5 以降ではスイッチ用 TFT_{115} は導通状態にあるので、電源配線 V_p から駆動用 TFT_{110} とスイッチ用 TFT_{115} を経由して有機 EL 素子 130 に電流が流れる。駆動用 TFT_{110} を流れる電流の量は、ゲート端子電位 $(V_{DD} + V_{th} + V_B)$ に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 $V_B (= V_{DD} - V_{data})$ が同じであれば電流量は同じである。したがって、駆動用 TFT_{110} の閾値電圧 V_{th} の値にかかわらず、有機 EL 素子 130 にはデータ電位 V_{data} に応じた量の電流が流れ、有機 EL 素子 130 は指定された輝度で発光する。

30

【 0 0 8 5 】

上記の動作では、時刻 t_2 においてスイッチ用 TFT_{114} が非導通状態に変化した後に、時刻 t_3 においてスイッチ用 TFT_{113} が導通状態に変化する。これにより、電源配線 V_p から駆動用 TFT_{110} とスイッチ用 TFT_{113} 、 114 を経由して基準電源配線 V_s に電流が流れ込むことを防止し、基準電源配線 V_s の電位を安定に保つことができる。また、時刻 t_2 においてコンデンサ 120 に保持された電位差が変化しないので、閾値電圧のばらつきを正確に補償することができる。

40

【 0 0 8 6 】

また、上記の動作では、時刻 t_4 においてスイッチ用 TFT_{113} が非導通状態に変化した後に、時刻 t_5 においてスイッチ用 TFT_{111} が非導通状態に、スイッチ用 TFT_{112} が導通状態に変化する。これにより、電源配線 V_p から駆動用 TFT_{110} とスイッチ用 TFT_{113} を経由して接続点 A に電流が流れ込むことを防止し、駆動用 TFT_{110} のゲート端子電位を正確に保持することができる。

【 0 0 8 7 】

以上に示すように、本実施形態に係る表示装置によれば、駆動用 TFT_{110} を導通状態とする基準電位 V_{std} を基準電源配線 V_s に印加し、スイッチ用 TFT_{114} を導通

50

状態に制御することにより、駆動用 T F T 1 1 0 のゲート端子に基準電位 V_{std} を与え、画素回路の以前の状態にかかわらず、駆動用 T F T 1 1 0 を必ず導通状態に設定することができる。

【0088】

したがって、その後にスイッチ用 T F T 1 1 3 を導通状態に、スイッチ用 T F T 1 1 5 を非導通状態に制御したときに、駆動用 T F T 1 1 0 を確実に閾値状態に設定し、駆動用 T F T 1 1 0 から有機 E L 素子 1 3 0 に流れる電流を遮断することができる。よって、駆動用 T F T 1 1 0 を正しく閾値状態に設定すると共に、有機 E L 素子 1 3 0 の不要な発光を防止することができる。不要な発光を防止できれば、表示画面のコントラストが向上し、有機 E L 素子 1 3 0 の寿命も長くなる。

10

【0089】

また、pチャネル型の駆動用 T F T 1 1 0 を導通状態に設定するためには、ゲート端子に印加される基準電位 V_{std} を駆動用 T F T 1 1 0 のソース端子電位よりも閾値電圧 V_{th} の分以上低くする必要がある。ところが、基準電位 V_{std} を低くしすぎると、駆動用 T F T 1 1 0 が閾値状態になるまでに時間がかかり、駆動用 T F T 1 1 0 の閾値電圧のばらつきを補償する処理が 1 水平走査期間内に完了しないことがある。このため、基準電位 V_{std} は、ゲート端子に与えたときに駆動用 T F T 1 1 0 が導通状態になるという条件を満たす限り、 $(V_{DD} + V_{th})$ にできるだけ近い電位であることが好ましい。

【0090】

画素回路 1 0 0 は外部から与えられた基準電位 V_{std} に基づき動作するので、基準電源調整回路 1 4 などを用いて基準電位 V_{std} のレベルを自由に設定することができる。したがって、本実施形態に係る表示装置によれば、 $(V_{DD} + V_{th})$ に近い基準電位 V_{std} を用いることにより、駆動用 T F T の閾値電圧のばらつきを短時間で補償することができる。

20

【0091】

また、駆動用 T F T 1 1 0 を閾値状態にする前に、コンデンサ 1 2 0 には電位差 $(V_{std} - V_{data})$ が保持されるが、この電位差はすべての画素回路で同じである。したがって、仮に駆動用 T F T 1 1 0 を完全に閾値状態に設定できない場合でも、有機 E L 素子の輝度のばらつきを小さくすることができる。

【0092】

30

(第2の実施形態)

図4は、本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。図4に示す画素回路 2 0 0 は、駆動用 T F T 2 1 0、スイッチ用 T F T 2 1 1 ~ 2 1 4、コンデンサ 2 2 0、および、有機 E L 素子 2 3 0 を備えている。スイッチ用 T F T 2 1 1、2 1 4 は n チャネル型、他の T F T は p チャネル型である。

【0093】

画素回路 2 0 0 は、第1の実施形態に係る画素回路 1 0 0 (図2) に対して、スイッチ用 T F T 1 1 5 を削除し、有機 E L 素子 1 3 0 のカソード端子を陰極配線 C A i (第2の電源配線) に接続する変更を施したものである。画素回路 2 0 0 では、電源配線 V_p と陰極配線 C A i とを結ぶ経路上に電源配線 V_p 側から順に、駆動用 T F T 2 1 0 および有機 E L 素子 2 3 0 が直列に設けられている。以上の点を除き、画素回路 2 0 0 の構成は画素回路 1 0 0 と同じである。陰極配線 C A i の電位は、表示装置 1 0 に含まれる電源切替回路 (図示せず) によって制御される。

40

【0094】

図5は、画素回路 2 0 0 のタイミングチャートである。図5には、走査線 G_i 、制御線 W_i 、 R_i 、陰極配線 C A i およびデータ線 S_j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図5では、時刻 t_0 から時刻 t_5 ままでが 1 水平走査期間に相当する。

【0095】

図5に示すように、陰極配線 C A i の電位は、時刻 t_0 から時刻 t_5 までの間は所定の

50

レベル V_{ch} に、それ以外のときは V_{SS} に制御される。電位 V_{ch} は、駆動用 T F T 210 と有機 E L 素子 230 を直列に接続した回路の一端に電位 V_{DD} を印加し、他端に電位 V_{ch} を印加したときに、有機 E L 素子 230 への印加電圧が有機 E L 素子 230 の発光閾値電圧より低くなるように決定される。このため、陰極配線 $C A i$ の電位が V_{ch} である間（時刻 t_0 から時刻 t_5 までの間）、有機 E L 素子 230 に発光に寄与する電流は流れず、有機 E L 素子 230 は発光しない。以上の点を除き、画素回路 200 の動作は画素回路 100 と同じである。

【0096】

以上に示すように、本実施形態に係る表示装置では、画素回路に対する書き込み時には、陰極配線 $C A i$ の電位は有機 E L 素子 230 に電流が流れないレベルに制御される。したがって、電源配線 V_p と陰極配線 $C A i$ とを結ぶ経路上にスイッチ用 T F T を設けなくても、第 1 の実施形態と同じ効果（駆動用 T F T の閾値電圧のばらつきを正しく短時間で補償し、有機 E L 素子の不要な発光を防止する）を得ることができる。

【0097】

（第 3 の実施形態）

図 6 は、本発明の第 3 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 6 に示す画素回路 300 は、駆動用 T F T 310、スイッチ用 T F T 311 ~ 315、コンデンサ 320、および、有機 E L 素子 330 を備えている。画素回路 300 に含まれる T F T は、いずれも p チャネル型である。

【0098】

画素回路 300 は、第 1 の実施形態に係る画素回路 100（図 2）に対して、n チャネル型の T F T を p チャネル型の T F T に変更し、各 T F T のゲート端子を適切な信号線に接続する変更を施したものである。画素回路 300 では、スイッチ用 T F T 311、313 のゲート端子は走査線 $G i$ に接続され、スイッチ用 T F T 312、315 のゲート端子は制御線 $E i$ に接続され、スイッチ用 T F T 314 のゲート端子は制御線 $R i$ に接続されている。以上の点を除き、画素回路 300 の構成は画素回路 100 と同じである。制御線 $E i$ の電位は、ゲートドライバ回路 12 によって制御される。

【0099】

図 7 は、画素回路 300 のタイミングチャートである。図 7 には、走査線 $G i$ 、制御線 $E i$ 、 $R i$ およびデータ線 $S j$ に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 7 では、時刻 t_0 から時刻 t_4 ままでが 1 水平走査期間に相当する。以下、図 7 を参照して、画素回路 300 の動作を説明する。

【0100】

時刻 t_0 より前では、走査線 $G i$ と制御線 $R i$ の電位は $G H$ に、制御線 $E i$ の電位は $G L$ に、データ線 $S j$ の電位は前回の表示データに応じたレベルに制御される。このため、スイッチ用 T F T 312、315 は導通状態、スイッチ用 T F T 311、313、314 は非導通状態となる。また、接続点 A の電位は画素回路 300 に前回書き込まれた表示データに応じた電位となり、接続点 B の電位は V_{DD} となる。

【0101】

時刻 t_0 において制御線 $E i$ の電位が $G H$ に変化すると、スイッチ用 T F T 312、315 が非導通状態に変化する。制御線 $E i$ の電位が $G H$ である間（時刻 t_0 から時刻 t_4 までの間）、スイッチ用 T F T 315 は非導通状態にあるので、有機 E L 素子 330 に電流は流れず、有機 E L 素子 330 は発光しない。

【0102】

制御線 $E i$ の電位が $G H$ である間、データ線 $S j$ の電位はデータ電位 V_{data} に制御される。時刻 t_0 から時刻 t_1 までの間、接続点 A、B は電位が印加された配線から切り離されるので、接続点 A、B の電位は不定となる（実際には時刻 t_0 のレベルから変化しない）。

【0103】

次に時刻 t_1 において走査線 $G i$ と制御線 $R i$ の電位が $G L$ に変化すると、スイッチ用

10

20

30

40

50

TFT311、313、314が導通状態に変化する。これにより、接続点Bはスイッチ用TFT311を介してデータ線Sjに接続されるので、接続点Bの電位はVdataに変化する。接続点Aはスイッチ用TFT314を介して基準電源配線Vsに接続されるので、接続点Aの電位はVstdに変化する。基準電源配線Vsの基準電位Vstdは、第1の実施形態と同様に、ゲート端子に基準電位Vstdを印加したときに駆動用TFT310が導通状態となるように決定される。したがって、時刻t1以降、駆動用TFT310は必ず導通状態となる。なお、駆動用TFT310が導通状態となってもスイッチ用TFT315が非導通状態である間は、有機EL素子330に電流は流れず、有機EL素子330は発光しない。

【0104】

一方、スイッチ用TFT313が導通状態になると、駆動用TFT310のゲート端子とドレイン端子が短絡され、駆動用TFT310はダイオード接続となる。このため、電源配線Vpから駆動用TFT310とスイッチ用TFT313を経由して接続点Aに電流が流れ込み、接続点Aの電位はその分だけ上昇する。したがって、接続点Aの電位は、正確に言うと、基準電位Vstdよりも少し高い電位($Vstd +$)になる。

【0105】

次に時刻t2において制御線Riの電位がGHに変化すると、スイッチ用TFT314が非導通状態に変化する。これにより、基準電源配線Vsからスイッチ用TFT314を経由して接続点Aに流れる電流は遮断される。これに代えて、電源配線Vpから駆動用TFT310とスイッチ用TFT313を経由して接続点Aに電流が流れ込み、接続点Aの電位(駆動用TFT310のゲート端子電位)は駆動用TFT310が導通状態である間は上昇する。駆動用TFT310は、ゲート-ソース間電圧が閾値電圧Vth(負の値)になる(すなわち、接続点Aの電位が($VDD + Vth$)になる)と、非導通状態に変化する。したがって、接続点Aの電位は($VDD + Vth$)まで上昇し、駆動用TFT310は閾値状態となる。

【0106】

次に時刻t3において走査線Giの電位がGHに変化すると、スイッチ用TFT311、313が非導通状態に変化する。このときコンデンサ320には、接続点AとBの電位差($VDD + Vth - Vdata$)が保持される。

【0107】

次に時刻t4において制御線Eiの電位がGLに変化すると、スイッチ用TFT312、315が導通状態に変化する。これにより、接続点Bはスイッチ用TFT312を介して電源配線Vpに接続される。このとき、接続点Bの電位はVdataからVDDに変化し、これに伴い、接続点Aの電位は同じ量($VDD - Vdata$; 以下、VBという)だけ変化して($VDD + Vth + VB$)となる。

【0108】

時刻t4以降ではスイッチ用TFT315は導通状態にあるので、電源配線Vpから駆動用TFT310とスイッチ用TFT315を経由して有機EL素子330に電流が流れる。駆動用TFT310を流れる電流の量は、ゲート端子電位($VDD + Vth + VB$)に応じて増減するが、閾値電圧Vthが異なっても電位差VB($= VDD - Vdata$)が同じであれば電流量は同じである。したがって、駆動用TFT310の閾値電圧Vthの値にかかわらず、有機EL素子330にはデータ電位Vdataに応じた量の電流が流れ、有機EL素子330は指定された輝度で発光する。

【0109】

以上に示すように、画素回路300では、駆動用TFT310およびすべてのスイッチ用TFT311~315が同じチャネル型のトランジスタで構成されている。このような画素回路300を備えた本実施形態に係る表示装置でも、各TFTのゲート端子に適切な制御信号を供給することにより、第1の実施形態と同じ効果を得ることができる。また、同じチャネル型のトランジスタは同じマスクを用いて同じプロセスで製造できるので、表示装置のコストを下げることができる。また、同じチャネル型のトランジスタは異なるチ

10

20

30

40

50

ャネル型のトランジスタよりも接近して配置できるので、その分だけ画素回路の面積を他の用途に利用することができる。

【0110】

(第4の実施形態)

図8は、本発明の第4の実施形態に係る表示装置の構成を示すブロック図である。図8に示す表示装置40は、図1に示す表示装置10において、基準電源調整回路14を基準電位制御回路48に置換したものである。表示装置40では、画素回路 A_{ij} に基準電位を供給するために、すべての画素回路 A_{ij} に接続された基準電源配線 V_s に代えて、各行の画素回路 A_{ij} に接続された n 本の制御線 R_i が使用される。

【0111】

基準電位制御回路48は、電圧制御信号 PDA に基づき、2種類の基準電位(以下、 V_{sh} 、 V_{sl} という)のレベルを調整する。基準電位制御回路48は、 n 本の制御線 R_i に接続されており、制御線 R_i の電位を個別に V_{sh} と V_{sl} の間で切り替える。

【0112】

図9は、本発明の第4の実施形態に係る表示装置に含まれる画素回路の回路図である。図9に示す画素回路400は、駆動用 TFT_{410} 、スイッチ用 $TFT_{411} \sim 415$ 、コンデンサ420、および、有機EL素子430を備えている。スイッチ用 TFT_{411} は n チャネル型、他の TFT は p チャネル型である。

【0113】

画素回路400は、第1の実施形態に係る画素回路100(図2)に対して、スイッチ用 TFT_{114} を p チャネル型の TFT に変更し、変更後の TFT を制御線 R_i にダイオード接続する変更を施したものである。画素回路400では、スイッチ用 TFT_{414} のゲート端子とドレイン端子はいずれも制御線 R_i (第3の電源配線)に接続されている。以上の点を除き、画素回路400の構成は画素回路100と同じである。

【0114】

図10は、画素回路400のタイミングチャートである。図10には、走査線 G_i 、制御線 W_i 、 R_i およびデータ線 S_j に印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図10では、時刻 t_0 から時刻 t_5 までが1水平走査期間に相当する。以下、図10を参照して、画素回路400と画素回路100の動作の相違点を説明する。

【0115】

図10に示すように、制御線 R_i の電位は、時刻 t_1 から時刻 t_2 までの間は V_{sl} に、それ以外のときは V_{sh} に制御される。基準電位 V_{sh} 、 V_{sl} は、後述する条件を満たすように決定される。

【0116】

時刻 t_1 において制御線 R_i の電位が V_{sl} に変化すると、スイッチ用 TFT_{414} のゲート端子電位とドレイン端子電位はいずれも V_{sl} に変化する。 p チャネル型のスイッチ用 TFT_{414} は、ゲート-ソース間電圧が閾値電圧よりも低ければ(すなわち、電位 V_{sl} が接続点Aの電位よりもスイッチ用 TFT_{414} の閾値電圧分以上に低ければ)、導通状態となる。

【0117】

また、スイッチ用 TFT_{414} が導通状態になると、接続点Aからスイッチ用 TFT_{414} を経由して制御線 R_i に電流が流れ出し、接続点Aの電位はスイッチ用 TFT_{414} が導通状態である間は下降する。スイッチ用 TFT_{414} は、ゲート-ソース間電圧が閾値電圧 V_{th}' (負の値)になる(すなわち、接続点Aの電位が $(V_{sl} - V_{th}')$ になる)と、非導通状態に変化する。したがって、接続点Aの電位は $(V_{sl} - V_{th}')$ まで下降する。さらに、このときの接続点Aの電位が駆動用 TFT_{410} のソース端子電位よりも閾値電圧 V_{th} (負の値)分以上低ければ(すなわち、 $V_{sl} - V_{th}' < V_{DD} + V_{th}$ が成り立てば)、駆動用 TFT_{410} は導通状態となる。

【0118】

10

20

30

40

50

そこで、基準電位 V_{s1} は、以前の接続点 A の電位にかかわらず、スイッチ用 T F T 4 1 4 のゲート端子に基準電位 V_{s1} を印加すると、スイッチ用 T F T 4 1 4 が導通状態となり、さらに駆動用 T F T 4 1 0 が導通状態となるように決定される。これに対して、基準電位 V_{sh} は、以前の接続点 A の電位にかかわらず、スイッチ用 T F T 4 1 4 のゲート端子に基準電位 V_{sh} を印加すると、スイッチ用 T F T 4 1 4 が非導通状態となるように決定される。これらの条件を満たす V_{sh} と V_{s1} の間で制御線 R_i の電位を切り替えることにより、1本の制御線だけを用いて駆動用 T F T 4 1 0 を導通状態に設定することができる。

【0119】

以上に示すように、画素回路 400 では、スイッチ用 T F T 4 1 4 を制御線 R_i にダイオード接続した上で、制御線 E_i の電位を V_{sh} と V_{s1} の間で切り替えることにより、スイッチ用 T F T 4 1 4 を導通状態および非導通状態に切り替え、駆動用 T F T 4 1 0 を導通状態に設定することができる。したがって、画素回路 400 を備えた本実施形態に係る表示装置によっても、第1の実施形態と同じ効果を得ることができる。また、スイッチ用 T F T 4 1 4 を制御する配線が不要となるので、表示装置の回路規模を削減することができる。

【0120】

(第5の実施形態)

図11は、本発明の第5の実施形態に係る表示装置に含まれる画素回路の回路図である。図11に示す画素回路 500 は、駆動用 T F T 5 1 0、スイッチ用 T F T 5 1 1 ~ 5 1 5、コンデンサ 5 2 0、および、有機 E L 素子 5 3 0 を備えている。スイッチ用 T F T 5 1 1、5 1 4 は n チャネル型、他の T F T は p チャネル型である。

【0121】

画素回路 500 は、第1の実施形態に係る画素回路 100 (図2) に対して、スイッチ用 T F T 1 1 2 を基準電源配線 V_s に接続する変更を施したものである。画素回路 500 では、接続点 B と基準電源配線 V_s との間に、スイッチ用 T F T 5 1 2 が設けられている。以上の点を除き、画素回路 500 の構成は画素回路 100 と同じである。

【0122】

図12は、画素回路 500 のタイミングチャートである。図12には、走査線 G_i 、制御線 W_i 、 R_i およびデータ線 S_j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図12では、時刻 t_0 から時刻 t_5 ままでが1水平走査期間に相当する。以下、図12を参照して、画素回路 500 と画素回路 100 の動作の相違点を説明する。

【0123】

図12に示すように、画素回路 500 は、時刻 t_0 から時刻 t_5 までの間、画素回路 100 と同じように動作する。時刻 t_5 において走査線 G_i の電位が G_L に変化すると、スイッチ用 T F T 5 1 2、5 1 5 が導通状態に、スイッチ用 T F T 5 1 1 が非導通状態に変化する。これにより、接続点 B は、データ線 S_j から切り離され、スイッチ用 T F T 5 1 2 を介して基準電源配線 V_s に接続される。このため、接続点 B の電位は V_{data} から V_{std} に変化し、これに伴い、接続点 A の電位も同じ量 ($V_{std} - V_{data}$; 以下、 V_C という) だけ変化して ($V_{DD} + V_{th} + V_C$) となる。

【0124】

時刻 t_5 以降ではスイッチ用 T F T 5 1 5 は導通状態にあるので、電源配線 V_p から駆動用 T F T 5 1 0 とスイッチ用 T F T 5 1 5 を経由して有機 E L 素子 5 3 0 に電流が流れる。駆動用 T F T 5 1 0 を流れる電流の量は、ゲート端子電位 ($V_{DD} + V_{th} + V_C$) に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 $V_C (= V_{std} - V_{data})$ が同じであれば電流量は同じである。したがって、駆動用 T F T 5 1 0 の閾値電圧 V_{th} の値にかかわらず、有機 E L 素子 5 3 0 にはデータ線 S_j に印加された電位 V_{data} に応じた量の電流が流れ、有機 E L 素子 5 3 0 は指定された輝度で発光する。

【0125】

10

20

30

40

50

以上に示すように、画素回路 500 では、スイッチ用 T F T 512 は、接続点 B と基準電源配線 V s との間に設けられている。このような画素回路 500 を備えた本実施形態に係る表示装置によっても、駆動用 T F T 510 のゲート端子電位はデータ電位 V d a t a に応じたレベルに保持されるので、第 1 の実施形態と同じ効果を得ることができる。これに加えて本実施形態に係る表示装置によれば、以下に示すように、表示品位を向上させるためのピーク輝度調整を容易に行うことができる。

【0126】

従来の表示装置でピーク輝度調整を行うためには、例えば、表示データをメモリなどに蓄積してピーク輝度を求め、求めたピーク輝度に応じた変換処理を表示データに施し、変換後の表示データに応じた電位を画素回路に与える必要がある。ところが、これらの処理を行うためには、表示制御回路あるいはソースドライバ回路にメモリや演算回路を追加し、ソースドライバ回路の出力部分にピーク輝度調整に対応した回路を追加する必要がある。このため、従来の表示装置にピーク輝度調整機能を追加すると、表示装置のコストや消費電力が大きく増加する。

【0127】

これに対して、本実施形態に係る表示装置では、駆動用 T F T 510 のゲート端子電位は $(VDD + V_{th} + V_C)$ であり、電位 V D D、 V_{th} は固定値であるので、有機 E L 素子 530 の輝度は電位差 $V_C (= V_{std} - V_{data})$ に応じて増減する。したがって、データ電位 V d a t a を個別に変更しなくても、基準電源調整回路 14 でピーク輝度に応じた基準電位 V s t d を調整することにより、有機 E L 素子 530 の輝度を一律に調整することができる。この場合、ソースドライバ回路の出力部に回路を追加する必要はない。したがって、本実施形態に係る表示装置によれば、少量の回路を追加するだけで、表示データを変更することなく、ピーク輝度調整を容易に行うことができる。

【0128】

(第 6 の実施形態)

図 13 は、本発明の第 6 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 13 に示す画素回路 600 は、駆動用 T F T 610、スイッチ用 T F T 611 ~ 615、コンデンサ 620、および、有機 E L 素子 630 を備えている。スイッチ用 T F T 612、614、615 は p チャネル型、他の T F T は n チャネル型である。

【0129】

画素回路 600 は、第 5 の実施形態に係る画素回路 500 (図 11) に対して、駆動用 T F T 510 とスイッチ用 T F T 513 を n チャネル型の T F T に、スイッチ用 T F T 514 を p チャネル型の T F T に変更し、電源配線 V p と共通陰極 V c o m とを結ぶ経路上の素子の配置順序を変える変更を施したものである。画素回路 600 では、電源配線 V p と共通陰極 V c o m とを結ぶ経路上に電源配線 V p 側から順に、有機 E L 素子 630、スイッチ用 T F T 615 および駆動用 T F T 610 が直列に設けられている。以上の点を除き、画素回路 600 の構成は画素回路 500 と同じである。

【0130】

図 14 は、画素回路 600 のタイミングチャートである。図 14 には、走査線 G i、制御線 W i、R i およびデータ線 S j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 14 では、時刻 t 0 から時刻 t 5 まだが 1 水平走査期間に相当する。以下、図 14 を参照して、画素回路 600 の動作を説明する。

【0131】

時刻 t 0 より前では、走査線 G i と制御線 W i の電位は G L に、制御線 R i の電位は G H に、データ線 S j の電位は前回の表示データに応じたレベルに制御される。このため、スイッチ用 T F T 612、615 は導通状態、スイッチ用 T F T 611、613、614 は非導通状態となる。また、接続点 A の電位は画素回路 600 に前回書き込まれたデータに応じた電位となり、接続点 B の電位は V s t d となる。

【0132】

時刻 t 0 において走査線 G i の電位が G H に変化すると、スイッチ用 T F T 611 が導

10

20

30

40

50

通状態に、スイッチ用TFT612、615が非導通状態に変化する。走査線Giの電位がGHである間(時刻t0から時刻t5までの間)、スイッチ用TFT615は非導通状態にあるので、有機EL素子630に電流は流れず、有機EL素子630は発光しない。

【0133】

走査線Giの電位がGHである間、データ線Sjの電位はデータ電位Vdataに制御される。この間、接続点Bはスイッチ用TFT611を介してデータ線Sjに接続されるので、接続点Bの電位はVdataとなる。また、時刻t0から時刻t1までの間、スイッチ用TFT613、614は非導通状態であるので、接続点Bの電位がVstdからVdataに変化すると、接続点Aの電位も同じ量(Vdata - Vstd)だけ変化する。

10

【0134】

次に時刻t1において制御線Riの電位がGLに変化すると、スイッチ用TFT614が導通状態に変化する。これにより、接続点Aはスイッチ用TFT614を介して基準電源配線Vsに接続されるので、接続点Aの電位はVstdに変化する。このとき接続点Bはスイッチ用TFT611を介してデータ線Sjに接続されているので、接続点Aの電位が変化しても、接続点Bの電位はVdataのままである。

【0135】

基準電源配線Vsの基準電位Vstdは、ゲート端子に基準電位Vstdを印加したときに駆動用TFT610が導通状態となるように決定される。したがって、時刻t1以降、駆動用TFT610は必ず導通状態となる。なお、駆動用TFT610が導通状態となってもスイッチ用TFT615が非導通状態である間は、有機EL素子630に電流は流れず、有機EL素子630は発光しない。

20

【0136】

次に時刻t2において制御線Riの電位がGHに変化すると、スイッチ用TFT614が非導通状態に変化する。これにより、接続点Aは基準電源配線Vsから切り離され、接続点Aの電位は固定される。このときコンデンサ620には、接続点AとBの電位差(Vstd - Vdata)が保持される。

【0137】

次に時刻t3において制御線Wiの電位がGHに変化すると、スイッチ用TFT613が導通状態に変化する。これにより駆動用TFT610のゲート端子とドレイン端子が短絡され、駆動用TFT610はダイオード接続となる。時刻t1から時刻t2までの間、接続点Aには基準電位Vstdが印加され、時刻t2以降も接続点Aの電位はコンデンサ620によってVstdに保たれる。したがって、時刻t3以降も、駆動用TFT610は必ず導通状態となる。

30

【0138】

また、接続点Aからスイッチ用TFT613と駆動用TFT610を経由して共通陰極Vcomに電流が流れ出し、接続点Aの電位(駆動用TFT610のゲート端子電位)は駆動用TFT610が導通状態である間は下降する。駆動用TFT610は、ゲート-ソース間電圧が閾値電圧Vth(正の値)になる(すなわち、接続点Aの電位が(VSS + Vth)になると、非導通状態に変化する。したがって、接続点Aの電位は(VSS + Vth)まで下降し、駆動用TFT610は閾値状態となる。

40

【0139】

次に時刻t4において制御線Wiの電位がGLに変化すると、スイッチ用TFT613が非導通状態に変化する。このときコンデンサ620には、接続点AとBの電位差(VSS + Vth - Vdata)が保持される。

【0140】

次に時刻t5において走査線Giの電位がGLに変化すると、スイッチ用TFT612、615が導通状態に、スイッチ用TFT611が非導通状態に変化する。これにより、接続点Bは、データ線Sjから切り離され、スイッチ用TFT612を介して基準電源配線Vsに接続される。このため、接続点Bの電位はVdataからVstdに変化し、こ

50

れに伴い、接続点 A の電位も同じ量 ($V_{std} - V_{data}$; 以下、 V_C という) だけ変化して ($V_{SS} + V_{th} + V_C$) となる。

【0141】

時刻 t_5 以降ではスイッチ用 T F T 6 1 5 は導通状態にあるので、電源配線 V_p からスイッチ用 T F T 6 1 5 と駆動用 T F T 6 1 0 を経由して共通陰極 V_{com} に流れる電流が有機 E L 素子 6 3 0 にも流れる。駆動用 T F T 6 1 0 を流れる電流の量は、ゲート端子電位 ($V_{SS} + V_{th} + V_C$) に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 $V_C (= V_{std} - V_{data})$ が同じであれば電流量は同じである。したがって、駆動用 T F T 6 1 0 の閾値電圧 V_{th} の値にかかわらず、有機 E L 素子 6 3 0 にはデータ線 S_j に印加された電位 V_{data} に応じた量の電流が流れ、有機 E L 素子 6 3 0 は指定された輝度で発光する。

10

【0142】

以上に示すように、画素回路 6 0 0 は、 n チャネル型の駆動用 T F T 6 1 0 を含んでいる。このような画素回路 6 0 0 を備えた本実施形態に係る表示装置によっても、第 5 の実施形態と同様に、第 1 の実施形態と同じ効果と、ピーク輝度調整を容易に行えるという効果を得ることができる。

【0143】

(第 7 の実施形態)

図 1 5 は、本発明の第 7 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 1 5 に示す画素回路 7 0 0 は、駆動用 T F T 7 1 0、スイッチ用 T F T 7 1 1 ~ 7 1 5、コンデンサ 7 2 0、および、有機 E L 素子 7 3 0 を備えている。スイッチ用 T F T 7 1 1、7 1 4 は n チャネル型、他の T F T は p チャネル型である。

20

【0144】

画素回路 7 0 0 は、第 5 の実施形態に係る画素回路 5 0 0 (図 1 1) に対して、スイッチ用 T F T 5 1 4 を異なる箇所に接続する変更を施したものである。図 1 5 において、駆動用 T F T 7 1 0 とスイッチ用 T F T 7 1 3、7 1 5 の接続点を C という。画素回路 7 0 0 では、接続点 C と基準電源配線 V_s との間にスイッチ用 T F T 7 1 4 が設けられている。以上の点を除き、画素回路 7 0 0 の構成は画素回路 5 0 0 と同じである。

【0145】

図 1 6 は、画素回路 7 0 0 のタイミングチャートである。図 1 6 には、走査線 G_i 、制御線 W_i 、 R_i およびデータ線 S_j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 1 6 では、時刻 t_0 から時刻 t_4 まだが 1 水平走査期間に相当する。以下、図 1 6 を参照して、画素回路 7 0 0 と画素回路 5 0 0 の動作の相違点を説明する。

30

【0146】

画素回路 7 0 0 は、時刻 t_0 から時刻 t_1 までの間、画素回路 5 0 0 と同じように (すなわち、画素回路 1 0 0 と同じように) 動作する。時刻 t_1 において制御線 W_i の電位が GL に、制御線 R_i の電位が GH に変化すると、スイッチ用 T F T 7 1 3、7 1 4 が導通状態に変化する。これにより、接続点 A はスイッチ用 T F T 7 1 3、7 1 4 を介して基準電源配線 V_s に接続されるので、接続点 A の電位は V_{std} に変化する。

40

【0147】

基準電源配線 V_s の基準電位 V_{std} は、ゲート端子に基準電位 V_{std} を印加したときに駆動用 T F T 7 1 0 が導通状態となるように決定される。したがって、時刻 t_1 以降、駆動用 T F T 7 1 0 は必ず導通状態となる。なお、駆動用 T F T 7 1 0 が導通状態となってもスイッチ用 T F T 7 1 5 が非導通状態である間は、有機 E L 素子 7 3 0 に電流は流れず、有機 E L 素子 7 3 0 は発光しない。

【0148】

一方、スイッチ用 T F T 7 1 3 が導通状態になると、駆動用 T F T 7 1 0 のゲート端子とドレイン端子が短絡され、駆動用 T F T 7 1 0 はダイオード接続となる。このため、電源配線 V_p から駆動用 T F T 7 1 0 とスイッチ用 T F T 7 1 3 を経由して接続点 A に電流

50

が流れ込み、接続点 A の電位はその分だけ上昇する。したがって、接続点 A の電位は、正確に言うと、 V_{std} よりも少し高い電位 ($V_{std} +$) になる。

【0149】

次に時刻 t_2 において制御線 R_i の電位が GL に変化すると、スイッチ用 TFT714 が非導通状態に変化する。これにより、基準電源配線 V_s からスイッチ用 TFT714 を経由して接続点 A に流れる電流は遮断される。これに代えて、電源配線 V_p から駆動用 TFT710 とスイッチ用 TFT713 を経由して接続点 A に電流が流れ込み、接続点 A の電位 (駆動用 TFT710 のゲート端子電位) は駆動用 TFT710 が導通状態である間は上昇する。駆動用 TFT710 は、ゲート - ソース間電圧が閾値電圧 V_{th} (負の値) になる (すなわち、接続点 A の電位が ($V_{DD} + V_{th}$) になる) と、非導通状態に変化する。したがって、接続点 A の電位は ($V_{DD} + V_{th}$) まで上昇し、駆動用 TFT710 は閾値状態となる。

10

【0150】

画素回路 700 は、時刻 t_3 以降、画素回路 500 の時刻 t_4 以降と同じように動作する。時刻 t_4 以降では、駆動用 TFT710 の閾値電圧 V_{th} の値にかかわらず、有機 EL 素子 730 にはデータ電位 V_{data} に応じた量の電流が流れ、有機 EL 素子 730 は指定された輝度で発光する。

【0151】

以上に示すように、画素回路 700 では、スイッチ用 TFT714 は、基準電源配線 V_s と、駆動用 TFT710 のドレイン端子 (スイッチ用 TFT713 に接続された電流入出力端子) に接続されている。このような画素回路 700 を備えた本実施形態に係る表示装置によっても、第 5 の実施形態と同様に、第 1 の実施形態と同じ効果と、ピーク輝度調整を容易に行えるという効果を得ることができる。

20

【0152】

また、一般に画素回路では、スイッチング素子にリーク電流が流れるために、コンデンサに保持された電荷は電気光学素子が発光する間に増加または減少し、電気光学素子の輝度が時間の経過と共に変動するという問題がある。ここで、接続点 A に接続されたスイッチ用 TFT の個数は、画素回路 500 では 2 個であるのに対し、画素回路 700 では 1 個である。このように画素回路 700 では、駆動用 TFT710 のゲート端子に接続されたスイッチ用 TFT の個数が少ないので、リーク電流も少なく、コンデンサ 720 に保持された電荷も変動しにくい。したがって、本実施形態に係る表示装置によれば、駆動用 TFT710 のゲート端子電位の変動を抑制し、表示品位を高めることができる。

30

【0153】

なお、画素回路 700 は、第 5 の実施形態に係る画素回路 500 に対して、一方の端子が基準電源配線 V_s に接続されたスイッチ用 TFT の他方の端子を駆動用 TFT のドレイン端子に接続する変更を施したものであるが、第 1 ~ 第 4 および第 6 の実施形態に係る画素回路に対して同じ変更を施してもよい。変更後の画素回路を備えた表示装置によっても、第 7 の実施形態と同様に、駆動用 TFT のゲート端子電位の変動を抑制し、表示品位を高めることができる。

【0154】

以上に示すように、各実施形態に係る表示装置によれば、駆動用 TFT の閾値電圧のばらつきを正しく補償し、有機 EL 素子の不要な発光を防止し、表示画面のコントラストを高め、有機 EL 素子の寿命を延ばすことができる。また、本発明は各実施形態に限定されるものではなく、各実施形態の特徴を適宜組み合わせることもできる。

40

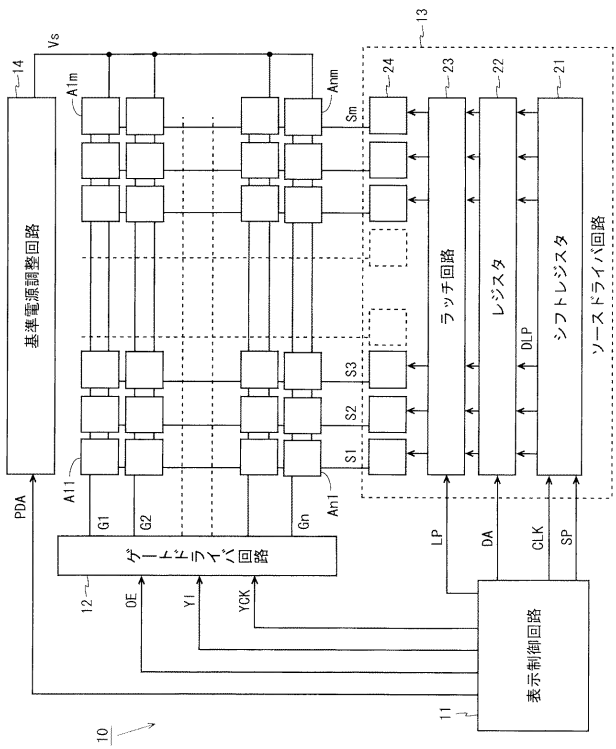
【産業上の利用可能性】

【0155】

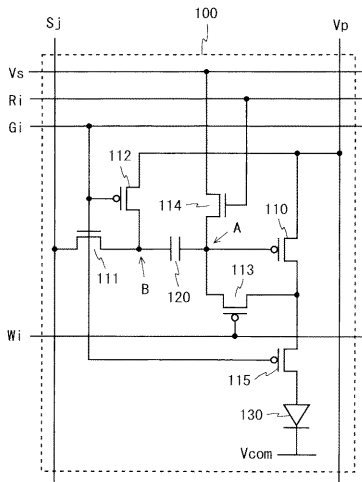
本発明の表示装置は、駆動素子の閾値電圧のばらつきを正しく補償し、電気光学素子の不要な発光を防止できるという効果を奏するので、有機 EL ディスプレイや FED など、電流駆動型の表示素子を備えた各種の表示装置に利用することができる。

50

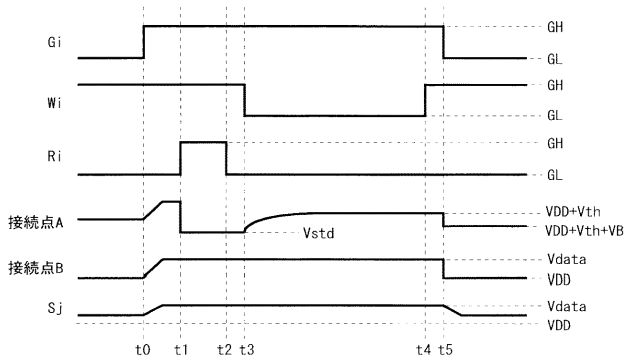
【図 1】



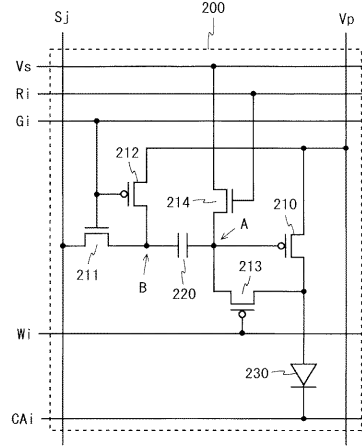
【図 2】



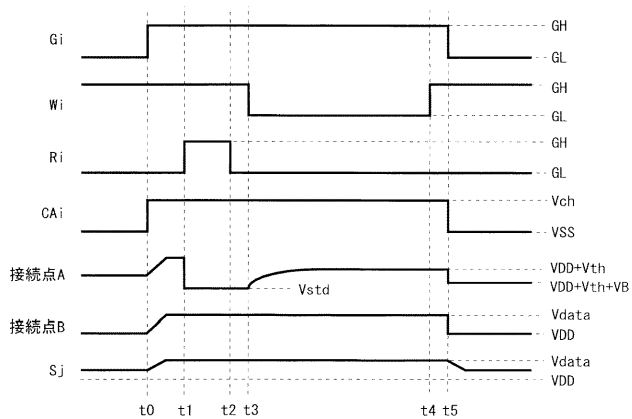
【図 3】



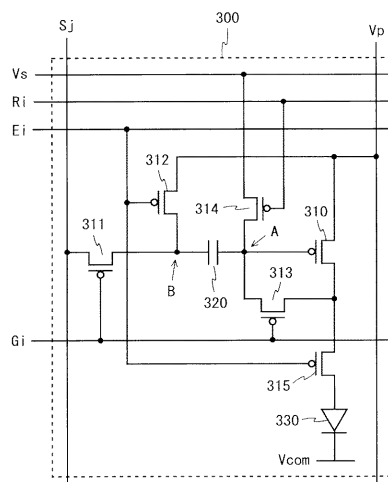
【図 4】



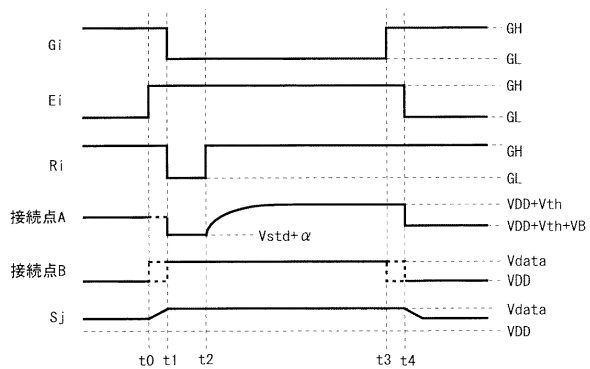
【図 5】



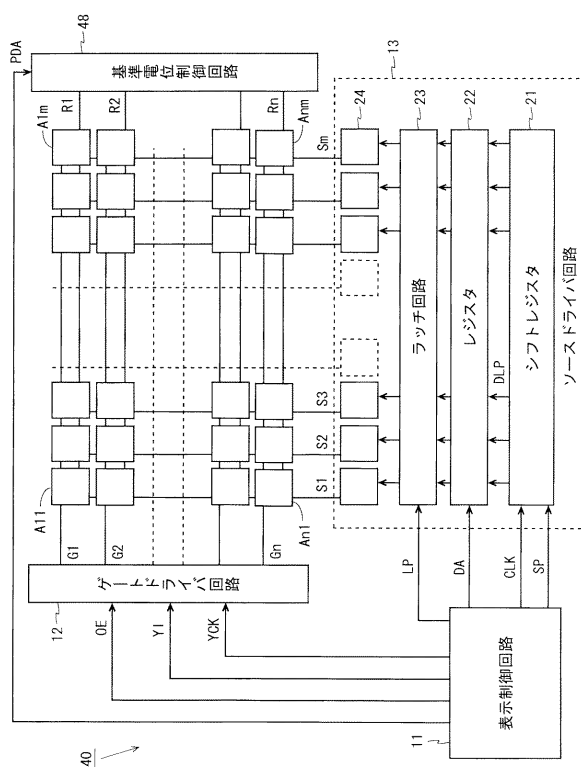
【図 6】



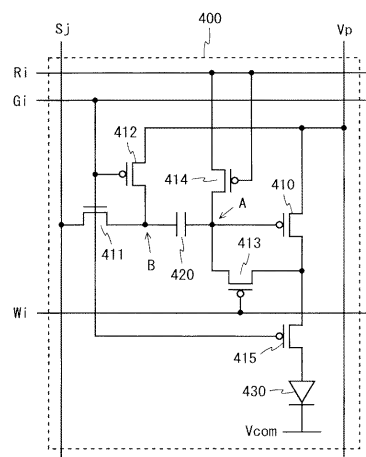
【図 7】



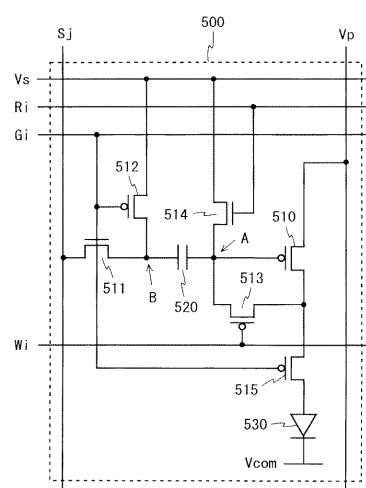
【図 8】



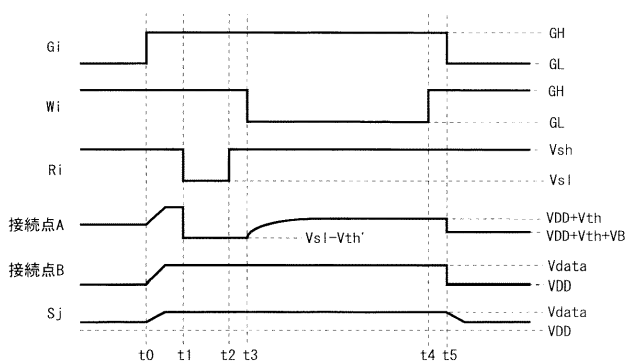
【図 9】



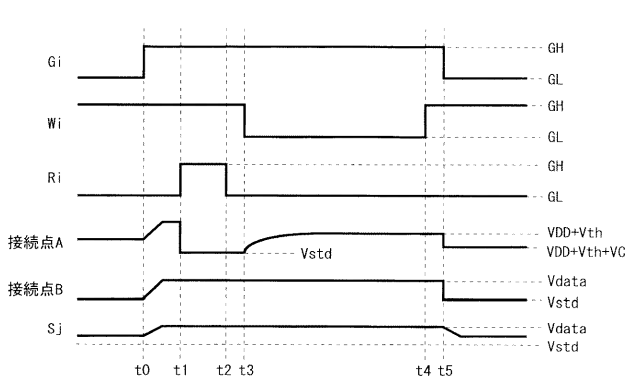
【図 1 1】



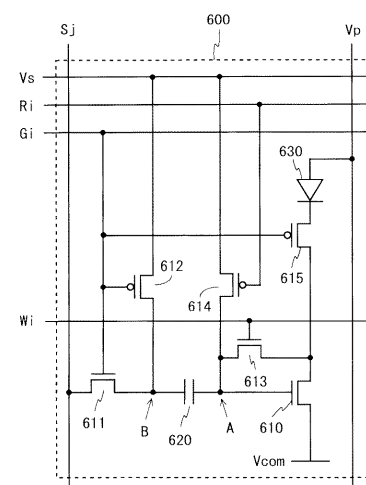
【図 1 0】



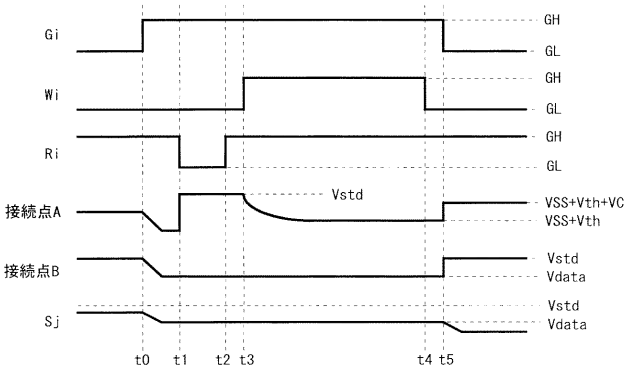
【図 1 2】



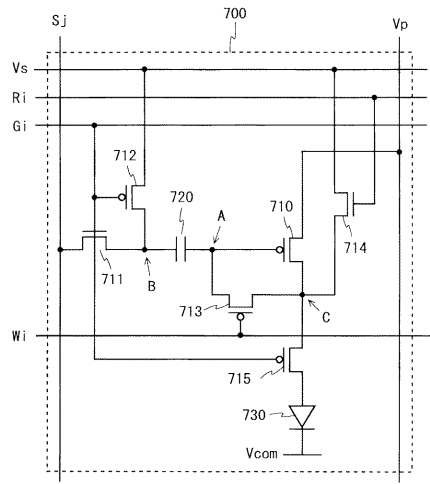
【図 1 3】



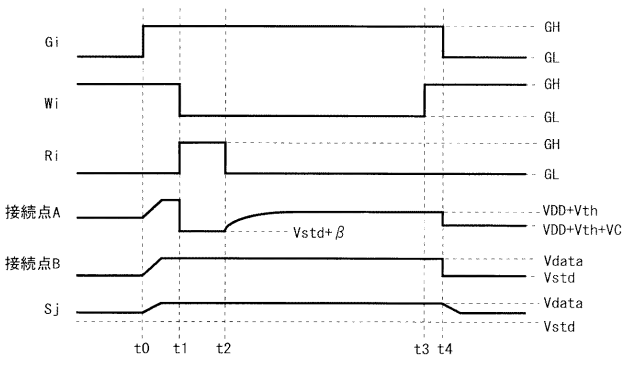
【図 1 4】



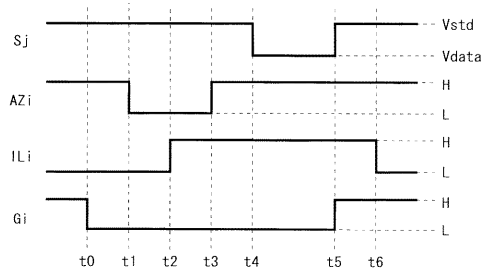
【図 1 5】



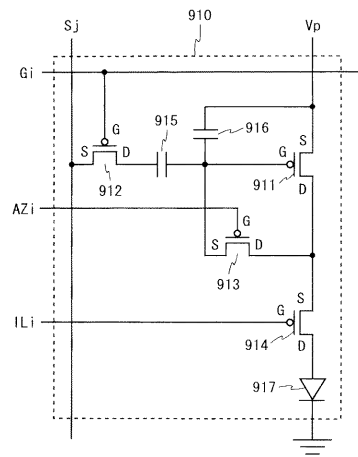
【図 1 6】



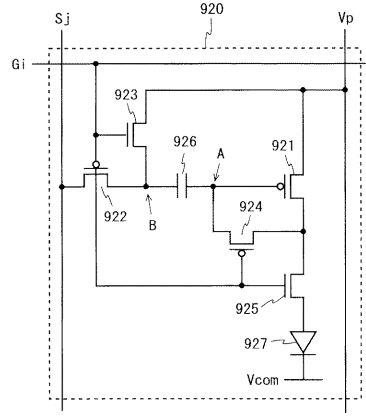
【図 1 8】



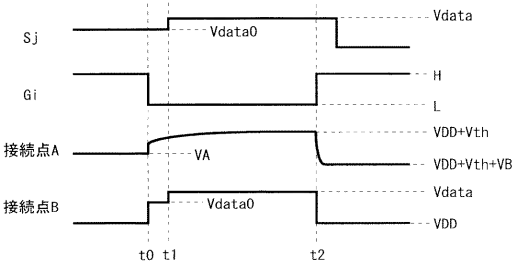
【図 1 7】



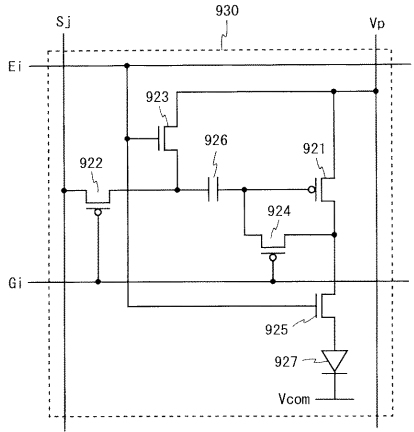
【図 1 9】



【図 2 0】



【図 2 1】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325186

A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-119242 A (Kabushiki Kaisha Hitachi Displays), 11 May, 2006 (11.05.06), Par. Nos. [0017] to [0036]; Figs. 1 to 4 & US 2006/0082566 A1	1-2, 5-6, 9-10, 13-15
Y	JP 2005-326828 A (Sanyo Electric Co., Ltd.), 24 November, 2005 (24.11.05), Full text; all drawings & US 2005/0243036 A1	1-2, 5-7, 11-15
Y	JP 2005-165178 A (Sony Corp.), 23 June, 2005 (23.06.05), Par. Nos. [0022] to [0026]; Fig. 4 (Family: none)	1-2, 5-7, 9-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 March, 2007 (05.03.07)		Date of mailing of the international search report 13 March, 2007 (13.03.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325186

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2001/006484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Page 21, line 6 to page 23, line 4; Figs. 9 to 10 & US 2005/0200300 A1 & EP 1130565 A1	12
A	JP 2003-271095 A (NEC Corp.), 25 September, 2003 (25.09.03), Full text; all drawings & WO 2003/075256 A1 & US 2005/0206590 A1	1-15
A	JP 2006-78911 A (Sharp Corp.), 23 March, 2006 (23.03.06), Full text; all drawings (Family: none)	1-15

国際調査報告		国際出願番号 PCT/J P 2 0 0 6 / 3 2 5 1 8 6											
<p>A. 発明の属する分野の分類（国際特許分類（I P C））</p> <p>Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i</p>													
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（I P C））</p> <p>Int.Cl. G09G3/30, G09G3/20, H01L51/50</p>													
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年		
日本国実用新案公報	1922-1996年												
日本国公開実用新案公報	1971-2007年												
日本国実用新案登録公報	1996-2007年												
日本国登録実用新案公報	1994-2007年												
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>													
<p>C. 関連すると認められる文献</p> <table border="1"> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> <tr> <td>Y</td> <td>J P 2 0 0 6 - 1 1 9 2 4 2 A (株式会社 日立ディスプレイズ) 2006.05.11, 段落【0017】-【0036】, 図1-4 & U S 2 0 0 6 / 0 0 8 2 5 6 6 A 1</td> <td>1-2, 5-6, 9-10, 13-15</td> </tr> <tr> <td>Y</td> <td>J P 2 0 0 5 - 3 2 6 8 2 8 A (三洋電機株式会社) 2005.11.24, 全文全図 & U S 2 0 0 5 / 0 2 4 3 0 3 6 A 1</td> <td>1-2, 5-7, 11-15</td> </tr> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	Y	J P 2 0 0 6 - 1 1 9 2 4 2 A (株式会社 日立ディスプレイズ) 2006.05.11, 段落【0017】-【0036】, 図1-4 & U S 2 0 0 6 / 0 0 8 2 5 6 6 A 1	1-2, 5-6, 9-10, 13-15	Y	J P 2 0 0 5 - 3 2 6 8 2 8 A (三洋電機株式会社) 2005.11.24, 全文全図 & U S 2 0 0 5 / 0 2 4 3 0 3 6 A 1	1-2, 5-7, 11-15	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号											
Y	J P 2 0 0 6 - 1 1 9 2 4 2 A (株式会社 日立ディスプレイズ) 2006.05.11, 段落【0017】-【0036】, 図1-4 & U S 2 0 0 6 / 0 0 8 2 5 6 6 A 1	1-2, 5-6, 9-10, 13-15											
Y	J P 2 0 0 5 - 3 2 6 8 2 8 A (三洋電機株式会社) 2005.11.24, 全文全図 & U S 2 0 0 5 / 0 2 4 3 0 3 6 A 1	1-2, 5-7, 11-15											
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>													
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの												
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの												
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの												
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献												
「P」国際出願日前で、かつ優先権の主張の基礎となる出願													
<p>国際調査を完了した日</p> <p>05.03.2007</p>		<p>国際調査報告の発送日</p> <p>13.03.2007</p>											
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁（I S A / J P）</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>		<p>特許庁審査官（権限のある職員）</p> <p>濱本 禎広</p> <p>電話番号 03-3581-1101 内線 3226</p>											

国際調査報告		国際出願番号 PCT/J P 2006/325186
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2005-165178 A (ソニー株式会社) 2005. 06. 23, 段落【0022】-【0026】, 図4 (ファミリーなし)	1-2, 5-7, 9-15
Y	WO 2001/006484 A1 (ソニー株式会社) 2001. 01. 25, 第21頁第6行-第23頁第4行, 図9-10 & U S 2005/0200300 A1 & EP 1130565 A1	12
A	J P 2003-271095 A (日本電気株式会社) 2003. 09. 25, 全文全図 & WO 2003/075256 A1 & US 2005/0206590 A1	1-15
A	J P 2006-78911 A (シャープ株式会社) 2006. 03. 23, 全文全図 (ファミリーなし)	1-15

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),
EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,
BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,
CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L
A,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE
,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	电流驱动型表示装置		
公开(公告)号	JPWO2007138729A1	公开(公告)日	2009-10-01
申请号	JP2008517777	申请日	2006-12-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕		
发明人	仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2320/043 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC33 3K107/CC35 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	岛田彰		
优先权	2006149142 2006-05-30 JP		
其他公开文献	JP5014338B2		
外部链接	Espacenet		

摘要(译)

在像素电路100中，驱动TFT110，开关TFT115和有机EL元件130设置在电源布线V_p和公共阴极V_{com}之间，电容器120和开关TFT111设置在栅极驱动用TFT110的端子和数据线S_j。在电容器120与开关用TFT111的连接点B与电源布线V_p之间设置开关用TFT112，在驱动用TFT110的栅极与漏极端子之间设置开关用TFT113，114设置在驱动用TFT110的栅极端子与基准电源配线V_s之间。将参考电源布线V_s施加使驱动TFT110进入导通状态的电位。因此，可以适当地补偿驱动元件的阈值电压的变化，并且可以防止来自电光元件的不期望的光发射。