

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5562327号
(P5562327)

(45) 発行日 平成26年7月30日(2014.7.30)

(24) 登録日 平成26年6月20日(2014.6.20)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
	G09G 3/20 624B
	G09G 3/20 611J
	G09G 3/20 611H
請求項の数 10 (全 29 頁) 最終頁に続く	

(21) 出願番号 特願2011-514305 (P2011-514305)
 (86) (22) 出願日 平成22年4月21日(2010.4.21)
 (86) 国際出願番号 PCT/JP2010/002858
 (87) 国際公開番号 W02010/134263
 (87) 国際公開日 平成22年11月25日(2010.11.25)
 審査請求日 平成25年3月12日(2013.3.12)
 (31) 優先権主張番号 特願2009-124735 (P2009-124735)
 (32) 優先日 平成21年5月22日(2009.5.22)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 松井 雅史
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

行列状に配置された複数の発光画素を備える表示装置であって、
 前記表示装置は、
 前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、
 前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、
 前記複数の発光画素のそれぞれは、
 ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、
 電流が流れることにより発光する発光素子と、
 ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、
 ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、
 一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、

前記第1スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記第1スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、

を備え、

前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続され、

前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子であり、

前記駆動部は、

前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記第1スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、

前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記第1スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端に、前記第1スイッチングトランジスタがオフする電圧であるローレベル電圧を設定する

表示装置。

【請求項2】

前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、

各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧である

請求項1に記載の表示装置。

【請求項3】

前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されている

請求項1または2に記載の表示装置。

【請求項4】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備える

請求項3に記載の表示装置。

【請求項5】

前記発光素子は、有機EL(Electro Luminescence)素子である
請求項1～4のいずれか1項に記載の表示装置。

【請求項6】

行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1

10

20

30

40

50

スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりリセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、

前記第1スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記第1スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、

10

を備え、

前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子であり、

前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続されている表示装置の駆動方法であって、

前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記第1スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、

20

前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記第1スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端に、前記第1スイッチングトランジスタがオフする電圧であるローレベル電圧を設定するリセットステップを含む

表示装置の駆動方法。

【請求項7】

さらに、

前記リセットステップの後、前記第1スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、

30

検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、

前記書き込みステップの後、前記第1スイッチングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含む

請求項6記載の表示装置の駆動方法。

【請求項8】

前記検出ステップは、

40

前記第1スイッチングトランジスタをオンする第1サブステップと、

前記第1サブステップの後、前記第1スイッチングトランジスタをオフする第2サブステップとを含み、

前記第2サブステップの後、前記第1サブステップ及び前記第2サブステップを少なくとも1回繰り返す

請求項7記載の表示装置の駆動方法。

【請求項9】

前記第1サブステップでは、前記第1スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、

前記第2サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給さ

50

れる

請求項 8 記載の表示装置の駆動方法。

【請求項 10】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第 2 スwitchングトランジスタを備え、

前記検出ステップにおいて、

前記第 2 スwitchングトランジスタをオンした状態で、前記第 1 スwitchングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、

前記保持ステップにおいて、

前記第 2 スwitchングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、

前記書き込みステップにおいて、

前記第 1 スwitchングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記第 2 スwitchングトランジスタをオフにした状態で前記駆動トランジスタのゲート端子に前記信号電圧を供給し、

前記発光ステップにおいて、

前記第 1 スwitchングトランジスタをオンからオフに切り替えた後、前記第 2 スwitchングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる、

請求項 7 ~ 9 のいずれか 1 項に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス (EL: Electro Luminescence) 素子などの電流駆動型自発光素子を用いたアクティブマトリクス方式の画像表示装置に関する。

【背景技術】

【0002】

有機 EL 素子は電流制御で諧調を表現するが、アクティブマトリクス方式の有機 EL 表示装置は、各有機 EL 素子を駆動する駆動用トランジスタの閾値電圧のばらつきにより、同じ信号電圧を与えても輝度ムラが生じるという問題がある。この有機 EL 素子の駆動用トランジスタの閾値を補償することは、輝度ムラを解消し均一な画面を作る上で必要となる。駆動用トランジスタの閾値のばらつきを抑制する為の閾値補償回路として、1 画素当たり 4 つのトランジスタを用いることで駆動用トランジスタの閾値を検出する手法がある (例えば非特許文献 1 参照)。また、1 画素当たり 3 つのトランジスタを用い、電源線の電圧を走査することにより駆動用トランジスタの閾値を検出する手法がある (例えば特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2006 - 259374 号公報

【非特許文献】

【0004】

【非特許文献 1】R.M.A. Dawson, et al, IEDM'98, Technical Digest, 1998, p.875

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0005】

しかしながら、非特許文献1記載の手法では1画素当たりトランジスタを4つ用いる構成であり、ディスプレイの大型化に伴いトランジスタの集積数の増加に起因する歩留まりの低下が懸念される。

【0006】

また、特許文献1記載の手法では、トランジスタの個数が少なく、ディスプレイにした場合、高い生産性が期待できるが、電源線を走査する必要がある。電源線を走査するためには、電源線を1次元配線しなければならない。しかしながら1次元配線では、ディスプレイの大画面化に伴う電源線の電圧降下により、表示画像の周辺が暗くなるというクロストークが起こりやすく、大画面化に対応できないという課題があった。

【0007】

本発明は、上記課題を解決するためになされ、その目的とするところは、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償する表示装置を提供することにある。また、そのような表示装置の駆動方法を提供することも本発明に含まれる。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、前記第1スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記第1スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、を備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続され、前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子であり、前記駆動部は、前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記第1スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記第1スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端に、前記第1スイッチングトランジスタがオフする電圧であるローレベル電圧を設定する。

【0009】

これにより、発光画素当たり3つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラ

10

20

30

40

50

を解消できる。

【 0 0 1 0 】

また、さらに、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線を前記第1スイッチングトランジスタがオフするような非アクティブ状態にしている間に、前記リセット線を前記リセットトランジスタがオンするようなアクティブ状態にする駆動部を備えてもよい。

【 0 0 1 1 】

これにより、駆動トランジスタのソース端子の電圧を、リセットトランジスタのソース端子及びドレイン端子の他方が接続されたゲート線の電圧と同じにできるので、ゲート線の電圧を利用して、駆動トランジスタのソース端子の電圧を設定できる。

10

【 0 0 1 2 】

また、前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧であってもよい。

【 0 0 1 3 】

これにより、リセットトランジスタがオンした場合に、駆動トランジスタのソース端子の電圧を、確実に駆動トランジスタの閾値電圧分以上、基準電圧より低い電圧とできる。よって、駆動トランジスタの閾値電圧の検出が確実に行える。

【 0 0 1 4 】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続されてもよい。

20

【 0 0 1 5 】

また、前記駆動部はさらに、前記同じ行に設けられたゲート線を非アクティブにする前に、当該ゲート線を前記第1スイッチングトランジスタがオンするようなアクティブ状態、かつ前記リセット線を前記リセットトランジスタがオフするような非アクティブ状態にしてもよい。

【 0 0 1 6 】

これにより、発光素子を確実に消光できる。具体的には、直前の駆動トランジスタのゲート端子の電圧が、発光素子が発光するために必要な電流を供給できるだけの電圧だった場合、ゲート線を非アクティブ状態とした後も、当該電圧が印加されることで発光素子が発光する。そこで、このようにゲート線をアクティブ状態、リセット線を非アクティブ状態とすることで、駆動トランジスタのゲート端子に消光時の電圧をかけることで、発光素子を確実に消光できる。

30

【 0 0 1 7 】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、次の行に設けられたゲート線に接続されてもよい。

【 0 0 1 8 】

これにより、同一行のゲート線をアクティブ状態にし、かつリセット線をアクティブ状態とした場合であっても、駆動トランジスタのソース端子の電圧を次の行のゲート線の電圧とできる。その結果、次の行のゲート線の電圧を駆動トランジスタの閾値電圧分以上基準電圧より低い電圧とすることで、駆動トランジスタの閾値電圧の検出が確実に行うことが可能となる。つまり、リセットトランジスタを同じ行のゲート線に接続した場合と比較して、発光素子の消光と、駆動トランジスタのソース端子の電圧の設定とが同時にできるので、1フレーム期間において、より多くの時間を駆動トランジスタの閾値電圧の検出に割り当てることができる。

40

【 0 0 1 9 】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されていてもよい。

【 0 0 2 0 】

50

これにより、発光素子の寄生容量のばらつきによる、駆動トランジスタが発光素子に供給する電流である画素電流の変動を抑制することが可能となる。例えば、駆動回路が複数の発光画素に同一の信号電圧を供給した場合に、各発光画素の発光素子と駆動トランジスタとの接続点の電位のばらつきを抑制することが可能となる。以下、ばらつきを抑制できる理由について述べる。

【 0 0 2 1 】

発光画素に所定の信号電圧が供給されたとき、発光素子と駆動トランジスタとの接続点の電位は、発光素子の寄生容量と、容量素子の容量との容量分配によって規定される。しかしながら、発光素子の寄生容量は発光素子ごとにばらつきを有するので、複数の発光画素に同一の信号電圧を供給した場合であっても、各発光画素の、発光素子と駆動トランジスタとの接続点の電位は同一とはならず、ばらつきを有する。したがって、発光素子と駆動トランジスタとの接続点の電位のばらつきにより、発光素子に供給される電流もばらつく。

10

【 0 0 2 2 】

これに対し、容量素子の他端と、発光素子と駆動トランジスタとの接続点とを所定の素子を介して接続することにより、容量素子の他端の電位に対する発光素子の寄生容量の影響を低減できる。したがって、容量素子の一端と他端との電位差である容量素子の保持電圧に対する発光素子の寄生容量の影響を低減することが可能となる。

【 0 0 2 3 】

よって、発光素子の寄生容量の影響を低減し、信号電圧に応じて精度良く発光素子を発光させることが可能となる。

20

【 0 0 2 4 】

また、前記複数の発光画素のそれぞれは、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備えてもよい。

【 0 0 2 5 】

これにより、第2スイッチングトランジスタをオン及びオフすることにより、リセットトランジスタのソース端子及びドレイン端子の一方、及び、容量素子の他端と、発光素子と駆動トランジスタとの接続点との導通及び非導通を切り替えることができる。よって、例えば、第2スイッチングトランジスタをオフしている期間に駆動トランジスタのゲート端子に発光素子を発光させるための信号電圧を供給すれば、容量素子の他端の電位が発光素子の寄生容量の影響を受けない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

30

【 0 0 2 7 】

また、前記発光素子は、有機EL (Electro Luminescence) 素子であってもよい。

【 0 0 2 8 】

また、本発明の駆動方法は、行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレ

40

50

ン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、前記第1スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記第1スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、を備え、前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子であり、前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続されている表示装置の駆動方法であって、前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記第1スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記第1スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端に、前記第1スイッチングトランジスタがオフする電圧であるローレベル電圧を設定するリセットステップを含む。

10

20

【0029】

また、さらに、前記リセットステップの後、前記第1スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、前記書き込みステップの後、前記第1スイッチングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含んでもよい。

【0030】

これにより、発光ステップにおいて、駆動トランジスタは信号電圧と閾値電圧とを加算した電圧に応じた電流を発光素子へ供給するので、発光画素は閾値電圧に影響されず、信号電圧に応じた輝度で発光できる。

30

【0031】

また、前記検出ステップは、前記第1スイッチングトランジスタをオンする第1サブステップと、前記第1サブステップの後、前記第1スイッチングトランジスタをオフする第2サブステップとを含み、前記第2サブステップの後、前記第1サブステップ及び前記第2サブステップを少なくとも1回繰り返してもよい。

【0032】

これにより、複数の水平期間に亘って、駆動トランジスタの閾値電圧を検出できることにより、高精度な閾値電圧の検出ができる。

40

【0033】

また、前記第1サブステップでは、前記第1スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、前記第2サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給されてもよい。

【0034】

これにより、第1サブステップでの信号線の電圧を、当該信号線に対応する列の駆動トランジスタの閾値電圧を検出するための電圧とでき、第2サブステップでの信号線の電圧を対応する列の発光画素の信号電圧とできる。よって、例えば、1水平期間の前半は信号線の電圧を基準電圧とし、1水平期間の後半は信号線の電圧を信号電圧とすることで、1

50

水平期間を分割して、前半は閾値電圧検出のための期間、後半は信号電圧の書き込み期間とできる。

【0035】

また、前記複数の発光画素のそれぞれは、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備え、前記検出ステップにおいて、前記第2スイッチングトランジスタをオンした状態で、前記第1スイッチングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、前記保持ステップにおいて、前記第2スイッチングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、前記書き込みステップにおいて、前記第2トランジスタをオフにした状態で、前記第1スイッチングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記駆動トランジスタのゲート端子に前記信号電圧を供給し、前記発光ステップにおいて、前記第1スイッチングトランジスタをオンからオフに切り替えた後、前記第2スイッチングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させるものである。

10

【0036】

これにより、第2スイッチングトランジスタがオフとなっている期間に、駆動トランジスタのゲート端子に信号電圧が供給されるので、容量素子の他端の電位が発光素子の寄生容量の影響を受けることがない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

20

【0037】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ様に設けられたゲート線に接続され、前記表示装置の駆動方法はさらに、前記リセットステップの前に、前記第1スイッチングトランジスタをオン、かつ前記リセットトランジスタをオフすることで、前記発光素子を消光させる消光ステップを含んでもよい。

30

【発明の効果】

【0038】

以上のように、本発明に係る表示装置は、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償ができる。

【図面の簡単な説明】

【0039】

【図1】図1は、実施の形態1に係る表示装置の構成を示すブロック図である。

【図2】図2は、発光画素の詳細な構成を示す回路図である。

【図3】図3は、表示装置の動作を示すタイミングチャートである。

【図4】図4は、発光画素の電流の流れを模式的に示す図である。

40

【図5】図5は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置の動作を示すタイミングチャートである。

【図6】図6は、実施の形態2に係る表示装置の構成を示すブロック図である。

【図7】図7は、発光画素の詳細な構成を示す回路図である。

【図8】図8は、表示装置の動作を示すタイミングチャートである。

【図9】図9は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置の動作を示すタイミングチャートである。

【図10】図10は、実施の形態3に係る表示装置が有する発光画素の詳細な構成を示す回路図である。

【図11】図11は、表示装置の動作を示すタイミングチャートである。

50

【図 1 2】図 1 2 は、発光画素の電流の流れを模式的に示す図である。

【図 1 3】図 1 3 は、本発明に係る表示装置を内蔵した薄型フラット TV の外観図である。

【発明を実施するための形態】

【0040】

(実施の形態 1)

本発明の実施の形態 1 に係る表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりリセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタの前記ソース端子及び前記ドレイン端子の前記一方に接続された容量素子とを備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている。

【0041】

これにより、発光画素当たり 3 つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラが解消できる。

【0042】

以下、本発明の実施の形態 1 に係る表示装置について、図面を参照しながら説明する。

【0043】

図 1 は、実施の形態 1 に係る表示装置の構成を示すブロック図である。

【0044】

同図に示す表示装置 100 は、例えば、有機 EL 素子を用いたアクティブマトリクス型の有機 EL 表示装置であり、行列状に配置された複数の発光画素 110 と、行走査部 120 と、信号線駆動部 130 と、タイミング制御部 140 とを備える。

【0045】

発光画素 110 は、例えば n 行 \times m 列の行列状に配置され、信号線 111、ゲート線 112 及びリセット線 113 を介して行走査部 120 及び信号線駆動部 130 から出力されるゲートパルス、リセットパルス及び信号電圧に応じて駆動トランジスタの閾値電圧を補償して発光する。

【0046】

行走査部 120 は、複数の発光画素 110 の行ごとに対応して設けられたゲート線 112 及びリセット線 113 に接続され、各ゲート線 112 及び各リセット線 113 に走査信号を出力することで、複数の発光画素 110 を行単位で順次走査する。具体的には、行走査部 120 は、各ゲート線 112 を走査するゲート線駆動部 121 と、各リセット線 113 を走査するリセット線駆動部 122 とを有する。ゲート線駆動部 121 は、各ゲート線 112 に対応するゲートパルス $G a t e [k]$ (k は、 $1 \leq k \leq m$ を満たす整数) を出力することにより、各ゲート線 112 に対応する発光画素 110 への基準電圧及び基準電圧より大きい信号電圧を選択的に対応する発光画素 110 へ供給する。リセット線駆動部 122 は、各リセット線 113 に対応するリセットパルス $R s t [k]$ を出力することによ

10

20

30

40

50

り、各リセット線 113 に対応する発光画素 110 へゲート線 112 の電圧、すなわちゲートパルス Gate [k] のハイレベル電圧またはローレベル電圧を印加するタイミングを制御する。

【0047】

信号線駆動部 130 は、各信号線 111 に接続され、各信号線 111 に対応する信号電圧 V data (例えば、2 ~ 8 V) 又はリセット電圧 V reset (例えば、0 V) を信号線電圧 Sig [j] (j は、1 ~ k - n を満たす整数) として供給する。信号電圧 V data は、発光画素 110 の発光輝度に対応する電圧であり、リセット電圧 V reset は、発光画素 110 を消光するため又は駆動トランジスタの閾値電圧を検出するための電圧である。

10

【0048】

タイミング制御部 140 は、行走査部 120 及び信号線駆動部 130 に駆動タイミングを指示する。なお、行走査部 120、信号線駆動部 130 及びタイミング制御部 140 は、本発明の駆動部である。

【0049】

次に、発光画素 110 の詳細な構成について説明する。なお、以下では、1つの発光画素 110 の構成について説明するが、図 1 に示した複数の発光画素 110 それぞれは同様の構成を有する。また、当該発光画素 110 に対応するゲート線 112 に対してゲート線駆動部 121 から出力されるゲートパルス Gate [k] を単にゲートパルス Gate とし、当該発光画素 110 に対応するリセット線 113 に対してリセット線駆動部 122 から出力されるリセットパルス Rst [k] を単にリセットパルス Rst とし、当該発光画素 110 に対応する信号線 111 に対して供給される信号線電圧 Sig [j] を単に信号線電圧 Sig とする。

20

【0050】

図 2 は、図 1 に示した発光画素 110 の詳細な構成を示す回路図である。なお、同図には、発光画素 110 に対応する信号線 111、ゲート線 112 及びリセット線 113 も示されている。

【0051】

発光画素 110 は、発光素子 OLED と、行選択トランジスタ T1 と、リセットトランジスタ T2 と、駆動トランジスタ T3 と、容量素子 CS とを備える。

30

【0052】

発光素子 OLED は、電流が流れることにより発光する素子であり、アノードが駆動トランジスタのソース端子に接続され、カソードが電圧 VSS (例えば、0 V) の電源線に接続された、例えば有機 EL 素子である。この発光素子 OLED は、信号線 111 及び行選択トランジスタ T1 を介して駆動トランジスタ T3 のゲート端子に信号電圧 V data が印加されることにより流れる電流により発光する。よって、発光素子 OLED の輝度は、信号線 111 に印加される信号電圧 V data の大きさに対応する。

【0053】

行選択トランジスタ T1、リセットトランジスタ T2 及び駆動トランジスタ T3 は、例えば n 型の TFT (薄膜トランジスタ) である。

40

【0054】

行選択トランジスタ T1 は、本発明の第 1 スイッチングトランジスタであって、ゲート線 112 の電圧に応じて、駆動トランジスタ T3 の制御端子であるゲート端子に信号電圧を印加するかしないかを切り替える。具体的には、行選択トランジスタ T1 は、ゲート端子がゲート線 112 に接続され、ソース端子及びドレイン端子の一方が信号線 111 に接続され、ソース端子及びドレイン端子の他方が駆動トランジスタ T3 のゲート端子に接続されている。よって、行選択トランジスタ T1 は、ゲート線 112 に印加されている電圧に応じて、信号線 111 と駆動トランジスタ T3 のゲート端子との導通及び非導通を切り替える。つまり、行選択トランジスタ T1 は、ゲートパルス Gate がハイレベルの期間、信号線 111 に印加されている基準電圧 V reset 又は信号電圧 V data を駆動ト

50

ランジスタT3のゲート端子に供給する。

【0055】

リセットランジスタT2は、駆動ランジスタT3の閾値電圧を検出するために、駆動ランジスタT3のソース端子の電圧であるV2を設定する。具体的には、リセットランジスタT2は、ゲート端子がリセット線113に接続され、ソース端子及びドレイン端子の一方がゲート線112に接続され、ソース端子及びドレイン端子の他方が駆動ランジスタT3のソース端子に接続されている。よって、リセットランジスタT2は、リセットパルスRstがハイレベルの期間に、ゲート線112と駆動ランジスタT3のソース端子とを導通することで、ゲート線112の電圧をV2の電圧に設定する。

【0056】

駆動ランジスタT3は、発光素子OLEDに電流を供給する。具体的には、駆動ランジスタT3は、ゲート端子が行選択ランジスタT1を介して信号線111に接続され、ドレイン端子が電圧VDD（例えば、10V）の電源線に接続され、ソース端子が発光素子OLEDのアノードに接続されている。駆動ランジスタT3は、ゲート端子に供給された電圧を、その電圧の大きさに応じた電流に変換する。よって、駆動ランジスタT3は、ゲート線112の電圧がハイレベルの期間に信号線111に供給されている電圧、すなわち基準電圧Vreset又は信号電圧Vdataに応じた電流を発光素子OLEDに供給する。

【0057】

ただし、基準電圧Vresetに応じた電流は発光素子OLEDを発光させるには不十分であり、駆動ランジスタT3のゲート端子の電圧であるV1が基準電圧Vresetの場合には、発光素子OLEDは発光しない。一方、V1が信号電圧Vdataの場合には、発光素子OLEDが発光するために十分な電流が流れ、発光素子OLEDは信号電圧Vdataに応じた輝度で発光する。

【0058】

容量素子CSは、一端が駆動ランジスタT3のゲート端子に接続され、他端が駆動ランジスタT3のソース端子に接続されていることで、駆動ランジスタT3のゲート-ソース間の電圧を保持する。つまり、この容量素子CSは、駆動ランジスタT3の閾値電圧を保持することが可能である。

【0059】

次に、上述した表示装置100の駆動方法について図3及び図4を用いて説明する。

【0060】

図3は、実施の形態1に係る表示装置100の動作を示すタイミングチャートである。同図においては、横軸は時間を示し、縦方向には上から順に、ゲートパルスGate、リセットパルスRst、駆動ランジスタT3のゲート端子の電圧であるV1、駆動ランジスタT3のソース端子の電圧であるV2、及び信号線111に印加される信号線電圧Sigの波形が示されている。

【0061】

図4は、実施の形態1に係る表示装置100の発光画素110における電流の流れを模式的に示す図である。ここで、ゲートパルスGateのハイレベル電圧をVGate(H)、ゲートパルスGateのローレベル電圧をVGate(L)、リセットパルスRstのハイレベル電圧をVRst(H)、リセットパルスRstのローレベル電圧をVRst(L)とする。

【0062】

時刻t0以前において、発光素子OLEDは直前の垂直期間における信号電圧Vdataに応じて発光している。具体的には、V1が直前の垂直期間における信号電圧Vdataとなっており、その信号電圧Vdataにより駆動ランジスタT3が発光素子OLEDへ駆動電流を供給している。

【0063】

次に、時刻t0（リセット[1]期間の開始時刻）において、ゲートパルスGateを

10

20

30

40

50

ローレベルからハイレベルにすることで、行選択トランジスタT1をオンさせる。V Gate(L)は例えば-5Vであり、V Gate(H)は例えば12Vである。

【0064】

行選択トランジスタT1がオンすることで、信号線111と駆動トランジスタT3のゲート端子とが導通し、V1は、信号線111に供給されている電圧と等しくなる。時刻t0においては、信号線111の電圧は基準電圧であるVresetであるので、リセット[1]期間に、V1はVresetへと遷移する。ここで、Vresetの電圧は以下の式1の条件を満たす電圧とする。ただし、Vth(EL)は、発光素子OLEDの発光開始電圧であり、Vth(TFT)は、駆動トランジスタT3のゲート端子-ソース端子間の閾値電圧である。

【0065】

$$V_{reset} < V_{th}(EL) + V_{th}(TFT) \quad (\text{式1})$$

つまり、Vresetは、発光素子OLEDを確実に消光させる電圧である。

【0066】

また、このとき、リセットパルスRstはローレベルであるので、リセットトランジスタT2はオフされている。このとき、駆動トランジスタT3は、ゲート端子に印加されている電圧が前フレームの信号電圧より低い基準電圧Vresetとなる為、発光素子に供給できる電流は減少する。これにより、V2は直前のフレーム期間における発光電位から発光素子OLEDの発光開始電圧Vth(EL)へと遷移する。

【0067】

次に、時刻t1(リセット[2]期間の開始時刻)において、ゲートパルスGateをローレベル、リセットパルスRstをハイレベルとする。ゲートパルスGateがローレベルとなることで、行選択トランジスタT1はオフし、信号線111と駆動トランジスタT3のゲート端子とは非導通となる。一方、リセットパルスRstがハイレベルとなることで、リセットトランジスタT2はオンし、ゲート線112と駆動トランジスタT3のソース端子とは導通する。よって、V2は、ゲートパルスGateのローレベル電圧V Gate(L)となる。ここで、V Gate(L)は以下の式2を満たす電圧とする。

【0068】

$$V_{Gate}(L) < V_{reset} - V_{th}(TFT) \quad (\text{式2})$$

また、V1の電圧は、駆動トランジスタT3のゲート端子と発光素子OLEDのアノードとの間に挿入された容量素子CSにより、リセット[1]期間からリセット[2]期間におけるV2の電圧変動と同じだけ変化する。具体的には、リセット[1]期間からリセット[2]期間にかけて、V2の電圧はV Gate(L) - Vth(EL)だけ変動したので、V1の電圧は、リセット[1]期間の電圧にその変動分を加算したVreset + V Gate(L) - Vth(EL)となる。

【0069】

次に、時刻t2(リセット[2]期間の終了時刻)において、リセットパルスRstがローレベルとなることでリセットトランジスタT2がオフするので、ゲート線112と駆動トランジスタT3のソース端子とは非導通となる。よって、容量素子CSには、このときのV1とV2との電位差が保持される。

【0070】

図3の時刻t0~t2に示すリセット期間では、容量素子CSの一端には信号線111から基準電圧Vresetを設定し、前記容量素子CSの他端には固定電圧を設定して、容量素子CSに所定の電位差の電圧を設定する必要がある。このリセット期間をリセット[1]期間であるT1期間(時刻t0~t1)とリセット[2]期間であるT2期間(時刻t1~t2)と二つの期間に区分けし、期間T1では、容量素子CSの一端に基準電圧Vresetを設定し、一方、期間T2では、容量素子CSの他端に固定電圧を設定する。

【0071】

ここで、期間T1では、容量素子CSの一端に信号線111から基準電圧Vreset

10

20

30

40

50

を設定するため、ゲート線 1 1 2 にハイレベル電圧 $V_{Gate}(H)$ を供給して行選択トランジスタ T_1 をオンにする必要がある。一方、期間 T_2 では容量素子 C_S の一端に設定された基準電圧 V_{reset} を固定するため、ゲート線 1 1 2 にローレベル電圧 $V_{Gate}(L)$ を供給して行選択トランジスタ T_1 をオフにする必要がある。ゲート線 1 1 2 にローレベル電圧 $V_{Gate}(L)$ を供給する際、ゲート線 1 1 2 は行単位にて配置されているため、行単位にローレベル電圧 $V_{Gate}(L)$ が供給される。このことは、 T_2 期間では行単位に固定電圧 $V_{Gate}(L)$ が設定されたのと同じ状態になることに意味する。

【 0 0 7 2 】

そこで、リセット期間の中で、容量素子 C_S の他端に固定電圧を設定する期間 T_2 では、前記ローレベル電圧 $V_{Gate}(L)$ が供給されて固定電位 $V_{Gate}(L)$ となった状態のゲート線 1 1 2 を所定の電源線に見立てて、前記ゲート線 1 1 2 に前記容量素子 C_S の他端を接続するようにした。

10

【 0 0 7 3 】

これにより、ゲート線 1 1 2 を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用し、前記容量素子 C_S の他端には前記ゲート線 1 1 2 を介して固定電位 $V_{Gate}(L)$ を供給しているため、前記容量素子 C_S の他端に固定電位 $V_{Gate}(L)$ を供給するための電源線を削減することができる。その結果、簡易な構成で前記容量素子 C_S の他端に固定電位 $V_{Gate}(L)$ を設定できる。

【 0 0 7 4 】

次に、時刻 t_3 (V_{th} 検出期間の開始時刻) において、ゲートパルス G_{ate} がハイレベルとなることで、 V_1 は再度 V_{reset} となる。このとき、 V_2 には、容量素子 C_S と、発光素子 $OLED$ のアノード - カソード間の寄生容量との容量比に応じた電位変動が生じる。その結果、 V_2 は式 3 に示すような値となる。

20

【 0 0 7 5 】

$$V_2 = V_{Gate}(L) + (1 - \frac{C_{el}}{C_s + C_{el}}) V_{th}(EL) \quad (\text{式 3})$$

ただし、 $\frac{C_{el}}{C_s + C_{el}}$ は容量素子 C_S の容量であり、 C_{el} は発光素子 $OLED$ のアノード - カソード間の寄生容量である。

【 0 0 7 6 】

またここで、各電圧及び容量は下記の式 4 及び式 5 を満たす。

30

【 0 0 7 7 】

$$V_{Gate}(L) - (V_{Gate}(L) - V_{th}(EL)) \cdot C_s / (C_s + C_{el}) < V_{th}(EL) \quad (\text{式 4})$$

$$V_{reset} - V_{Gate}(L) + (V_{Gate}(L) - V_{th}(EL)) \cdot C_s / (C_s + C_{el}) > V_{th}(TFT) \quad (\text{式 5})$$

式 4 では、時刻 t_3 において、容量比に応じた電位変動が V_2 に生じても、 V_2 の電位が $OLED$ の閾値電圧 $V_{th}(EL)$ 以下で $OLED$ に流れる電流が無視できる条件を示している。また式 5 では時刻 t_3 における V_2 の電位変動が生じても、駆動トランジスタ T_3 には閾値電圧 $V_{th}(TFT)$ 以上の電位差が容量素子 C_S に保持される条件を示している。式 5 において、 V_1 と V_2 との電位差が駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ 以上であれば、駆動トランジスタ T_3 がオン状態となり、駆動トランジスタ T_3 に電流が流れる。つまり、リセット [2] 期間において V_2 が式 2 を満たし、且つ時刻 t_3 において式 4 及び式 5 が満たされることで、駆動トランジスタ T_3 に電流が流れる。この電流は、 V_1 と V_2 との電位差が駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ になるまで流れる。

40

【 0 0 7 8 】

時刻 t_4 において、 V_1 と V_2 との電位差が $V_{th}(TFT)$ となると駆動トランジスタ T_3 はオフし、電流は流れなくなる。よって、ここで、容量素子 C_S には駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ が保持される。

【 0 0 7 9 】

その後、時刻 $t_5 \sim t_6$ の書き込み期間において、信号線 1 1 1 に信号電圧 V_{data} を印加する。これにより、 V_1 の電圧は V_{data} となり、時刻 t_5 における V_2 は式 6

50

となる。

【0080】

$$V2 = (1 - \alpha) \cdot (Vdata - Vreset) + Vreset - Vth(TFT) \quad (\text{式6})$$

よって、 $V1$ と $V2$ との電位差、すなわち駆動トランジスタ $T3$ のゲート-ソース端子間の電圧 Vgs は、式7で示される。

【0081】

$$Vgs = (Vdata - Vreset) + Vth(TFT) \quad (\text{式7})$$

つまり、書き込み期間において、 Vgs には、信号電圧 $Vdata$ と基準電圧 $Vreset$ との差に、閾値電圧 $Vth(TFT)$ だけ加えた電圧、すなわち閾値電圧 $Vth(TFT)$ を補償した電圧が書き込まれる。

10

【0082】

次に、時刻 $t6$ において、ゲートパルス $Gate$ がローレベルとなると Vgs に書き込まれた電圧に応じた電流が発光素子 $OLED$ へ流れる。つまり、閾値電圧 $Vth(TFT)$ を補償した電圧に応じた電流が発光素子 $OLED$ へ流れるので、駆動トランジスタ $T3$ の特性のばらつきにより、同一の信号電圧 $Vdata$ を与えているにも関わらず輝度ムラが生じるという問題を解消できる。

【0083】

以上のように、本実施の形態に係る表示装置100は、リセットトランジスタ $T2$ をゲート線112と駆動トランジスタ $T3$ のソース端子との間に挿入し、ゲート線112に供給されるゲートパルス $Gate$ のローレベルの電圧を駆動トランジスタ $T3$ の閾値電圧を検出するための電圧とした。

20

【0084】

これにより、本実施の形態に係る表示装置100は、発光画素110当たり3つのトランジスタで、電源線を走査することなく、駆動トランジスタ $T3$ の閾値電圧を検出し、その閾値電圧を補償して発光素子 $OLED$ を発光させることができる。このように、駆動トランジスタ $T3$ の閾値電圧のばらつきを補償するので、輝度ムラが解消できる。

【0085】

また、ゲートパルス $Gate$ のローレベル時の電圧は、駆動トランジスタ $T3$ の閾値電圧 $Vth(TFT)$ 以上基準電圧 $Vreset$ より低い電圧であるので、リセット[2]期間において、駆動トランジスタ $T3$ のソース端子の電圧を、駆動トランジスタ $T3$ の閾値電圧 $Vth(TFT)$ 以上基準電圧 $Vreset$ より低い電圧にできる。つまり、リセット[2]期間における $V2$ の電圧すなわち $VGate(L)$ を、 $Vreset - Vth(TFT)$ より低い電圧にできる。よって、その後の Vth 検出期間において、駆動トランジスタ $T3$ の閾値電圧 $Vth(TFT)$ の検出が確実にできる。

30

【0086】

また、リセット[2]期間でゲートパルス $Gate$ がローレベルとなる前に、リセット[1]期間において、ゲートパルス $Gate$ をハイレベルかつリセットパルス Rst をローレベルとする。これにより、発光素子 $OLED$ を消光できる。具体的には、リセット[1]期間を設けずにリセット[2]期間の動作を行った場合、駆動トランジスタ $T3$ のゲート端子には直前のフレーム期間における信号電圧 $Vdata$ が印加されているので、リセット期間[2]終了後、その信号電圧 $Vdata$ の設定値によっては、駆動トランジスタ $T3$ のゲート及びソース端子間電圧が閾値電圧 $Vth(TFT)$ 以上のままとなり、 $Vdata$ に応じた電流を流してしまう。その結果、発光素子 $OLED$ を消光することができない。上記説明のように、リセット[1]期間を設けることで、駆動トランジスタ $T3$ のゲート端子の電圧を基準電圧 $Vreset$ にするので、リセット[2]期間において駆動トランジスタ $T3$ のゲート及びソース端子間電圧を閾値電圧 $Vth(TFT)$ 以下となるオフ状態としながら $V2$ の電圧を確実にゲートパルス $Gate$ のローレベル電圧 $VGate[L]$ とできる。

40

【0087】

なお、本実施の形態の表示装置100は、複数の水平期間に亘り、閾値電圧の検出を行

50

ってもよい。これにより、容量素子CSに閾値電圧 $V_{th}(TFT)$ を保持させるための期間を長くとれるので、容量素子CSに保持される電圧が安定し、高精度な閾値電圧補償が実現できる。

【0088】

(実施の形態1の変形例)

図5は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置100の動作を示すタイミングチャートである。同図において、横軸は時間を示し、上から順に1行目の発光画素に対応するゲート線112に印加されるゲートパルスGate[1]、リセット線113に印加されるリセットパルスRst[1]、1行目の画素の $V1[1]$ の電圧波形及び1行目の画素の $V2[1]$ の電圧波形と、2～6行目の発光画素のゲートパルスGate[2]～Gate[6]と、2～6行目の発光画素のリセットパルスRst[2]～Rst[6]と、信号線111の信号線電圧Sigとが示されている。なお、同図には、複数の発光画素110の1つの列に対応するタイミングチャートが示されている。また、行ごとに対応するゲートパルスGate[1]～[m]及びリセットパルスRst[1]～[m]のうち、6行分のみが示されている。

10

【0089】

信号線駆動部130は、信号線111に対し、各水平期間の後半は基準電圧Vresetを供給し、各水平期間の前半は各信号線111が対応する列の表示画素の信号電圧Vdataを供給する。また、ゲート線駆動部121及びリセット線駆動部122は、1水平期間ずつずらして、各ゲートパルスGate[1]～[6]及び各リセットパルスRst[1]～[6]を各ゲート線112及び各リセット線113へ供給する。

20

【0090】

まず時刻 $t_0 \sim t_2$ のリセット[1]期間及びリセット[2]期間において、ゲート線駆動部121及びリセット線駆動部122は、上記実施の形態1で説明したようにゲートパルスGate[1]を一度ハイレベルとした後でローレベルとし、リセットパルスRst[1]をハイレベルとすることで、 $V2[1]$ の電圧を基準電圧Vresetから閾値電圧 $V_{th}(TFT)$ 分より低い電圧とする。なお、ゲート線駆動時刻 t_0 の1水平期間後の時刻 t_1 において、2行目のゲートパルスGate[2]がハイレベルとなり、2行目のリセット[1]期間が始まる。

30

【0091】

次に、時刻 t_3 において、ゲートパルスGate[1]をハイレベルとすることで、 $V1$ が基準電圧となり、駆動トランジスタT3に電流が流れる。よって、 $V2$ が上昇し始める。

【0092】

次に、時刻 t_4 において、2行目のリセット線113のリセットパルスRst[2]及び3行目のゲート線112のゲートパルスGate[3]が立ち下がる。

【0093】

以降、各水平期間の後半のみゲートパルスGate[1]がハイレベルとなることで、 $V2$ はVreset - $V_{th}(TFT)$ へと遷移する。

【0094】

上述したように、信号線111へは、各水平期間の後半においては基準電圧であるVresetが供給され、各水平期間の前半においては対応する列の発光画素110の輝度に対応するVdataが供給されている。

40

【0095】

よって、 V_{th} 検出期間において、各ゲートパルスGate[1]～Gate[6]が各水平期間の後半にハイレベルとなることで、 $V1$ に基準電圧Vresetを供給するので、駆動トランジスタT3の閾値電圧を検出するために必要な期間の一部を確保できる。このように、各ゲートパルスGate[1]～Gate[6]は、水平期間の後半にハイレベルとなる動作を複数の水平期間に亘り繰り返すことで、閾値電圧の検出に必要な時間を十分に確保することができる。

50

【 0 0 9 6 】

一方、各ゲートパルス Gate [1] ~ Gate [6] は、各水平期間の前半にローレベルとなることで、各水平期間の前半は信号線 1 1 1 と駆動トランジスタ T 3 のゲート端子とを非導通とし、信号電圧 V d a t a が供給されないようにする。

【 0 0 9 7 】

以上のように、本変形例に係る表示装置は、各水平期間の後半を閾値電圧 V t h (T F T) の検出期間とし、それを複数の水平期間に亘り繰り返すことで、閾値電圧 V t h (T F T) の検出に必要な期間を確保している。よって、容量素子 C S に保持される電圧が安定し、その結果、高精度な閾値電圧補償ができる。

【 0 0 9 8 】

なお、図 5 においては、V t h 検出期間を 4 水平期間としたが、V t h 検出期間に要する水平期間は 4 水平期間に限らず、駆動トランジスタ T 3 の閾値電圧 V t h (T F T) を検出するのに、十分な時間が確保されていれば良い。

【 0 0 9 9 】

(実施の形態 2)

実施の形態 2 の表示装置は、実施の形態 1 の表示装置 1 0 0 とほぼ同じであるが、リセットトランジスタが駆動トランジスタのソース端子と次の行に設けられたゲート線との間に挿入されている点が異なる。これにより、ゲート線をアクティブ状態にし、かつリセット線をアクティブ状態とした場合であっても、駆動トランジスタのソース端子の電圧を次の行のゲート線の電圧とできるので、次の行のゲート線の電圧を駆動トランジスタの閾値電圧分以上基準電圧より低い電圧とすることで、駆動トランジスタの閾値電圧の検出が確実に行うことが可能となる。つまり、リセットトランジスタを同じ行のゲート線と接続した場合と比較して、発光素子の消光と、駆動トランジスタのソース端子の電圧の設定とが同時にできるので、1 フレーム期間において、より多くの時間を駆動トランジスタの閾値電圧の検出に割り当てることができる。以下、実施の形態 2 に係る表示装置が実施の形態 1 に係る表示装置 1 0 0 と比較して異なる点を中心に述べる。

【 0 1 0 0 】

以下、本発明の実施の形態 2 に係る表示装置について、図面を参照しながら説明する。

【 0 1 0 1 】

図 6 は、実施の形態 2 に係る表示装置の構成を示すブロック図である。

【 0 1 0 2 】

同図に示す表示装置 2 0 0 は、図 1 に示した表示装置 1 0 0 と比較して、さらに、各発光画素 2 1 0 が次の行のゲート線 1 1 2 と接続されている点が異なる。また、表示装置 2 0 0 はさらに、ダミーゲート線 2 0 1 を備える。

【 0 1 0 3 】

ダミーゲート線 2 0 1 は、複数の発光画素 2 1 0 の最終行の発光画素 2 1 0 に接続され、ゲート線 1 1 2 と同様にゲート線駆動部 1 2 1 により走査される。ゲート線駆動部 1 2 1 は、ダミーゲート線 2 0 1 に対し、ゲートパルス Gate [m] を 1 水平期間遅らせたパルスであるゲートパルス Gate [d] を出力する。

【 0 1 0 4 】

図 7 は、図 6 に示した発光画素 2 1 0 の詳細な構成を示す回路図である。なお、同図に示す発光画素 2 1 0 は k 行目に設けられた発光画素 2 1 0 である。また、同図には、発光画素 2 1 0 に対応する信号線 1 1 1 と、k 行目のゲート線であるゲート線 1 1 2 (k) 及び k + 1 行目のゲート線であるゲート線 1 1 2 (k + 1) と、リセット線 1 1 3 も示されている。

【 0 1 0 5 】

同図に示す発光画素 2 1 0 は、図 2 に示した発光画素 1 1 0 と比較して、リセットトランジスタ T 2 に代わり、リセットトランジスタ T 2 ' を備える。このリセットトランジスタ T 2 ' は、実施の形態 1 に示した発光画素 1 1 0 のリセットトランジスタ T 2 と比較して、駆動トランジスタ T 3 のソース端子と次の行のゲート線 1 1 2 (k + 1) との間に挿

10

20

30

40

50

入されている。

【0106】

このような構成とすることで、本実施の形態に係る表示装置200の発光画素210は、駆動トランジスタT3のソース端子の電位、すなわちV2、を次の行のゲート線112(k+1)の電圧を利用して設定することができる。

【0107】

図8は、実施の形態2に係る表示装置200の動作を示すタイミングチャートである。同図の縦軸には、図3のタイミングチャートと比較して、さらに次の行のゲート線112(k+1)に供給されるゲートパルスGate[k+1]が示されている。なお、ゲートパルスGate[k+1]のローレベルの電圧は、Vreset-Vth(TFT)より低い値を示す電圧である。

10

【0108】

まず、時刻t0において、ゲートパルスGate[k]はローレベルからハイレベルへと立ち上がる。また、リセットパルスRstもローレベルからハイレベルへと立ち上がる。これにより、行選択トランジスタT1がオンし、同時にリセットトランジスタT2'もオンする。

【0109】

このとき、リセットトランジスタT2'は次の行のゲート線112(k+1)と駆動トランジスタT3のソース端子とを導通するので、V2は、次の行のゲート線112(k+1)に供給されているゲートパルスGate[k+1]の電圧となる。この時刻t0において、次の行のゲートパルスGate[k+1]はローレベルであるので、V2はVGate(L)となる。

20

【0110】

また、V1は、行選択トランジスタT1がオンすることにより信号線111の電圧となる。時刻t1において、信号線の電圧は基準電圧Vresetであるから、V1はVresetへと遷移する。

【0111】

このように、本実施の形態の表示装置200は、発光画素の同一行のゲートパルスGate[k]をハイレベルとし、かつリセットパルスRstをハイレベルとした場合であっても、駆動トランジスタT3のソース端子の電圧を次の行のゲート線112(k+1)の電圧とできる。ここで、次の行のゲートパルスGate[k+1]がローレベルであり、このローレベルの電圧がVreset-Vth(TFT)よりも低い電圧であることにより、駆動トランジスタT3の閾値電圧Vth(TFT)の検出を確実にできる。

30

【0112】

よって、実施の形態1に係る表示装置100ではVth検出期間の前に、リセット[1]期間及びリセット[2]期間が必要であったが、本実施の形態に係る表示装置200では、表示装置100と比較して、半分の期間で閾値電圧検出のための予備動作を行える。

【0113】

具体的には、図8の時刻t0~t1に示すリセット期間では、容量素子CSの一端には信号線111から基準電圧Vresetを設定し、前記容量素子CSの他端には固定電圧を設定して、容量素子CSに所定の電位差の電圧を設定する必要がある。実施の形態1の表示装置100では、容量素子CSに所定の電位差の電圧を設定するために、リセット[1]期間である図3の時刻t0~t1と、リセット[2]期間である図3の時刻t1~t2との二つの期間に区分けして、容量素子CSの一端に基準電圧Vresetを設定する期間と、容量素子CSの他端に固定電圧を設定する期間とに分けていた。これに対し、本実施の形態では、容量素子CSの一端に基準電圧Vresetを設定する期間と、容量素子CSの他端に固定電圧を設定する期間とを同時にできる。

40

【0114】

ここで、図8の時刻t0~t1では、容量素子CSの一端に基準電圧Vresetを供給するときに、行選択トランジスタT1をオンにする必要があり、ゲートパルスGate

50

[k] はハイレベル電圧 $V_{Gate}(H)$ とする必要がある。このとき、次の行に対応するゲートパルス $Gate[k+1]$ はローレベル電圧 $V_{Gate}(L)$ となっている。そこで、リセットトランジスタ $T2'$ をオンにすることにより、容量素子 CS の他端にゲートパルス $Gate[k+1]$ の電圧である $V_{Gate}[L]$ が設定される。

【 0 1 1 5 】

つまり、実施の形態 1 において、閾値電圧検出のための予備動作は、当該動作を行っている発光画素 110 の属する行に対応するゲート線 112 を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用していた。これに対し、本実施の形態で、閾値電圧検出のための予備動作を行っている発光画素 210 が属する行の次の行に対応するゲート線 112 を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用する。これにより、本実施の形態の表示装置 200 は、実施の形態 1 の表示装置 100 と比較して、半分の期間で容量素子 CS の他端に固定電位 $V_{Gate}(L)$ を設定できる。つまり、表示装置 100 と比較して、半分の期間で閾値電圧検出のための予備動作を行える。

10

【 0 1 1 6 】

次に、リセット期間の終了時刻である時刻 t_1 において、リセットパルス Rst がローレベルとなることでリセットトランジスタ $T2'$ がオフするので、ゲート線 112 ($k+1$) と駆動トランジスタ $T3$ のソース端子とは非導通となる。よって、容量素子 CS には、このときの V_1 と V_2 との電位差が保持される。

【 0 1 1 7 】

以降の動作は、図 3 で示した実施の形態 1 に係る表示装置 100 のタイミングチャートの時刻 t_3 以降と同様である。次の行のゲートパルス $Gate[k+1]$ は、時刻 t_4 でローレベルからハイレベルになる。つまり、時刻 t_4 から次の行のリセット期間が開始される。

20

【 0 1 1 8 】

なお、次の行のゲートパルス $Gate[k+1]$ は、リセットパルス Rst がハイレベルの期間、すなわち少なくともリセット期間はローレベルであればよく、図 8 の駆動タイミングに限られない。

【 0 1 1 9 】

また、本実施の形態の表示装置 200 は、実施の形態 1 の変形例と同様に複数の水平期間に亘り、閾値電圧の検出を行ってもよい。

30

【 0 1 2 0 】

(実施の形態 2 の変形例)

図 9 は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置 200 の動作を示すタイミングチャートである。

【 0 1 2 1 】

同図に示すタイミングチャートは、図 5 に示したタイミングチャートと比較して、リセットに要する期間が 1 水平期間となっている。このように、閾値電圧検出のための予備動作を半分の期間で行うことで、実施の形態 1 と比較して、 V_{th} 検出期間をより長い期間とすることができるので、高精度な閾値電圧補償を実現できる。なお、図 9 においては、 V_{th} 検出期間を 5 水平期間としたが、 V_{th} 検出期間に要する水平期間は 5 水平期間に限らず、駆動トランジスタ $T3$ の閾値電圧 $V_{th}(TFT)$ を検出するのに、十分な時間が確保されていれば良い。

40

【 0 1 2 2 】

(実施の形態 3)

実施の形態 3 の表示装置は、実施の形態 1 の表示装置 100 とほぼ同じであるが、リセットトランジスタのソース端子及びドレイン端子の一方、及び、容量素子の他端が、駆動トランジスタのソース端子及びドレイン端子の一方に所定の素子を介して接続されている点が異なる。

【 0 1 2 3 】

具体的には、本実施の形態の表示装置が備える複数の発光画素のそれぞれは、実施の形

50

態 1 の表示装置 100 が備える複数の発光画素のそれぞれと比較して、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタのソース端子及びドレイン端子の一方と容量素子の他端とに接続され、ソース端子及びドレイン端子の他端が駆動トランジスタのソース端子及びドレイン端子の一方に接続された第 2 スイッチングトランジスタを備える。

【 0 1 2 4 】

以下、実施の形態 3 に係る表示装置について、図面を参照しながら説明する。

【 0 1 2 5 】

図 10 は、実施の形態 3 に係る表示装置が有する発光画素の詳細な構成を示す回路図である。なお、同図には、発光画素 310 に対応する信号線 111、ゲート線 112、リセット線 113 及びマージ線 301 も示されている。また、図 10 には本実施の形態に係る表示装置が有する複数の発光画素のうちの 1 つの発光画素の構成について説明するが、他の発光画素も同様の構成を有する。

10

【 0 1 2 6 】

まず、本実施の形態に係る表示装置の構成について説明する。

【 0 1 2 7 】

本実施の形態に係る表示装置は、図 1 に示した表示装置 100 とほぼ同じ構成を有するが、表示装置 100 と比較して、発光画素 110 に代わり発光画素 310 を有し、さらに、複数の発光画素 310 の行ごとに対応して設けられたマージ線 301 を有する点が異なる。

20

【 0 1 2 8 】

マージ線 301 は、複数の発光画素 310 の行ごとに対応して設けられ、行走査部 120 からマージパルス Merge が出力される。言い換えると、本実施の形態の表示装置における行走査部は、実施の形態 1 の表示装置 100 における行走査部 120 と比較して、さらに、各マージ線 301 にマージパルス Merge を出力することで、複数の発光画素 310 を行単位で順次走査する。

【 0 1 2 9 】

次に、図 10 に示す発光画素の構成について説明する。

【 0 1 3 0 】

発光画素 310 は、実施の形態 1 に係る表示装置 100 が有する発光画素 110 と比較して、リセットトランジスタ T2 のソース端子及びドレイン端子の一方、及び、容量素子 CS の他端が、駆動トランジスタ T3 のソース端子にマージトランジスタ Tm を介して接続されている点が異なる。具体的には、発光画素 310 は、発光画素 110 と比較して、さらに、マージトランジスタ Tm 及びマージ容量 Csm を備える。

30

【 0 1 3 1 】

マージトランジスタ Tm は、本発明の第 2 スイッチングトランジスタであって、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタ T2 のソース端子及びドレイン端子の一方と容量素子 CS の他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が駆動トランジスタ T3 のソース端子に接続されている、例えば n 型の TFT である。このマージトランジスタ Tm のゲート端子は、マージ線 301 に接続されている。つまり、マージトランジスタ Tm は、マージ線 301 に供給されるマージパルス Merge に応じてオン及びオフする。

40

【 0 1 3 2 】

マージ容量 Csm は、マージトランジスタ Tm、容量素子 CS 及びリセットトランジスタ T2 の接続点と、電圧 VSS の電源線との間に挿入される。

【 0 1 3 3 】

このような構成とすることで、複数の発光画素 310 を有する本実施の形態に係る表示装置は、発光素子 OLED の寄生容量のばらつきによる、駆動トランジスタ T3 が発光素子 OLED に供給する電流である画素電流の変動を抑制できる。例えば、信号線駆動部 130 が複数の発光画素 310 に同一の信号電圧を供給した場合に、各発光画素 310 の発

50

光素子 O L E D と駆動トランジスタ T 3 との接続点の電位のばらつきを抑制することが可能となる。よって、発光素子 O L E D の寄生容量の影響を低減し、信号電圧に応じた正確な発光輝度で発光素子 O L E D を発光させることができる。

【 0 1 3 4 】

次に、本実施の形態に係る表示装置の駆動方法について図 1 1 及び図 1 2 を用いて説明する。

【 0 1 3 5 】

図 1 1 は、実施の形態 3 に係る表示装置の動作を示すタイミングチャートである。同図の縦軸には、図 3 のタイミングチャートと比較して、さらにマージ線 3 0 1 に供給されるマージパルス M e r g e が示されている。なお、図 3 において、V 2 は駆動トランジスタ T 3 のソース端子の電位であったが、図 1 1 において、V 2 は、リセットトランジスタ T 2 のソース端子及びドレイン端子の一方と容量素子 C S の他端との接続点の電位である。

10

【 0 1 3 6 】

図 1 1 に示す各波形のうち、ゲートパルス G a t e 、リセットパルス R s t 及び信号線電圧 S i g の波形は、図 3 に示した実施の形態 1 に係る表示装置 1 0 0 のゲートパルス G a t e 、リセットパルス R s t 及び信号線電圧 S i g の波形と同じである。よって、マージパルス M e r g e と、V 1 及び V 2 の波形を中心に説明する。

【 0 1 3 7 】

まず、時刻 t 5 までの期間において、マージパルス M e r g e をハイレベルとしていることで、マージトランジスタ T m をオンさせている。マージトランジスタ T m がオンしていることで、駆動トランジスタ T 3 のソース端子と、容量素子 C S の他端とが導通している。つまり、時刻 t 5 までの期間において、発光画素 3 1 0 は発光画素 1 1 0 と等価である。

20

【 0 1 3 8 】

図 1 2 は、実施の形態 3 に係る表示装置の発光画素 3 1 0 における電流の流れを模式的に示す図である。ここで、マージパルス M e r g e のハイレベル電圧を V M e r g e (H) 、マージパルス M e r g e のローレベル電圧を V M e r g e (L) とする。

【 0 1 3 9 】

上述したように、時刻 t 5 までの発光画素 3 1 0 の動作は図 3 に示した発光画素 1 1 0 の時刻 t 5 までの動作と同様であるので、図 1 2 (a) ~ (c) における電流の流れは図 4 (a) ~ (c) に示す電流の流れと同様である。

30

【 0 1 4 0 】

次に、時刻 t 5 において、マージパルス M e r g e はハイレベルからローレベルへと立ち下がる。これにより、マージトランジスタ T m がオフする。マージパルス M e r g e がハイレベルからローレベルへと立ち下がるタイミングは、V 1 と V 2 との電位差が V t h (T F T) となり駆動トランジスタ T 3 に流れる電流が止まってからであればよく、図 1 1 に示したタイミングに限らない。

【 0 1 4 1 】

その後、時刻 t 6 ~ t 7 (図 3 の時刻 t 5 ~ t 6 に対応) の書き込み期間において、マージパルス M e r g e をローレベルとしたままで、信号線 1 1 1 に信号電圧を印加する。

40

【 0 1 4 2 】

このように発光画素 3 1 0 に信号電圧が印加されたとき、容量素子 C S の他端の電位である V 2 は、容量素子 C S の一端に印加される信号電圧、マージ容量 C S m に接続されている電源線の電圧 V S S 、容量素子 C S の容量 C s 、及び、マージ容量 C S m の容量 C s m によって決定される。つまり、V 2 は、容量素子 C S の容量 C s と、マージ容量 C S m の容量 C s m との容量分配によって規定される。

【 0 1 4 3 】

これに対し、実施の形態 1 に係る表示装置 1 0 0 の発光画素 1 1 0 に信号電圧が印加されたとき、V 2 の電位は、V 1 に印加される信号電圧、発光素子 O L E D のカソードに接

50

続されている電源線の電圧 V_{SS} 、容量素子 C_S の容量 C_s 、及び、発光素子 $OLED$ の寄生容量によって決定される。つまり、 V_2 の電位は、容量素子 C_S の容量 C_s と、発光素子 $OLED$ の寄生容量とによって規定される。しかしながら、発光素子 $OLED$ のアノード-カソード間の寄生容量は発光素子 $OLED$ ごとにばらつきを有するので、複数の発光画素 110 に同一の信号電圧を供給した場合であっても、発光画素 110 間の、発光素子 $OLED$ と駆動トランジスタ T_3 との接続点の電位は同一とはならず、ばらつきを有する。したがって、発光素子 $OLED$ と駆動トランジスタ T_3 との接続点の電位のばらつきにより、発光素子 $OLED$ に供給される電流もばらつく。

【0144】

本実施の形態に係る表示装置の発光画素 310 は、容量素子 C_S の他端と、駆動トランジスタ T_3 のソース端子とをマージトランジスタ T_m を介して接続し、マージトランジスタ T_m をオフしている期間に発光画素 310 に信号電圧を書き込むことにより、 V_2 の電位に対する発光素子 $OLED$ の寄生容量の影響を低減できる。

10

【0145】

また、発光画素 310 に信号電圧を書き込んでいる期間においてマージトランジスタ T_m はオフしているので、容量素子 C_S の自己放電電流を抑制できる。よって、実施の形態 1 の表示装置 100 における発光画素と比較して、駆動トランジスタ T_3 の閾値をより精度良く検出し、補正できる。

【0146】

次に、時刻 t_7 において、ゲートパルスがローレベルとなって行選択トランジスタ T_1 がオフすることにより、駆動トランジスタ T_3 のゲート端子に供給されている電圧に応じた電流が発光素子 $OLED$ へ流れ始める。そして、時刻 t_8 において、マージパルス $Merge$ をローレベルからハイレベルに立ち上げ、マージトランジスタ T_m をオンすることにより、駆動トランジスタ T_3 のソース端子と容量素子 C_s とが接続される。これにより、発光素子 $OLED$ には、駆動トランジスタ T_3 のゲート-ソース端子間の電圧 V_{gs} に応じた電流が流れる。換言すれば、発光素子 $OLED$ には、時刻 $t_6 \sim t_7$ の書き込み期間において、発光素子 $OLED$ の寄生容量の影響が低減された電位 V_2 と、電位 V_1 との電位差に応じた電流が流れる。その結果、発光素子 $OLED$ の寄生容量の影響を低減し、信号電圧に正確に応じた電流が発光素子 $OLED$ に流れる。よって、信号電圧に応じて精度良く発光素子を発光させることができる。

20

30

【0147】

このように、マージトランジスタ T_m は、駆動トランジスタ T_3 の閾値を検出する期間である時刻 $t_3 \sim t_4$ では継続してオンし、閾値の検出後の時刻 t_5 ではオンからオフに切り替わり、書き込み期間である時刻 $t_6 \sim t_7$ では継続してオフし、書き込み期間後(時刻 t_7 以降)の時刻 t_8 にオフからオンに切り替わる。

【0148】

以上のように、本実施の形態の表示装置が備える複数の発光画素 310 のそれぞれは、実施の形態 1 の表示装置 100 が備える複数の発光画素 110 のそれぞれと比較して、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタ T_2 のソース端子及びドレイン端子の一方と容量素子 C_S の他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が駆動トランジスタ T_3 のソース端子に接続されたマージトランジスタ T_m を備える。

40

【0149】

これにより、発光素子 $OLED$ の寄生容量のばらつきによる、駆動トランジスタ T_3 が発光素子 $OLED$ に供給する電流である画素電流の変動を抑制できる。つまり、信号線駆動部 130 が複数の発光画素 310 に同一の信号電圧を供給した場合に、各発光画素 310 の駆動トランジスタ T_3 のゲート端子とソース端子との電位差のばらつきを抑制できる。

【0150】

よって、発光素子 $OLED$ の寄生容量の影響を防止し、信号電圧に応じて精度良く発光

50

素子 O L E D を発光させることができる。

【 0 1 5 1 】

なお、上記説明では、マージ容量 C S m は、マージトランジスタ T m、容量素子 C S 及びリセットトランジスタ T 2 の接続点と、電圧 V S S の電源線との間に挿入されるとしたが、接続される電源線は V S S に限らず固定電位であればよい。例えば、マージ容量 C S m は、マージトランジスタ T m、容量素子 C S 及びリセットトランジスタ T 2 の接続点と、電圧 V D D の電源線との間に挿入されてもよい。

【 0 1 5 2 】

また、実施の形態 3 の表示装置の発光画素 3 1 0 のリセットトランジスタ T 2 に代わり、実施の形態 2 の表示装置の発光画素 2 1 0 に示したリセットトランジスタ T 2 ' を備えてもよい。つまり、当該発光画素の次の行に対応するゲート線 1 1 2 と、容量素子 C S、マージ容量 C S m 及びマージトランジスタ T m の接続点との間に挿入されたりセットトランジスタ T 2 ' を備えてもよい。

10

【 0 1 5 3 】

また、本実施の形態の表示装置では、1 水平期間で閾値電圧を検出したが、実施の形態 2 の変形例と同様に、複数の水平期間に亘り閾値電圧を検出してよい。

【 0 1 5 4 】

以上、本発明の実施の形態及び変形例に基づいて説明したが、本発明は、これら実施の形態及び変形例に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及び変形例に施したものと、異なる実施の形態及び変形例における構成要素を組み合わせる構築される形態も、本発明の範囲内に含まれる。

20

【 0 1 5 5 】

例えば、実施の形態 2 に於いて、第一スイッチングトランジスタ、及びリセットトランジスタはそれぞれ、ゲート端子に印加されているパルスがハイレベルのときにオンする n 型トランジスタとしたが、これらを p 型トランジスタで構成し、ゲート線及びリセット線の極性を反転させても良い。

【 0 1 5 6 】

また、実施の形態 3 に於いて、マージ容量 C S m は、マージトランジスタ T m、容量素子 C S 及びリセットトランジスタ T 2 の接続点と、電圧 V S S の電源線との間に挿入されるとしたが、マージ容量 C S m は必ずしも電源線に接続される必要はない。例えばリセット線のローレベル出力期間を電源線に見立て、マージ容量の C S m をリセット線と接続しても良い。

30

【 0 1 5 7 】

また、例えば、本発明に係る表示装置は、図 1 3 に示すような薄型フラット T V に内蔵される。本発明に係る表示装置が内蔵されることにより、輝度ムラのない高精度な画像表示が可能な薄型フラット T V が実現される。

【 0 1 5 8 】

また、上記各実施の形態に係る表示装置は典型的には集積回路である一つの L S I として実現される。なお、各実施の形態に係る表示装置に含まれる各処理部は、個別に 1 チップ化されてもよいし、一部又はすべてを含むように 1 チップ化されてもよい。

40

【 0 1 5 9 】

ここでは、L S I としたが、集積度の違いにより、I C、システム L S I、スーパー L S I、ウルトラ L S I と呼称されることもある。

【 0 1 6 0 】

また、集積回路化は L S I に限るものではなく、表示装置に含まれる処理部の一部を、発光画素と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。L S I 製造後にプログラムすることが可能な F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、又は L S I 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【 0 1 6 1 】

50

また、各実施の形態に係る表示装置に含まれる駆動部の機能の一部を、CPU等のプロセッサがプログラムを実行することにより実現してもよい。また、本発明は、上記駆動部により実現される特徴的なステップを含む表示装置の駆動方法として実現してもよい。

【0162】

さらに、本発明は上記プログラムであってもよいし、上記プログラムが記録された記録媒体であってもよい。また、上記プログラムは、インターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

【0163】

また、上記説明では、表示装置がアクティブマトリクス型の有機EL表示装置ある場合を例に述べたが、本発明を、アクティブマトリクス型以外の有機EL表示装置に適用してもよいし、電流駆動型の発光素子を用いた有機EL表示装置以外の表示装置に適用してもよいし、液晶表示装置等の電圧駆動型の発光素子を用いた表示装置に適用してもよい。

【0164】

また、上記実施の形態1の変形例および実施の形態2の変形例において、各水平期間の後半を閾値電圧の検出期間とし、前半を信号電圧の書き込み期間としたが、この検出期間及び書き込み期間のデューティ比は50パーセントに限らない。例えば、書き込み期間が1水平期間の10パーセントであり、検出期間が1水平期間の90パーセントであってもよい。

【0165】

また、上記実施の形態2において、m行目の発光画素110が有するリセットトランジスタT2'はダミーゲート線201に接続されていたが、1行目からm行目までのゲート線112のいずれかに接続されていてもよい。

【0166】

また、駆動トランジスタT3のソース端子と電源線との間に容量素子を備えても良い。

【産業上の利用可能性】

【0167】

本発明に係る表示装置は、特に、TFTと組み合わせた大画面アクティブマトリクス型の有機ELディスプレイパネルへの適用に有用である。

【符号の説明】

【0168】

100、200 表示装置
 110、210、310 発光画素
 111 信号線
 112、112(k)、112(k+1) ゲート線
 113 リセット線
 120 行走査部
 121 ゲート線駆動部
 122 リセット線駆動部
 130 信号線駆動部
 140 タイミング制御部
 201 ダミーゲート線
 301 マージ線
 CS 容量素子
 CSm マージ容量
 OLED 発光素子
 T1 行選択トランジスタ
 T2、T2' リセットトランジスタ
 T3 駆動トランジスタ
 Tm マージトランジスタ

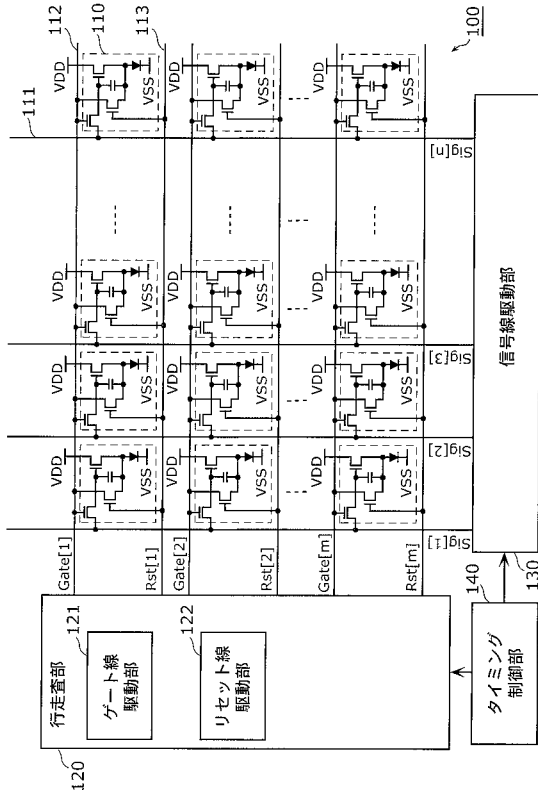
10

20

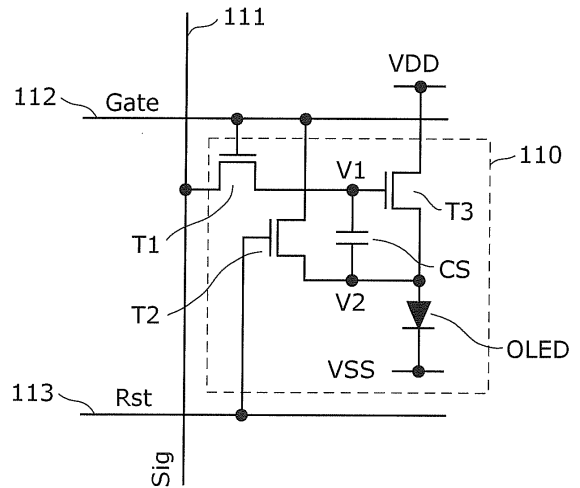
30

40

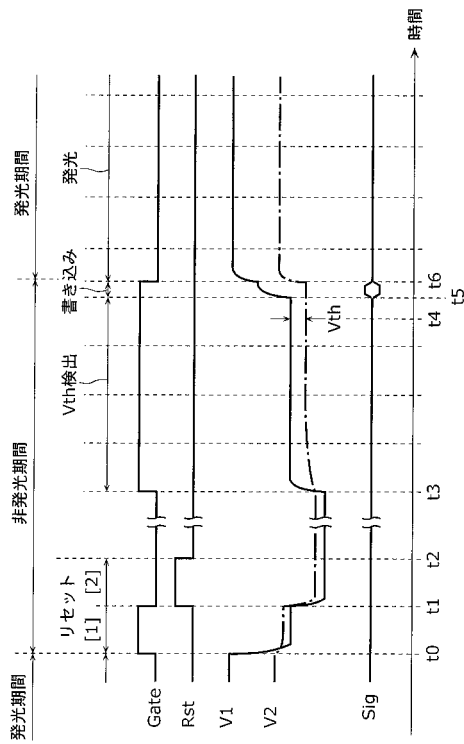
【図1】



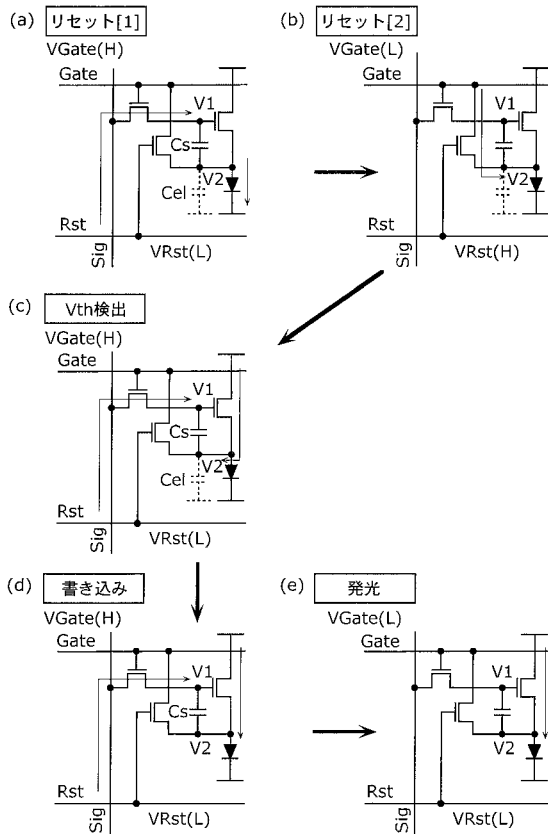
【図2】



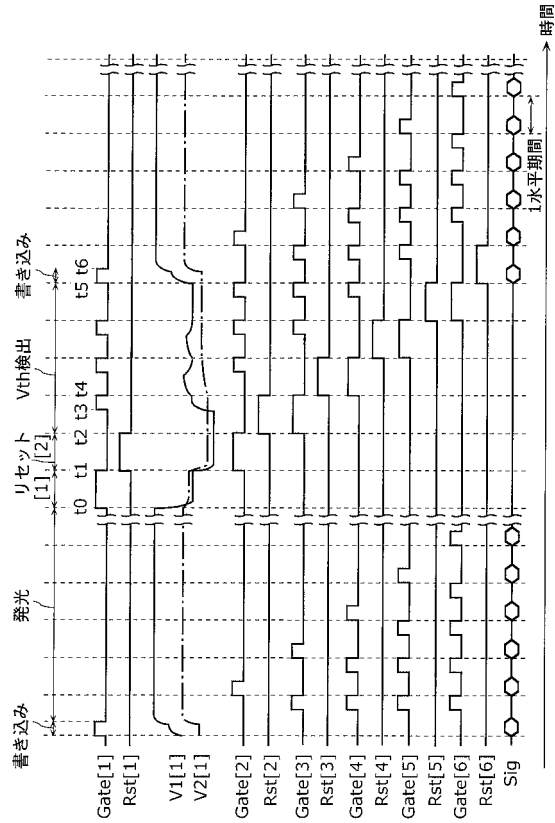
【図3】



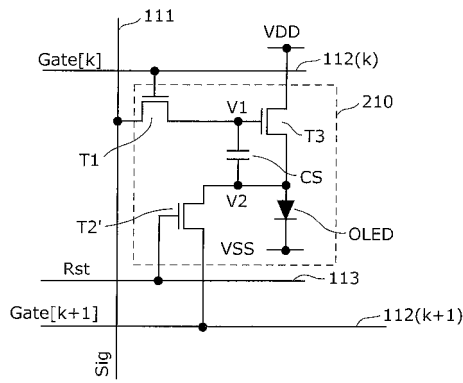
【図4】



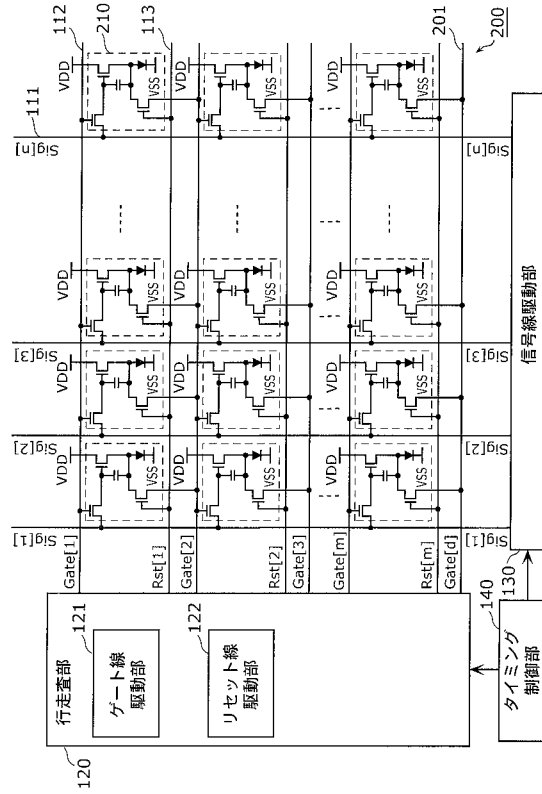
【図5】



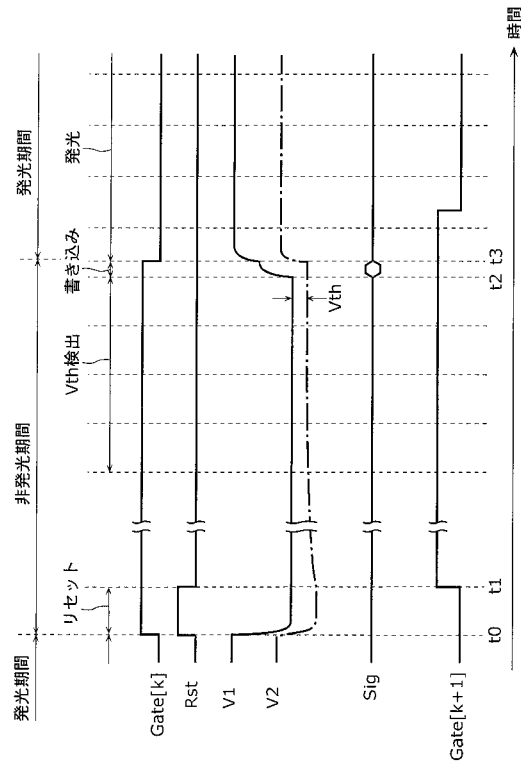
【図7】



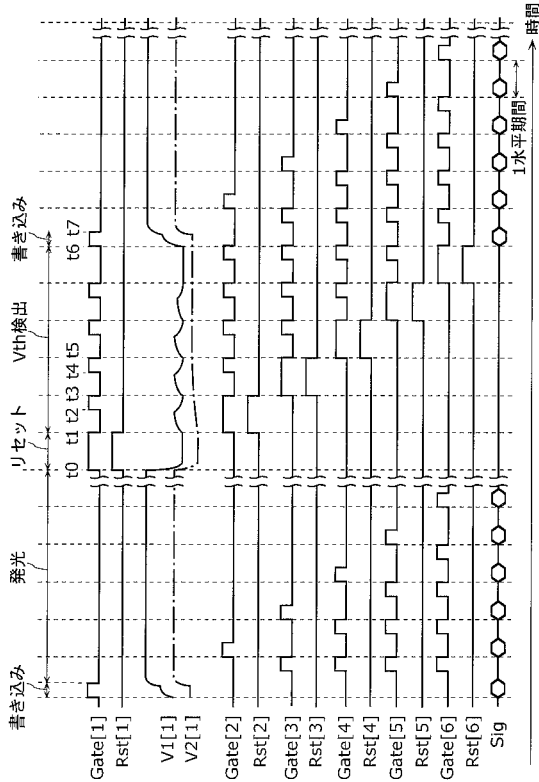
【図6】



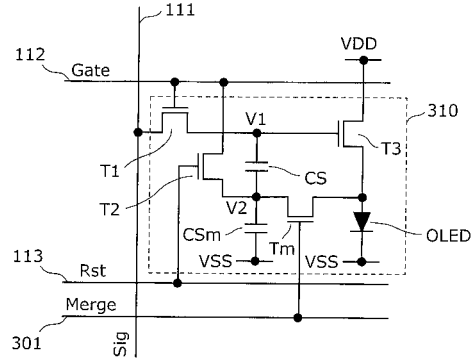
【図8】



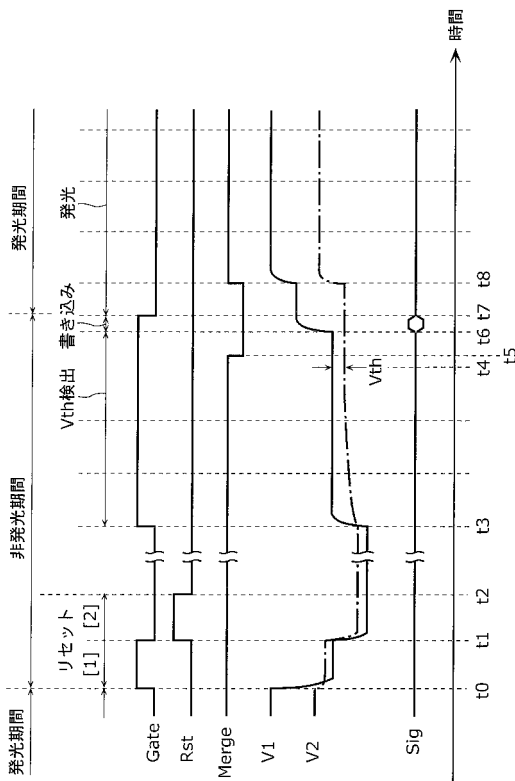
【図9】



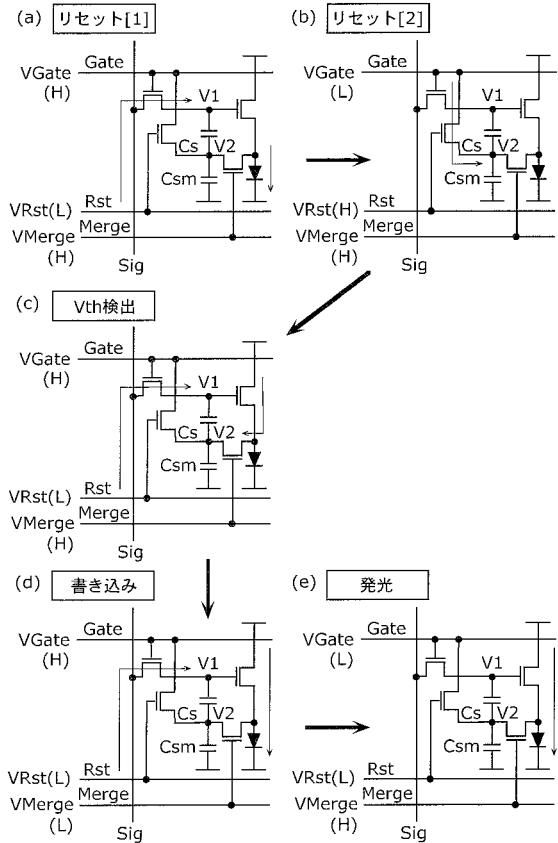
【図10】



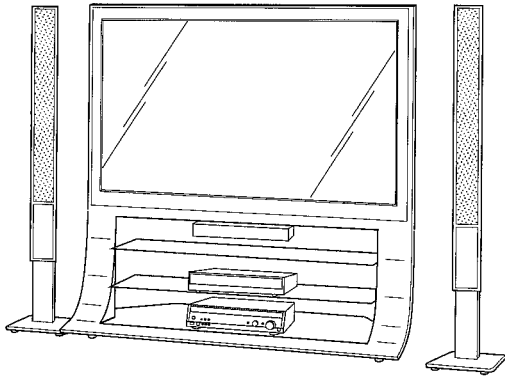
【図11】



【図12】



【 1 3】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 2 2 D

(56) 参考文献 特開 2 0 0 7 - 1 7 9 0 4 1 (J P , A)
特開 2 0 0 7 - 1 3 3 2 8 2 (J P , A)
特開 2 0 0 8 - 2 8 7 1 3 9 (J P , A)
特開 2 0 0 8 - 2 0 3 6 5 5 (J P , A)
特開 2 0 0 3 - 2 1 6 1 1 0 (J P , A)
特開 2 0 0 3 - 2 5 5 8 9 7 (J P , A)
特開 2 0 0 3 - 2 7 1 0 9 5 (J P , A)
特開平 1 1 - 2 7 2 2 3 3 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5562327B2	公开(公告)日	2014-07-30
申请号	JP2011514305	申请日	2010-04-21
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	松井雅史		
发明人	松井 雅史		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2310/0251 G09G2310/0262 G09G2310/061 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.611.J G09G3/20.611.H G09G3/20.642.A G09G3/20.623.C G09G3/20.622.D		
代理人(译)	新居 広守		
审查员(译)	Naoaki桥本		
优先权	2009124735 2009-05-22 JP		
其他公开文献	JPWO2010134263A1		
外部链接	Espacenet		

摘要(译)

根据本发明的显示装置包括以矩阵排列的多个发光像素 (110) , 与每行对应的栅极线 (112) , 以及与每列对应的复位线 (113) 和信号线 (111) 。并且每个发光像素 (110) 包括发光元件 (OLED) , 用于向发光元件 (OLED) 提供电流的驱动晶体管 (T3) , 行选择晶体管 (T1) 和栅极端子 113 , 连接到驱动晶体管 (T3) 的源极端子的复位晶体管 (T2) , 源极端子和漏极端子之一 , 以及插入驱动晶体管 (T3) 的栅极端子和源极端子之间的电容器件 (CS) , 以及复位晶体管 (T2) 的源极端子和漏极端子中的另一个对应于多个发光像素 (110) 中的一行它被连接到栅极线 (112) 。

【 图 1 】

