

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-134425

(P2017-134425A)

(43) 公開日 平成29年8月3日(2017.8.3)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/3291 (2016.01)</b>	G09G 3/3291	3K107
<b>G09G 3/3233 (2016.01)</b>	G09G 3/3233	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C094
<b>G09F 9/30 (2006.01)</b>	G09G 3/20 623R	5C380
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 680G	

審査請求 有 請求項の数 10 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2017-82946 (P2017-82946)  
 (22) 出願日 平成29年4月19日 (2017.4.19)  
 (62) 分割の表示 特願2013-60194 (P2013-60194) の分割  
 原出願日 平成25年3月22日 (2013.3.22)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区新宿四丁目1番6号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124682  
 弁理士 黒田 泰  
 (72) 発明者 田村 剛  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 (72) 発明者 野村 猛  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

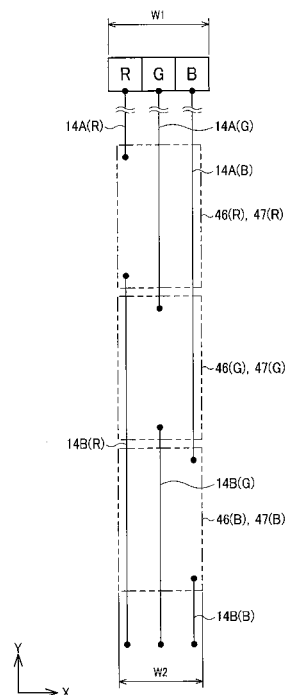
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】 縦クロストークを防止するために、画素部データ線の振幅を小さくして駆動する表示装置の容量分割駆動方式において、使用する容量のレイアウトを提供する。

【解決手段】 表示装置に設けられる複数の画素回路110の各々は、発光素子OLEDと、発光素子に駆動電流を供給する第1トランジスタ121と、データ線と第1トランジスタのゲートとの間をオン/オフする第2トランジスタ122と、第1トランジスタのゲートとドレインとの間でオン/オフする第3トランジスタ123と、を有する。表示装置はさらに、複数のデータ線途中に挿入接続され、第1トランジスタの駆動電圧をレベルシフトする第1保持容量44と、複数のデータ線の各々の電位を保持する保持容量50と、を有する。行方向Xで隣接するN(Nは複数)個の画素回路の幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有するN個の第1保持容量を、列方向Yに沿って配置した。

【選択図】 図6



**【特許請求の範囲】****【請求項 1】**

表示パネルの行方向に沿って配列され、列方向に沿って延びる複数のデータ線の各々に接続される複数の画素回路と、

前記複数の画素回路の各々に配置される発光素子と、

前記複数の画素回路の各々に配置され、前記発光素子に駆動電流を供給する第 1 トランジスタと、

前記複数の画素回路の各々に配置され、前記データ線と前記第 1 トランジスタのゲートとの間をオン/オフする第 2 トランジスタと、

前記複数の画素回路の各々に配置され、前記第 1 トランジスタの前記ゲートとドレインとの間でオン/オフする第 3 トランジスタと、

前記複数のデータ線途中にそれぞれ挿入接続され、前記第 1 トランジスタの駆動電圧をレベルシフトする第 1 保持容量と、

前記複数のデータ線の各々の電位を保持する保持容量と、

を有し、

前記行方向で隣接する  $N$  ( $N$  は複数) 個の画素回路の幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する  $N$  個の前記第 1 保持容量を、前記列方向に沿って配置したことを特徴とする表示装置。

**【請求項 2】**

請求項 1 において、

前記  $N$  個の第 1 保持容量には、前記  $N$  個の第 1 保持容量に接続された  $N$  本のデータ線を介して、階調電圧が同時に書き込まれることを特徴とする表示装置。

**【請求項 3】**

請求項 2 において、

同時に書き込まれる階調電圧は、カラー表示の 1 ドットを構成するサブピクセルのデータ信号であることを特徴とする表示装置。

**【請求項 4】**

請求項 2 または 3 において、

前記  $N$  個の第 1 保持容量の下層に、前記  $N$  本のデータ線が配置されていることを特徴とする表示装置。

**【請求項 5】**

請求項 2 乃至 4 のいずれかにおいて、

前記  $N$  個の第 1 保持容量の下層に、平面視にて前記  $N$  本のデータ線の各々の両側に、固定電位のシールド線が配置されていることを特徴とする表示装置。

**【請求項 6】**

請求項 1 乃至 5 のいずれかにおいて、

前記行方向で隣り合う 2 組の前記  $N$  個の第 1 保持容量の間に、固定電位のシールド線が配置されていることを特徴とする表示装置。

**【請求項 7】**

請求項 1 乃至 6 のいずれかにおいて、

前記第 1 保持容量とトランスファージェートを介して接続される第 2 保持容量をさらに有し、

$N$  個の前記画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する  $N$  個の前記第 2 保持容量を、前記列方向に沿って配列することを特徴とする表示装置。

**【請求項 8】**

請求項 7 において、

前記第 1 保持容量の両電極に初期化電位を供給する初期化スイッチと、前記初期化スイッチを制御する制御信号線と、前記制御信号線の途中に配置されるバッファとを、前記  $N$  個の第 2 保持容量の下層に配置したことを特徴とする表示装置。

10

20

30

40

50

## 【請求項 9】

請求項 8 において、

前記バッファは、第 1 段バッファ、第 2 段バッファ及び第 3 段バッファを含み

、

前記制御信号線は、

前記行方向の一端側に配置された前記第 1 段バッファより、前記 N 個の第 1 保持容量の下層まで前記行方向に延びる前記第 1 制御信号線と、

前記第 1 制御信号線と前記第 2 段バッファを介して接続され、前記 N 個の第 1 保持容量の下層にて前記行方向の両端に延びる第 2 制御信号線と、

前記 N 個の第 1 保持容量の下層から外れた位置にて、前記第 2 制御信号線から前記列方向に延びる第 3 制御信号線と、

前記第 3 制御信号線から前記 N 個の第 1 保持容量の下層にて前記行方向に延びる第 4 制御信号線と、

を含み、

前記第 3 段バッファが前記第 4 制御信号線と接続されていることを特徴とする表示装置。

10

## 【請求項 10】

請求項 7 乃至 9 のいずれかにおいて、

前記第 2 保持容量は、複数の容量素子を高さ方向でスタックして形成されることを特徴とする表示装置。

20

## 【請求項 11】

請求項 1 乃至 10 のいずれかに記載の表示装置を有することを特徴とする電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示装置及び電子機器等に関する。

## 【背景技術】

## 【0002】

有機発光ダイオード（OLED）素子等の発光素子を用いた表示装置では、画素トランジスタにデータ線での信号変化が悪影響して、縦クロストークが発生するという課題がある。従来、データ線と画素内の画素トランジスタとの間にシールド線を設けていた（特許文献 1）。

30

## 【0003】

しかし実際には画素トランジスタのドレインコンタクト部分での信号線揺れによって、駆動トランジスタのゲート保持電圧に影響を及ぼしており、これが縦クロストークの原因になってしまっていることが分かってきた。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2012 189828 号公報

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

縦クロストークを防止するために、データ線での電圧振幅を小さくして駆動する試みがあり、そのために容量分割方式が挙げられている。しかし、データ線毎に所定面積の保持容量を形成することは容易でない。

## 【0006】

近年、例えばシリコン基板上に液晶層が形成される LCOS パネルや Si-OLED（有機発光ダイオード）パネル等の表示パネルには、ラッチ回路を内蔵するドライバーを搭載することができる。この場合、表示パネルに形成される表示画素の画素ピッチを考慮し

50

て、ラッチ回路は形成される。一画素の幅内に、その一画素に供給されるデータをラッチするラッチ素子を配置して、配線し易くするためである。

【0007】

しかし、例えば電子ビューファインダー（EVF）やヘッドマウンテンディスプレイ（HMD）等を使用される超小型の表示パネルでは、画素ピッチが例えば $2.5\mu\text{m}$ と小さくなる。そのため、画素ピッチの範囲にてデータ線に保持容量を付加することは事実上不可能であることが分かった。

【0008】

本発明の幾つかの態様は、画素ピッチが小さい表示装置でも、データ線に接続される保持容量を十分に確保することができ、それによりデータ線のデータ振幅を圧縮して縦クロストークを低減できる表示装置及び電子機器を提供することにある。

10

【課題を解決するための手段】

【0009】

（1）本発明の一態様は、

表示パネルの行方向に沿って配列され、列方向に沿って延びる複数のデータ線の各々に接続される複数の画素回路と、

前記複数の画素回路の各々に配置される発光素子と、

前記複数の画素回路の各々に配置され、前記発光素子に駆動電流を供給する第1トランジスタと、

20

前記複数の画素回路の各々に配置され、前記データ線と前記第1トランジスタのゲートとの間をオン/オフする第2トランジスタと、

前記複数の画素回路の各々に配置され、前記第1トランジスタの前記ゲートとドレインとの間でオン/オフする第3トランジスタと、

前記複数のデータ線途中にそれぞれ挿入接続され、前記第1トランジスタの駆動電圧をレベルシフトする第1保持容量と、

前記複数のデータ線の各々の電位を保持する保持容量と、  
を有し、

前記行方向で隣接する $N$ （ $N$ は複数）個の画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有する $N$ 個の前記第1保持容量を、前記列方向に沿って配置した表示装置に関する。

30

【0010】

本発明の一態様によれば、第1トランジスタの他に第2、第3トランジスタを設けることで、初期化期間（第2、第3トランジスタはオフ）にて初期化電圧とされるデータ線の電圧を、補償期間（第2、第3トランジスタがオン）では第1トランジスタのしきい値電圧に応じた電圧とし、書込み期間（第2トランジスタはオン、第3トランジスタはオフ）では第1保持容量の電位変動を、保持容量と第1保持容量との容量比で分圧した分だけシフトさせた電圧とする、容量分割駆動が可能となる。 $N$ 個の画素回路のトータル幅未満でかつ一つの画素回路の幅以上の電極幅をそれぞれ有する $N$ 個の第1保持容量の各々は、幅が広がる分だけ列方向の長さを短くできるので、現実的なサイズで十分な容量を確保できる。特に、1個の画素回路の幅内に第1保持容量を設計すると、第1保持容量を形成するには、行方向で隣り合う容量同士ののり代の専有面積が増え、第1保持容量の電極幅をほとんど確保できない。その課題は、 $N$ 個の画素回路のトータル幅未満であり一つの画素の幅以上に第1保持容量の電極幅を設定する本発明の一態様により解消される。

40

【0011】

（2）本発明の一態様では、前記 $N$ 個の第1保持容量には、前記 $N$ 個の第1保持容量に接続された $N$ 本のデータ線を介して階調電圧が同時に書き込むようにすることができる。

【0012】

もし、 $N$ 個の第1保持容量にそれぞれ異なるタイミングで階調電圧が書き込まれると、クロストークの原因となる。つまり、 $N$ 個の第1保持容量の一つに異なるタイミングで書

50

き込まれた階調電圧は、既にかき込まれていた他の第1保持容量と接続されているデータ線の電圧に悪影響を及ぼす。同時書き込みであれば、その問題は少ない。

【0013】

(3)本発明の一態様では、同時に書き込まれる階調電圧は、カラー表示の1ドットを構成するサブピクセルのデータ信号とすることができる。

【0014】

通常、カラー表示の1ドットを構成するRGB画素は異なるタイミングで書き込まれるが、本発明の一態様では同時に書き込むことで容量カップリングによるクロストークを低減している。

【0015】

(4)本発明の一態様では、前記N個の第1保持容量の下層に、前記N本のデータ線を配置することができる。

【0016】

同時書き込みにより容量カップリングの問題が解消されているので、N個の第1保持容量の下層にN本のデータ線を配置することができる。それにより省スペースな設計となる。

【0017】

(5)本発明の一態様では、前記N個の第1保持容量の下層に、平面視にて前記N本のデータ線の各々の両側に、固定電位のシールド線を配置することができる。

【0018】

それによりN本のデータ線を外部ノイズからシールドすることができる。

【0019】

(6)本発明の一態様では、前記行方向で隣り合う2組の前記N個の第1保持容量の間に、固定電位のシールド線を配置することができる。

【0020】

行方向で隣り合う2組のN個の第1保持容量は、必ずしも同時書き込みとは限らないので、シールド線で隔離することでクロストークを防止できる。

【0021】

(7)本発明の一態様では、前記第1保持容量とトランスファークゲートを介して接続される第2保持容量をさらに有し、

N個の画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有するN個の前記第2保持容量を、前記列方向に沿って配列することができる。

【0022】

トランスファークゲートと第2保持容量とを設けることで、書き込み期間の前(初期化期間及び補償期間中を含む)に第2保持容量に階調電圧を供給して、第2保持容量に階調電圧を一旦保持することができる。書き込み期間ではトランスファークスイッチをオンすることで、第1保持容量の電極を電位変動させることができる。この第2保持容量も、N個の画素回路のトータル幅未満であって、一つの画素回路の幅以上の電極幅を有することができる。それにより、第2保持容量も第1保持容量と同様にして、現実的なサイズで十分な容量を確保できる。

【0023】

(8)本発明の一態様では、前記第1保持容量の両電極に初期化電位を供給する初期化スイッチと、前記初期化スイッチを制御する制御信号線と、前記制御信号線の途中に配置されるバッファとを、前記N個の第2保持容量の下層に配置することができる。

【0024】

本発明の一態様では、第1、第2保持容量やデータ線の駆動に必要な配線や部品をN個の第2保持容量の下層に配置することで、省スペースを実現できる。

【0025】

(9)本発明の一態様では、前記バッファは、第1段バッファ、第2段バッファ及び第3段バッファを含み、前記制御信号線は、前記行方向の一端側に配置された前記

10

20

30

40

50

第 1 段バッファより、前記 N 個の第 2 保持容量の下層まで前記行方向に延びる前記第 1 制御信号線と、前記第 1 制御信号線と前記第 2 段バッファを介して接続され、前記 N 個の第 2 保持容量の下層にて前記行方向の両端に延びる第 2 制御信号線と、前記 N 個の第 2 保持容量の下層から外れた位置にて、前記第 2 制御信号線から前記列方向に延びる第 3 制御信号線と、前記第 3 制御信号線から前記 N 個の第 2 保持容量の下層にて前記行方向に延びる第 4 制御信号線と、を含み、前記第 3 段バッファを前記第 4 制御信号線と接続することができる。

【0026】

複数段のバッファ構成とすることで、第 2 保持容量の下層にて列方向に延びる制御信号線の配線を極力少なくして、データ線の電位変動を抑制している。

10

【0027】

(10) 本発明の一態様では、前記第 2 保持容量は複数の容量素子を高さ方向でスタックして形成することができる。

【0028】

複数の容量素子を高さ方向にてスタックすることで、所定容量値を確保するための保持容量の専有面積が減少し、省スペースとなる。

【0029】

(11) 本発明のさらに他の態様は、上述した表示装置を含む電子機器を定義している。この電子機器として、例えば電子ビューファインダー (EVF) やヘッドマウントディスプレイ (HMD) 等を挙げることができる。

20

【図面の簡単な説明】

【0030】

【図 1】本発明の表示装置の一例を示す図である。

【図 2】図 1 に示す画素回路の回路図である。

【図 3】図 1 に示すデマルチプレクサ回路の一部を示す回路図である。

【図 4】図 1 に示すレベルシフト回路の一部を示す回路図である。

【図 5】図 1 に示す他のレベルシフト回路の一部を示す回路図である。

【図 6】図 4 または図 5 に示すレベルシフトブロックのレイアウトを示す図である。

【図 7】第 1 保持容量間、および第 1 保持容量の下層のデータ線間のシールド線を示す図である。

30

【図 8】第 2 保持容量の下層にて初期化スイッチの制御信号線の引き回しを説明するための図である。

【図 9】図 9 (A) (B) は第 1, 第 2 保持容量を示す図である。

【図 10】電子機器の一例であるデジタルスチルカメラを示す図である。

【図 11】電子機器の他の一例であるオーバーヘッド・ディスプレイの外観図である。

【図 12】オーバーヘッド・ディスプレイの表示装置及び光学系を示す図である。

【発明を実施するための形態】

【0031】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

40

【0032】

1. 表示装置 (電気光学装置)

【0033】

図 1 は、本実施形態の表示装置 (電気光学装置) 10 を示している。表示装置 10 は、半導体基板例えばシリコン基板 1 上に走査線駆動回路 20、デマルチプレクサ 30、レベルシフト回路 40、データ線駆動回路 60 及び表示部 100 を形成している。

【0034】

表示部 100 には、行方向 (横方向) に沿って複数の走査線 12 が配置され、列方向 (縦方向) Y に沿って複数のデータ線 14 が配置されている。複数の走査線 12 及び複数の

50

データ線 14 の各 1 本に接続される複数の画素回路 110 がマトリクス状に配置されている。

【0035】

本実施形態では、1本の走査線 12 に沿って連続する 3つの画素回路 110 は、それぞれ R (赤)、G (緑)、青 (B) の画素に対応し、これら 3画素がカラー画像の 1ドットを表現する。

【0036】

画素回路 110 の一例について説明する。i 行目の画素回路 110 は、図 2 に示すように、P 型トランジスタ 121 ~ 125 と、OLED 130 と、保持容量 132 とを含む。画素回路 110 には、走査信号  $Gwr(i)$ 、制御信号  $Ge1(i)$ 、 $Gcmp(i)$ 、 $Gorst(i)$  が供給される。

10

【0037】

駆動トランジスタ (第 1トランジスタ) 121 は、ソースが給電線 116 に接続され、ドレインはトランジスタ 124 を介して OLED 130 に接続され、OLED 130 に流れる電流を制御する。データ線電位 (階調電位) を書き込む第 2トランジスタ 122 は、ゲートが走査線 12 に接続され、ドレイン/ソースの一方がデータ線 14 に接続され、他方が第 1トランジスタ 121 のゲートに接続されている。保持容量 132 は第 1トランジスタ 121 のゲート線と給電線 116 との間に接続され、第 1トランジスタ 121 のソース・ゲート間の電圧を保持する。給電線 116 には、電源の高電位  $Ve1$  が給電される。OLED の 130 のカソードは共通電極とされ、電源の低電位  $Vct$  に設定される。

20

【0038】

第 3トランジスタ 123 は、ゲートに制御信号  $Gcmp(i)$  が入力され、制御信号  $Gcmp(i)$  に従って第 1トランジスタ 121 のゲート・ドレイン間をショートさせ、第 1トランジスタ 121 のしきい値のばらつきを補償する。OLED 130 の点灯制御トランジスタ 124 は、ゲートに制御信号  $Ge1(i)$  が入力され、第 1トランジスタ 121 のドレインと OLED 130 のアノードとの間をオン/オフする。リセットトランジスタ 125 は、ゲートに制御信号  $Gorst(i)$  が入力され、制御信号  $Gorst(i)$  に従って OLED 130 のアノードに、給電線 16 の電位であるリセット電位  $Vorst$  を供給する。このリセット電位  $Vorst$  と共通電位  $Vct$  との差が OLED 130 の発光しきい値を下回るように設定される。

30

【0039】

図 1 に示す走査線駆動回路 20 は、i 行目の走査線 12 に走査信号  $Gwr(i)$  を供給する。図 1 にて列方向 Y に沿って延びるデータ線 14 と給電線 16 との間に誘電体を配置することで保持容量 50 が形成される。レベルシフト回路 40 は、データ線駆動回路 60 及びデマルチプレクサ 30 を介して供給されるデータ信号 (階調レベル) に応じて、例えば保持容量 50 とレベルシフト回路 40 内の第 1 保持容量 44 や第 2 保持容量 41 を用いて容量分割方式にて、DAC 64 から入力される階調電圧を、トランジスタ 121 を駆動するゲート電圧にレベルシフトさせてデータ線 14 に供給する。この容量分割方式は後述する。

40

【0040】

デマルチプレクサ 30 の一例を図 3 に示す。図 3 は、図 1 の表示部 100 の一ライン (i 行) 上にある M (例えば  $M = 18$ )  $\times$  3 (RGB) 画素 ( $3 \times M = 54$  画素) に、RGB 毎に時分割でデータ電位を切り換え出力するデマルチプレクサブロック 31 を示している。図 3 に示すデマルチプレクサブロック 31 が、(行方向 X の全画素数)  $\div$  54 に相当する個数だけ設けられる。デマルチプレクサ 30 の入力端子  $VR(1)$  には、データ線駆動回路 60 から 18 個の R 画素のためのデータ電位が時分割で入力される。入力端子  $VG(1)$ 、 $VB(1)$  にも同様に、データ線駆動回路 60 から 18 個の R 画素、B 画素のためのデータ電位がそれぞれ時分割で入力される。入力端子  $VR(1)$ 、 $VG(1)$ 、 $VB(1)$  と 54 本のデータ線との間には 54 個のスイッチ (トランスファーゲート) 34 が

50

設けられている。54個のスイッチ34は、セレクト信号SEL(1)~SEL(18)により3個ずつ同時に順次オンされる。つまり、セレクト信号SEL(1)がアクティブであると、ドットを構成する3画素(RGB)のデータ電位が同時に書き込まれる。

#### 【0041】

データ線駆動回路60を機能ブロックで表すと、図1に示すように、シフトレジスタ61と、シフトレジスタ61からのクロックに従って順次データをラッチするデータラッチ回路62と、データラッチ回路62からのデータを同時にラッチするラインラッチ回路63と、ラインラッチ回路63からのデータをデジタル-アナログ変換して、階調電圧として出力するデジタル-アナログ変換回路64とを含んでいる。デジタル-アナログ変換回路64の最終段にはアンプが設けられる。

10

#### 【0042】

表示装置10は、図1に示すように、シリコン基板1上あるいはシリコン基板1の外部に、画像処理部70を有することができる。画像処理部70はガンマ補正部71を有することができる。

#### 【0043】

##### 2. 容量分割方式

図1に示すレベルシフト回路40の一画素分のレベルシフトブロック46を図4に示す。図4に示すレベルシフトブロック46は、1本のデータ線14についてのみ示されている。データ線14の途中には第1保持容量44が接続されている。第1保持容量44の一端を初期電位Viniに設定する初期化スイッチ45は、ゲートに制御信号/Giniが供給される。第1保持容量44の他端を電位Vrefに設定する初期化スイッチ43は、ゲートに制御信号Grefが供給される。この容量分割方式は例えば特願2011-228885号に詳しく記載されているので、ここでは簡便に説明する。

20

#### 【0044】

初期化期間(トランジスタ122, 123が共にオフ)では、第1保持容量44の両端の電位はそれぞれ電位Vini, Vrefに設定される。このときトランジスタ124はオフ、トランジスタ125はオンしている。初期化期間後の補償期間(トランジスタ122, 123が共にオン)では、トランジスタ123がオンしているのでトランジスタ121がダイオード接続され、画素回路110内の保持容量132はトランジスタ121のしきい値電圧Vthを保持する。補償期間後の書込み期間(トランジスタ122がオン)では、トランジスタ123はオフされ、デマルチプレクサ30のトランスファージェート34がオンし、初期化スイッチ43もオフする。従って、初期化期間及び補償期間に固定されていた第1保持容量44の他端のノードは、電位Vrefから階調レベルに変化する。

30

#### 【0045】

第1保持容量44の一端のノードは、補償期間における電位( $V_{el} - |V_{th}|$ )から、そのノードの電位変化分 $V$ に容量比 $k_1$ を乗じた値だけ、上昇方向にシフトした値( $V_{el} - |V_{th}| + k_1 \cdot V$ )となる。容量比 $k_1$ は、第1保持容量44の容量を $C_{rf2}$ 、保持容量50の容量を $C_{dt}$ とすると、 $k_1 = C_{rf1} / (C_{dt} + C_{ref1})$ である(ただし、 $C_{dt} > C_{rf1}$ )。例えば、 $C_{rf1} : C_{dt} = 1 : 9$ とすると、書込み期間におけるデータ線14の電位とトランジスタ121のゲートノードの電位との関係から、データ線14の電位範囲の1/10までトランジスタ121のゲートノードの電位範囲は圧縮される。

40

#### 【0046】

図5に示すように、図4に示すレベルシフトブロック46に代え、第2の保持容量41とトランスファージェート42とがさらに追加されたレベルシフトブロック47を設けることができる。第2保持容量41とトランスファージェート42とを設けることで、書込み期間の前(初期化期間及び補償期間中を含むトランスファージェート42のオフ期間)に第2保持容量41に階調電圧を供給して、第2保持容量41に階調電圧を一旦持することができる。その後の書込み期間ではトランスファースイッチ42をオンすることで、第1保持

50

容量 4 4 の電極を第 2 保持容量 4 1 の電極に電位変動させることができる。この場合には、上記式の容量比  $k_1$  が容量比  $k_2$  に変更される。容量比  $k_2$  は、第 2 の保持容量 4 1 の容量を  $C_{rf2}$  としたとき、容量  $C_{dt}$ 、 $C_{rf1}$ 、 $C_{rf2}$  の容量比となる。

#### 【0047】

##### 3. 保持容量のレイアウト

図 6 は、図 4 に示すレベルシフトブロック 4 6 または図 5 に示すレベルシフトブロック 4 7 のレイアウトを模式的に示している。行方向 X で隣接する  $N$  ( $N$  は複数) 個例えば 3 個の画素に対応するレベルシフトブロック 4 6 (4 7) を、列方向 Y に沿って配置している。本実施形態では、3 つの画素回路 1 1 0 は、一つのカラードットを構成する RGB 画素としている。つまり、3 個のレベルシフトブロックとは、R 画素に接続されるブロック 4 6 (R) と、G 画素に接続されるブロック 4 6 (G) と、B 画素に接続されるブロック 4 6 (B) である。レベルシフトブロック 4 6 (4 7) の幅  $W_2$  は、 $N = 3$  個の画素回路 1 1 0 のトータル幅を  $W_1$  としたとき、 $W_1 / N < W_2 < W_1$  である。つまり、レベルシフトブロック 4 6 (4 7) の幅  $W_2$  は、 $N$  個の画素回路 1 1 0 のトータル幅  $W_1$  未満であって、一つの画素回路 1 1 0 の幅  $W_1 / N$  以上のブロック幅  $W_2$  を有する。なお、本実施形態では、保持容量は MIM (金属 - 絶縁物 - 金属) にて形成される。

10

#### 【0048】

図 4 に示す実施形態を図 6 に適用すると、R 画素、G 画素及び B 画素用のレベルシフトブロック 4 6 (R)、4 6 (G)、4 6 (B) が列方向 Y に沿って配列される。レベルシフトブロック 4 6 (R)、4 6 (G)、4 6 (B) の各々では、第 1 保持容量 4 4 の電極幅がブロック幅  $W_2$  の要件を満たす。図 5 に示す実施形態を図 6 に適用すると、R 画素、G 画素及び B 画素用のレベルシフトブロック 4 7 (R)、4 7 (G)、4 7 (B) が列方向 Y に沿って配列される。レベルシフトブロック 4 7 (R)、4 7 (G)、4 7 (B) の各々では、第 1 保持容量 4 4 と第 2 保持容量 4 1 とが列方向 Y に沿って配列され、第 1 保持容量 4 4 と第 2 保持容量 4 1 との各々の電極幅がブロック幅  $W_2$  の要件を満たす。

20

#### 【0049】

図 7 は、X 方向にてピッチ  $W_1$  で配列されるレベルシフトブロック 4 6 (4 7) 中の第 1 保持容量 4 4 を示す平面図である。1 4 A (R)、1 4 A (G)、1 4 A (B) は図 1 で説明した R、G、B 各画素に対応するデータ線である。図 7 に示すように、第 1 保持容量 4 4 は、シリコン基板 1 の厚さ方向 Z で対向する一対の電極 4 4 A、4 4 B を有する。一対の電極 4 4 A、4 4 B の電極幅を  $W_A$ 、 $W_B$  とする ( $W_A > W_B$ )。電極 4 4 A、4 4 B の対向部分が容量素子を形成する。ここで、 $W_1 / N < W_A < W_1$  かつ  $W_1 / N < W_B < W_1$  である。

30

#### 【0050】

ここで、3 つの画素回路 1 1 0 のトータル幅  $W_1$  を、例えば  $2.5 \mu\text{m} \times 3 = 7.5 \mu\text{m}$  とする。図 7 に示すように行方向 X にてピッチ  $W_1$  にて複数の第 1 保持容量 4 4 を形成するとき、一対の電極 4 4 A、4 4 B をフォトリソグラフィ工程にて形成するのに用いるマスクが X 方向にずれることを考慮しなければならない。そのために、例えば電極 4 4 B の X 方向の両側にて、それぞれのり代  $W_C$  を確保する必要がある。片側のり代  $W_C$  だけでも  $1.1 \mu\text{m}$  必要である。よって、両側では  $2.2 \mu\text{m}$  のり代を要する。本実施形態では、電極 4 4 B の電極幅として、 $7.5 - 2.2 = 5.3 \mu\text{m}$  が確保される。この場合  $0.5 \text{ pF}$  の容量を確保するのに列方向 Y の長さは  $100 \mu\text{m}$  になる。レベルシフトブロック 4 7 にて第 1 保持容量 4 4 と共に配置される第 2 保持容量 4 1 についても、第 1 保持容量 4 4 の電極幅と同様に適用される。

40

#### 【0051】

もし、一つの画素回路 1 1 0 の幅内で保持容量を配置するとすると、 $2.5 - 2.2 = 0.3 \mu\text{m}$  の電極幅しか確保できず、その場合には  $0.5 \text{ pF}$  の容量を確保するのに列方向 Y の長さは概略  $1710 \mu\text{m}$  にもなってしまう。第 1、第 2 保持容量 4 4、4 1 を配置すると、Y 方向長さは概略  $3420 \mu\text{m}$  となり、チップ面積が増大し、高コストになり実現困難である。図 5 に示す本実施形態では、一つのレベルブロック 4 7 内に  $100 \mu\text{m}$  の

50

長さを有する第1保持容量44、第2保持容量41がY方向にて隣接配置され、R、G、Bで3ブロックがY方向に隣接するので、概略 $100\text{um} \times 2 \times 3 = 600\text{um}$ で収まり、XY方向の寸法のバランスも取れる。

【0052】

図6に示すように、レベルシフトブロック46(R)またはレベルシフトブロック47(R)内の第1保持容量44は、データ線14A(R)によりR画素回路110と接続され、データ線14B(R)によりデマルチプレクサ30内のトランスファーゲート34に接続される。他の色のブロック46(G)、47(G)、46(B)、47(B)も同様である。

【0053】

3つのブロック46(R)、46(G)、46(B)には、データ線14B(R)、14B(G)、14B(B)を介して、RGBの階調電圧が第1保持容量44同時に書き込まれる。あるいは、3つのブロック47(R)、47(G)、47(B)には、データ線14B(R)、14B(G)、14B(B)を介して、RGBの階調電圧が第2保持容量44に同時に書き込まれる。同時に書き込むことで、データ配線と上部MIM容量の電極とのカップリングによるノイズを無視することができる。

【0054】

また、図6に示すデータ線14A(R)、14A(G)、14A(B)、14B(R)、14B(G)、14B(B)を3つのレベルシフトブロック46(G)、46(G)、46(B)あるいは3つのレベルシフトブロック47(G)、47(G)、47(B)の下層に配置することができる。それにより、配線スペースを余分に確保しなくて済むので、省スペースとなる。

【0055】

図7では、MIM保持容量の下層にて、平面視にて3本のデータ線14A(R)、14A(G)、14A(B)の各々の両側に、固定電位のシールド線80若しくは81を配置している。それによりX方向でのクロストークを防止している。固定電位のシールド線80は、高電位レベル(例えばVDDH)と低電位レベル(例えばVSS)のシールド線80である。さらに、行方向Xで隣り合う2組のN個の保持容量44(41)の間に、固定電位のシールド線81を配置しても良い。行方向Xで隣り合う2組のN個の保持容量44(41)は必ずしも同時書き込みとはならないので、クロストーク防止に効果がある。

【0056】

図8は、図1に示すレベルシフト回路40全体の概略平面図である。図8に示すように、R用のレベルシフト領域48(R)、49(R)が、行方向Xに沿って設けられている。レベルシフト領域48(R)には、図5に示す第1保持容量44が全R画素分だけ配置されている。レベルシフト領域49(R)には、図5に示す第2保持容量41が全R画素分だけ配置されている。他の色のレベルシフト領域48(G)、49(G)、48(B)、49(B)も同様である。

【0057】

図4または図5に示す第1保持容量44の電極に電位を供給する初期化スイッチ43、45と、初期化スイッチ43、45を制御する/Gini制御信号線及びGref制御線等は、図8に示すように、第2保持容量41の形成領域49(R)、49(G)、49(B)の下層に配置することができる。

【0058】

図8には、制御信号線90の途中に配置されるバッファ91として、第1段バッファ91A、第2弾バッファ91B及び第3段バッファ91Cを含んでいる。制御信号線90は、行方向Xの一端側に配置された第1段バッファ91Aより、第2保持容量41の下層まで行方向Xに延びる第1制御信号線90Aと、第1制御信号線90Aと第2段バッファ91Bを介して接続され、第2保持容量41の下層から行方向Xの両端にて第2保持容量41から外れる位置まで延びる第2制御信号線90Bと、保持容量の形成領域外で列方向Yに延びる第3制御信号線90Cと、第3制御信号線90Cから第2保持容量

10

20

30

40

50

41の下層にて行方向Xに延びる第4制御信号線90Dを有する。第4制御信号線90Dに第3段バッファ91Cが接続される。こうすると、第2保持容量41の形成領域内では制御信号線90が列方向Yに沿って延びない。よって、制御信号線90が第1保持容量44に悪影響を及ぼすことがない。なお、バッファ91の引き出し線や制御信号線90が列方向Yに走る場合、その両側を上述したシールド線80で挟むことができる。

#### 【0059】

シールド対策はバッファ91や制御信号線90だけでなく、図4に示す初期化電位 $V_{ini}$ 、 $V_{ref}$ の供給線についても同様であり、シールド線で挟んで保護することができる。

#### 【0060】

図6に示す各ブロック内の第1保持容量44、第2保持容量41は、図9(A)(B)のようにして形成することができる。本実施形態では、第1保持容量44は、図9(A)に示すように金属第3層ALC及び金属第4層ALDに配置されるノード電極44a、44bと、その間にて形成されるMIMプレート電極44cを有する。MIMプレート電極44cはビアによりノード電極44bと接続される。MIM容量素子は、ノード電極44aとMIMプレート電極44cとそれらの間の絶縁体で形成される。第2保持容量41は、図9(B)に示すように、金属第3層ALC及び金属第5層ALEに配置される固定電位電極41a、41bと、金属第4層ALDに排他されるノード電極44cと、電極41a、41c間に配置されるMIMプレート電極44dと、電極41b、41c間に配置されるMIMプレート電極44eと、を有する。MIMプレート電極44cはノード電極44cに接続され、MIMプレート電極44eは固定電位電極41bに接続される。第2保持容量41は、容量素子(電極41a、41c及びそれらの間の絶縁体)と容量素子(電極41c、41e及びそれらの間の絶縁体)とを高さ方向でスタックして形成される。このように高さ方向にてスタックすることで、所定容量値を確保するための保持容量の専有面積が減少し、省スペースとなる。

#### 【0061】

上述にて示したようにデータ線14Aは、両側に配置したシールド線80、および上層のMIM電極との間に、寄生容量をもつ。そして列方向Yに各保持容量を並べているため、データ線14の長さがR、G、Bによって異なり、寄生容量も異なる。トランスマッションスイッチ42がONし、第1保持容量41に蓄えられた電圧がデータ線14に解放された時、寄生容量の違う分でデータ線の分圧電圧が変わってしまう可能性がある。この調整のために、R、G、B毎にイニシャル電圧 $V_{INI}$ 、 $V_{ref}$ の変更、もしくは階調補正を変更できる機能を備えることができる。階調補正はRAMを内蔵し、R、G、B毎に図1のガンマ補正部71に設けられたルックアップテーブルを変えることができる機能を有している。

#### 【0062】

##### 4. 電子機器

図10は、このデジタルスチルカメラ200の構成を示す斜視図であるが、外部機器との接続についても簡易的に示すものである。デジタルスチルカメラ200のケース202の背面には、上述した有機ELを用いた表示装置10が適用される表示装置204が設けられる。表示装置204は、CCD(Charge Coupled Device)による撮像信号に基づいて、表示を行う構成となっている。このため、表示装置204は、被写体を表示する電子ビューファインダとして機能する。ケース202の観察側(図においては裏面側)には、光学レンズやCCDなどを含んだ受光ユニット206が設けられている。

#### 【0063】

ここで、撮影者が表示装置204に表示された被写体像を確認して、シャッターボタン208を押下すると、その時点におけるCCDの撮像信号が、回路基板210のメモリに転送・格納される。

#### 【0064】

このデジタルスチルカメラ200には、ケース202の側面に、ビデオ信号出力端子

10

20

30

40

50

212と、データ通信用の入出力端子214とが設けられている。ビデオ信号出力端子212にはテレビモニタ230が、データ通信用の入出力端子214にはパーソナルコンピュータ440が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板210のメモリに格納された撮像信号が、テレビモニタ230や、パーソナルコンピュータ240に出力される。

【0065】

図11及び図12は、ヘッドマウント・ディスプレイ300を示している。ヘッドマウント・ディスプレイ300は、眼鏡と同様にテンブル310、ブリッジ320、レンズ301L, 301Rを有する。ブリッジ320の内側には、左眼用の表示装置10Lと右眼用の表示装置10Rとが設けられる。これら表示装置10L, 10Rとして、図1に示す表示装置10を適用できる。

10

【0066】

表示装置10L, 10Rに表示される画像は、光学レンズ302L, 302R及びハーフミラー303L, 303Rを介して両眼に入射される。視差を伴い左眼、右眼用画像とすることで、3D表示が可能である。なお、ハーフミラー303L, 303rは外光を透過するので、装着者の視野を妨げない。

【0067】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より、その異なる用語に置き換えることができる。また表示装置、電子機器等の構成、動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

20

【符号の説明】

【0068】

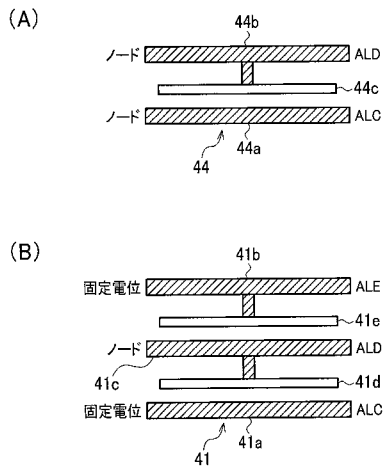
1 シリコン基板、10 表示装置、14 データ線、41 第2保持容量、42 トランスファークロップ、43, 45 初期化スイッチ、44 第1保持容量、50 保持容量、80, 81 シールド線、90A~90D 制御信号線、91A~91C バッファ、110 画素回路、121 第1トランジスタ、122 第2トランジスタ、123 第3トランジスタ、130 発光素子、X 行方向、Y 列方向

30

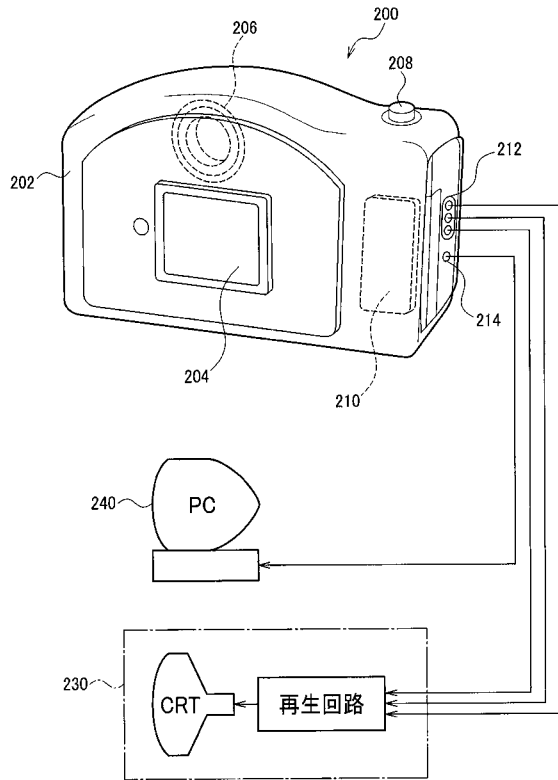




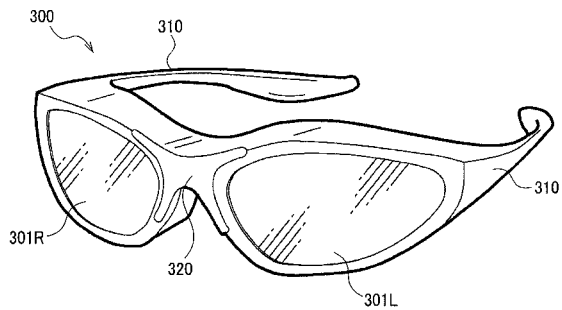
【 図 9 】



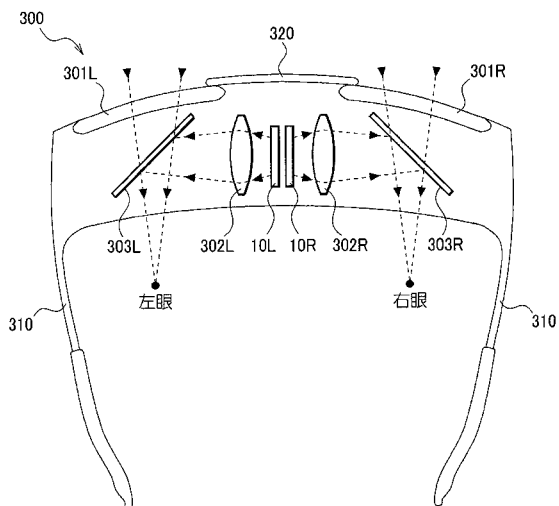
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



【手続補正書】

【提出日】平成29年5月12日(2017.5.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1画素回路と、

前記第1画素回路に電氣的に接続された第1データ線と、

前記第1データ線に電氣的に接続された第1容量を含む第1ブロックと、

第2画素回路と、

前記第2画素回路に電氣的に接続された第2データ線と、

前記第2データ線に電氣的に接続された第2容量を含む第2ブロックと、

第3データ線と、

第4データ線と、

前記第3データ線を介して前記第1ブロックへ第1データ信号を供給し、かつ、前記第4データ線を介して前記第2ブロックへ第2データ信号を供給するデータ線駆動回路と、  
を有し、

前記第2データ線は、前記第1ブロックと重なり、

前記第3データ線は、前記第2ブロックと重なることを特徴とする表示装置。

【請求項2】

請求項1に記載の表示装置において、

前記第1データ線及び前記第2データ線の各々は、それぞれ第1方向に沿って延在し、

前記第1ブロック及び前記第2ブロックは、前記第1方向に沿って配列されていることを特徴とする表示装置。

【請求項3】

請求項1又は2に記載の表示装置において、

前記第2データ線は、前記第1ブロックよりも下層に配置され、

前記第3データ線は、前記第2ブロックよりも下層に配置されていることを特徴とする表示装置。

【請求項4】

請求項1に記載の表示装置において、

第3画素回路と、

前記第3画素回路に電氣的に接続された第5データ線と、

前記第5データ線に電氣的に接続された第3容量を含む第3ブロックと、

第6データ線と、を有し、

前記データ線駆動回路は、前記第6データ線を介して前記第3ブロックへ第3データ信号を供給し、

前記第3データ線及び前記第4データ線の各々は、それぞれ前記第3ブロックと重なり

、  
前記第5データ線は、前記第1ブロック及び前記第2ブロックに重なることを特徴とする表示装置。

【請求項5】

請求項4に記載の表示装置において、

前記第1データ線、前記第2データ線及び前記第5データ線の各々は、それぞれ第1方向に沿って延在し、

前記第1ブロック、前記第2ブロック及び前記第3ブロックは、前記第1方向に沿って配列されていることを特徴とする表示装置。

## 【請求項 6】

請求項 4 又は 5 に記載の表示装置において、  
前記第 3 データ線及び前記第 4 データ線の各々は、それぞれ前記第 3 ブロックよりも下層に配置され、  
前記第 5 データ線は、前記第 1 ブロック及び前記第 2 ブロックよりも下層に配置されていることを特徴とする表示装置。

## 【請求項 7】

請求項 4 乃至 6 の何れか一項に記載の表示装置において、  
前記第 1 ブロックの幅は、前記第 1 画素回路の幅、前記第 2 画素回路の幅及び前記第 3 画素回路の幅の和よりも狭く、  
前記第 1 ブロックの幅は、前記第 1 画素回路、前記第 2 画素回路及び前記第 3 画素回路のうち、1つの画素回路の幅以上の幅であることを特徴とする表示装置。

## 【請求項 8】

請求項 1 乃至 7 の何れか一項に記載の表示装置において、  
前記第 1 ブロックは、  
前記第 1 容量の両電極に初期化電位を供給する初期化スイッチと、  
前記初期化スイッチを制御する制御信号線と、を有することを特徴とする表示装置。

## 【請求項 9】

請求項 8 に記載の表示装置において、  
前記第 1 ブロックは、前記第 1 容量にトランスファークゲートを介して電氣的に接続する第 4 容量を有し、  
前記初期化スイッチ及び前記制御信号線の各々は、それぞれ前記第 4 容量よりも下層に配置されていることを特徴とする表示装置。

## 【請求項 10】

請求項 1 乃至 9 の何れか一項に記載の表示装置を備えることを特徴とする電子機器。



专利名称(译)	表示装置及び电子机器		
公开(公告)号	<a href="#">JP2017134425A</a>	公开(公告)日	2017-08-03
申请号	JP2017082946	申请日	2017-04-19
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	田村剛 野村猛		
发明人	田村 剛 野村 猛		
IPC分类号	G09G3/3291 G09G3/3233 G09G3/20 G09F9/30 H01L51/50 H01L27/32		
FI分类号	G09G3/3291 G09G3/3233 G09G3/20.624.B G09G3/20.623.R G09G3/20.680.G G09G3/20.641.D G09G3/20.623.X G09G3/20.623.V G09G3/20.611.D G09G3/20.611.C G09G3/20.611.J G09G3/20.642.J G09G3/20.623.D G09G3/20.642.A G09F9/30.338 G09F9/30.365 H05B33/14.A H01L27/32 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/BB06 5C080/CC03 5C080/CC04 5C080/DD05 5C080/DD07 5C080/DD10 5C080/DD12 5C080/DD19 5C080/DD24 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF13 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK43 5C094/AA15 5C094/AA21 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB01 5C094/FA01 5C094/FA02 5C094/FB19 5C380/AA01 5C380/AB06 5C380/AB19 5C380/AB34 5C380/AB45 5C380/AB46 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/BA05 5C380/BA09 5C380/BA11 5C380/BA19 5C380/BA20 5C380/BA22 5C380/BA25 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB05 5C380/BB06 5C380/BB08 5C380/BB15 5C380/BB16 5C380/CA04 5C380/CA10 5C380/CA12 5C380/CA16 5C380/CA17 5C380/CA22 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC65 5C380/CD015 5C380/CD025 5C380/CE04 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF24 5C380/CF43 5C380/CF48 5C380/CF53 5C380/CF54 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA44 5C380/DA46 5C380/EA02 5C380/GA13 5C380/GA14 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	井上 一 黑田靖		
其他公开文献	JP6520981B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供用于显示装置的电容分割驱动方法的容量布局，其中减小像素部分数据线的幅度以防止垂直串扰。设置在显示装置中的多个像素电路110中的每一个包括发光元件OLED，用于向发光元件提供驱动电流的第一晶体管121，在数据线和第一晶体管之间的第一晶体管121，第二晶体管122，其在第一晶体管的栅极和漏极之间导通/截止；以及第三晶体管123，其在第一晶体管的栅极和漏极之间导通/截止。显示装置还包括插入中途连接多条数据线，第一存储电容器44进行电平转换的第一晶体管，存储电容器50的驱动电压，用于保持上述多个数据线的电位，该。在行方向X ( N个多个 ) N彼此相邻的是小于像素电路的宽度，具有各自的沿列方向Y的像素电路宽度以上电极宽度所述N个的第一存储电容器它被放置。点域6

