

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-286583
(P2007-286583A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 622E	
	G09G 3/20 622D	
	G09G 3/20 623A	

審査請求 有 請求項の数 24 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2006-289875 (P2006-289875)	(71) 出願人 590002817 三星エスディアイ株式会社 大韓民国京畿道水原市靈通区▲しん▼洞5 75番地
(22) 出願日 平成18年10月25日(2006.10.25)	(74) 代理人 100095957 弁理士 亀谷 美明
(31) 優先権主張番号 10-2006-0034960	(74) 代理人 100096389 弁理士 金本 哲男
(32) 優先日 平成18年4月18日(2006.4.18)	(72) 発明者 申 東蓉 大韓民国ソウル市冠岳区奉天1洞969- 37
(33) 優先権主張国 韓国 (KR)	F ターム(参考) 3K107 AA01 BB01 CC14 CC33 EE04 HH00 5C080 AA06 BB05 DD09 EE29 FF11 JJ02 JJ03 JJ04

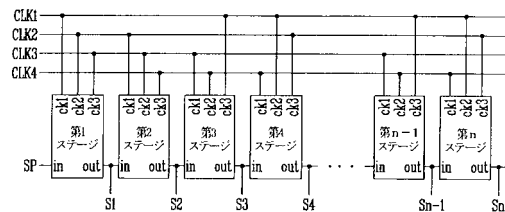
(54) 【発明の名称】 走査駆動回路及びこれを利用した有機発光表示装置

(57) 【要約】

【課題】 走査駆動回路の出力電圧を、正から負の電源電圧範囲までスイッチングするようにすることが可能な走査駆動回路及びこれを利用した有機発光表示装置を提供する。

【解決手段】 順次発生する4個のクロックのうち3個の伝達を受け、入力信号を受けて所定の時間遅延して出力信号を出力し、入力端に以前段のステージの出力端が連結される複数のステージを備え、ステージは、第2クロック端子から入力されるクロックに対応して入力端との連結をオンオフする第1トランジスタと；第1クロック端子から入力されるクロックに対応して第1電圧が出力端に伝達され、第1トランジスタのオンオフ動作によって入力端から入力される入力信号に対応して第1電圧が出力端に伝達されないようにするスイッチ部と；出力端の電圧を所定時間維持して、入力信号に対応して第3クロック端子から伝達されるクロックの電圧を上記出力端に伝達する保存部と；を含む。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

順次発生する 4 個のクロックのうち、3 個のクロックの伝達を受けて動作し、入力端から入力信号の入力を受けて所定の時間遅延して出力端から出力信号を出力して、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第 2 クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第 1 トランジスタと；

第 1 クロック端子から入力されるクロックに対応して第 1 電圧が前記出力端に伝達されるようにして、前記第 1 トランジスタのオンオフ動作によって前記入力端から前記入力信号の伝達を受けて、前記入力信号に対応して前記第 1 電圧が前記出力端に伝達されないようにするスイッチ部と；

前記出力端の電圧を所定時間の間維持して、前記入力信号に対応して第 3 クロック端子から伝達されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする走査駆動回路。

10

【請求項 2】

前記保存部は、

前記第 1 トランジスタに連結されて前記入力信号の伝達を受ける第 1 ノードの電圧に対応して、前記第 3 クロック端子から入力されるクロックを第 2 ノードに伝達する第 2 トランジスタと；

20

前記第 1 ノードと前記第 2 ノードの電圧を維持するキャパシタと；

を含むことを特徴とする、請求項 1 に記載の走査駆動回路。

【請求項 3】

前記スイッチ部は、

前記第 1 クロック端子から入力されるクロックの電圧に対応して第 2 電圧を第 3 ノードに伝達する第 3 トランジスタと；

前記入力信号に対応してクロックの電圧を前記第 3 ノードに伝達する第 4 トランジスタと；

ゲートが前記第 3 ノードに連結されて前記第 3 ノードの電圧に対応して前記第 1 電圧を前記出力端に伝達する第 5 トランジスタと；

30

を含むことを特徴とする請求項 1 に記載の走査駆動回路。

【請求項 4】

前記スイッチ部は、

ゲートは前記第 1 クロック端子に連結され、ソースは第 2 電圧に連結され、ドレインは第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記出力端に連結され、ソースは前記第 1 クロック端子に連結されてドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電源に連結されてドレインは出力端に連結される第 5 トランジスタと；

を含むことを特徴とする、請求項 1 または 2 に記載の走査駆動回路。

40

【請求項 5】

前記スイッチ部は、

ゲートは前記第 1 クロック端子に連結され、ソースは第 2 電圧に連結され、ドレインは第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記第 1 トランジスタに連結された第 1 ノードに連結され、ソースは前記第 1 電圧の伝達を受けてドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは出力端に連結される第 5 トランジスタと、

ゲートは前記第 3 クロック端子に連結され、ソースは前記第 1 電圧に連結され、前記第 1 電圧を前記第 4 トランジスタのソースに伝達する第 6 トランジスタと；

50

を含むことを特徴とする、請求項 1 または 2 に記載の走査駆動回路。

【請求項 6】

前記スイッチ部は、

ゲートは前記第 1 クロック端子に連結され、ソースはロー状態の第 2 電圧に連結され、ドレインは第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記第 3 クロック端子に連結され、ソースは前記第 1 電圧の伝達を受け、ドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは出力端に連結される第 5 トランジスタと；

ゲートは前記第 1 トランジスタに連結された第 1 ノードに連結され、ソースは前記第 1 電圧に連結され、前記第 1 電圧を前記第 4 トランジスタのソースに伝達する第 6 トランジスタと；

10

を含むことを特徴とする、請求項 1 または 2 に記載の走査駆動回路。

【請求項 7】

前記複数のステージは、

前記保存部を初期化するフリーチャージ期間と；

所定の信号の伝達を受けて保存する入力期間と；

前記所定の信号に対応して走査信号を出力する評価期間と；

前記クロックの入力を受けない休息期間と；

に区分されて動作することを特徴とする、請求項 1 ~ 6 のいずれかに記載の走査駆動回路

20

【請求項 8】

前記順次発生する 4 個のクロックは、同じ周期を持って互いに異なる時間にロー状態になることを特徴とする、請求項 1 ~ 7 のいずれかに記載の走査駆動回路。

【請求項 9】

前記複数のステージのうち一つのステージは、以前段のステージからロー信号が出力される時、入力期間として動作することを特徴とする、請求項 7 または 8 に記載の走査駆動回路。

【請求項 10】

前記第 1 電圧は、駆動電源の電圧であることを特徴とする、請求項 1 ~ 9 のいずれかに記載の走査駆動回路。

30

【請求項 11】

前記第 2 電圧は、接地電圧であることを特徴とする、請求項 3 ~ 10 のいずれかに記載の走査駆動回路。

【請求項 12】

順次発生する 4 個のクロックのうち 3 個のクロックの伝達を受けて動作し、入力端から入力信号の入力を受けて、所定の時間遅延して出力端から出力信号を出力して、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第 2 クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第 1 トランジスタと；

40

第 1 クロック端子から入力されるクロックに対応して第 1 電圧と前記出力端がオンまたはオフ状態になるようにするスイッチ部と；

前記出力端の電圧を所定時間維持し、前記入力信号に対応して第 3 クロック端子から入力されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする走査駆動回路。

【請求項 13】

前記保存部は、

前記第 1 トランジスタに連結されて前記入力信号の伝達を受ける第 1 ノードに連結されて、前記第 1 ノードの電圧に対応して前記第 3 クロックを第 2 ノードに伝達する第 2 トラ

50

ンジスタと；

前記第 1 ノードと前記第 2 ノードの電圧を維持するキャパシタと；

を含むことを特徴とする、請求項 1 2 に記載の走査駆動回路。

【請求項 1 4】

前記スイッチ部は、

ゲートは前記第 1 クロック端子に連結され、ソースは第 2 電圧に連結され、ドレインは第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記出力端に連結され、ソースは前記第 1 クロック端子に連結され、ドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは前記出力端に連結される第 5 トランジスタと；

を含むことを特徴とする、請求項 1 2 または 1 3 に記載の走査駆動回路。

10

【請求項 1 5】

前記スイッチ部は、

ゲートとソースが前記第 1 クロック端子に連結され、ドレインは第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記出力端に連結され、ソースは前記第 1 クロック端子に連結され、ドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは前記出力端に連結される第 5 トランジスタと；

を含むことを特徴とする、請求項 1 2 または 1 3 に記載の走査駆動回路。

20

【請求項 1 6】

前記複数のステージは、

前記保存部を初期化するフリーチャージ期間と；

所定の信号の伝達を受けて保存する入力期間と；

前記所定の信号に対応して走査信号を出力する評価期間と；

前記クロックの入力を受けない休息期間と；

に区分されて動作することを特徴とする、請求項 1 2 ~ 1 5 のいずれかに記載の走査駆動回路。

30

【請求項 1 7】

前記第 1 クロック端子、前記第 2 クロック端子、前記第 3 クロック端子に伝達されるクロックは、同じ周期を持って互いに異なる時間にロー状態になることを特徴とする、請求項 1 2 ~ 1 6 のいずれかに記載の走査駆動回路。

【請求項 1 8】

前記複数のステージのうち一つのステージは以前段のステージからロー信号が出力される時入力期間として動作することを特徴とする、請求項 1 2 ~ 1 7 のいずれかに記載の走査駆動回路。

【請求項 1 9】

前記第 1 電圧は、駆動電源の電圧であることを特徴とする、請求項 1 2 ~ 1 8 のいずれかに記載の走査駆動回路。

40

【請求項 2 0】

前記第 2 電圧は、接地電圧であることを特徴とする、請求項 1 4 ~ 1 9 のいずれかに記載の走査駆動回路。

【請求項 2 1】

複数の画素によって画像を表現する画素部と；

前記画素部に走査信号を伝達する走査駆動回路と；

前記画素部にデータ信号を伝達するデータ駆動回路と；

を備え、

前記走査駆動回路は、

順次発生する 4 個のクロックのうち 3 個のクロックの伝達を受けて動作して、入力端か

50

ら入力信号の入力を受けて所定の時間遅延して出力端から出力信号を出力して、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第2クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第1トランジスタと；

第1クロック端子から入力されるクロックに対応して第1電圧が前記出力端に伝達されるようにして、前記第1トランジスタのオンオフ動作によって前記入力端から前記入力信号の伝達を受けて前記入力信号に対応して前記第1電圧が前記出力端に伝達されないようにするスイッチ部と；

前記出力端の電圧を所定時間の間維持して、前記入力信号に対応して第3クロック端子から伝達するクロックの電圧を前記出力端に伝達する保存部と；
を含むことを特徴とする有機発光表示装置。 10

【請求項22】

前記複数のステージは、

前記保存部を初期化してハイ状態の電圧を出力するフリーチャージ期間と；

前記ステージに前記入力信号が伝達されて前記ハイ状態の電圧を維持する入力期間と；

ロー状態の電圧を出力する評価期間と；

に区分されて動作することを特徴とする、請求項21に記載の有機発光表示装置。

【請求項23】

複数の画素によって画像を表現する画素部と；

前記画素部に走査信号を伝達する走査駆動回路と；

前記画素部にデータ信号を伝達するデータ駆動部と；

を備え、

前記走査駆動回路は、

順次発生する4個のクロックの中で3個のクロックの伝達を受けて動作して、入力端から入力信号の入力を受けて所定の時間遅延して出力端から出力信号を出力して、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第2クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第1トランジスタと；

第1クロック端子から入力されるクロックに対応して第1電圧と前記出力端がオンまたはオフ状態になるようにするスイッチ部と；

前記出力端の電圧を所定時間維持するが、前記入力信号に対応して第3クロック端子から入力されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする有機発光表示装置。

【請求項24】

前記複数のステージは、

前記保存部を初期化してハイ状態の電圧を出力するフリーチャージ期間と；

前記ステージに前記入力信号が伝達されて前記ハイ状態の電圧を維持する入力期間と；

ロー状態の電圧を出力する評価期間と；

に区分されて動作することを特徴とする、請求項23に記載の有機発光表示装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査駆動回路及びこれを利用した有機発光表示装置に関する。

【背景技術】

【0002】

一般に、有機電界発光装置のようなアクティブマトリクス表示装置は、データ線と走査線との交差部にマトリクス形態に配列された画素アレイ(array)を具備する。ここで、上記走査線は、上記マトリクス画素部の水平ライン(ローライン)を構成して 50

、これは走査駆動回路によって順次所定の信号、すなわち、走査信号を上記マトリックス画素アレイに提供する。

【0003】

図1は、一般的な走査駆動回路の構成を示すブロック図である。

【0004】

図1を参照すれば、一般的な走査駆動回路はスタートパルスSP入力ラインに従属的に接続された複数のステージST1～STnで構成され、上記複数のステージST1～STnは、スタートパルスSPをクロック信号Cによって順次シフトさせて出力信号SO1～SO nを発生する。この場合、第2～第nステージST2～STnそれぞれは前段出力信号をスタートパルスに輸入してもらい、これをシフトさせるようになる。

10

【0005】

これによって、上記ステージは上記スタートパルスが順次シフトされる形態の出力信号SO1～SO nを発生してこれを上記マトリックス画素アレイに提供するのである。

【0006】

図2は、図1に示された走査駆動回路で任意ステージの回路図で、図3は図2に示されたステージの入/出力信号波形図である。

【0007】

図2及び図3を参照すれば、従来の場合走査駆動回路を構成する各ステージは、マスターレーブ(Master Slave)形態のフリップフロップ(flip/flop)を使用する。このようなフリップフロップは、クロックCLKがローレベルである時入力を継続して受けて、出力は以前の出力を維持する。

20

【0008】

反面、上記クロックCLKがハイレベルの場合には、上記クロックCLKがローレベルである時受けた入力INを維持し、これを出力としてこれ以上の入力を受けない。

【0009】

このような回路において、上記フリップフロップ内部に具備されるインバータの場合、その入力inがローレベルである時スタティック電流(static current)が流れるという問題がある。また、上記フリップフロップ内部でハイレベルの入力inを受けたインバータとローレベル入力inを受けるインバータの数が同じなので、上記フリップフロップ内部のインバータのうち半分では上記スタティック電流が発生され、消費電力が大きくなるという短所がある。

30

【0010】

そして、図2の回路において出力電圧OUTのハイレベルは、供給電圧VDDと接地GNDの間を連結する抵抗の比による電圧値で決定されて、出力電圧OUTのローレベルは接地GNDよりトランジスタの閾値電圧ほど高くなる。すなわち、トランジスタの特性偏差によって各ステージごとにハイレベルで受け入れる入力電圧レベルが異なるから、このような回路を採用する場合、出力電圧のハイレベルにも偏差が生じて回路が誤動作することがあるという短所がある。

【0011】

また、上記出力電圧のローレベル偏差は、図2の回路に具備されたインバータの入力トランジスタT1のオン(on)抵抗の偏差で反映されて、出力電圧のハイレベル偏差を加重させることがあり得る。特に、有機電界発光装置パネルでは特性偏差の大きいトランジスタを使用するので、このような問題がさらに深刻になる。

40

【0012】

また、上記インバータは、入力トランジスタT1から電流が流れて出力端outを充電し、ロードトランジスタT2から電流が流れて出力端outを放電するが、上記出力端を充電する場合、上記ロードトランジスタT2のソースゲート電圧がますます減って、放電電流が急激に減少して放電効率が落ちるといった問題がある。

【特許文献1】特開第2005-166139号公報

【特許文献2】特開第2004-185684号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0013】

このように、従来の走査駆動回路によれば、消費電力が大きい、誤動作しやすい、ハイレベル、ローレベルに偏差がある、放電効率が落ちるといった問題がある。

【0014】

そこで、本発明は、このような問題に鑑みてなされたもので、その目的は、走査駆動回路に伝達されるクロックが誤動作をする場合が発生しても走査信号の波形の変化が大きくなるようにすることにある。

【課題を解決するための手段】

【0015】

上記課題を解決するために、本発明のある観点によれば、順次発生する4個のクロックのうち、3個のクロックの伝達を受けて動作し、入力端から入力信号の入力を受けて所定の時間遅延して出力端から出力信号を出力して、上記入力端に以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第2クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第1トランジスタと；第1クロック端子から入力されるクロックに対応して第1電圧が上記出力端に伝達されるようにして、上記第1トランジスタのオンオフ動作によって上記入力端から上記入力信号の伝達を受けて上記入力信号に対応して上記第1電圧が上記出力端に伝達されないようにするスイッチ部と；上記出力端の電圧を所定時間の間維持して、上記入力信号に対応して第3クロック端子から伝達されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする走査駆動回路が提供される。

10

20

【0016】

上記保存部は、上記第1トランジスタに連結されて上記入力信号の伝達を受ける第1ノードの電圧に対応して、上記第3クロック端子から入力されるクロックを第2ノードに伝達する第2トランジスタと；上記第1ノードと上記第2ノードの電圧を維持するキャパシタと；を含んでもよい。

【0017】

上記スイッチ部は、上記第1クロック端子から入力されるクロックの電圧に対応して第2電圧を第3ノードに伝達する第3トランジスタと；上記入力信号に対応してクロックの電圧を上記第3ノードに伝達する第4トランジスタと；ゲートが上記第3ノードに連結されて上記第3ノードの電圧に対応して上記第1電圧を上記出力端に伝達する第5トランジスタと；を含んでもよい。

30

【0018】

また、上記スイッチ部は、ゲートは上記第1クロック端子に連結され、ソースは第2電圧に連結され、ドレインは第3ノードに連結される第3トランジスタと；ゲートは上記出力端に連結され、ソースは上記第1クロック端子に連結されてドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電源に連結されてドレインは出力端に連結される第5トランジスタと；を含んでもよい。

40

【0019】

上記スイッチ部は、ゲートは上記第1クロック端子に連結され、ソースは第2電圧に連結され、ドレインは第3ノードに連結される第3トランジスタと；ゲートは上記第1トランジスタに連結された第1ノードに連結され、ソースは上記第1電圧の伝達を受けてドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電圧に連結され、ドレインは出力端に連結される第5トランジスタと、ゲートは上記第3クロック端子に連結され、ソースは上記第1電圧に連結され、上記第1電圧を上記第4トランジスタのソースに伝達する第6トランジスタと；を含んでもよい。

【0020】

50

上記スイッチ部は、ゲートは上記第1クロック端子に連結され、ソースはロー状態の第2電圧に連結され、ドレインは第3ノードに連結される第3トランジスタと；ゲートは上記第3クロック端子に連結され、ソースは上記第1電圧の伝達を受け、ドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電圧に連結され、ドレインは出力端に連結される第5トランジスタと；ゲートは上記第1トランジスタに連結された第1ノードに連結され、ソースは上記第1電圧に連結され、上記第1電圧を上記第4トランジスタのソースに伝達する第6トランジスタと；を含んでもよい。

【0021】

また、上記複数のステージは、上記保存部を初期化するフリーチャージ期間と；所定の信号の伝達を受けて保存する入力期間と；上記所定の信号に対応して走査信号を出力する評価期間と；上記クロックの入力を受けない休息期間と；に区分されて動作してもよい。

10

【0022】

また、上記順次発生する4個のクロックは、同じ周期を持って互いに異なる時間にロー状態になってもよい。

【0023】

また、上記複数のステージのうち一つのステージは、以前段のステージからロー信号が出力される時、入力期間として動作してもよい。

【0024】

また、上記第1電圧は、駆動電源の電圧であってもよい。

20

【0025】

また、上記第2電圧は、接地電圧であってもよい。

【0026】

上記課題を解決するために、本発明の別の観点によれば、順次発生する4個のクロックのうち3個のクロックの伝達を受けて動作し、入力端から入力信号の入力を受けて、所定の時間遅延して出力端から出力信号を出力して、上記入力端に以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第2クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第1トランジスタと；第1クロック端子から入力されるクロックに対応して第1電圧と上記出力端がオンまたはオフ状態になるようにするスイッチ部と；上記出力端の電圧を所定時間維持し、上記入力信号に対応して第3クロック端子から入力されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする走査駆動回路が提供される。

30

【0027】

上記保存部は、上記第1トランジスタに連結されて上記入力信号の伝達を受ける第1ノードに連結されて、上記第1ノードの電圧に対応して上記第3クロックを第2ノードに伝達する第2トランジスタと；上記第1ノードと上記第2ノードの電圧を維持するキャパシタと；を含んでもよい。

【0028】

また、上記スイッチ部は、ゲートは上記第1クロック端子に連結され、ソースは第2電圧に連結され、ドレインは第3ノードに連結される第3トランジスタと；ゲートは上記出力端に連結され、ソースは上記第1クロック端子に連結され、ドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電圧に連結され、ドレインは上記出力端に連結される第5トランジスタと；を含んでもよい。

40

【0029】

また、上記スイッチ部は、ゲートとソースが上記第1クロック端子に連結され、ドレインは第3ノードに連結される第3トランジスタと；ゲートは上記出力端に連結され、ソースは上記第1クロック端子に連結され、ドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電圧に連結され、ドレインは上記出力端に連結される第5トランジスタと；を含んでもよい。

50

【0030】

また、上記複数のステージは、上記保存部を初期化するフリーチャージ期間と；所定の信号の伝達を受けて保存する入力期間と；上記所定の信号に対応して走査信号を出力する評価期間と；上記クロックの入力を受けない休息期間と；に区分されて動作してもよい。

【0031】

また、上記第1クロック端子、上記第2クロック端子、上記第3クロック端子に伝達されるクロックは、同じ周期を持って互いに異なる時間にロー状態になってもよい。

【0032】

また、上記複数のステージうち一つのステージは、以前段のステージからロー信号が出力される時入力期間として動作してもよい。

【0033】

また、上記第1電圧は、駆動電源の電圧であってもよい。

【0034】

また、上記第2電圧は、接地電圧であってもよい。

【0035】

上記課題を解決するために、本発明の別の観点によれば、複数の画素によって画像を表現する画素部と；上記画素部に走査信号を伝達する走査駆動回路と；上記画素部にデータ信号を伝達するデータ駆動回路と；を備え、上記走査駆動回路は、順次発生する4個のクロックのうち3個のクロックの伝達を受けて動作して、入力端から入力信号の入力を受けて所定の時間遅延して出力端から出力信号を出力して、上記入力端に以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第2クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第1トランジスタと；第1クロック端子から入力されるクロックに対応して第1電圧が上記出力端に伝達されるようにして、上記第1トランジスタのオンオフ動作によって上記入力端から上記入力信号の伝達を受けて上記入力信号に対応して上記第1電圧が上記出力端に伝達されないようにするスイッチ部と；上記出力端の電圧を所定時間の間維持して、上記入力信号に対応して第3クロック端子から伝達するクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする有機発光表示装置が提供される。

【0036】

また、上記複数のステージは、上記保存部を初期化してハイ状態の電圧を出力するフリーチャージ期間と；上記ステージに上記入力信号が伝達されて上記ハイ状態の電圧を維持する入力期間と；ロー状態の電圧を出力する評価期間と；に区分されて動作してもよい。

【0037】

上記課題を解決するために、本発明の別の観点によれば、複数の画素によって画像を表現する画素部と；上記画素部に走査信号を伝達する走査駆動回路と；上記画素部にデータ信号を伝達するデータ駆動部と；を備え、上記走査駆動回路は、順次発生する4個のクロックの中で3個のクロックの伝達を受けて動作して、入力端から入力信号の入力を受けて所定の時間遅延して出力端から出力信号を出力して、上記入力端に以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第2クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第1トランジスタと；第1クロック端子から入力されるクロックに対応して第1電圧と上記出力端がオンまたはオフ状態になるようにするスイッチ部と；上記出力端の電圧を所定時間維持するが、上記入力信号に対応して第3クロック端子から入力されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする有機発光表示装置が提供される。

【0038】

また、上記複数のステージは、上記保存部を初期化してハイ状態の電圧を出力するフリーチャージ期間と；上記ステージに上記入力信号が伝達されて上記ハイ状態の電圧を維持する入力期間と；ロー状態の電圧を出力する評価期間と；に区分されて動作してもよい。

【発明の効果】

【0039】

10

20

30

40

50

以上説明したように、本発明によれば、走査駆動回路に伝達されるクロックが誤動作をする場合が発生しても走査信号の波形の変化が大きくないようにすることができる。

【発明を実施するための最良の形態】

【0040】

以下に、添付した図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する発明特定事項については、同一の符号を付することにより重複説明を省略する。

【0041】

本発明の実施形態は、消費電力を減らすことが可能な走査駆動回路及びこれを利用した有機発光表示装置に関する。

【0042】

図4は、本発明の第1の実施形態にかかる有機発光表示装置の構造を示す構造図である。図4を参照して説明すれば、有機発光表示装置は走査線S1～Sn及びデータ線D1～Dmと接続された複数の画素40を含む画素部30と、走査線S1～Snを駆動するための走査駆動回路10と、データ線D1～Dmを駆動するためのデータ駆動回路20と、走査駆動回路10及びデータ駆動回路20を制御するためのタイミング制御部50を具備する。

【0043】

タイミング制御部50は、外部から供給される同期信号に対応してデータ駆動制御信号DCS及び走査駆動制御信号SCSを生成する。タイミング制御部50から生成されたデータ駆動制御信号DCSは、データ駆動回路20に供給されて、走査駆動制御信号SCSは走査駆動回路10に供給される。そして、タイミング制御部50は外部から供給されるデータをデータ駆動回路20に供給する。

【0044】

データ駆動回路20は、タイミング制御部50からデータ駆動制御信号DCSの供給を受ける。データ駆動制御信号DCSの供給を受けたデータ駆動回路20はデータ信号を生成して、生成されたデータ信号を走査信号と同期されるようにデータ線D1～Dmに供給する。

【0045】

画素部30は、外部から第1電源ELVDD及び第2電源ELVSSの供給を受けてそれぞれの画素40に供給する。第1電源ELVDD及び第2電源ELVSSの供給を受けた画素40の各々はデータ信号に対応して第1電源ELVDDから発光素子を經由して第2電源ELVSSへ流れる電流を制御することでデータ信号に対応される光を生成する。

【0046】

また、走査駆動回路10はタイミング制御部50から走査駆動制御信号SCSの供給を受ける。走査駆動制御信号SCSの供給を受けた走査駆動回路10は走査信号を生成して、生成された走査信号を走査線S1～Snに順次供給する。

【0047】

すなわち、上記走査駆動回路10は、上記複数の画素を駆動するために、順次上記走査信号を生成してこれを画素部30に提供する。

【0048】

図5は、本発明の第1実施形態にかかる走査駆動回路の構造を示す構造図である。

【0049】

図5を参照して説明すれば、走査駆動回路はm×n画素アレイ(Pixel Array)を駆動するためにスタートパルス入力ラインに従属接続されたn個のステージを具備する。

【0050】

これらのn個のステージの出力ラインは、上記画素アレイに含まれたn本のローラインROW1～ROWnにそれぞれ接続される。第1ステージにはスタートパルスSPが供給されて第1～第n-1ステージの出力信号はそれぞれ後段のステージにスタートパルスと

10

20

30

40

50

して供給される。そして、上記各ステージは第1クロック信号CLK1と第2クロック信号CLK2と第3クロック信号CLK3または第2クロック信号と第3クロック信号CLK3と第4クロック信号CLK4または第4クロック信号CLK4と第1クロック信号CLK1と第2クロック信号CLK2の入力を受けて動作し、各ステージは第1クロック端子ck1と第2クロック端子ck2と第3クロック信号CLK3を具備する。

【0051】

ここで、上記ステージが3k-2番目の場合には、図示されたように上記第1クロック端子ck1に第1クロックCLK1が供給されて、第2クロック端子ck2に第2クロックCLK2が供給され、第3クロック端子ck3に第3クロックCLK3が供給される。そして、上記ステージが3k-1番目の場合には上記第1クロック端子ck1に第2クロック信号CLK2が供給されて第2クロック端子ck2に第3クロックCLK3が供給され、第3クロック端子ck3に第4クロック信号CLK4が供給される。

10

【0052】

そして、上記ステージが3k番目の場合には上記第1クロック端子ck1には第3クロックCLK3が供給されて第2クロック端子ck2に第4クロックCLK4が供給され、第3クロック端子ck3に第1クロック信号CLK1が供給される。ここで、kは自然数である。すなわち、各ステージは、第1～第4クロックCLK1～CLK4の中で三つのクロックの伝達を受けて動作する。各ステージは、残り一つのクロックは伝達を受けない。つまり、残り一つのクロックに対して動作しないようになっている。

【0053】

そして、第1ステージが第1クロックCLK1と第2クロックCLK2と第3クロックCLK3によって信号を出力する時、第2ステージは第2クロックCLK2と第3クロックCLK3と第4クロックCLK4の伝達を受けて動作をするようになって、第2ステージが第2クロックCLK2と第3クロックCLK3と第4クロックCLK4によって信号を出力する時、第3ステージは第3クロックCLK3と第4クロックCLK4と第1クロックCLK1の伝達を受けて動作をするようになる。すなわち、第1ステージと第2ステージと第3ステージは順次信号を出力するようになって有機発光表示装置の画素部をライン別に順次駆動するようになる。このような走査駆動回路における入力信号、すなわちスタートパルスSP、第1～第4クロックCLK1～CLK4と、供給電圧VDDなどは外部制御回路から供給される。

20

30

【0054】

図6は、本発明による走査駆動回路内の任意ステージの第1実施形態を示す回路図で、図7は図6に示されたステージの入/出力信号波形の第1実施形態を示すタイミング図である。

【0055】

図6に示されたように本発明の実施形態の場合、ステージに含まれたトランジスタがすべてPMOSTランジスタで構成されており、走査駆動回路から順次ローレベルの出力を送り出す。すなわち、本発明による走査駆動回路では有機電界発光装置のようなアクティブマトリクス表示装置の画素部に図6に示されたように大部分の時間の間ハイレベルの信号を出力して多くのステージから順次ローレベルのパルスを出力する。

40

【0056】

図6を参照すれば、ステージは、以前段出力電圧siまたは最初スタートパルスSPの入力を受けて第2クロック端子ck2にゲートが接続されて選択的に以前段出力電圧siまたは最初スタートパルスSPを第1ノードN1に伝達する第1PMOSTランジスタM1、ゲートが第1ノードN1に連結されて第3クロック端子ck3と第2ノードN2の間に接続される第2PMOSTランジスタM2、ゲートに第1クロック端子ck1が連結されて基底電圧源(第2電圧)と第3ノードN3の間に連結される第3PMOSTランジスタM3、ゲートに第1ノードN1が連結されて第1クロック端子ck1と第3ノードN3の間に連結される第4PMOSTランジスタM4、ゲートが第3ノードN3に連結されて電源供給線VDD(第1電圧)及び出力ラインOUTの間に接続された第5PMOSTラ

50

ンジスタM5、及び第1ノードN1と第2ノードN2の間に連結されて所定の電圧を維持するキャパシタC1とを含む。これらの素子を機能的に分類すると、第1トランジスタM1はスイッチ、第2トランジスタM2は保存部、第3トランジスタM3、第4トランジスタM4はスイッチ部とすることができる。また、本実施形態における以前段のステージの出力端とは以前段出力電圧 s_i または最初スタートパルスSPの入力 i_n を含む。

【0057】

上記基底電圧源VSSには別途の負の電源または接地GNDされて構成されることも可能で、本発明の実施形態では上記基底電圧源が接地GNDに具現されることが示されている。

【0058】

以下、図6に示されたステージの中で3k-2番目ステージの回路構成からより具体的にステージの動作を説明する。

【0059】

図7を参照すれば、上記走査駆動回路の各ステージは第1クロックCLK1、第2クロックCLK2、第3クロックCLK3及び第4クロックCLK4によって一周期をフリーチャージ期間、入力期間、評価期間及び休息期間で区分することができる。

【0060】

フリーチャージ期間はステージの第1クロック端子ck1にロー信号が入力されて第2クロック端子ck2と第3クロック端子ck3にハイ信号が入力されて、第3、第5PMOSトランジスタがオンすることにより、ステージのキャパシタC1をフリーチャージするようになる。

【0061】

そして、入力期間は第2クロック端子ck2にロー信号が入力されて第1クロック端子ck1と第3クロック端子ck3にハイ信号が入力されて入力端 i_n からスタートパルスSPまたは以前段の走査信号 S_i が入力されて保存される。

【0062】

評価期間は、第3クロック端子ck3にロー信号が入力されて第1クロック端子ck1と第2クロック端子ck2にハイ信号が入力されて所定の期間内でロー信号を出力する。ステージの入力端子からスタートパルスSPまたは以前ステージから出力された走査信号 S_i が入力されるようにする。

【0063】

そして、評価期間は第3クロック端子ck3にロー信号が入力されて第1クロック端子ck1と第2クロック端子ck2からハイ信号が入力されてローレベルのパルスの走査信号を所定の時間シフトして出力する動作をする。そして、休憩期間はステージに入力されない第4クロックCLK4がロー信号で動作する時を意味する。

【0064】

まず、フリーチャージ期間で、第1クロックCLK1がロー信号になれば、第3PMOSトランジスタM3がオン状態になって第3ノードN3の電圧が接地電圧になって第5PMOSトランジスタM5がオン状態になって電源供給線VDDの電圧が出力端子outから出力されて出力端子outにはハイの電圧が出力される。すなわち、走査信号がハイ信号に出力されるようになる。

【0065】

そして、入力期間では第2クロックCLK2がロー信号になれば、スタートパルスSPまたは以前段の走査信号 S_i が第1PMOSトランジスタM1から第1ノードN1に伝達されて、キャパシタC1にスタートパルスSPまたは以前段の走査信号 S_i が保存される。この時、スタートパルスSPまたは以前段の走査信号 S_i がロー信号なので、第2PMOSトランジスタM2と第4PMOSトランジスタM4がオン状態になる。

【0066】

そして、第1クロックCLK1がハイ信号になって第3PMOSトランジスタM3はオフ状態になる。第3PMOSトランジスタM3がオフ状態になって第4PMOSトランジ

10

20

30

40

50

スタM4がオン状態になれば、第3ノードN3にハイ信号である第1クロックCLK1が伝達されて第5PMOSトランジスタM5がオフ状態になる。この時、第2PMOSトランジスタM2はオン状態になってハイ信号である第3クロックCLK3によって出力端子はハイ信号を出力する。

【0067】

そして、評価期間では第3クロックCLK3がロー信号になって第1PMOSトランジスタM1がフローティング状態になってキャパシタC1はロー電圧を維持して第2PMOSトランジスタM2と第4PMOSトランジスタM4はオン状態になる。そして、第3PMOSトランジスタM3及び第5PMOSトランジスタM5はオフ状態になる。したがって、出力端子outからはロー信号の第3クロックCLK3によってロー信号が出力されるようになる。

10

【0068】

すなわち、フリーチャージ期間には出力端子outから電源供給線VDDによってハイ電圧が出力されて、入力期間にはキャパシタC1によって出力端子outでハイ電圧を維持するようになる。そして、評価期間にはロー信号の第3クロックCLK3に対応する電圧を出力するようになって、第3クロックCLK3がロー状態になれば出力端outの電圧が落ちるようになって、第3クロックCLK3がハイ状態になれば再度出力端outの電圧はハイ状態になる。したがって、出力端outからは走査信号S1～Snが出力される。

【0069】

そして、休息期間には第1クロックCLK1、第2クロックCLK2、第3クロックCLK3はハイ状態として伝達されて、ロー状態として伝達される第4クロックCLK4はステージに伝達されない。よって、ステージがクロックの影響をうけた動作をしなくなる。

20

【0070】

そして、それぞれのステージは、入力端inからロー信号が入力されなければ第2トランジスタM2はオフ状態になって、出力端outはハイ信号を維持するようになる。それぞれのステージは、スタートパルスSPまたは以前段のステージから出力されたロー信号の入力を受けた場合のみにロー信号を出力するようになって、走査信号を順次出力することができるようになる。

30

【0071】

図8は、本発明による走査駆動回路内の任意ステージの第2実施形態を示す回路図である。図8を参照して説明すれば、ステージは第1PMOSトランジスタM1、第2PMOSトランジスタM2、第3PMOSトランジスタM3、第4PMOSトランジスタM4、第5PMOSトランジスタM5及びキャパシタC1を具備する。

【0072】

第1PMOSトランジスタM1は、第2クロックCLK2によって入力信号を第1ノードN1に伝達して、第2PMOSトランジスタM2は第1ノードN1の電圧に対応して第3クロックCLK3を第2ノードN2に伝達する。

【0073】

第3PMOSトランジスタM3は、第1クロックCLK1によって接地電圧を第5PMOSトランジスタM5のゲートに伝達して、第4PMOSトランジスタM4は出力端outがゲートに連結されて出力端outの電圧に対応して第1クロックCLK1を第5PMOSトランジスタM5のゲートに伝達する。

40

【0074】

そして、第5PMOSトランジスタM5はゲートの電圧に対応して電源供給線VDDの電圧を出力端に伝達する。そして、キャパシタC1は第1ノードN1と第2ノードN2の間に連結されて所定の電圧を維持する。

【0075】

上記のように構成されたステージは図7に示されたタイミング図のような第1～第3ク

50

ロックCLK1～CLK3の伝達を受けて動作して、フリーチャージ期間では第1クロックCLK1によって第5PMOSトランジスタM5がオン状態になって電源供給線VDDの電圧によって出力端outにハイ信号が出力され、入力期間では第2クロックCLK2によってキャパシタC1にスタートパルスSPまたは以前段の走査信号Siが保存された後、評価期間ではキャパシタC1に保存された電圧によって第3クロックCLK3の電圧が出力されるようにして出力端outの電圧がローレベルを持つようにする。この時、第4PMOSトランジスタM4は、出力端の電圧がローレベルである時第5PMOSトランジスタM5のゲートにハイ信号を伝達して、電源供給線VDDの電圧が出力端に伝達されることを防止する。

【0076】

10

図9は、本発明による走査駆動回路内の任意ステージの第3実施形態を示す回路図である。図9を参照して説明すれば、ステージは図6に示されたステージで第4PMOSトランジスタM4のソースに第6PMOSトランジスタM6が連結されるようにして、第6PMOSトランジスタM6のソースには電源供給線VDDが連結されてゲートには第3クロックCLK3が伝達されるようにする。本実施形態においてスイッチ部は、第3、第4、第5、第6トランジスタに相当する。

【0077】

したがって、第3クロックCLK3がローレベルを持つ場合、キャパシタC1に保存された電圧によって第4PMOSトランジスタM4がオン状態になって、電源供給線VDDの電圧が第3ノードN3に伝達されるようにして第5PMOSトランジスタM5がオフ状態になるようにする。すなわち、クロックでない電源供給線VDDの電圧が第5PMOSトランジスタM5のゲートに伝達されるようにして、第5PMOSトランジスタM5が確実にオフ状態になるようにする。

20

【0078】

したがって、第3クロックCLK3がローレベルの場合、電源供給線の電圧が第5PMOSトランジスタM5から出力端に伝達されることを防止して、第3クロックCLK3がローレベルである時、出力端の電圧が確実にローレベルに落ちるようにする。

【0079】

図10は、本発明による走査駆動回路内の任意ステージの第4実施形態を示す回路図である。図10を参照して説明すれば、図9に示されたステージとの差異は第4PMOSトランジスタM4のゲートに第3クロックCLK3が伝達されて、第6PMOSトランジスタM6のゲートが第1ノードN1に連結されるようにしたこと、第3クロックCLK3がローレベルである時、第3ノードN3に電源供給線の電圧が伝達されるようにすることは図9と同じである。

30

【0080】

図11は、本発明による走査駆動回路内の任意ステージの第5実施形態を示す回路図である。図11を参照して説明すれば、図8に示されたステージと類似な構成をし、その差異は第3PMOSトランジスタM3のソースとゲートが第1クロックCLK1の伝達を受けることである。したがって、第1クロックCLK1がローレベルである時第5PMOSトランジスタM5がオン状態になる。残りの動作は図8に示されたステージと同じ動作をする。

40

【0081】

図12は、図6に示されたステージの入/出力信号波形の第2実施形態を示すタイミング図である。図12の波形は図8、図9、図10及び図11に示されたステージにも適用される。そして、第1クロックCLK1、第2クロックCLK2、第3クロックCLK3及び第4クロックCLK4が外部の影響などによって一定部分重なるようになった場合の動作を示す。

【0082】

図12をよく見れば、第2クロックCLK2と第3クロックCLK3と第4クロックCLK4の誤動作によって第1クロックCLK1と第2クロックCLK2、第2クロックCLK

50

CLK2と第3クロックCLK3、第3クロックCLK3と第4クロックCLK4が重なるようになる。この時、ステージの四つの動作であるフリーチャージ期間、入力期間、評価期間及び休息期間の中で、評価期間で走査信号は第3クロックCLK3の動作に対応して動作する。この時、ステージに第4クロックCLK4による休息期間には第4クロックCLK4がステージに入力されずに第4クロックCLK4はステージの動作に影響を及ぼさない。したがって、ステージから出力される走査信号は第3クロックCLK3の波形について行くようになって各クロックが一定部分重なっても走査信号の波形に歪曲が発生しなくなる。

【0083】

しかし、第4クロックCLK4による休息期間なしに評価期間が終わった後、再度フリーチャージ期間が来るようになれば、第1クロックCLK1によって駆動電源の電圧が出力端outに伝達されて走査信号の波形が歪曲されるようになるという問題点がある。したがって、評価期間後に発生する休息期間によって走査信号の波形が歪曲されることを防止することができる。

10

【0084】

図13は、本発明による走査駆動回路内の任意ステージの第6実施形態を示す回路図で、図14は図13に示されたステージのタイミング図である。

【0085】

図13と図14を参照して説明すれば、ステージはNMOSトランジスタで構成されており、図6に示されたステージと類似な構成をして各トランジスタは図6と図7に説明した動作と同じ動作を遂行する。

20

【0086】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【0087】

本発明は、走査駆動回路及びこれを利用した有機発光表示装置に適用可能である。

【図面の簡単な説明】

30

【0088】

【図1】一般的な走査駆動回路の構造を示す構造図である。

【図2】図1に示された走査駆動回路のステージを示す回路図である。

【図3】図2に示されたステージのタイミング図である。

【図4】本発明の第1の実施形態にかかる有機発光表示装置の構造図である。

【図5】同実施形態にかかる走査駆動回路の構造を示す構造図である。

【図6】図5に示された走査駆動回路で採用されたステージの第1実施形態を示す回路図である。

【図7】図6に示されたステージの入/出力信号波形の第1実施形態を示すタイミング図である。

40

【図8】図5に示された走査駆動回路で採用されたステージの第2実施形態を示す回路図である。

【図9】図5に示された走査駆動回路で採用されたステージの第3実施形態を示す回路図である。

【図10】本発明による走査駆動回路内の任意ステージの第4実施形態を示す回路図である。

【図11】本発明による走査駆動回路内の任意ステージの第5実施形態を示す回路図である。

【図12】図6に示されたステージの入/出力信号波形の第2実施形態を示すタイミング図である。

50

【図13】本発明による走査駆動回路内の任意ステージの第6実施形態を示す回路図である。

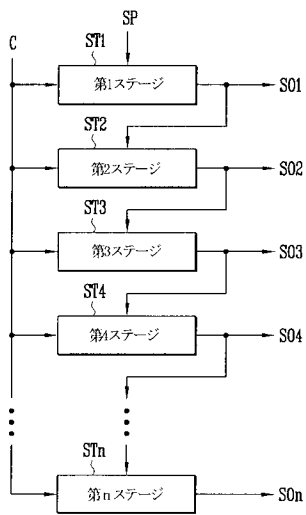
【図14】図13に示されたステージのタイミング図である。

【符号の説明】

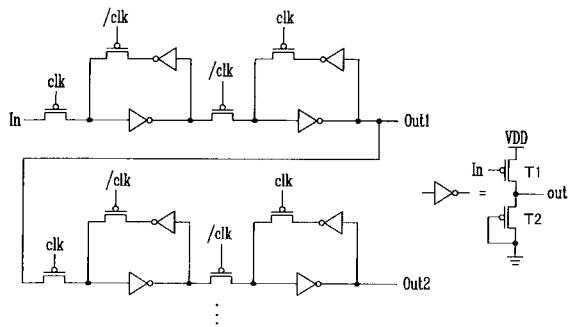
【0089】

- 10 走査駆動回路
- 20 データ駆動回路
- 30 画素部
- 40 画素
- 50 タイミング制御部

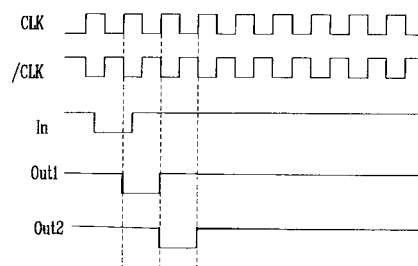
【図1】



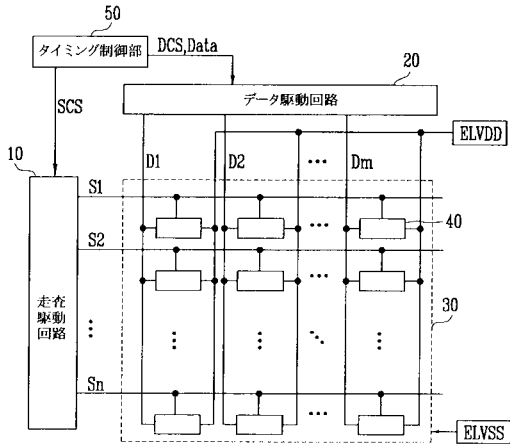
【図2】



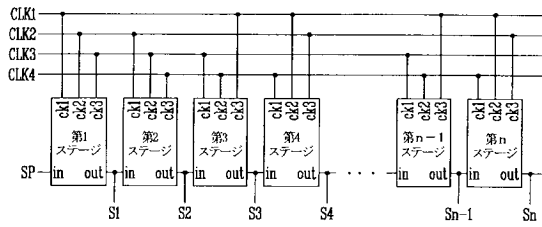
【図3】



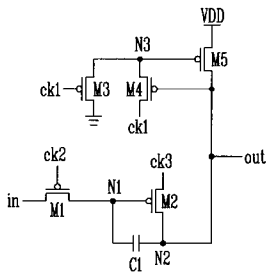
【 図 4 】



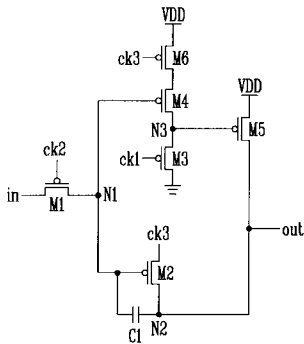
【 図 5 】



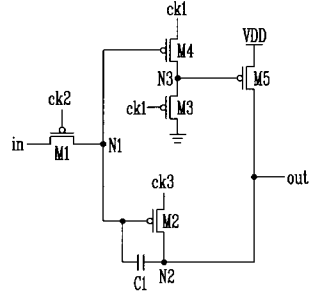
【 図 8 】



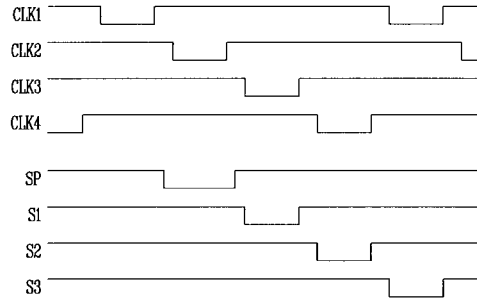
【 図 9 】



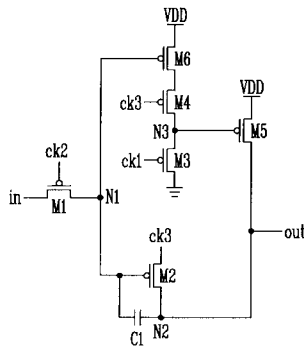
【 図 6 】



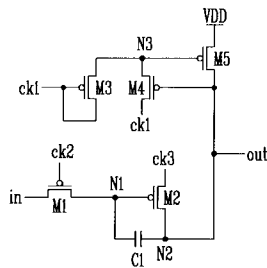
【 図 7 】



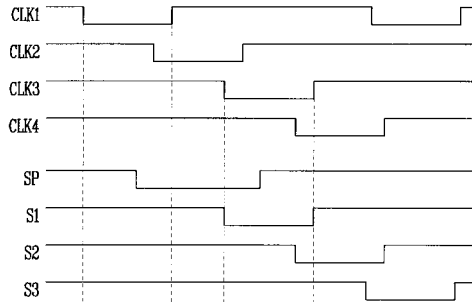
【 図 10 】



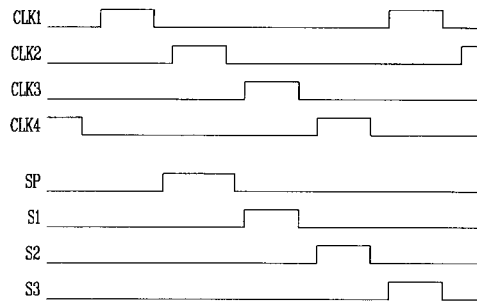
【 図 11 】



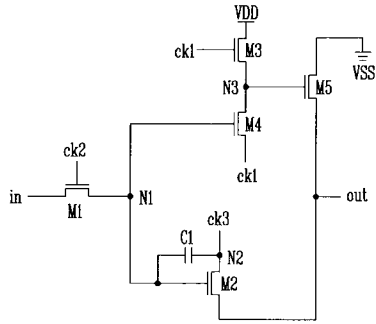
【 図 1 2 】



【 図 1 4 】



【 図 1 3 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 7 0 E
H 0 5 B	33/14	A
G 0 9 G	3/20	6 7 0 G

专利名称(译)	扫描驱动电路和使用其的有机发光显示装置		
公开(公告)号	JP2007286583A	公开(公告)日	2007-11-01
申请号	JP2006289875	申请日	2006-10-25
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	申東蓉		
发明人	申 東蓉		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3266 G09G3/20 G09G3/3208 G09G2310/0286 G09G2330/021 G11C19/184		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.622.E G09G3/20.622.D G09G3/20.623.A G09G3/20.622.C G09G3/20.670.E H05B33/14.A G09G3/20.670.G G09G3/3233 G09G3/3266 G09G3/3275 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/EE04 3K107/HH00 5C080/AA06 5C080/BB05 5C080/DD09 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5B074/DB02 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA31 5C380/CA08 5C380/CB01 5C380/CB11 5C380/CE19 5C380/CF07 5C380/CF10 5C380/CF23 5C380/DA02 5C380/DA06		
优先权	1020060034960 2006-04-18 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种扫描驱动电路，其输出电压可以在正到负电源电压范围内切换，以及使用该扫描驱动电路的有机发光显示器。
 ŽSOLUTION：扫描驱动电路包括多个级。每个级接收可以顺序生成的四个时钟中的三个，接收输入信号并将其延迟预定时间，并输出输出信号。每级的输入端子连接到前一级的输出端子。每个级包括第一晶体管，开关部分和存储部分。第一晶体管根据来自第二时钟端子的时钟关断/接通输入端子的连接。开关部分根据来自第一时钟端子的时钟将第一电压传送到输出端子，并根据通过第一时钟的开/关操作从输入端子输入的输入信号防止第一电压传送到输出端子。晶体管。存储部分将输出端子的电压保持预定时间，并根据输入信号将时钟电压从第三时钟端子传送到输出端子。Ž

