

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-140318

(P2007-140318A)

(43) 公開日 平成19年6月7日(2007.6.7)

| | | |
|-----------------------------|----------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| G09G 3/20 (2006.01) | G09G 3/30 K | 5C080 |
| H01L 51/50 (2006.01) | G09G 3/20 624B | |
| | G09G 3/20 641D | |
| | G09G 3/20 642A | |

審査請求 未請求 請求項の数 12 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2005-336592 (P2005-336592)
 (22) 出願日 平成17年11月22日 (2005.11.22)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路

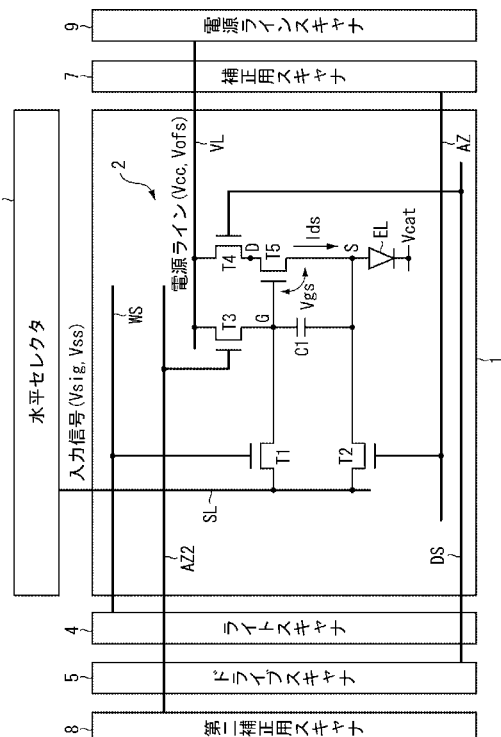
(57) 【要約】

【課題】 ドライブトランジスタの閾電圧のばらつきをキャンセルする機能を改善した画素回路を提供する。

【解決手段】 画素回路2は、ドライブトランジスタT5のゲートGとソースS間に画素容量C1が接続され、ソースSとカソード電位Vcat間に発光素子ELが接続され、ゲートGと信号線SLとの間にサンプリングトランジスタT1が接続され、ゲートGと電源VLとの間に第1スイッチングトランジスタT3が接続され、ドレインDと電源VLとの間に第2スイッチングトランジスタT4が接続され、ソースSと信号線SLとの間に第3スイッチングトランジスタT2が接続されている。第1、第2及び第3スイッチングトランジスタT3、T4、T2は、映像信号Vsigが画素容量C1にサンプリングされる前に動作し、ドライブトランジスタT5の閾電圧Vthを検出して画素容量C1に書き込み、以って出力電流Idsの閾電圧Vthに対する依存性を補正する。

。

【選択図】 図15



【特許請求の範囲】

【請求項 1】

信号線と所要数の走査線が交差する部分に配され、発光素子とこれを駆動するドライブトランジスタとを含む画素回路であって、

該ドライブトランジスタのゲートとソース間に画素容量が接続され、該ドライブトランジスタのソースと所定のカソード電位間に該発光素子が接続され、該ドライブトランジスタのゲートと信号線との間にサンプリングトランジスタが接続され、該ドライブトランジスタのゲートと電源との間に第 1 スイッチングトランジスタが接続され、該ドライブトランジスタのドレインと電源との間に第 2 スイッチングトランジスタが接続され、該ドライブトランジスタのソースと信号線との間に第 3 スイッチングトランジスタが接続されてお

10

り、
前記サンプリングトランジスタは、水平走査期間に導通して該信号線から供給された映像信号を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、

前記第 1、第 2 及び第 3 スイッチングトランジスタは、該映像信号が該画素容量にサンプリングされる前に動作し、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込み、以って該出力電流の閾電圧に対する依存性を補正することを特徴とする画素回路

20

【請求項 2】

前記第 3 スイッチングトランジスタがオフした後前記第 1 スイッチングトランジスタがオンしている状態で、前記第 2 スイッチトランジスタをオンオフ制御して、該ドライブトランジスタの閾電圧を検出しこれを該画素容量に書き込み、以って出力電流の該閾電圧に対する依存性を補正することを特徴とする請求項 1 記載の画素回路。

【請求項 3】

前記第 2 スイッチングトランジスタがオンしている時間幅は、該水平走査期間の時間幅よりも長く設定されていることを特徴とする請求項 2 記載の画素回路。

30

【請求項 4】

該ドライブトランジスタのゲートが第 1 スイッチングトランジスタを介して接続している電源と、該ドライブトランジスタのドレインが第 2 スイッチングトランジスタを介して接続している電源は、共通の電源ラインを通して電源電圧を供給することを特徴とする請求項 1 記載の画素回路。

【請求項 5】

前記共通の電源ラインは走査線と並行に配され、走査線と同様に走査されて時分割的に異なるレベルの電源電圧を供給することを特徴とする請求項 4 記載の画素回路。

【請求項 6】

前記電源電圧は、該発光素子が発光する期間に該ドライブトランジスタのドレインに供給される第 1 のレベルと、出力電流の閾電圧に対する依存性を補正する時に該ドライブトランジスタのゲートに与えられる第 2 のレベルとの間で切り替わることを特徴とする請求項 5 記載の画素回路。

40

【請求項 7】

該ドライブトランジスタのゲートが第 1 スイッチングトランジスタを介して接続している電源と、該ドライブトランジスタのドレインが第 2 スイッチングトランジスタを介して接続している電源は、別々に配された第 1 電源ライン及び第 2 電源ラインを通して異なるレベルの電源電圧を供給することを特徴とする請求項 1 記載の画素回路。

【請求項 8】

50

前記第1電源ラインは、出力電流の閾電圧に対する依存性を補正する時に必要なレベルの電源電圧を該ドライブトランジスタのゲートに供給し、前記第2電源ラインは、該発光素子が発光する期間に必要なレベルの電源電圧を該ドライブトランジスタのドレインに供給することを特徴とする請求項7記載の画素回路。

【請求項9】

前記信号線は、映像信号を表す信号電圧と、一定のレベルに固定された固定電圧とを切り替えて供給することを特徴とする請求項1記載の画素回路。

【請求項10】

前記サンプリングトランジスタは該水平走査期間に信号線から該信号電圧をサンプリングして画素容量に書き込む一方、

前記第3スイッチングトランジスタは、該水平走査期間よりも前で出力電流の閾電圧に対する依存性を補正する時の準備として、信号線から該固定電圧を該ドライブトランジスタのソースに充電することを特徴とする請求項9記載の画素回路。

【請求項11】

前記第3スイッチングトランジスタは、当該走査線に割り当てられた水平走査期間に先行する他の走査線に割り当てられた前の水平走査期間で導通し、信号線から該固定電圧を該ドライブトランジスタのソースに充電することを特徴とする請求項10記載の画素回路。

【請求項12】

前記第3トランジスタは、先行する他の複数の走査線に割り当てられた複数の水平走査期間で繰り返し導通し、信号線から該固定電圧を該ドライブトランジスタのソースに充電することを特徴とする請求項11記載の画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型表示装置の画素を構成する発光素子を電流駆動する画素回路に関する。より詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機ELなどの発光素子に通電する電流量を制御する技術に関する。さらに詳しくは、発光素子を駆動する絶縁ゲート型電界効果トランジスタの閾電圧の補正技術に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ、TFT)によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

10

20

30

40

50

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

10

【0005】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

20

【0006】

ここでドライブトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式1}$$

このトランジスタ特性式1において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャンネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャンネル幅を表わし、 L はチャンネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の均一性(ユニフォーミティ)が得られるはずである。

30

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面の均一性を損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

40

【0008】

しかしながら、ドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ従来の画素回路は、必ずしもキャンセル機能が十分ではなく、キャンセルのし残りがあり、解決すべき課題となっている。特に信号電圧の低い黒表示の領域では、キャンセルされずに残った閾電圧の影響が強くなり、画面の均一性を損なっていた。即ち閾電圧のキャンセルが不十分であるため、黒階調で輝度のばらつきが見えてしまうとい

50

う課題が発生していた。

【課題を解決するための手段】

【0009】

上述した従来技術の課題に鑑み、本発明はドライブトランジスタの閾電圧のばらつきをキャンセルする機能を改善した画素回路を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、信号線と所要数の走査線が交差する部分に配され、発光素子とこれを駆動するドライブトランジスタとを含む画素回路であって、該ドライブトランジスタのゲートとソース間に画素容量が接続され、該ドライブトランジスタのソースと所定のカソード電位間に該発光素子が接続され、該ドライブトランジスタのゲートと信号線との間にサンプリングトランジスタが接続され、該ドライブトランジスタのゲートと電源との間に第1スイッチングトランジスタが接続され、該ドライブトランジスタのドレインと電源との間に第2スイッチングトランジスタが接続され、該ドライブトランジスタのソースと信号線との間に第3スイッチングトランジスタが接続されており、前記サンプリングトランジスタは、水平走査期間に導通して該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、前記第1、第2及び第3スイッチングトランジスタは、該映像信号が該画素容量にサンプリングされる前に動作し、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込み、以って該出力電流の閾電圧に対する依存性を補正する。

10

20

【0010】

具体的には、前記第3スイッチングトランジスタがオフした後前記第1スイッチングトランジスタがオンしている状態で、前記第2スイッチトランジスタをオンオフ制御して、該ドライブトランジスタの閾電圧を検出しこれを該画素容量に書き込み、以って出力電流の該閾電圧に対する依存性を補正する。又前記第2スイッチングトランジスタがオンしている時間幅は、該水平走査期間の時間幅よりも長く設定されている。一態様では、該ドライブトランジスタのゲートが第1スイッチングトランジスタを介して接続している電源と、該ドライブトランジスタのドレインが第2スイッチングトランジスタを介して接続している電源は、共通の電源ラインを通して電源電圧を供給する。又前記共通の電源ラインは走査線と並行に配され、走査線と同様に走査されて時分割的に異なるレベルの電源電圧を供給する。又前記電源電圧は、該発光素子が発光する期間に該ドライブトランジスタのドレインに供給される第1のレベルと、出力電流の閾電圧に対する依存性を補正する時に該ドライブトランジスタのゲートに与えられる第2のレベルとの間で切り替わる。

30

【0011】

他の態様では、該ドライブトランジスタのゲートが第1スイッチングトランジスタを介して接続している電源と、該ドライブトランジスタのドレインが第2スイッチングトランジスタを介して接続している電源は、別々に配された第1電源ライン及び第2電源ラインを通して異なるレベルの電源電圧を供給する。前記第1電源ラインは、出力電流の閾電圧に対する依存性を補正する時に必要なレベルの電源電圧を該ドライブトランジスタのゲートに供給し、前記第2電源ラインは、該発光素子が発光する期間に必要なレベルの電源電圧を該ドライブトランジスタのドレインに供給する。

40

【0012】

好ましくは、前記信号線は、映像信号を表す信号電圧と、一定のレベルに固定された固定電圧とを切り替えて供給する。又前記サンプリングトランジスタは該水平走査期間に信号線から該信号電圧をサンプリングして画素容量に書き込む一方、前記第3スイッチングトランジスタは、該水平走査期間よりも前で出力電流の閾電圧に対する依存性を補正する時の準備として、信号線から該固定電圧を該ドライブトランジスタのソースに充電する。又前記第3スイッチングトランジスタは、当該走査線に割り当てられた水平走査期間に先

50

行する他の走査線に割り当てられた前の水平走査期間で導通し、信号線から該固定電圧を該ドライブトランジスタのソースに充電する。又前記第3トランジスタは、先行する他の複数の走査線に割り当てられた複数の水平走査期間で繰り返し導通し、信号線から該固定電圧を該ドライブトランジスタのソースに充電する。

【発明の効果】

【0013】

本発明にかかる画素回路は、サンプリングトランジスタ及びドライブトランジスタの他に、第1、第2及び第3スイッチングトランジスタを組み込んで、補正手段を構成している。この補正手段は、ドライブトランジスタの閾電圧を検出して画素容量に書き込み、以って閾電圧に対するドライブトランジスタの出力電流の依存性を補正している。特徴事項として、3個のスイッチングトランジスタからなる補正手段は、サンプリングトランジスタが映像信号を画素容量にサンプリングする水平走査期間の前に補正動作を行っている。これにより閾電圧のキャンセルに十分な時間を確保できるようになる。したがって、従来のように閾電圧のキャンセル残りがなく、黒階調での輝度のばらつきがなくなる。具体的に見るとこの補正手段は、第3スイッチングトランジスタがオフした後第1スイッチングトランジスタがオンしている状態で、第2スイッチングトランジスタをオンオフ制御して、ドライブトランジスタの閾電圧を検出しこれを画素容量に書き込んでいる。このとき第2スイッチングトランジスタがオンしている時間幅を、水平走査期間の時間幅よりも長く設定することで、閾電圧のキャンセル残りがないようにしている。また閾電圧の補正期間は上述のように第2スイッチングトランジスタのオン/オフによって決定されるので、パルスの遅延による差が小さく、パネルの大型化及び高精細化が可能になる。

【発明を実施するための最良の形態】

【0014】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにするため、図1を参照して基本的なアクティブマトリクス型表示装置の構成を説明する。図示する様にこの表示装置は、画素アレイ1と水平セレクタ3とライトスキャナ4とで構成されている。画素アレイ1は1枚のパネルに集積形成される。水平セレクタ3とライトスキャナ4はパネルに内蔵される場合と外付けされる場合とがある。画素アレイ1は行状に配列した走査線WSと列状に配列した信号線SLと両者の交差部に配された画素回路2とで構成されている。走査線WSはライトスキャナ4に接続されており、順次制御信号を出力して、画素回路2を行単位で順次選択する。水平セレクタ3は各信号線SLに接続されており、選択された画素回路2に映像信号を書き込む。

【0015】

図2は、図1に示した画素回路2の一例を示す回路図である。この画素回路2は最も単純な構成を有しており、2個のトランジスタT1、T5と1個の画素容量C1と1個の発光素子ELとで構成されている。サンプリングトランジスタT1はNチャンネル型の薄膜トランジスタである。ドライブトランジスタT5はPチャンネル型の薄膜トランジスタである。画素容量C1は薄膜容量である。発光素子ELは例えば有機EL薄膜を発光層とする2端子素子(ダイオード)である。これらの素子T1、T5、C1、ELはパネルを構成する絶縁基板の上に集積形成される。

【0016】

サンプリングトランジスタT1は信号線SLとドライブトランジスタT5のゲートとの間に接続されている。サンプリングトランジスタT1のゲートは走査線WSを介してライトスキャナ4に接続されている。ドライブトランジスタT5のゲートには、画素容量C1が接続されている。ドライブトランジスタT5のソースは電源Vccに接続されている。ドライブトランジスタT5のドレインは発光素子ELのアノードに接続されている。発光素子ELのカソードは接地されている。

【0017】

サンプリングトランジスタT1は水平走査期間になるとライトスキャナ4から制御信号が印加され、導通状態になる。これによりサンプリングトランジスタT1は水平セレクタ

3 から信号線 S L に供給された映像信号をサンプリングし、画素容量 C 1 に書き込む。ドライブトランジスタ T 5 は画素容量 C 1 に書き込まれた映像信号に応じてドレイン電流 I_{ds} を発光素子 E L に供給する。これにより、発光素子 E L は映像信号に応じた輝度で発光する。

【 0 0 1 8 】

図 2 に示した方式では、ドライブトランジスタのゲート印加電圧 V_{gs} を映像信号に応じて変化させることで、発光素子 E L に流れる出力電流 I_{ds} をコントロールしている。本例では P チャネル型のサンプリングトランジスタ T 5 のソースは電源 V_{cc} に接続されており、常に飽和領域で動作するように設計されているので、前述の式 1 にしたがって動作する定電流源となる。即ちこの P チャネル型のドライブトランジスタ T 5 は、発光素子 E L 側に接続されたドレインの電位に依存することなく、常にゲートとソース間の電圧 V_{gs} に従って一定の出力電流 I_{ds} を発光素子 E L に供給できる。

10

【 0 0 1 9 】

図 3 は、発光素子 E L の I/V 特性を示すグラフである。有機 E L 素子などによって代表される発光素子は、 $I-V$ 特性が経時的に変化する傾向があり、実線が初期状態を表す一方点線が経時変化後の $I-V$ 特性を表している。グラフで電圧 V はアノード電圧である。図 2 と対応させると、このアノード電圧 V はドライブトランジスタ T 5 のドレイン電圧となっている。一方電流 I は、ドライブトランジスタ T 5 から供給される出力電流 I_{ds} である。前述したように、図 2 の画素回路 2 はドライブトランジスタ T 5 がドレイン電圧に依存することなく、常に一定の出力電流 I_{ds} を発光素子 E L に供給できる。したがって発光素子 E L の $I-V$ 特性が経時的に変化しても、この影響を受けることなく定電流を供給することが可能である。したがって、発光素子 E L には輝度の変化が生じない。

20

【 0 0 2 0 】

図 4 は、従来画素回路 2 の他の例を示す回路図である。理解を容易にするため、図 2 に示した先の従来例と対応する部分には対応する参照番号を付してある。異なる点は、ドライブトランジスタ T 5 が P チャネル型ではなく N チャネル型となっていることである。この場合、ドライブトランジスタ T 5 のソース側が発光素子 E L のアノード側と接続することになる。したがってソース電位が発光素子 E L の $I-V$ 特性の経時変化に影響を受けて変動することになる。発光素子の経時変化と共にゲート/ソース間電圧 V_{gs} が変化してしまう。これにより発光素子 E L に流れる出力電流 I_{ds} の量が変化し、発光輝度が変わってしまう。これに加え、ドライブトランジスタ T 5 は個々の画素回路毎に閾電圧 V_{th} がばらついている。したがって、前述の式 1 に示すように、ドレイン電流 I_{ds} は V_{gs} や V_{th} の変動によってばらつきが生じ、発光輝度が画素毎に変化してしまう。

30

【 0 0 2 1 】

図 5 は、画素回路 2 の参考例を表しており、発光素子 E L の $I-V$ 特性の経時変化や、ドライブトランジスタの閾電圧 V_{th} のばらつきに対応可能な構成である。理解を容易にするため、図 4 に示した先の例と対応する部分には対応する参照番号を付してある。この画素回路 2 は、サンプリングトランジスタ T 1 , ドライブトランジスタ T 5 , 画素容量 C 1 , 発光素子 E L に加えて、2 個のスイッチングトランジスタ T 2 , T 4 を含んでいる。全てのトランジスタ T 1 , T 2 , T 4 , T 5 が N チャネル型であり、例えばポリシリコン薄膜トランジスタあるいはアモルファスシリコン薄膜トランジスタでパネルに集積形成できる。

40

【 0 0 2 2 】

追加されたスイッチングトランジスタ T 4 は、電源 V_{cc} とドライブトランジスタ T 5 のドレインとの間に接続されている。スイッチングトランジスタ T 4 のゲートは走査線 D S を介してドライブスキャナ 5 に接続されている。このドライブスキャナ 5 はスイッチングトランジスタ T 4 を線順次でオンオフ制御するために設けられている。もう 1 つ追加されたスイッチングトランジスタ T 2 は信号線 S L とドライブトランジスタ T 5 のソース S との間に接続されている。このスイッチングトランジスタ T 2 のゲートは走査線 A Z を介して補正用スキャナ 7 に接続されている。補正用スキャナ 7 はスイッチングトランジスタ

50

T 2 を線順次走査に合わせてオンオフ制御するためである。画素容量 C 1 はドライブトランジスタ T 5 のゲート G とソース S との間に接続されている。発光素子 E L のアノードはドライブトランジスタ T 5 のソース S に接続し、カソードは所定のカソード電位 V_{cat} に接続されている。

【 0 0 2 3 】

図 6 は、図 5 に示した画素回路の動作説明に供するタイミングチャートである。このタイミングチャートは、時間軸 J に沿ってサンプリングトランジスタ T 1、スイッチングトランジスタ T 2、スイッチングトランジスタ T 4 のオンオフ変化を表している。またこれに合わせて、信号線 S L に供給される信号電圧の変化も表してある。加えて、ドライブトランジスタ T 5 のゲート G とソース S の電位変化も示してある。

10

【 0 0 2 4 】

時点 J 1 まではスイッチングトランジスタ T 4 がオンしている。この為ドライブトランジスタ T 5 は電源 V_{cc} に接続されており、ゲート電圧 V_{gs} に応じたドレイン電流 I_{ds} を発光素子 E L に供給している。よって発光素子 E L は発光期間にある。

【 0 0 2 5 】

時点 J 1 になるとスイッチングトランジスタ T 4 がオフするため、ドレイン電流 I_{ds} が流れなくなり、発光素子 E L は非発光期間に入る。発光素子 E L に電流が流れなくなる為、ドライブトランジスタ T 5 のソース電位は $V_{cat} + V_{thel}$ まで下がる。なお V_{thel} は発光素子 E L の閾電圧である。これと連動してドライブトランジスタ T 5 のゲート電位も低下する。

20

【 0 0 2 6 】

時点 J 2 になるとサンプリングトランジスタ T 1 とスイッチングトランジスタ T 2 が共にオンする。このとき信号電圧は固定電位 V_{ss} にある。ドライブトランジスタ T 5 のソース S が信号線につながることで、ソース電位は V_{ss} まで下がる。またドライブトランジスタ T 5 のゲート G も信号線 S L につながる為、ゲート電位も V_{ss} に下がる。

【 0 0 2 7 】

T 2 がオフした後時点 J 3 で信号電圧が V_{ss} から V_{ofs} に切替る。このときサンプリングトランジスタ T 1 は引き続きオン状態にあるので、ドライブトランジスタ T 5 のゲート電位は V_{ofs} まで上昇する。

【 0 0 2 8 】

この直後時点 J 4 になると、スイッチングトランジスタ T 4 がオンする。これによりドレイン電流 I_{ds} が流れるが、発光素子 E L は逆バイアス状態となっているため、ソース S の電位が上昇する。ゲート G の電位とソース S の電位との差が閾電圧 V_{th} となったところでドレイン電流 I_{ds} は流れなくなる。

30

【 0 0 2 9 】

ドライブトランジスタ T 5 がカットオフした後、時点 J 5 でスイッチングトランジスタ T 4 がオフになる。これにより、ドライブトランジスタ T 5 のゲート G とソース S との間に接続された画素容量 C 1 に閾電圧 V_{th} が書き込まれる。この様に閾電圧 V_{th} の検出及び書き込みが行われる時間 J 4 - J 5 を閾値キャンセル期間と呼んでいる。

【 0 0 3 0 】

この後信号電圧は固定電位 V_{ofs} から信号電位 V_{sig} に変化する。このときサンプリングトランジスタ T 1 は引き続きオン状態にあるので、映像信号電位 V_{sig} が画素容量 C 1 に書き込まれ、ドライブトランジスタ T 5 のゲート G の電位が V_{sig} となる。信号電位 V_{sig} の書き込みは閾電圧 V_{th} に足し込まれる形となるので、 V_{gs} は $V_{sig} + V_{th}$ である。時間 J 6 - J 7 を信号書き込み期間と呼んでいる。

40

【 0 0 3 1 】

この後時点 J 7 でサンプリングトランジスタ T 1 がオフしさらに時点 T 8 でスイッチングトランジスタ T 4 が再びオンする。これにより出力電流 I_{ds} が発光素子 E L に流れ込み、発光期間に入る。ドレイン電流 I_{ds} が発光素子 E L に流れるとソース S の電位が上昇するが、これと連動してゲート G の電位も上昇する。ドライブトランジスタ T 5 に対す

50

る入力電圧 V_{gs} は発光期間中一定に保たれる。

【0032】

図6のタイミングチャートから明らかなように、サンプリングトランジスタ T_1 がオンしている期間 $J_2 - J_7$ がほぼ1水平走査期間 (1H) に相当している。この間に信号電圧は V_{ss} から V_{ofs} に変わりさらに V_{sig} に変化する。またこの1水平走査期間 $J_2 - J_7$ の間に閾値キャンセル期間 $J_4 - J_5$ と信号書き込み期間 $J_6 - J_7$ が含まれる。換言すると、この参考例は1水平走査期間という短い時間に、閾値キャンセル動作と信号書き込み動作を行っている。このため場合によっては閾値キャンセル動作に十分な時間が取れず、閾値のキャンセルが不十分になることがある。

【0033】

図7から図14を参照して、図5に示した参考例にかかる画素回路の動作を改めて説明する。図7は、時点 J_1 前の画素回路2の状態を表している。時点 J_1 の前は、スイッチングトランジスタ T_4 のみがオンしている。このときドライブトランジスタ T_5 は飽和領域で動作するように設計されている為、発光素子 EL に流れる電流 I_{ds} は、ドライブトランジスタ T_5 のゲート/ソース間電圧 V_{gs} に応じて、前述の式1に表される値を取る。

10

【0034】

図8は、時間 $J_1 - J_2$ における画素回路2の状態を表している。ここではスイッチングトランジスタ T_4 がオフになる。スイッチングトランジスタ T_4 をオフにすることで、電源 V_{cc} から発光素子 EL のカソードに電流が供給されなくなるので、発光素子 EL は消光する。そしてドライブトランジスタ T_5 のソース電圧はカソード電圧 V_{cat} と発光素子 EL の閾値電圧 V_{thel} の和、つまり $V_{cat} + V_{thel}$ という値になる。

20

【0035】

図9は、時間 $J_2 - J_3$ における画素回路2の状態を表している。ここではサンプリングトランジスタ T_1 とスイッチングトランジスタ T_2 がオンになる。サンプリングトランジスタ T_1 がオンすることでドライブトランジスタ T_5 のゲート G に固定電位 V_{ss} が充電される。またスイッチングトランジスタ T_2 がオンすることで、ドライブトランジスタ T_5 のソース S にも信号線 SL から固定電位 V_{ss} が充電される。ここで V_{ss} がカソード電圧 V_{cat} と発光素子 EL の閾電圧 V_{thel} の和 $V_{cat} + V_{thel}$ よりも小さく設定されている。つまり $V_{ss} < V_{thel} + V_{cat}$ という逆バイアス状態にあるので、発光素子 EL は発光することがない。

30

【0036】

図10は、時間 $J_3 - J_4$ における画素回路2の状態を表している。ここではスイッチングトランジスタ T_2 がオフとなり、信号線 SL 上の信号電位が V_{ss} から V_{ofs} に切換る。これによりドライブトランジスタ T_5 のゲート G には V_{ofs} が充電される。発光素子 EL の等価回路はダイオード接続されたトランジスタ $Te1$ と容量 $Ce1$ で表されるため、ドライブトランジスタ T_5 のソース電圧は、画素容量 C_1 、発光素子 EL の寄生容量 $Ce1$ 及びドライブトランジスタ T_5 の寄生容量 C_2 によって、以下の式2のように決定される。

【数 1】

$$\text{ソース電圧} = \frac{C1+C2}{Cel+C1+C2} (Vofs-Vss)+Vss$$

$$\text{ゲートソース間電圧} = \frac{Cel}{Cel+C1+C2} (Vofs-Vss)$$

式2

10

【0037】

図11は、時間J4 - J5における画素回路2の状態を表している。この状態ではスイッチングトランジスタT4をオンして閾電圧キャンセル動作（閾電圧補正動作）を開始する。以下の式3で示されるドライブトランジスタT5のゲート/ソース間電圧Vgsが、ドライブトランジスタT5の閾電圧Vthよりも大きいので、電源VccからドライブトランジスタT5を通して図示のように電流が流れ、画素容量C1の充電を開始する。

【数 2】

20

$$Vgs = \frac{Cel}{Cel+C1+C2} (Vsig-Vofs)+Vth$$

式3

前述したように、発光素子ELの等価回路はダイオードTelと容量Celの並列接続で表される。発光素子ELのアノード電圧VelがVcat + Vthelよりも小さい逆バイアス状態である限り、発光素子ELに流れるリーク電流はほとんど無視可能であり、ドライブトランジスタT5の電流はほぼ全て画素容量C1と発光素子容量Celを充電するために使われる。なお発光素子ELのアノード電圧VelはドライブトランジスタT5のソース電圧に等しい。この充電により、アノード電圧Velは時間と共に上昇していく。一定時間経過後、ドライブトランジスタT5のゲート/ソース間電圧はVthという値を取ってドライブトランジスタT5がカットオフする。このとき、Vel = Vofs - Vth < Vcat + Vthelとなっている。

30

【0038】

図12は、時間と共に上昇するアノード電圧Velの変化をグラフ化したものである。なおアノード電圧VelはドライブトランジスタT5のソース電圧となっているので、図12のグラフは横軸に時間を取る一方、縦軸はアノード電圧Velに代えてドライブトランジスタT5のソース電圧を取ってある。図示する様にソース電圧は画素容量C1の充電に伴って上昇し、Vofs - Vthとなったところで停止する。換言するとドライブトランジスタT5のゲート/ソース間電圧Vgsが丁度閾電圧VthとなったところでドライブトランジスタT5がカットオフする。この様にしてキャンセル期間J4 - J5では、ドライブトランジスタT5の閾電圧Vthの検出及び画素容量C1に対するVthの書き込みが行われる。

40

【0039】

図13は、時間J5 - J7における画素回路2の状態を示している。この期間J5 - J7で映像信号電圧Vsigの書き込みが行われる。即ち閾電圧キャンセル動作終了後スイッチングトランジスタT4をオフし、信号線SL上の電圧を信号電圧Vsigにして、ド

50

ライプトランジスタT5のゲートGに所望の信号電圧 V_{sig} を書き込む。このとき、ドライプトランジスタT5のゲート/ソース間電圧 V_{gs} は、画素容量 C_1 、発光素子ELの寄生容量 C_{e1} 及びドライプトランジスタT5の寄生容量 C_2 によって上記の式3のように決定される。しかし、 C_{e1} は C_1 、 C_2 に比べて大きいため、ゲート/ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。

【0040】

図14は、時点J8以降の画素回路2の状態を表している。映像信号電位の書き込みが終了した後サンプリングトランジスタT1をオフする一方、スイッチングトランジスタT4をオンして、ドライプトランジスタT5のドレイン電圧を電源電圧 V_{cc} まで上昇させる。ドライプトランジスタT5のゲート/ソース間電圧 V_{gs} は $V_{sig} + V_{th}$ と一定であるので、ドライプトランジスタT5は一定電流 I_{ds} を発光素子ELに流す。これによりアノード電圧 V_{e1} は発光素子ELに I_{ds} という電流が流れる電圧 V_x まで上昇し、発光素子ELが発光する。本参考例にかかる画素回路においても、発光素子ELは発光時間が長くなるとそのI-V特性は変化してしまう。そのため図14中に示すドライプトランジスタT5のソース電位も変化する。しかしながら、ドライプトランジスタT5のゲート/ソース間電圧 V_{gs} は一定に保たれているので、発光素子ELに流れる電流は変化しない。よって発光素子ELのI-V特性が劣化しても、一定電流 I_{ds} が常に流れ続け、発光素子ELの輝度が変化することはない。またゲート/ソース間電圧 V_{gs} は信号電圧 V_{sig} に予め V_{th} が足し込まれているので、ドライプトランジスタT5の閾電圧 V_{th} の影響はキャンセルされる。

10

20

【0041】

しかしながら図5に示した参考例の画素回路は、トランジスタ素子数が4個と比較的少ない反面、閾電圧キャンセル期間が1水平走査期間(1H)以下と限定されてしまうので、完全にはドライプトランジスタの閾電圧をキャンセルすることが出来ず、低輝度レベルでこれが現れてしまう。閾電圧キャンセル時間を短くしすぎてしまうことで、黒階調で輝度のばらつきが見えてしまうという問題がある。

【0042】

図15は、本発明にかかる画素回路の構成を示す模式的な回路図である。図示する様に、本画素回路2は、信号線SLと所要数(4本)の走査線WS、DS、AZ、AZ2が交差する部分に配され、発光素子ELとこれを駆動するドライプトランジスタT5とを含む。ドライプトランジスタT5のゲートGとソースS間に画素容量 C_1 が接続されている。ドライプトランジスタT5のソースSと所定のカソード電位 V_{cat} 間に発光素子ELが接続されている。ドライプトランジスタT5のゲートGと信号線SLとの間にサンプリングトランジスタT1が接続されている。サンプリングトランジスタT1のゲートには走査線WSを介してライトスキヤナ4が接続されている。ドライプトランジスタT5のゲートGと電源ラインVLとの間に第1スイッチングトランジスタT3が接続されている。第1トランジスタT3のゲートには走査線AZ2を介して第2補正用スキヤナ8が接続されている。ドライプトランジスタT5のドレインDと電源ラインVLとの間に第2スイッチングトランジスタT4が接続されている。第2スイッチングトランジスタT4のゲートには走査線DSを介してドライブスキヤナ5が接続されている。ドライプトランジスタT5のソースSと信号線SLとの間に第3スイッチングトランジスタT2が接続されている。第3スイッチングトランジスタT2のゲートには走査線AZを介して補正用スキヤナ7が接続されている。

30

40

【0043】

サンプリングトランジスタT1は水平走査期間(1H)に導通して信号線SLから供給された映像信号 V_{sig} を画素容量 C_1 にサンプリングする。画素容量 C_1 は、サンプリングされた映像信号 V_{sig} に応じてドライプトランジスタT5のゲートGに入力電圧 V_{gs} を印加する。ドライプトランジスタT5は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子ELに供給する。この出力電流 I_{ds} は式1に示したようにドライプトランジスタT5の閾電圧 V_{th} に対して依存性を有する。発光素子ELは、ドライプトランジ

50

タT5から供給された出力電流 I_{ds} により映像信号 V_{sig} に応じた発光輝度で発光する。特徴事項として、第1スイッチングトランジスタT3、第2スイッチングトランジスタT4及び第3スイッチングトランジスタT2は補正手段を構成しており、映像信号 V_{sig} が画素容量C1にサンプリングされる前に動作し、ドライブトランジスタT5の閾電圧 V_{th} を検出して画素容量C1に書き込み、以って出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正する。具体的には、第3スイッチングトランジスタT2が補正用スキヤナ7によってオフした後、第1スイッチングトランジスタT3が第2補正用スキヤナ8によってオンしている状態で、第2スイッチングトランジスタT4をドライブスキヤナ5でオンオフ制御することにより、ドライブトランジスタT5の閾電圧 V_{th} を検出しこれを画素容量C1に書き込み、以って出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正する。好ましくは、第2スイッチングトランジスタT4がオンしている時間幅は、水平走査期間の時間幅(1H)よりも長く設定されている。このように、閾電圧補正期間を1H以上長く取ることが出来るため、ドライブトランジスタT5の閾電圧ばらつきを抑え、黒表示においてもむらやざらつきのない均一な画質を得ることが出来る。

10

【0044】

本実施形態では、ドライブトランジスタT5のゲートGが第1スイッチングトランジスタT3を介して接続している電源と、ドライブトランジスタT5のドレインDが第2スイッチングトランジスタT4を介して接続している電源は、共通の電源ラインVLを通して電源電圧を供給している。この共通の電源ラインVLは、走査線WS、DS、AZ、AZ2と並行に配され、これらの走査線と同様に電源ラインスキヤナ9によって走査されて時分割的に異なるレベルの電源電圧 V_{cc} 、 V_{ofs} を供給する。即ち電源電圧は、発光素子ELが発光する期間にドライブトランジスタT5のドレインDに供給される第1のレベル V_{cc} と、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するときドライブトランジスタT5のゲートGに与えられる第2のレベル V_{ofs} との間で切換る。本実施形態の画素回路2は、RGB3色の画素当り5本の走査線と3本の電源ラインで構成できるため、画素に対して電源ライン及び走査線(ゲートライン)の占める割合を小さくすることが出来、高精細化及び高歩留り化が期待できる。また本発明では、前述したように閾電圧キャンセル期間を、第2スイッチングトランジスタT4のオンオフで決定しているため、閾電圧キャンセル期間がパルスの鈍りの影響を大きくは受けずに済み、パネルの大型化及び高精細化が可能になっている。

20

30

【0045】

信号線SLは、映像信号を表す信号電圧 V_{gs} と、一定のレベルに固定された固定電圧 V_{ss} とを切換えて供給する。サンプリングトランジスタT1は水平走査期間に信号線SLから信号電圧 V_{sig} をサンプリングして画素容量C1に書き込む一方、第3スイッチングトランジスタT2は水平走査期間よりも前で出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するときの準備として、信号線SLから固定電圧 V_{ss} をドライブトランジスタT5のソースSに充電する。この第3スイッチングトランジスタT2は、当該走査線WSに割り当てられた水平走査期間に先行する他の走査線に割り当てられた前の水平走査期間で導通し、信号線SLから固定電圧 V_{ss} をドライブトランジスタT5のソースSに充電する。場合によっては、この第3スイッチングトランジスタT2は、先行する他の複数の走査線に割り当てられた複数の水平走査期間で繰り返し導通し、信号線SLから固定電圧 V_{ss} をドライブトランジスタT5のソースSに時分割的に充電する様にしても良い。

40

【0046】

図16は、図15に示した画素回路2の動作説明に供するタイミングチャートである。時間軸Jに沿ってサンプリングトランジスタT1及びスイッチングトランジスタT2、T3、T4のオンオフ状態の変化を表してある。また電源ラインVLに現れる電源電圧の変化も合わせて表してある。図示する様に、電源電圧は V_{cc} と V_{ofs} との間で切換る。また信号線SLから供給される電圧変化も表してある。図示する様に、信号線SLは各水平走査期間内で固定電圧 V_{ss} と信号電圧 V_{sig} との間で切換る。加えてドライブト

50

ンジスタ T5 のゲート G 及びソース S の電位変化も時間軸 J に沿って表してある。

【 0 0 4 7 】

このタイミングチャートによれば、時点 J1 までの時間と時点 J10 以降の時間が発光期間であり、間の時間 J1 - J10 が非発光期間となっている。この非発光期間 J1 - J10 の中で、特に J5 - J6 が閾値キャンセル期間である。また時間 J8 - J9 が信号書き込み期間である。図示する様に、信号書き込み期間 J8 - J9 は当該走査線 WS に割り当てられた 1 水平走査期間 J7 - J9 の間で行われる。閾値キャンセル期間 J5 - J6 はこの水平走査期間 J7 - J9 よりも先行しており、しかも水平走査期間 J7 - J9 の時間幅 1H よりも長く設定することが可能である。また閾電圧補正動作を実行する閾値キャンセル期間 J5 - J6 に先行して、時間 J3 - J4 でその準備動作が行われる。この準備動作に必要な固定電圧 Vss が信号線 SL から与えられる。この準備時間 J3 - J4 は、当該走査線 WS よりも先行する走査線に割り当てられる水平走査期間に対応している。図示の例は準備期間 J3 - J4 が 1 つのみであるが、場合によっては複数の先行する水平走査期間に対応して、複数の準備時間 J3 - J4 を用意しても良い。

10

【 0 0 4 8 】

図 17 ~ 図 23 を参照して、図 15 に示した本実施形態にかかる画素回路の動作を詳細に説明する。図 17 は、時点 J1 に至るまでの回路状態を表している。時点 J1 まで発光素子 EL は発光状態にあり、スイッチングトランジスタ T4 のみがオンした状態である。このときドライブトランジスタ T5 は飽和領域で動作するように設計されている為、発光素子 EL に流れる出力電流 Ids はドライブトランジスタ T5 のゲート / ソース間電圧 Vgs に応じて式 1 に表される値をとる。

20

【 0 0 4 9 】

図 18 は、時間 J1 - J2 における回路状態を表しており、発光素子 EL は非発光状態に入る。非発光期間では、スイッチングトランジスタ T4 がオフ状態になる。スイッチングトランジスタ T4 をオフすることで、電源電位 Vcc とカソード電位 Vcat が切り離されるため、電流が流れなくなり、発光素子 EL は消光する。このときドライブトランジスタ T5 のソース S はカソード電圧 Vcat と発光素子 EL の閾電圧 Vthel の和、つまり Vcat + Vthel という電位になる。

【 0 0 5 0 】

図 19 は、時間 J3 - J4 における回路状態を表している。ここでは電源ライン VL の電源電圧が Vcc から Vofs に切換ると共に、スイッチングトランジスタ T3 がオン状態になる。さらに信号線 SL が固定電圧 Vss となっているときにスイッチングトランジスタ T2 をオンする。これによりドライブトランジスタ T5 のソース S を Vss に充電すると共に、ドライブトランジスタ T5 のゲート G を Vofs という電位に充電する。信号線 SL は各水平走査期間毎に階調に応じた信号電圧 Vsig を各画素に供給するため、信号線 SL から与えられる固定電圧 Vss も各水平走査期間内である。このためスイッチングトランジスタ T2 のオン時間 J3 - J4 も水平走査期間の時間幅 1H 以下となる。一回のスイッチングトランジスタ T2 のオペレーションでドライブトランジスタ T5 のソース S が Vss に充電できないときは、スイッチングトランジスタ T2 を複数の水平走査期間で複数回オンして、ドライブトランジスタ T5 のソース S に時分割的に Vss を充電することが出来る。このとき、Vss はカソード電圧 Vcat と発光素子 EL の閾電圧 Vthel の和よりも小さく設定されているので、発光素子 EL は逆バイアス状態となっており、電流は流れない。一方ドライブトランジスタ T5 のゲート / ソース間電圧 Vgs は Vofs - Vss となるが、この値はドライブトランジスタ T5 の閾電圧 Vth よりも大きくなるように Vofs 及び Vss が予め設定されている。この様に予め画素容量 C1 を Vth よりも大きな電圧で充電することにより、閾電圧キャンセル動作の準備が完了する。

30

40

【 0 0 5 1 】

図 20 は、時間 J5 - J6 における回路状態を表している。前述したように時間 J3 - J4 でドライブトランジスタ T5 のゲート G を Vofs に充電しソース S を Vss に充電した後、時間 J5 - J6 に至ってスイッチングトランジスタ T4 をオン状態にする。これま

50

での準備動作でドライブトランジスタT5のゲート/ソース間電圧がドライブトランジスタT5の閾電圧 V_{th} よりも大きく設定されているので、図示のように電流が流れ、画素容量 C_1 を充電し始めて閾電圧補正動作を開始する。発光素子ELの等価回路はダイオード T_{e1} と容量 C_{e1} の並列接続で表されるため、発光素子ELのアノード電圧 V_{e1} が V_{cat} と V_{the1} の和よりも低い限り、発光素子ELにはほとんど電流が流れず、ドライブトランジスタT5から供給される電流は専ら画素容量 C_1 と発光素子容量 C_{e1} を充電するために使われる。換言すると発光素子ELのリーク電流はドライブトランジスタT5に流れる電流よりも無視できるほど小さい。容量 C_1 と C_{e1} の充電に伴ってアノード電圧 V_{e1} （即ちドライブトランジスタT5のソース電圧）は時間と共に上昇していく。一定時間経過後ドライブトランジスタT5のゲート/ソース間電圧は V_{th} に到達しカットオフする。この V_{th} は画素容量 C_1 に書き込まれることになる。このとき $V_{e1} = V_{ofs} - V_{th} < V_{cat} + V_{the1}$ となっている。

10

【0052】

図21は、画素容量 C_1 の充電に伴って上昇するドライブトランジスタT5のソース電圧の変化をグラフに表したものである。図示する様に、ドライブトランジスタT5のソース電圧は時間の経過と共に V_{ss} から $V_{ofs} - V_{th}$ に向かって上昇している。本発明ではこの充電時間を十分に確保できるため、画素容量 C_1 には完全にドライブトランジスタT5の閾電圧 V_{th} を書き込むことが出来る。

【0053】

図22は、時間J7 - J9における回路状態を表している。時間J5 - J6で閾電圧キャンセル動作を終了した後、スイッチングトランジスタT3及びT4をオフ状態にすると共に、電源ラインVLを V_{ofs} から V_{cc} に戻す。スイッチングトランジスタT4がオフしているならば V_{cc} はいつ戻しても良い。続いてサンプリングトランジスタT1をオン状態として信号電圧 V_{sig} をドライブトランジスタT5のゲートGに書き込む。前述したようにサンプリングトランジスタT1がオンしている期間（水平走査期間）に、信号線SLの電圧は V_{ss} から V_{sig} へと変化する。しかしゲートGの初期値は V_{ofs} であり、ゲート電位が V_{ofs} から V_{ss} に変化しさらに V_{sig} と変化しても最終的な変化量は $V_{sig} - V_{ofs}$ である。よってドライブトランジスタT5のゲート/ソース間電圧 V_{gs} は、画素容量 C_1 、発光素子ELの寄生容量 C_{e1} 及びドライブトランジスタT5の寄生容量 C_2 によって、前述した式3のように決定される。ここで発光素子容量 C_{e1} は画素容量 C_1 及び寄生容量 C_2 に比べて十分大きいいため、ドライブトランジスタT5のゲート/ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。

20

30

【0054】

図23は、時点J10以降の発光期間における回路状態を表している。時間J7 - J9で信号電圧の書き込みが終了した後、サンプリングトランジスタT1をオフする一方スイッチングトランジスタT4をオンして、ドライブトランジスタT5のドレイン電圧を電源電圧 V_{cc} まで上昇させる。ドライブトランジスタT5のゲート/ソース間電圧 V_{gs} は $V_{sig} + V_{th}$ と一定であるので、ドライブトランジスタT5は一定電流 I_{ds} を発光素子ELに流し、アノード電圧 V_{e1} は発光素子ELに I_{ds} という電流が流れる電圧 V_x まで上昇し、発光素子ELは発光する。

40

【0055】

本実施形態の画素回路においても発光素子ELは発光時間が長くなると、そのI-V特性は変化してしまう。そのため図23に示したドライブトランジスタT5のソース電位Sも変化する。しかしながら、ドライブトランジスタT5のゲート/ソース間電圧 V_{gs} は画素容量 C_1 によって一定値に保たれているので、発光素子ELに流れる電流 I_{ds} は変化しない。よって発光素子ELのI-V特性が劣化しても一定電流 I_{ds} が常に流れ続け、発光素子ELの輝度が変化することはない。また本実施形態では、閾電圧補正期間をスイッチングトランジスタT4のオン/オフで決定している。このため閾電圧補正期間がパルスの鈍りを受ける影響が小さいため、大型化及び高精細化が可能になっている。さらに本発明の画素回路は、参考例に示した画素回路の V_{th} 補正期間が短いという問題も改善

50

している。つまり V_{th} キャンセル時間はスイッチングトランジスタ T4 のゲートパルス幅で決定されるため、完全に V_{th} キャンセルがかかるまで V_{th} キャンセル時間を水平走査期間の時間幅 $1H$ を超えて長く取ることが可能であり、黒表示においてもムラのない均一な画質を得ることが出来る。

【0056】

ところで図15に示した画素回路2は、電源電圧がパルスで入力されるため、電源ライン V_L に電源ラインスキナ9を接続する必要がある。この電源ラインスキナ9はライトスキナ4、ドライブスキナ5、補正用スキナ7及び第2補正用スキナ8と同じようにゲートドライバである。電源電圧を各ライン毎に V_{cc} と V_{ofs} の2値で切換えるため、追加のゲートドライバが必要となり、コストの面で不利が生じる場合がある。図24は、この点を改善した実施形態を示している。理解を容易にするため、図15に示した先の実施形態と対応する部分には対応する参照番号を付してある。異なる点は、ドライブトランジスタ T5 のゲート G が第1スイッチングトランジスタ T3 を介して接続している電源 V_{ofs} と、ドライブトランジスタ T5 のドレイン D が第2スイッチングトランジスタ T4 を介して接続している電源 V_{cc} は、別々に配された第1電源ライン V_{L1} 及び第2電源ライン V_{L2} を通して異なるレベルの電源電圧を供給していることである。この様に電源ラインを V_{ofs} と V_{cc} で分けたことにより、先の実施形態のように電源ラインスキナは不要となる。第1電源ライン V_{L1} は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するときに必要なレベルの電源電圧 V_{ofs} をドライブトランジスタ T5 のゲート G に供給する。第2電源ライン V_{L2} は、発光素子 EL が発光する期間に必要なレベルの電源電圧 V_{cc} をドライブトランジスタ T5 のドレイン D に供給する。

10

20

【0057】

図25は、図24に示した画素回路の動作説明に供するタイミングチャートである。理解を容易にするため、先の実施形態のタイミングチャートを示す図16と対応する部分には対応する参照番号を付してある。異なる点は、電源ライン V_{L1} , V_{L2} が予め一定電圧 V_{ofs} , V_{ss} にそれぞれ固定されていることである。これにより閾電圧キャンセル期間 J5 - J6 において、スイッチングトランジスタ T3 がオンして電源電圧 V_{ofs} をドライブトランジスタ T5 のゲート G に充電する一方、スイッチングトランジスタ T4 がオンしてドライブトランジスタ T5 のドレインに電源電圧 V_{cc} を電源ライン V_{L2} から供給していることである。また時点 J10 以降の発光期間においてスイッチングトランジスタ T4 がオンし、電源ライン V_{L2} から電源電圧 V_{cc} をドライブトランジスタ T5 のドレインに供給していることである。

30

【0058】

以下図26～図31を参照して図24に示した画素回路の動作を詳細に説明する。まず、発光素子 EL の発光状態は図26に示すようにスイッチングトランジスタ T4 のみがオンした状態である。この時ドライブトランジスタ T5 は飽和領域で動作するように設計されているため、発光素子 EL に流れる電流値はドライブトランジスタ T5 のゲートソース間電圧 V_{gs} に応じて式1に表される値をとる。

【0059】

次に非発光期間においてスイッチングトランジスタ T4 をオフする(図27)。スイッチングトランジスタ T4 をオフすることで電源からカソードまで電流が流れなくなるので発光素子 EL は消光する。この時ドライブトランジスタ T5 のソース S はカソード電圧 V_{cat} と発光素子 EL の閾値電圧 V_{thel} の和、つまり $V_{cat} + V_{thel}$ という電位となる。

40

【0060】

次にスイッチングトランジスタ T3 をオンしてドライブトランジスタ T5 のゲート電圧を V_{ofs} とした後、信号線が V_{ss} となっている時にスイッチングトランジスタ T2 をオンしてドライブトランジスタ T5 のソースを V_{ss} という電位に充電する(図28)。信号線は $1H$ 毎に階調に応じた信号電圧を画素に供給するため、信号線から与えられる電圧 (V_{ss}) は水平書き込み期間内である。このためスイッチングトランジスタ T2 のオ

50

ンの時間も水平書き込み期間以下（1H以下）となる。また、この1回のオペレーションでドライブトランジスタT5のソースがV_{ss}に充電できない時はスイッチングトランジスタT2を複数回オンしてドライブトランジスタT5のソースにV_{ss}を充電することとなる。この時、V_{ss}がカソード電圧V_{cat}と発光素子ELの閾値電圧V_{thel}の和よりも小さければ、つまりV_{ss} < V_{cat} + V_{thel}であれば電流はV_{cc}からV_{ss}に流れるため発光素子ELには流れなくなり消光する。

【0061】

ドライブトランジスタT5のソースをV_{ss}に充電した後、スイッチングトランジスタT4をオンとするのであるが、これまでの動作でドライブトランジスタT5のゲートソース間電圧がドライブトランジスタT5の閾値電圧よりも大きければ、図29のように電流が流れ、閾値補正動作が開始される。発光素子ELの等価回路は図に示されるようにダイオードと容量で表されるため、V_{el} = V_{cat} + V_{thel}（発光素子ELのリーク電流がドライブトランジスタT5に流れる電流よりもかなり小さい）である限り、ドライブトランジスタT5の電流はC₁とC_{el}を充電するために使われる。この時V_{el}は時間と共に上昇して行く。一定時間経過後、ドライブトランジスタT5のゲートソース間電圧はV_{th}という値をとる。この時、V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}となっている。

【0062】

閾値キャンセル動作終了後スイッチングトランジスタT4、スイッチングトランジスタT3をオフとする。次にサンプリングトランジスタT1をオンとして信号電圧をドライブトランジスタT5のゲートに書き込む（図30）。前述のようにサンプリングトランジスタT1がオンしているとき信号線の電圧はV_{ss}からV_{sig}へと変化する。しかし、ゲートの初期値はV_{ofs}であり、ゲート電位がV_{ofs} - V_{ss} - V_{sig}と変化しても最終的な変化量はV_{sig} - V_{ofs}であるのでドライブトランジスタT5のゲートソース間電圧はC₁、発光素子ELの寄生容量C_{el}、ドライブトランジスタT5の寄生容量C₂によって前述の式3のように決定される。しかし、C_{el}はC₁、C₂に比べて大きいために上記ドライブトランジスタT5のゲートソース間電圧はほぼV_{sig} + V_{th}となる。

【0063】

書き込みが終了した後にサンプリングトランジスタT1をオフ、スイッチングトランジスタT4をオンとしてドライブトランジスタのドレイン電圧を電源電圧まで上昇させる。ドライブトランジスタT5のゲートソース間電圧は一定であるのでドライブトランジスタT5は一定電流I_{ds'}を発光素子ELに流し、V_{el}は発光素子ELにI_{ds'}という電流が流れる電圧V_xまで上昇し、発光素子ELは発光する（図31）。本回路においても発光素子ELは発光時間が長くなるとそのI-V特性は変化してしまう。そのため図中S点の電位も変化する。しかしながら、ドライブトランジスタT5のゲートソース間電圧は一定値に保たれているので発光素子ELに流れる電流は変化しない。よって発光素子ELのI-V特性が劣化しても、一定電流I_{ds}が常に流れ続け、発光素子ELの輝度が変化することはない。また、本発明においては閾値補正期間をスイッチングトランジスタT4のオン/オフで決定している。このため閾値補正期間がパルスのなまりを受ける影響が小さいため、大型化、高精細化が可能となっている。さらに、本発明ではV_{th}キャンセル時間をスイッチングトランジスタT4のパルス幅で決定しているため、完全にV_{th}キャンセルがかかるまでV_{th}キャンセル時間を1H以上長く取ることが可能であり、黒表示においてもムラのない均一な画質を得ることができる。なおかつ、本実施形態は先の実施形態の問題点も解決している。つまり、電源は固定電源であるので、電源ラインにゲートドライバを使用する必要がない。よって低コスト化が可能となっている。

【0064】

加えて本実施形態の画素回路はRGB3画素当たり4本のゲートラインと9本の電源ラインから構成されている為、画素に対して電源ライン及びゲートラインの占める割合を小さくすることが出来、高精細化及び高歩留り化が期待できる。

10

20

30

40

50

【図面の簡単な説明】

【0065】

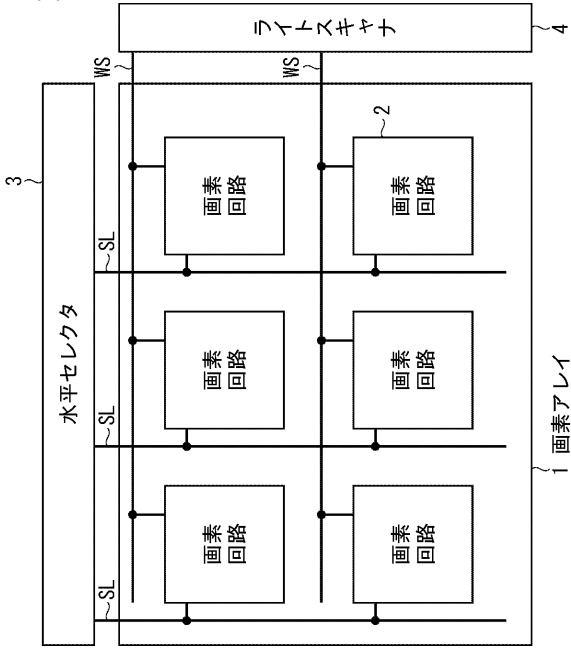
- 【図1】表示装置の一般的な構成を示すブロック図である。
 【図2】従来の画素回路の一例を示す回路図である。
 【図3】発光素子のI-V特性を示すグラフである。
 【図4】従来の画素回路の他の例を示す回路図である。
 【図5】本発明の元になった画素回路の参考例を示す回路図である。
 【図6】図5に示した画素回路の動作説明に供するタイミングチャートである。
 【図7】参考例にかかる画素回路の動作説明に供する回路図である。
 【図8】同じく参考例の動作説明に供する回路図である。 10
 【図9】同じく参考例の動作説明に供する回路図である。
 【図10】同じく参考例の動作説明に供する回路図である。
 【図11】同じく参考例の動作説明に供する回路図である。
 【図12】参考例の動作説明に供するグラフである。
 【図13】同じく参考例の動作説明に供する回路図である。
 【図14】同じく参考例の動作説明に供する回路図である。
 【図15】本発明にかかる画素回路の実施形態を示す回路図である。
 【図16】図15に示した画素回路の動作説明に供するタイミングチャートである。
 【図17】図17に示した実施形態の動作説明に供する回路図である。
 【図18】同じく実施形態の動作説明に供する回路図である。 20
 【図19】同じく実施形態の動作説明に供する回路図である。
 【図20】同じく実施形態の動作説明に供する回路図である。
 【図21】同じく実施形態の動作説明に供するグラフである。
 【図22】同じく実施形態の動作説明に供する回路図である。
 【図23】同じく実施形態の動作説明に供する回路図である。
 【図24】本発明にかかる画素回路の他の実施形態を示す回路図である。
 【図25】図24に示した画素回路の動作説明に供するタイミングチャートである。
 【図26】図24に示した実施形態の動作説明に供する回路図である。
 【図27】同じく実施形態の動作説明に供する回路図である。
 【図28】同じく実施形態の動作説明に供する回路図である。 30
 【図29】同じく実施形態の動作説明に供する回路図である。
 【図30】同じく実施形態の動作説明に供する回路図である。
 【図31】同じく実施形態の動作説明に供する回路図である。

【符号の説明】

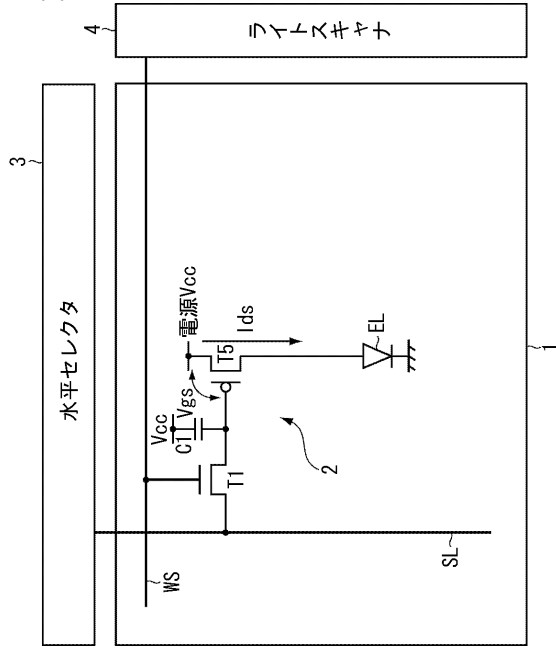
【0066】

- 1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、7・・・補正用スキャナ、8・・・第2補正用スキャナ、9・・・電源ラインスキャナ、T1・・・サンプリングトランジスタ、T2・・・第3スイッチングトランジスタ、T3・・・第1スイッチングトランジスタ、T4・・・第2スイッチングトランジスタ、T5・・・ドライブトランジスタ、C1・・・画素容量、E 40
 L・・・発光素子

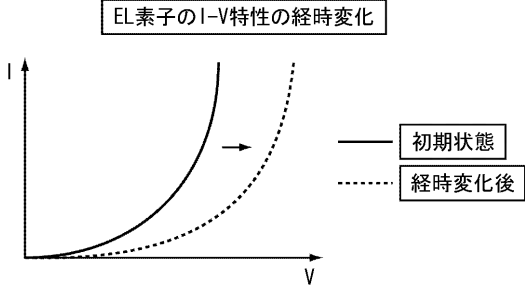
【 図 1 】



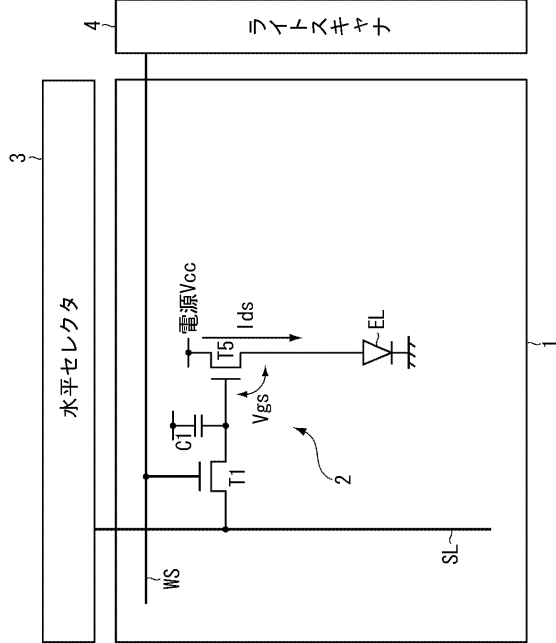
【 図 2 】



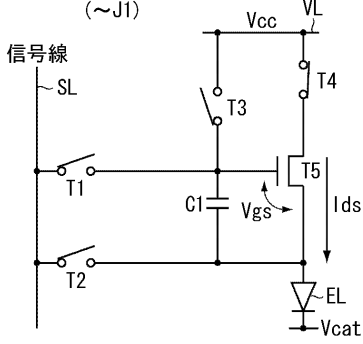
【 図 3 】



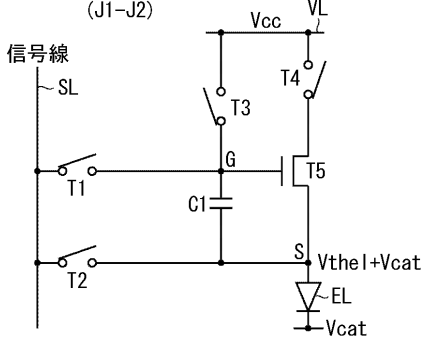
【 図 4 】



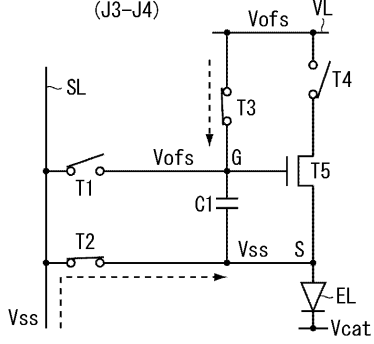
【図 17】
(~J1)



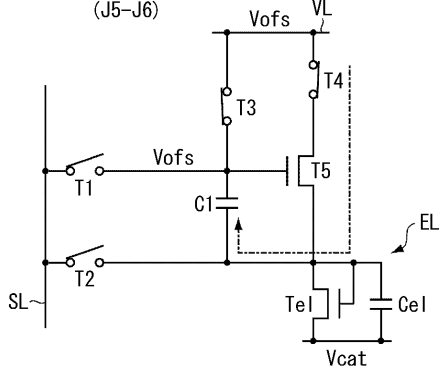
【図 18】
(J1-J2)



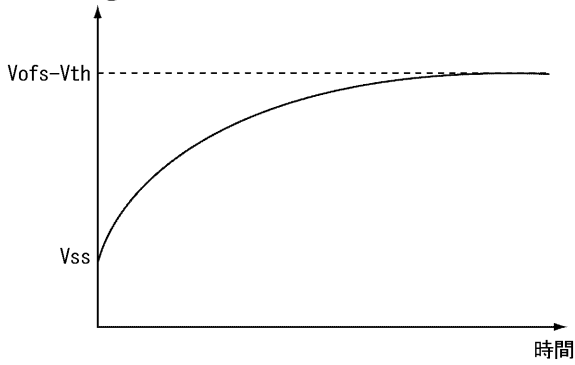
【図 19】
(J3-J4)



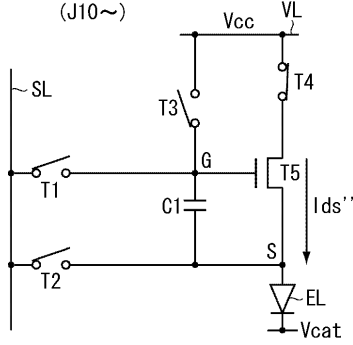
【図 20】
(J5-J6)



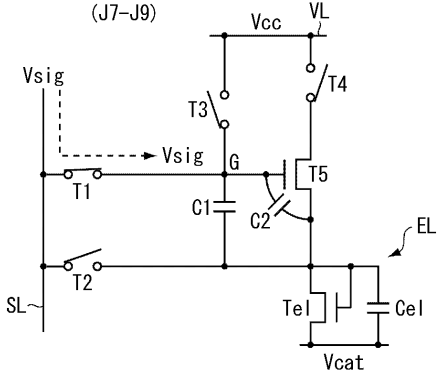
【図 21】
T5のソース電圧



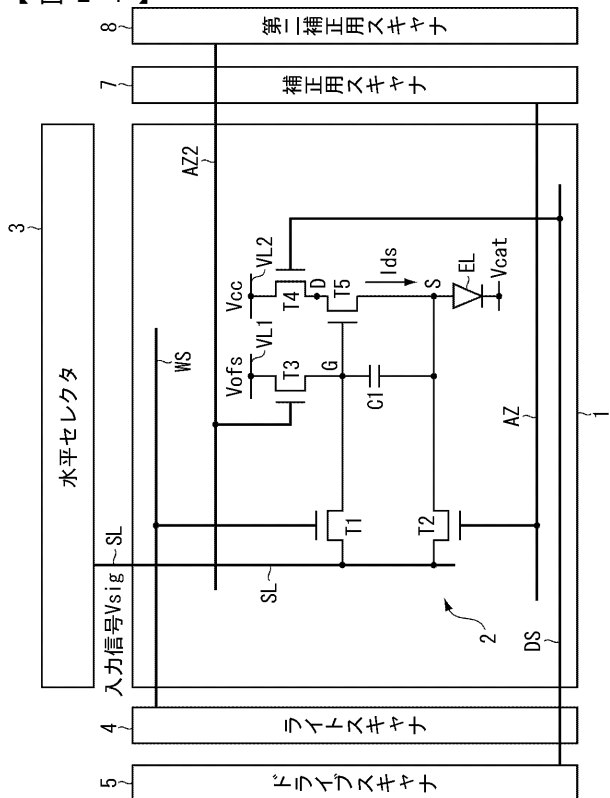
【図 23】
(J10~)



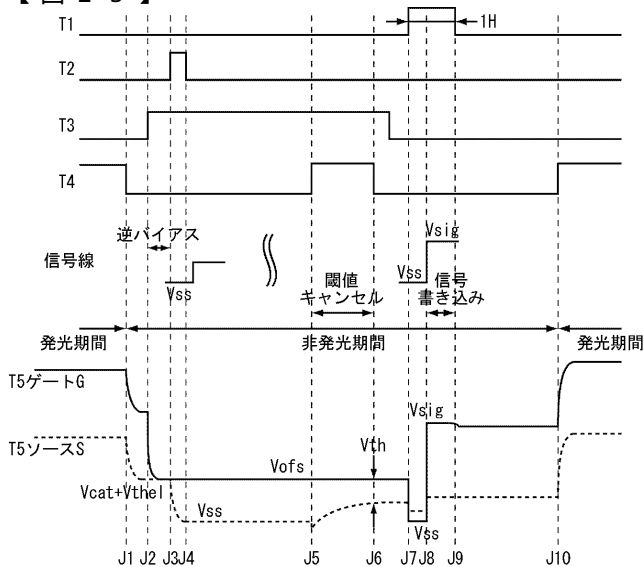
【図 22】
(J7-J9)



【図 2 4】

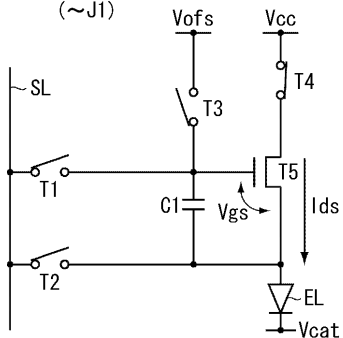


【図 2 5】



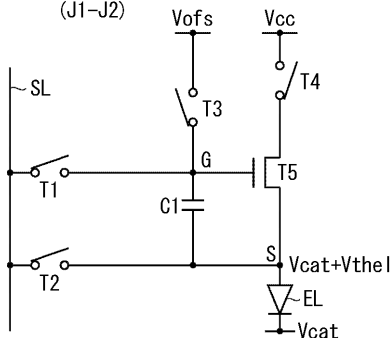
【図 2 6】

(~J1)



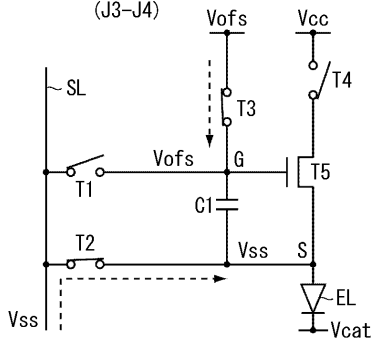
【図 2 7】

(J1-J2)



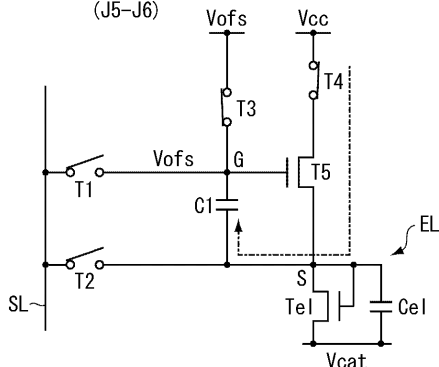
【図 2 8】

(J3-J4)



【図 2 9】

(J5-J6)



フロントページの続き

| (51) Int.Cl. | F I | テーマコード(参考) |
|--------------|---------------|------------|
| | G 0 9 G 3/20 | 6 1 1 H |
| | G 0 9 G 3/20 | 6 2 1 A |
| | G 0 9 G 3/20 | 6 1 2 R |
| | G 0 9 G 3/20 | 6 1 2 E |
| | H 0 5 B 33/14 | A |

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04 HH05
5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ05

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 画素回路 | | |
| 公开(公告)号 | JP2007140318A | 公开(公告)日 | 2007-06-07 |
| 申请号 | JP2005336592 | 申请日 | 2005-11-22 |
| [标]申请(专利权)人(译) | 索尼公司 | | |
| 申请(专利权)人(译) | 索尼公司 | | |
| [标]发明人 | 内野 勝秀 山下 淳一 山本 哲郎 | | |
| 发明人 | 内野 勝秀 山下 淳一 山本 哲郎 | | |
| IPC分类号 | G09G3/30 G09G3/20 H01L51/50 | | |
| FI分类号 | G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H G09G3/20.621.A G09G3/20.612.R G09G3/20.612.E H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/BA32 5C380/BA36 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB20 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/DA02 5C380/DA06 5C380/DA47 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供具有改进功能的像素电路，用于抵消驱动晶体管的阈值电压的变化。 Σ SOLUTION：在像素电路2中，像素电容C1连接在驱动晶体管T5的栅极G和源极S之间，发光元件EL连接在源极S和阴极电位Vcat之间，以及采样晶体管T1连接在栅极G和信号线SL之间，第一开关晶体管T3连接在栅极G和电源VL之间，第二开关晶体管T4连接在漏极D和电源VL之间，并且第三开关晶体管T2连接在源极S和信号线SL之间。在通过像素电容C1对视频信号Vsig进行采样之前操作第一，第二和第三开关晶体管T3，T4和T2，并且这些晶体管T3，T4和T2检测驱动晶体管T5的阈值电压Vth。将其写入像素电容C1，从而校正对输出电流Ids的阈值电压Vth的依赖性。Z

