

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-26704

(P2007-26704A)

(43) 公開日 平成19年2月1日(2007.2.1)

|                             |               |             |
|-----------------------------|---------------|-------------|
| (51) Int.Cl.                | F I           | テーマコード (参考) |
| <b>H05B 33/06 (2006.01)</b> | H05B 33/06    | 3K007       |
| <b>G09F 9/30 (2006.01)</b>  | G09F 9/30 338 | 5C094       |
| <b>H01L 51/50 (2006.01)</b> | H05B 33/14 A  |             |

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2005-202993 (P2005-202993)  
(22) 出願日 平成17年7月12日 (2005.7.12)

(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(74) 代理人 100075258  
弁理士 吉田 研二  
(74) 代理人 100096976  
弁理士 石田 純  
(72) 発明者 松本 昭一郎  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
Fターム(参考) 3K007 AB03 AB18 BA06 CC05 DB03  
GA00  
5C094 AA15 AA22 AA60 BA03 BA27  
CA19 DB02

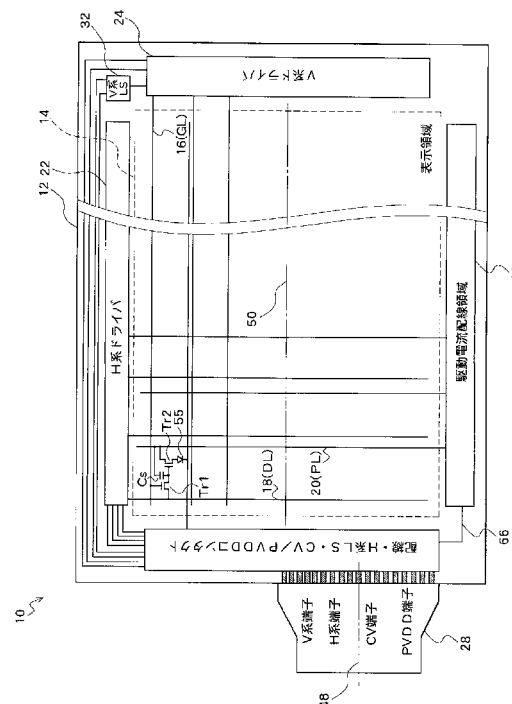
(54) 【発明の名称】 エレクトロルミネッセンス表示装置

## (57) 【要約】

【課題】有機EL表示装置において、外部接続端子を表示装置の側辺に設ける場合の配線を短くする。

【解決手段】表示装置10の左辺に設けられた外部接続端子の一つである駆動電源用の端子(PVDD端子)44を、表示領域14の水平方向に延びる中心線50より下に配置する。画素を駆動するための電流は、表示領域14の下方より延びる配線で供給されるため、PVDD端子44を中心線50より下に配置することで、この配線と外部を接続するPVDD端子44の間の長さを短くできる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

画素がマトリクス配置された表示部を有するエレクトロルミネッセンス表示装置において、

当該表示装置の外部接続端子は、表示装置の側辺に配列され、

前記外部接続端子の内、画素駆動電源用の端子が、当該表示装置の表示領域の、水平方向に延びる中心線より下に配置される、

エレクトロルミネッセンス表示装置。

## 【請求項 2】

請求項 1 に記載のエレクトロルミネッセンス表示装置において、

当該表示装置の垂直走査駆動回路は、前記外部接続端子が設けられた側辺に対向する側辺に隣接して配置されている、

エレクトロルミネッセンス表示装置。

## 【請求項 3】

請求項 2 に記載のエレクトロルミネッセンス表示装置において、

前記垂直走査駆動回路の、クロック信号およびスタート信号の少なくとも一方の振幅を増加させるレベルシフタが、当該垂直走査駆動回路が配置された側辺の端に配置されている、

エレクトロルミネッセンス表示装置。

## 【請求項 4】

画素がマトリクス配置された表示部を有するエレクトロルミネッセンス表示装置において、

当該表示装置の外部接続端子は表示領域の一つの側辺に沿って配列され、当該表示装置の垂直走査駆動回路は前記外部接続端子が配列された側辺に対向する側辺に隣接して配置されている、

エレクトロルミネッセンス表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、マトリクス配置された各画素の表示素子、例えば有機エレクトロルミネッセンス素子（以下、有機 EL 素子と記す）を用いた表示装置の回路および配線の配置に関する。

## 【背景技術】

## 【0002】

各画素の表示素子として、電流駆動型の発光素子である有機 EL 素子を用いた表示装置が知られている。特に、各画素に設けられた有機 EL 素子を画素ごとに個別に駆動するためのトランジスタ（薄膜トランジスタ：TFT）を各画素に備えるいわゆるアクティブマトリクス型の表示装置の開発が進んでいる。

## 【0003】

図 4 は、アクティブマトリクス型表示装置の 1 画素に対応した等価回路の一例を示している。表示装置の水平走査方向（行方向）にゲートライン GL が、また垂直走査方向（列方向）にはデータライン DL および電源ライン PL が設けられている。各画素は、n チャネル型 TFT からなる選択トランジスタ Ts、保持容量 Cs、p チャネルの素子駆動トランジスタ Td、有機 EL 素子 55 を有する。選択トランジスタ Ts は、そのドレインが垂直走査方向に並んだ各画素に対してデータ電圧を供給する共通のデータライン DL に接続され、そのゲートは水平走査方向に並んだ画素を選択するゲートライン GL に接続され、さらにソースは、素子駆動トランジスタ Td のゲートに接続されている。

## 【0004】

また、素子駆動トランジスタ Td は、p チャネル型 TFT であり、そのソースが電源ライン PL に接続され、ドレインは有機 EL 素子 55 のアノードに接続されている。なお、

10

20

30

40

50

この有機EL素子55のカソードは、各画素共通に形成されたカソード電源CVに接続されている。また、素子駆動トランジスタTdのゲートおよび選択トランジスタTsのソースとの間には、保持容量Csの一方の電極が接続され、その保持容量Csの他方の電極は、例えばグラウンドや、電源ラインなどの一定電圧の電源に接続されている。

#### 【0005】

このような回路において、ゲートラインGLがHレベルになると、選択トランジスタTsがオンになりデータラインDLのデータ電圧が、選択トランジスタTsを介して素子駆動トランジスタTdのゲートに供給され、素子駆動トランジスタTdが、そのゲート電圧に応じた駆動電流を電源ラインPLより有機EL素子55に供給し、この駆動電流に応じた輝度で有機EL素子55が発光する。また、先のデータラインDLのデータ電圧は、素子駆動トランジスタTdに供給されると共に保持容量Csにも供給されて、保持容量Csにデータ電圧に応じた電圧が保持される。したがって、ゲートラインGLがLレベルになっても、保持容量Csの保持された電圧が素子駆動トランジスタTdに印加するためトランジスタTdが駆動電流を流し続け、有機EL素子55は、この駆動電流に応じた輝度で発光が維持される。

10

#### 【0006】

図5は、下記特許文献1に開示された有機EL表示装置100の概略構成を示す平面図である。この図において、一番外側の実線は透明のパネル基板102を示し、その中央やや上側に、上述の画素がマトリクス状に配置された破線で示す表示領域104が位置している。表示領域104の上側の辺に沿ってデータラインDLと接続される水平走査駆動回路（以下、H系ドライバと記す）106が形成され、また表示領域104の左右の辺に沿ってゲートラインGLに接続される垂直走査駆動回路（以下、V系ドライバと記す）108が形成されている。これらのドライバ106、108は、各画素ごとに設けられた薄膜トランジスタと同時に作り込まれた薄膜トランジスタなどから構成されている。

20

#### 【0007】

表示領域104内で垂直方向に延びる太い実線は、電源ラインPLを示している。個々の電源ラインPLは、表示領域104の下側の辺に沿って延びる水平方向の幅広部110につながり、全体で櫛歯形状になっている。幅広部110は更に、その中央付近で、垂直方向に延びるもう一つの幅広部112につながっている。さらに、この幅広部112は、有機EL表示装置100の下辺に配置される駆動電源入力端子T1につながっている。

30

#### 【0008】

有機EL表示装置100の下辺には、端子T1の他、カソード端子T2、V系ドライバ108につながる端子T3、H系ドライバ106につながる端子T4の複数の端子が配置される。

#### 【0009】

【特許文献1】特開2001-102169号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

従来の有機EL表示装置の外部接続用の端子は、前記公報に記載されるように装置の下辺に設けられている。しかしながら、表示装置以外の他の機器との関連において、端子を右、または左の側辺に配置したいという要求がある。一方、表示領域104内の回路構成やドライバなどではできる限り従来の構成を踏襲することが望まれる。このため、従来の外部接続用の端子を単に側辺に移動しただけでは、これらの端子とドライバなど他の回路とを接続する配線が長くなり配線抵抗が増加し、また配線同士が近接するようになり、近接配線間の容量が増加するなどして、配線負荷が増加するという問題があった。配線負荷の増加は、消費電力の増加を招くという問題もあった。

40

#### 【0011】

本発明は、有機EL表示装置の外部接続用端子を左または右の側辺に設ける場合、各回路、各端子の配置を適正化すること、および表示装置の消費電力を抑制することの、少な

50

くとも一つを目的とする。

【課題を解決するための手段】

【0012】

本発明のエレクトロルミネッセンス表示装置は、当該表示装置の外部接続端子が、表示装置の側辺に配列され、この外部接続端子の内、画素駆動電源用の端子が、当該表示装置の表示領域の、水平方向に延びる中心線より下に配置されている。

【0013】

さらに、当該表示装置の垂直走査駆動回路を、前記外部接続端子が設けられた側辺に対向する側辺に隣接して配置することができる。

【0014】

さらに、垂直走査駆動回路の、クロック信号およびスタート信号の少なくとも一方の振幅を増加させるレベルシフタを、当該垂直走査駆動回路が配置された側辺の端に配置することができる。

【0015】

また、本発明の別の態様のエレクトロルミネッセンス表示装置は、当該表示装置の外部接続端子は表示領域の一つの側辺に沿って配列され、当該表示装置の垂直走査駆動回路は前記外部接続端子が配列された側辺に対向する側辺に隣接して配置されている。

【発明の効果】

【0016】

画素駆動電源用の端子を、表示装置の表示領域の水平方向に延びる中心線より下に配置することで、駆動電流が流れる配線を短いものとすることができ、配線抵抗等の配線負荷を低減することができる。これにより、この部分の電力損失を抑制することができる。

【0017】

また、当該表示装置の垂直走査駆動回路を、外部接続端子が設けられた側辺に対向する側辺に隣接して配置することで、有機EL素子を表示領域の周囲で封止するための領域を有効に利用することができる。すなわち、この封止のための領域の下に、垂直走査駆動回路配置してスペースの有効利用が図られる。これにより、表示領域とパネル基板の縁との間の、いわゆる額縁部分の幅を狭くすることに有利となるとともに、この部分の幅を一定または近いものにし、パネル基板と表示領域の原点のずれを小さくすることに、またパネル基板の外形を小さくすることに有利となる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態を、図面に従って説明する。図1は、本実施形態の有機EL表示装置10の表示部、各回路および配線などの概略配置を示す図である。パネル基板12上には、複数の画素がマトリクス状に配置されて表示領域14が形成されている。パネル基板12の表示領域14には、マトリクスの水平走査（行）方向には、順次選択信号が出力されるゲートライン16（GL）が形成され、垂直走査（列）方向には、データ信号が出力されるデータライン18（DL）と、被駆動素子である有機EL素子に動作電源（PVD）を供給するための電源ライン20（PL）が形成されている。

【0019】

各画素は、概ねこれらのラインによって規定された領域に設けられており、各画素は回路構成としては、被駆動素子として有機EL素子、nチャネル型薄膜トランジスタより構成された選択トランジスタTr1、保持容量Cs、pチャネル型薄膜トランジスタより構成された素子駆動トランジスタTr2を有する。選択トランジスタTr1は、そのドレインが垂直走査方向に並ぶ各画素にデータ電圧を供給するデータライン18に接続され、ゲートが1水平走査ライン上に並ぶ画素を選択するためのゲートライン16に接続され、更にそのソースが素子駆動トランジスタTr2のゲートに接続される。素子駆動トランジスタTr2は、そのソースが電源ライン20に接続され、ドレインが有機EL素子55のアノードに接続されている。また、有機EL素子55のカソードは、各画素共通で形成されており、カソード電源CVに接続されている。また、素子駆動トランジスタTr2のゲー

10

20

30

40

50

トおよび選択トランジスタ $T_{r1}$ のソースには、保持容量 $C_s$ の第1電極が接続され、もう一方の第2電極は一定電位に、例えば電源ライン20に接続されている。

【0020】

なお、上記選択トランジスタ $T_{r1}$ および素子駆動トランジスタ $T_{r2}$ は、いずれも能動層に、例えばレーザアニール等によって多結晶化された多結晶シリコンなど、結晶性のシリコンが用いられ、かつ不純物としてそれぞれ $n$ 導電型と、 $p$ 導電型がドーピングされた $n$ チャネル型、 $p$ チャネル型の薄膜トランジスタで構成することができる。

【0021】

画素回路のトランジスタとして、上記のように結晶性シリコンを能動層に用いた薄膜トランジスタを採用した場合、この結晶性シリコン薄膜トランジスタは、各画素回路だけでなく、各画素を順次選択、制御するための周辺駆動回路の回路素子としても用いることができる。そこで、本実施形態の有機EL表示装置10においては、パネル基板12上に、前述の画素回路用トランジスタの製造と同時に、画素回路と同様の結晶性シリコン薄膜トランジスタを形成して、周辺駆動回路、具体的にはH系ドライバ22とV系ドライバ24を内蔵させている。図1に示されるように、H系ドライバ22は表示領域14の上辺に隣接して、V系ドライバ24は、表示領域の右辺に隣接して配置される。

10

【0022】

さらに、表示領域14の下辺に隣接して駆動電源PVD Dからの駆動電流を各画素に供給するための駆動電流配線27（図2参照）が、駆動電流配線領域26に形成される。これらH系、V系ドライバ22、24に、有機EL表示装置10の外部より制御信号、電源を供給するフレキシブル・プリントド・サーキット（以下、FPCと記す）28との接続端子が、パネル基板12の左辺に配置される。表示領域14の左辺に隣接して、FPCの接続端子と、H系、V系ドライバ22、24や、駆動電流配線27とを接続するための配線、また供給されたクロック信号、スタート信号の振幅をH系ドライバ22の動作に適した振幅に変換するためのH系レベルシフタ（H系LS）30（図2参照）が配置されている。なお、FPCとの接続端子は、好ましくは、表示領域の高さ方向の中央より下側に配置される。また、表示領域14の右上隅には、供給されたクロック信号、スタート信号の振幅を、V系ドライバ24の動作に適した振幅に変換するV系レベルシフタ（V系LS）32が配置される。また、カソード電源（CV）用の接点34が表示領域14の左辺に沿って配置される。

20

30

【0023】

図2は、FPC28と接続する外部接続端子36から、H系ドライバ22、V系ドライバ24、駆動電流配線27およびカソード電源用接点34に達する配線の引き回しの様子を示す図である。外部接続端子36は、垂直走査方向において上側からV系ドライバ24に係る配線である垂直走査系配線60用の端子（以下V系端子）38、H系ドライバ22に係る配線である水平走査系配線62用の端子（以下H系端子）40、カソード（陰極）46と電源を接続するため配線64のカソード電源用端子（以下CV端子）42、各画素に駆動電流供給するための配線27、66の駆動電源用端子（以下PVD D端子）44の順で配置されている。

【0024】

40

外部接続端子36が配列された左辺と反対側である右辺に配置されたV系ドライバ24に係る配線60は、上辺のH系ドライバ22の外側を回るように配置される。V系端子38を端子群の中で上に配置したことで、対辺にあるV系ドライバ24までの配線の長さを短くすることができ、また、他の配線、特にH系ドライバ22への配線との交差を避けることができる。H系端子40をV系端子38の次に配置したことにより、上辺に配置されたH系ドライバ22間での配線を短くすることができる。

【0025】

PVD D端子44は、端子群の中で最も下側に配置されている。これにより、前述のように下辺に配置された駆動電流配線27までの配線66の長さを短くすることができる。駆動電流が流れる配線27、66における電圧降下は、各画素への電流を低下させ、輝度

50

の低下につながる。輝度の低下は、表示品位の低下につながる。また、輝度を確保しようとすれば、消費電力が増加する。このように、駆動電流が流れる配線 27, 66 における電圧降下は、極力抑えることが好ましい。PVD 端子 44 を端子群の中で最も下に配置したことにより、特に配線 66 の長さを短くし、電圧降下を抑制することができる。さらに、PVD 端子 44 が、端子群の最も下に位置するだけでなく、表示領域 14 に対してなるべく下に、すなわち下辺になるべく近く位置することが好ましい。そのために、PVD 端子 44 が、表示領域 14 の水平方向に延びる中心線 50 より下に配置することが好ましく、さらには、外部接続端子 36 の群の中心線 48 (図 1 参照) が、表示領域の中心線 50 より下に配置することも好ましい。駆動電流が流れる配線 27, 66 における電圧降下は、表示品位の劣化に直接結びつくので、H 系、V 系ドライバ 22, 24 の配線の長さが多少伸びたとしても、駆動電流にかかる配線 66 の長さを短縮することが望ましく、そのためには、前述のように外部接続端子群を下方に配置することが好適である。CV 端子 42 は、H 系端子 40 と PVD 端子 44 の間に設けられる。

#### 【0026】

見方を変えれば、まず外部接続端子 36 に最も近い辺である左辺に配置されるカソード電源用接点 34 に関連する CV 端子 42 が内側に配置され、その外側に上辺に配置される H 系ドライバ 22 に関連する H 系端子 40 と下辺に駆動電流配線 27 に関連する PVD 端子 44 が配置される。更に、その外側に、外部接続端子 36 の配置された左辺に対向する辺、すなわち左辺より最も遠くの辺である右辺に配置された V 系ドライバ 24 に関連する V 系端子 38 が配置される。駆動電流配線 27 は、配線負荷を小さくするために、なるべく広い幅を確保したいという要望があり、V 系ドライバ 24 への配線は上辺に配置することが好ましい。このため、V 系端子 38 は、H 系端子 40 と PVD 端子 44 の内、H 系端子 40 の外側すなわち上方に配置される。

#### 【0027】

図 3 は、図 2 の A - A 線における断面図であり、CV 端子 42 からカソード (陰極) 46 に至る配線 64 周辺の断面を示す図である。ガラスまたはプラスチック等の透明材料からなるパネル基板 12 上には、例えば、シリコン窒化 (SiN) 膜と、シリコン酸化 (SiO<sub>2</sub>) 膜が、基板側からこの順に形成された多層構造のパウファ層 70 が化学気相成長法 (CVD) などにより形成されている。パウファ層 70 上には、CVD など成膜した非晶質 (アモルファス) シリコンをレーザアニール等により得た多結晶シリコンなどの結晶性シリコン層が形成される。この結晶性シリコン層は所望形状にパターニングされ、薄膜トランジスタ (TFT) の能動層 72 や、必要に応じて図示しない電極や配線の一部として利用される。結晶性シリコン層のパターニング後、この結晶性シリコン層を含む基板の全面を覆うようにゲート絶縁層 74 を成膜する。ゲート絶縁層 74 は、例えば、結晶性シリコン層側から SiO<sub>2</sub> 膜と SiN 膜が積層された多層構造を有する。ゲート絶縁層 74 の上には、次に Cr 等の高融点金属層を形成し、この金属層をパターニングし、TFT の形成領域、つまり能動層 72 の形成領域ではそのチャネル領域を形成すべき領域に選択的に残しゲート電極 76 を得る。なお、この金属層は、各画素に選択信号を供給するための選択ライン (ゲートライン) としても用いることができ、その場合、TFT のゲート電極 76 の形成と同時にパネルの水平走査方向に延びる所望配線形状に金属層を選択的に残すことで得ることができる。ゲート電極 76 の形成後、ゲート電極 76 をマスクとして TFT の導電型に応じてリン又はボロン等の不純物が能動層 72 にドーパされる。能動層 72 のゲート電極の下部には不純物のドーパされず真性のチャネル領域が形成され、チャネル領域の両側でゲート電極に上方が覆われていない領域には不純物がドーパされてドレイン領域、ソース領域が形成される。

#### 【0028】

不純物の注入後、ゲート絶縁層 74 およびゲート電極 76 を覆う基板全面には層間絶縁層 78 が形成され、この層間絶縁層 78 は、例えば、ゲート絶縁層 74 側から SiN 膜、SiO<sub>2</sub> 膜がこの順で積層された多層構造を備える。

#### 【0029】

層間絶縁層 78 とゲート絶縁層 74 を貫通するように、能動層 72 のソース領域及びドレイン領域が露出するようにコンタクトホールが形成され、このコンタクトホールにおいて層間絶縁層 78 の上に形成されたドレイン電極 80、ソース電極 82 と、能動層 72 の対応するドレイン領域、ソース領域とが接続される。ドレイン電極 80 およびソース電極 82 は、例えば、能動層 72 との接触界面側から Mo (モリブデン)、Al (アルミニウム)、Mo が順に積層され得られた積層構造の金属層をパターニングして構成されている。この Mo / Al / Mo の金属層は、他の配線 84 としても用いられ、ドレイン電極 80 及びソース電極 82 の形成と同時に形成パターニングして得られる。例えば、この金属層は、図示しない各画素にデータ信号を供給するデータライン DL や、電源 PVD から電流を有機 EL 素子に供給するための電源ラインとしても用いられる。さらに、図 3 の左 10 端に示すように、パネルと外部回路とを接続するための端子 (図 3 では、CV 端子 42 を表している) としても用いられ、端子形状にパターニングされている。

#### 【0030】

積層構造の金属層を形成パターニングしてドレイン、ソース電極 80、82 及び配線 84、端子を形成した後、この金属層及び層間絶縁層 78 を覆う基板全面にはアクリル系樹脂などの有機絶縁材料や、他の無機材料などを用いて第 1 平坦化絶縁層 86 が例えばスピ ンコート及びその後の焼成を経て形成されている。

#### 【0031】

第 1 平坦化絶縁層 86 には、例えばドレイン電極 80 (又はソース電極 82) の対応領域、上記端子形成領域においてコンタクトホールが形成され、その後、第 1 平坦化絶縁層 86 上には、ITO (Indium Tin Oxide) や、IZO (Indium Zinc Oxide) などの導電性透明金属酸化層をスパッタリングなどによって形成し、所望形状にパターニングする。ドレイン又はソース電極 80、82 の対応領域では、透明導電性金属酸化層は、透明画素電極 88 として用いられ、第 1 平坦化絶縁層 86 に形成されたコンタクトホールを介してドレイン電極 80 (又はソース電極 82) と接続される。本実施形態では、この透明画素電極 88 は、有機 EL 素子 55 の第 1 電極 (陽極) 88 として用いている。また、この透明画素電極 88 の形成と同時に、端子形成領域において第 1 平坦化絶縁層 86 を除去して露出させた上記 Mo / Al / Mo の金属端子層の上にも透明導電性金属酸化層を選択的に残す。このように、端子の電気的特性としては、Al を含む積層構造の上記金属端子層を用いれば十分であるが、この金属端子層表面を導電性の金属酸化層で覆う構成とすることで、本実施形態では、金属端子表面が外界雰囲気 30 に曝され、大気中の酸素、水などによる表面酸化によって接続抵抗が増大することを防止できる。

#### 【0032】

また、端子部分だけでなく端子から延びる配線領域も必要に応じて導電性金属酸化層で覆うことにより、大気中の酸素や水分が、この配線を通じ (例えば配線表面を酸化させながら)、後に封止パネルを接着することで封止する有機 EL 素子の形成された表示領域内に侵入することを防止できる。

#### 【0033】

導電性金属酸化層を所望の位置に形成した後、基板全体を覆うように第 1 平坦化絶縁層 86 と同様にアクリル系樹脂などを用いて第 2 平坦化絶縁層 90 が形成される。第 2 平坦化絶縁層 90 は、前述の第 1 電極 88 の形成領域ではそのエッジ部分を除いて開口されている。エッジ部分を覆うのは該エッジ部分で、第 1 電極 88 と後述する有機 EL 素子の第 2 電極 46 とが間に形成された後述する発光素子層 92 の被覆性が低下し、あるいは電界集中が発生して短絡することを防止するためである。 40

#### 【0034】

発光素子層 92 は、少なくとも発光機能を備える有機化合物を含む発光層を備えるが、用いる化合物の機能などにより、単層構造でも多層構造でもよい。本実施形態のように第 1 電極 88 が陽極、第 2 電極 46 が陰極の場合において、一例として、第 1 電極側から正孔注入層 921、正孔輸送層 922、発光層 923、電子輸送層 924 などの積層構造を有する。また発光素子層 92 は、低分子系有機化合物を材料に用いている場合、真空蒸着 50

法によって各層を形成することができるが、高分子系有機化合物を用いた場合などはインクジェット印刷法や、スピンコートなどによって形成することも可能である。

#### 【0035】

なお、発光層以外の電荷輸送層や、注入層は、全画素共通で形成することができる（用いる材料によって各画素で個別パターンとする必要がある場合もある）。また、各画素のEL素子の発光色が白色で、カラーフィルタを用いてR、G、Bの光を得てフルカラー表示を行う場合には、有機EL素子の発光層は、真空蒸着によって形成する場合にもマスクによる個別パターンの形成は不要であり、他の有機層と同様に、全画素共通で成膜できる。各画素のEL素子に対応するR、G、Bの光を発光する場合には、発光色毎に異なる有機発光材料を用いる必要があり、少なくとも、画素毎に個別パターンで発光層を形成する

10

#### 【0036】

発光素子層92の上には、これを覆うように各画素共通でAlや、Al合金、MgAg合金等を用いた第2電極46が真空蒸着法などによって形成されている。上述のように、なお、本実施形態では、この第2電極46は、陰極（カソード電極）として機能している。また、カソード電極46は、表示領域14の水平走査方向の端、この実施形態においては、左辺においてCV端子から延びる配線64と接続されている。なお、配線64の少なくとも上部層が、上述のように透明画素電極88と同層の透明導電性金属酸化層で構成されている場合、この配線64とカソード電極46との接続は、表示領域外では、通常第2平坦化絶縁層90は除去され、また発光素子層92も積層されていないため、最上層に露出している透明導電性金属酸化物層64の上に直接カソード電極46が形成されることで達成される。なお、カソード電極46と配線64との接続部において、配線64の上部層として透明導電性金属酸化層を用いておらず、Mo/Al/Mo金属層のみが形成されている場合、層間絶縁層78、第1平坦化絶縁層86には開口部が形成され、この開口部の底面に露出したMo/Al/Mo金属層を覆うようにカソード電極46が積層されて電氣的に接続される。全面形成されたカソード電極46のさらに上には、基板全面を覆うようにスパッタなどによってSiN等の保護層94が形成されている。

20

#### 【0037】

以上のように、PVDD端子44を表示領域の水平方向の延びる中心線より下に配置したことにより駆動電流にかかる配線を短くし、抵抗を小さくして、消費電力や表示品位の低下を抑えることができる。また、V系ドライバ24に係る配線を上辺に配置することにより、表示領域14の縁と、当該表示装置の外形となるパネル基板12の縁の間である額縁の幅を、駆動電流配線の幅を確保しつつ、上下で近づけることができ、すなわち、表示中心のYアドレスとパネル基板のガラス外形中心のYアドレスを一致させることが可能となり、様々な機器に対する取り付け自由度が向上する。V系ドライバ24は、左辺に配置することも可能であるが、この場合、カソード46との間に寄生容量が発生し、消費電力が増加する可能性がある。また、右辺においても有機EL層等を封止する必要があり、このためのスペースが存在し、ここにV系ドライバ24を配置すれば、スペースの有効利用を図ることができる。

30

#### 【0038】

以上の配置に因って、封止上必要な額縁スペースにバランスよく、各回路と各配線を配置でき、ガラス基板（パネル基板）の有効活用が可能となり、表示品質の向上、低消費電力化、およびコスト低減が実現できる。

40

#### 【0039】

以上の実施形態においては、外部接続端子を表示装置の左辺に配置した場合を説明したが、右辺に配置することもできる。その場合、各回路、配線等の配置も左右対称となる。

#### 【図面の簡単な説明】

#### 【0040】

【図1】本実施形態の有機EL表示装置の概略構成を示す図である。

【図2】本実施形態の有機EL表示装置の端子、配線および回路等の配置を示す図である

50

。

【図 3】図 2 に示す A - A 線による断面図である。

【図 4】有機 EL 表示装置の画素の等価回路を示す図である。

【図 5】従来の有機 EL 表示装置の端子、配線および回路等の配置を示す図である。

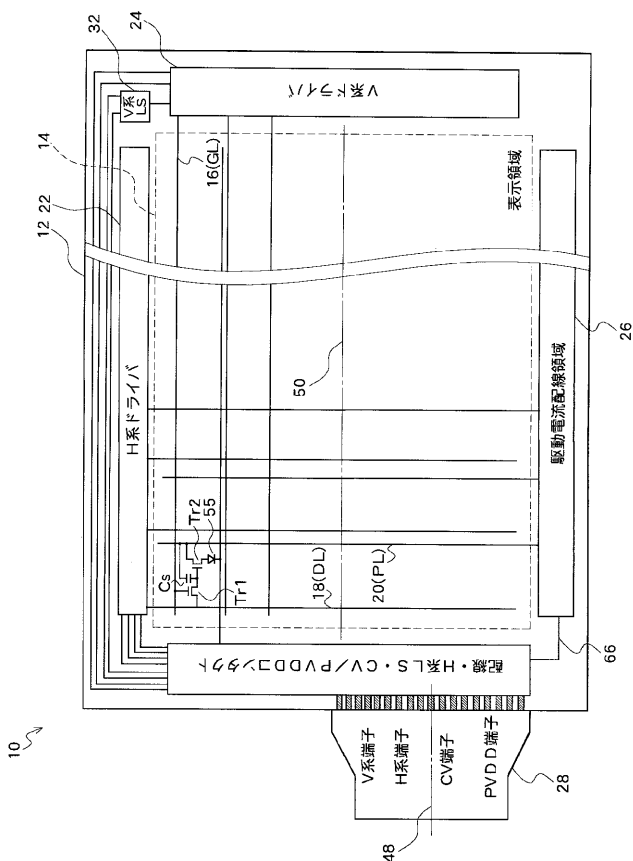
【符号の説明】

【0041】

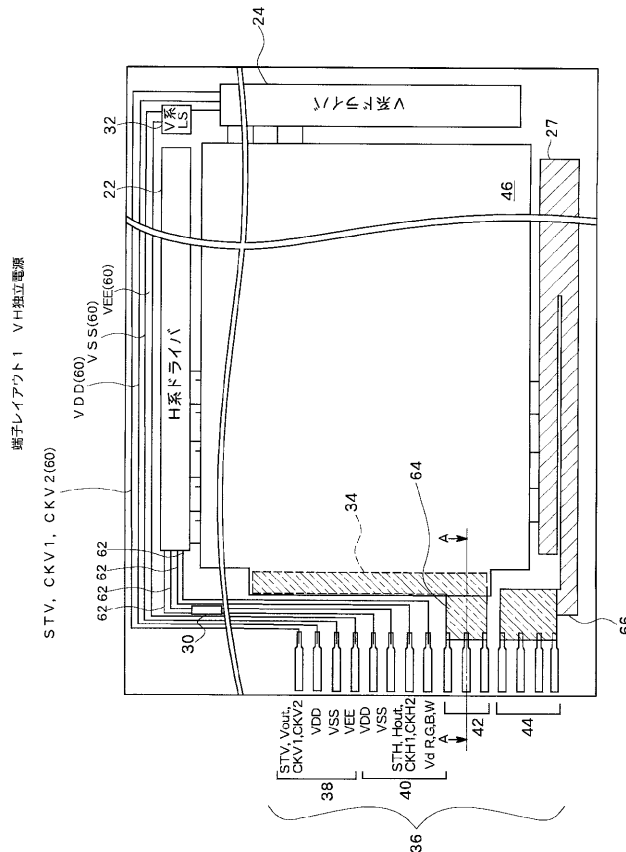
10 有機 EL 表示装置、12 パネル基板、14 表示領域、22 H系ドライバ、24 V系ドライバ、27 駆動電流配線、28 フレキシブル・プリントド・サーキット (FPC)、30 H系レベルシフト、32 V系レベルシフト、34 カソード電源用接点、36 外部接続用端子、38 垂直走査系配線用の端子 (V系端子)、40 水平走査系配線用の端子 (H系端子)、42 カソード電源用の端子 (CV端子)、44 駆動電流用の端子 (PVD端子)、48 外部接続端子の中心線、50 表示領域の中心線、55 有機 EL 素子。

10

【図 1】

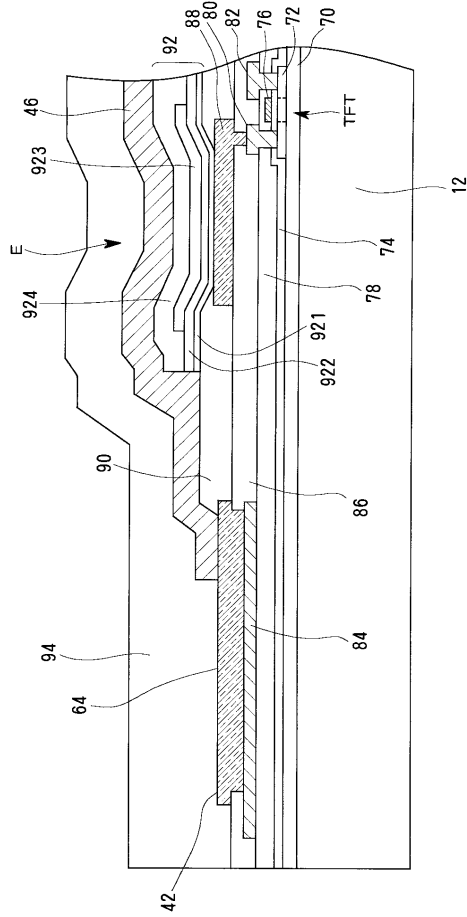


【図 2】

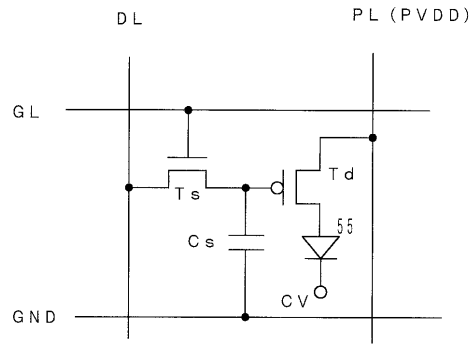


【図 3】

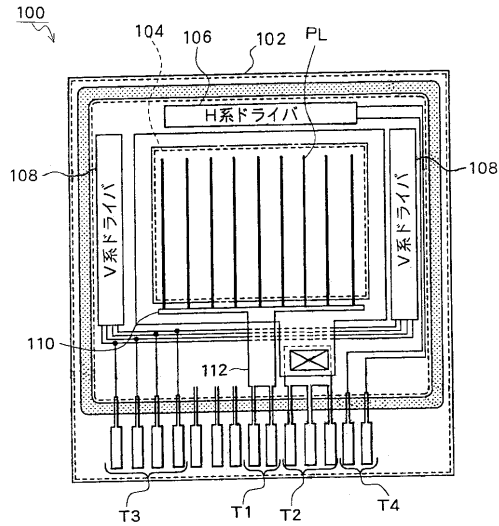
CV端子-CVコンタクト-EL+TFT断面



【図 4】



【図 5】



|                |                                                                                                                                                                                                                                        |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 电致发光显示装置                                                                                                                                                                                                                               |         |            |
| 公开(公告)号        | <a href="#">JP2007026704A</a>                                                                                                                                                                                                          | 公开(公告)日 | 2007-02-01 |
| 申请号            | JP2005202993                                                                                                                                                                                                                           | 申请日     | 2005-07-12 |
| [标]申请(专利权)人(译) | 三洋电机株式会社                                                                                                                                                                                                                               |         |            |
| 申请(专利权)人(译)    | 三洋电机株式会社                                                                                                                                                                                                                               |         |            |
| [标]发明人         | 松本昭一郎                                                                                                                                                                                                                                  |         |            |
| 发明人            | 松本 昭一郎                                                                                                                                                                                                                                 |         |            |
| IPC分类号         | H05B33/06 G09F9/30 H01L51/50                                                                                                                                                                                                           |         |            |
| FI分类号          | H05B33/06 G09F9/30.338 H05B33/14.A                                                                                                                                                                                                     |         |            |
| F-TERM分类号      | 3K007/AB03 3K007/AB18 3K007/BA06 3K007/CC05 3K007/DB03 3K007/GA00 5C094/AA15 5C094/AA22 5C094/AA60 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB02 3K107/AA01 3K107/BB01 3K107/CC14 3K107/DD38 3K107/DD39 3K107/EE03 3K107/EE57 3K107/FF15 |         |            |
| 代理人(译)         | 吉田健治<br>石田 纯                                                                                                                                                                                                                           |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                              |         |            |

#### 摘要(译)

要解决的问题：当外部连接端子布置在有机电致发光显示装置的侧面上时，以缩短布线。解决方案：布置在显示装置10的左侧的用作外部连接端子之一的驱动电源端子（PVDD端子）44布置在沿显示区域14的水平方向延伸的中心线50的下方。由于电流为了驱动像素，通过在显示区域14下方延伸的导线馈送，当PVDD端子44布置在中心线50下方时，可以减小导线与用于连接到外部的PVDD端子44之间的长度。

