

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-503327

(P2006-503327A)

(43) 公表日 平成18年1月26日(2006.1.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K007
G09G 3/20 (2006.01)	G09G 3/30 J	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611A	
	G09G 3/20 611H	
	G09G 3/20 621A	

審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2004-544574 (P2004-544574)
 (86) (22) 出願日 平成15年10月8日 (2003.10.8)
 (85) 翻訳文提出日 平成17年4月15日 (2005.4.15)
 (86) 国際出願番号 PCT/IB2003/004428
 (87) 国際公開番号 W02004/036536
 (87) 国際公開日 平成16年4月29日 (2004.4.29)
 (31) 優先権主張番号 0224277.4
 (32) 優先日 平成14年10月18日 (2002.10.18)
 (33) 優先権主張国 英国 (GB)

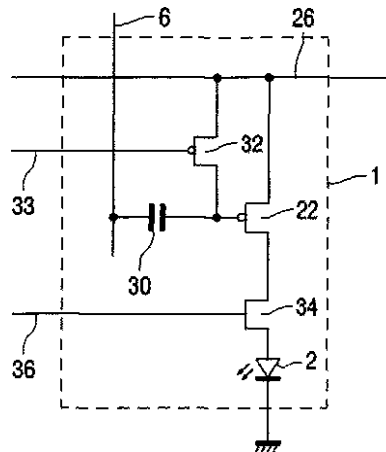
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス有機エレクトロルミネッセンス表示装置

(57) 【要約】

アクティブマトリクスエレクトロルミネッセンス表示装置は画素の入力に階段状電圧波形を用い、階段状電圧波形は駆動トランジスタのゲートへの印加の前に予め保持された画素駆動電圧により電圧シフトされる。電圧シフトのレベルは、表示素子が駆動されるデューティサイクルを決定し、これにより、階調レベル出力を制御する。階段状電圧波形における階段の高さは駆動トランジスタの線形動作範囲の電圧幅より大きく、それ故、階段状波形の選択された階段は完全なオンと完全なオフとの間で駆動トランジスタにより遷移が規定される。このようにして、駆動トランジスタは線形範囲において駆動されない。



【特許請求の範囲】

【請求項 1】

アクティブマトリクスエレクトロルミネッセンス (E L) 表示装置は表示画素のアレイを有し、各々の画素は：

エレクトロルミネッセント (E L) 表示素子；

前記表示素子により電流を駆動するための駆動トランジスタであって、駆動電圧は前記駆動トランジスタのゲートに供給される、駆動トランジスタ；及び

前記画素の入力と前記駆動トランジスタの前記ゲートとの間に接続され、駆動レベルに保持される保持容量；

を有するアクティブマトリクス E L 表示装置であって、

駆動回路構成は前記画素の前記入力に階段状電圧波形を供給するために備えられ、前記階段状電圧波形は前記駆動トランジスタの前記ゲートへの印加の前に前記保持容量により電圧シフトされ；及び

前記階段状電圧波形における前記階段の高さは駆動トランジスタの線形動作範囲の電圧幅より大きい；

ことを特徴とするアクティブマトリクス E L 表示装置。

10

【請求項 2】

請求項 1 に記載のアクティブマトリクス E L 表示装置であって、前記階段状電圧波形の前記階段の前記高さは、前記アクティブマトリクス E L 表示装置の画素全ての前記駆動トランジスタの線形動作範囲電圧を有するに十分である、ことを特徴とするアクティブマトリクス E L 表示装置。

20

【請求項 3】

請求項 1 又は 2 に記載のアクティブマトリクス E L 表示装置であって、前記駆動レベルは複数の値の 1 つを有するように選択され、前記線形範囲における前記駆動トランジスタに対するいずれのゲート電圧は前記駆動トランジスタの前記ゲートに印加される電圧の階段間の電圧に対応するように選択される、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれ一項に記載のアクティブマトリクス E L 表示装置であって、各々の画素は、電力供給ラインと前記駆動トランジスタの前記ゲートとの間に接続されたアドレスタランジスタを更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

30

【請求項 5】

請求項 4 に記載のアクティブマトリクス E L 表示装置であって、各々の画素は、前記表示素子により前記駆動トランジスタにより電流の駆動のディセーブル手段を更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 6】

請求項 5 に記載のアクティブマトリクス E L 表示装置であって、前記ディセーブル手段は、前記駆動トランジスタと前記表示素子と直列状態にある分離トランジスタを有する、ことを特徴とするアクティブマトリクス E L 表示装置。

40

【請求項 7】

請求項 4 に記載のアクティブマトリクス E L 表示装置であって、前記の画素のアレイの前記表示素子の 1 つの端子において電圧をスイッチングするためのスイッチを有するディセーブル手段を更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 8】

請求項 5 乃至 7 のいずれ一項に記載のアクティブマトリクス E L 表示装置であって、2 つのモードであって：

画素電圧が画素への前記入力に対して印加され、アドレスタランジスタはオンにされ、ディセーブル手段は前記表示素子をオフにするためにオンにされ、及び前記保持容量は前記駆動電圧から導き出されたレベルに充電される、第 1 モード；及び

50

前記アドレストランジスタがオフにされ、前記ディセーブル手段がオフにされ、及び前記階段状電圧波形が前記画素の前記入力に印加される、第2モード；の2つのモードにおいて動作する、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項9】

請求項1乃至8のいずれ一項に記載のアクティブマトリクスEL表示装置であって、少なくとも2つの連続フェーズにおいて動作し、一のフェーズは粗い分解能のパルス幅変調を与え、及び他の短いフェーズは細かい分解能のパルス幅変調を与える、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項10】

表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス(EL)表示装置をアドレス指定するための方法であって、各々の画素に対して：

エレクトロルミネッセント(EL)表示素子；

前記表示素子により電流を駆動するための駆動トランジスタであって、駆動電圧は前記駆動トランジスタのゲートに供給される、駆動トランジスタ；及び

前記画素の入力と前記駆動トランジスタの前記ゲートとの間に接続され、駆動レベルに保持される保持容量；

を有するアクティブマトリクスEL表示装置であって、

前記保持容量において画素駆動電圧を保持する段階；

前記画素の前記入力に階段状電圧を供給し、前記階段状電圧波形は前記駆動トランジスタの前記ゲートへの印加の前に前記保持容量により電圧シフトされ、それ故、前記駆動トランジスタの前記ゲートに印加される電圧階段の第1集合に対して、前記駆動トランジスタはオンにされ、前記駆動トランジスタの前記ゲートに印加される電圧階段の第2集合に対して、前記駆動トランジスタはオフにされ、前記第1集合及び前記第2集合は前記の保持された画素駆動レベルにより決定される段階；

を有することを特徴とする方法。

【請求項11】

請求項10に記載の方法であって、前記階段状電圧波形における前記階段の高さは前記駆動トランジスタの前記線形動作範囲の電圧幅より大きい、ことを特徴とする方法。

【請求項12】

請求項11に記載の方法であって、前記階段状電圧波形における前記階段の前記高さは、アクティブマトリクスEL表示装置の画素全ての前記駆動トランジスタの重なり合った線形動作範囲の電圧の電圧幅より大きい、ことを特徴とする方法。

【請求項13】

請求項10乃至12のいずれ一項に記載の方法であって、駆動レベルは複数の値の1つを有するように選択され、前記線形範囲における前記駆動トランジスタに対するいずれのゲート電圧は前記駆動トランジスタの前記ゲートに印加される電圧の階段間の電圧に対応するように選択される、ことを特徴とする方法。

【請求項14】

請求項10乃至13のいずれ一項に記載の方法であって、前記保持容量において画素駆動電圧を保持する前記段階は：

電力供給ラインと前記駆動トランジスタの前記ゲートとの間に接続されたアドレストランジスタをオンにする手順；及び

前記アドレストランジスタを用いて前記保持容量を充電する手順；

を有する、ことを特徴とする方法。

【請求項15】

請求項14に記載の方法であって：

前記保持容量において画素駆動レベルを保持する間に、前記表示素子により前記駆動トランジスタによる電流の駆動をディセーブルにする手順を更に有する、ことを特徴とする方法。

10

20

30

40

50

【請求項 16】

請求項 10 乃至 15 のいずれ一項に記載の方法であって、アクティブマトリクス EL 表示装置は少なくとも 2 つの連続フェーズにおいて動作し、一のフェーズは粗い分解能のパルス幅変調を与え、及び他の短いフェーズは細かい分解能のパルス幅変調を与える、ことを特徴とする方法。

【請求項 17】

請求項 16 に記載の方法であって、前記画素の前記入力に対する前記階段状電圧波形は前記 2 つのフェーズにおいて同じ電圧レベルを有し、より短いフェーズはより短い階段遷移を有する、ことを特徴とする方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、エレクトロルミネッセンス表示装置に関し、特に、各々の画素に関連付けられた薄膜スイッチングトランジスタを有するアクティブマトリクス表示装置に関する。

【背景技術】

【0002】

エレクトロルミネッセンス (EL) 発光装置を用いるマトリクス型表示装置は周知である。その表示素子は、例えば、高分子材料を用いる有機薄膜エレクトロルミネッセンス素子、又は、従来の III-V 族化合物半導体を用いる発光ダイオード (LED) を有することが可能である。有機エレクトロルミネッセンス材料、特に高分子材料における近年の研究は、映像表示装置に対して実際に使用される能力を示してきた。代表的には、それらの材料は、一对の電極間に挟まれた半導体性共役系高分子の 1 層又はそれ以上の数の層を有し、それら電極の一方は透明であり、他方は高分子層にホール又は電子を注入するために適する材料から成る。

20

【0003】

高分子材料層は、CVD プロセスを用いて形成することができ、または可溶性共役高分子の溶液を用いるスピンコーティング技術により簡単に形成することができる。又、インクジェットプリンティング方法を用いることが可能である。有機エレクトロルミネッセンス材料は、ダイオードのような I-V 族半導体材料の特性を示し、それ故、それら材料は表示機能およびスイッチング機能に両方を提供することができ、受動型表示装置において用いられることができる。また、それらの材料はアクティブマトリクス表示装置のために用いることが可能であり、各々の画素は表示素子を通る電流を制御するためのスイッチング素子と表示素子とを有する。

30

【0004】

この種類の表示装置は電流アドレス型表示素子を有し、それ故、従来のアナログ駆動スキームは表示素子に制御可能な電流を供給する。電流源トランジスタを画素構成の一部として備えることが知られており、このとき、電流源トランジスタに供給されるゲート電圧は表示素子を通る電流を決定する。保持容量はアドレスフェーズの後、ゲート電圧を維持する。

【0005】

40

図 1 は、アクティブマトリクスアドレスエレクトロルミネッセンス表示装置のための既知の画素回路を示している。アクティブマトリクスアドレスエレクトロルミネッセンス表示装置は、行 (選択) 列 (データ) アドレス導体 4 及び 6 の交差点の集合間のインターセクションに位置付けられた、関連するスイッチング手段と共にエレクトロルミネッセンス表示素子 2 を有し且つブロック 1 により表される、一定間隔を置いた画素の行列マトリクスアレイを有するパネルを有する。簡単化のために、図 1 においては、幾らかの画素のみを示している。実際には、数百の画素の行及び列が存在することが可能である。画素 1 は、それぞれ導体の集合の端部に接続される、走査のための行の駆動回路 8 と、データのための列の駆動回路 9 とを有する周辺駆動回路により、行及び列のアドレス導体の集合を介してアドレスされる。

50

【0006】

エレクトロルミネッセンス表示素子2は、ここではダイオード素子(LED)として表され、1層またはそれ以上の数の層の有機エレクトロルミネッセンス材料の活性層が間に挟まれる一対の電極を有する、有機発光ダイオードを有する。アレイにおける表示素子は、絶縁基板の一方側に、関連するアクティブマトリクス回路と共に支持される。表示素子の陰極または陽極は透明導電材料を用いて形成される。基板はガラスのような透明材料から成り、基板に最も近い表示素子2の電極は透明導電材料から成り、それ故、基板の他の側から観測者が見ることができるように、エレクトロルミネッセンス層により生成される光は電極および基板を透過する。代表的には、有機エレクトロルミネッセンス材料層の厚さは100nm乃至200nmの範囲内である。エレクトロルミネッセンス表示素子2のために使用することができる、適切な有機エレクトロルミネッセンス材料の代表的な例は、周知であり、欧州特許第0717446号明細書に説明されている。国際公開第96/36959号パンフレットに説明されているような共役高分子材料が又、用いられることができる。

10

【0007】

図2は、既知の画素及び駆動回路配置を単純化した模式図に示している。各々の画素1は、EL表示素子2と関連する駆動回路とを有する。その駆動回路は、行の導体における行のアドレスパルスによりオンにされるアドレスタランジスタ16を有する。アドレスタランジスタ16がオンにされるとき、列の導体6の電圧は残りの画素に加えることができる。特に、アドレスタランジスタ16は、駆動トランジスタ22と保持容量24を有する電流源20に列の導体電圧を供給する。列の電圧は駆動トランジスタ22のゲートに供給され、行のアドレスパルスが終了した後に保持容量24によりゲートはこの電圧に保たれる。駆動トランジスタ22は電力供給ライン26から電流を引き出す。

20

【0008】

この回路における駆動トランジスタ22は、PMOS TFFとして実施され、それ故、保持容量24は固定されたゲートソース電圧に保たれる。これにより、トランジスタを流れる固定ソースドレイン電流が得られ、それ故、画素の所望の電流源動作を提供する。

【0009】

上記の基本的な画素回路は電圧がプログラムされた画素であり、又、駆動電流をサンプリングする電流がプログラムされた画素がある。しかしながら、全ての画素構成は、各々の画素に供給される電流を必要とする。

30

【0010】

特にポリシリコン型薄膜トランジスタを用いる場合の、電圧がプログラムされた画素を用いる1つの問題点は、基板における異なるトランジスタ特性(特に、閾値電圧)がゲート電圧とソース-ドレイン電流との間の異なる関係及び表示画像結果におけるアーチファクトを生じさせることである。特に、低輝度レベルにおいては、不均一になる。

【0011】

デジタル駆動スキームが又、提案されてきた。そのようなスキームにおいては、LED装置は、2つの有効な電圧レベルに対して効果的に駆動される。これは、画素がもはや中間的な低輝度レベルに対して駆動されないため、非均一性の問題を克服する。これは又、トランジスタが電流源として線形範囲で動作する必要がないため、画素回路における電力消費を低減させる。その代わりに、全てのトランジスタは完全にオン又は完全にオフにすることができ、それにより電力消費を低減することができる。そのような駆動スキームは、同じ理由からトランジスタ特有の変化に対して敏感ではない。このような方法は、2つの有効な画素出力を与えるのみである。しかしながら、階調画素出力は、多くの方法により達成することができる。

40

【0012】

一方法においては、より大きい画素を構成するために画素をグループ化することができる。グループの中の画素を独立してアドレス指定することができ、それ故、アクティブにされたグループ内の画素数の関数である階調が生成される。これは、面積率法として知ら

50

れている。例えば、フレーム期間は、1 : 2 : 4 の比にサブフレーム期間を分割されることが可能である（8つの均等の間隔に並んだ階調値、即ち、3ビット分解能を与える）。典型的には、nビット分解能はn個のサブフレームを必要とする。高リフレッシュレートは全体的な表示電力消費を増加させる傾向にあり、複雑なプログラミングシーケンスを必要とする。

【0013】

国際公開第01/54107号パンフレットにおいて、有機LEDディスプレイに対する画素配列及び駆動スキームが開示されており、その表示装置においては、シフトされたランプ電圧が駆動トランジスタの閾値電圧と交差するとき、駆動トランジスタはスイッチングする。

10

【発明の開示】

【課題を解決するための手段】

【0014】

本発明に従って、表示画素のアレイを有するアクティブマトリクス表示装置であって、各々の画素は：

エレクトロルミネッセンス（EL）表示素子；

前記表示素子により電流を駆動させるための駆動トランジスタであって、駆動電圧は前記駆動トランジスタのゲートに供給される、駆動トランジスタ；及び

前記駆動トランジスタの前記ゲートと前記画素への入力との間に接続され、駆動レベルを保持する保持容量；

20

を有する、アクティブマトリクス表示装置であり、

駆動回路構成は前記画素の前記入力部に階段状電圧波形を供給するために備えられ、前記階段状電圧波形は、駆動トランジスタのゲートへの適用の前に保持容量により電圧シフトがなされ；

前記階段状電圧波形における階段の高さは駆動トランジスタの線形動作範囲の電圧幅より大きい；

アクティブマトリクス表示装置を提供する。

【0015】

このような配置においては、階段状信号は、それらの階段の1つが駆動トランジスタのオン状態とオフ状態との間の遷移を提供するように、駆動トランジスタのゲートに供給される。駆動電圧は、この遷移が起こるときを決定付け、それ故、駆動電圧は駆動トランジスタに対してパルス幅変調駆動スキームを提供する。駆動トランジスタの線形動作範囲におけるゲート-ソース電圧の範囲より階段状電圧波形における階段の高さが大きいことを確実にすることにより、階段状波形の選択された階段が完全なオンと完全なオフとの間で（いずれの順序においても）駆動トランジスタのための遷移を規定することを確実にすることができる。このように、駆動トランジスタは線形範囲において決して駆動されず、それ故、電力消費を低減することができる。

30

【0016】

階段状電圧波形における階段の高さは、好適には、ディスプレイの画素全ての駆動トランジスタの線形動作範囲電圧を増加するに十分である。このようにして、画素全ては線形動作範囲のどちら側かの電圧に対して駆動され、閾値電圧における変動が考慮されるため、TFT閾値電圧の変動は克服される。

40

【0017】

駆動レベルは、それ故、好適には、複数の値の1つを有するように選択され、線形範囲において駆動トランジスタのためのいずれのゲート電圧は駆動トランジスタのゲートに印加される電圧の階段間の電圧に一致するように選択される。駆動レベルは、それ故、全ての画素が完全なオン又は完全なオフのどちらかにおいて駆動されるように、駆動トランジスタの線形範囲及び閾値電圧の範囲を考慮する。

【0018】

各々の画素は、好適には、駆動トランジスタのゲートと電源との間に接続されたアドレ

50

ストランジスタを更に有する。これは容量を充電させるために用いられる。各々の画素は、表示素子を介して駆動トランジスタによる電流の駆動をディセーブルにするための手段を更に有することが可能である。容量充電段階において、駆動トランジスタは、それ故、容量充電段階に影響を及ぼさないように、オフに切り換えられることができる。

【0019】

アクティブマトリクスエレクトロルミネッセンス表示装置は、それ故、2つのモードであって：

画素電圧が画素への入力に対して印加され、アドレストランジスタはオンにされ、ディセーブル手段は表示素子をオフにするためにオンにされ、及び保持容量は駆動電圧から導き出されたレベルに充電される、第1モード；及び

アドレストランジスタがオフにされ、ディセーブル手段がオフにされ、及び階段状電圧波形が画素の入力に印加される、第2モード；

の2つのモードにおいて動作する。

【0020】

これらの2つのモードは、入力電圧が容量において電圧を蓄積するために用いられるプログラミング段階と、次に、続く駆動段階とを規定する。

【0021】

アクティブマトリクス表示装置は、2つの連続フェーズであって、粗い分解能のパルス幅変調を提供する一のフェーズと、細かい分解能のパルス幅変調を提供する他の短いフェーズとにおいて動作されることができ。これは、細かい分解能の駆動により後継される（又は、先行される）粗い分解能の駆動を有することにより、更に階調を提供することを可能にする。

【0022】

本発明は又、表示画素のアレイを有する表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置をアドレス指定する方法であって、各々の画素は、エレクトロルミネッセンス（EL）表示素子と、表示素子により電流を駆動するための駆動トランジスタと、駆動トランジスタのゲートと画素の入力との間に接続され、駆動レベルを保持するための保持容量とを有する、方法であり、各々の画素に対して：

保持容量に画素駆動電圧を保持する段階；並びに

画素の入力に階段状電圧を供給し、階段状電圧波形は駆動トランジスタのゲートへの印加の前に保持容量により電圧シフトされ、それ故、駆動トランジスタのゲートに印加される電圧段階の第1集合に対して、駆動トランジスタはオンにされ、駆動トランジスタのゲートに印加される電圧段階の第2集合に対して、駆動トランジスタはオフにされ、第1集合及び第2集合は保持された画素駆動レベルにより決定される段階；

を有する方法を提供する。

【0023】

この方法は、画素に階段状ランプ電圧入力を用いる時間比法であって、駆動トランジスタの閾値電圧と効果的に比較される、時間比法を提供する。階段の1つは、駆動トランジスタの閾値電圧と交差する電圧を供給し、これにより、トランジスタはオン又はオフにされ、それ故、トランジスタのデューティサイクルの制御を提供する。

【0024】

電圧段階の第1集合及び第2集合はいずれかの順序であることが可能である。それ故、階段状波形は立ち上がる又はたち下がるということが可能であり、ゲート電圧がトランジスタ閾値電圧と交差するポイントは駆動トランジスタのスイッチングオン又はオフを表すことが可能である。

【0025】

階段状電圧波形における階段の高さは、好適には、駆動トランジスタの線形動作範囲の電圧幅より大きく、それ故、階段の電圧は、回避される駆動トランジスタの線形動作範囲をもたらすように怪談の電圧を選択することができる。特に、階段状電圧波形における階段の高さは、ディスプレイの画素全ての駆動トランジスタの重ね合わされた線形動作範囲

10

20

30

40

50

電圧の電圧幅より大きくすることができ、それ故、同じ階段状波形は、駆動トランジスタ全ての線形動作範囲を回避するように用いられることができる。

【0026】

それ故、駆動レベルは、複数の電圧の1つを有するように選択され、線形範囲における駆動トランジスタに対するいずれのゲート電圧は駆動トランジスタのゲートに印加された電圧の階段間の電圧に対応するように選択されることができる。

【0027】

アクティブマトリクスエレクトロルミネッセンス表示装置は、2つの連続フェーズ、即ち、粗い分解能のパルスを提供する一のフェーズと、細かい分解能のパルス幅変調を提供する他の短いフェーズにおいて動作可能である。これは、駆動電圧の線形駆動を回避するように必要な階段の高さを保ちながら、レベル数を増加させることができる。

10

【0028】

本発明は、以下、実施例として添付図面を参照して説明することにする。

【発明を実施するための最良の形態】

【0029】

本発明は、階段状基準電圧波形を用いる時間比駆動スキームを実行するための駆動方法及び画素配列であって、階段レベルは、画素の駆動トランジスタの線形動作範囲が回避されるように選択される、駆動方法及び画素配列を提供する。

【0030】

同じ参照番号は、同じ構成要素に対して異なる図において用いられ、これらの構成要素についての説明は繰り返されない。

20

【0031】

図3は、本発明に従った第1画素配列を示している。図2の従来の画素におけるように、画素は、駆動トランジスタ22にゲート駆動電圧を印加することにより、電圧アドレス指定される。

【0032】

保持容量30は、駆動トランジスタ22のゲートと列データライン6との間に備えられている。個の列データライン6は画素への入力を効果的に規定する。その容量は、下で更に説明するように、列導体において電圧を電圧シフトするために備えられている。

【0033】

列ドライバ回路構成(図1における9)は画素の入力に階段状電圧波形を供給し、この階段状電圧波形は、駆動トランジスタのゲートに適用される前に、保持容量30により電圧シフトされる。容量30により導入された電圧シフトは、ゲートに印加された電圧が駆動トランジスタ22の閾値電圧と交差するときを決定する。

30

【0034】

容量30に好ましい電圧を保持するために、各々の画素は、電力供給ライン26と駆動トランジスタ22のゲートとの間に接続されたアドレストランジスタ32を有する。アドレストランジスタ32はアドレスライン33により制御される。これは、画素プログラミング段階の間に容量30を変化させるために用いられる。このプログラミング段階の間、列導体6は、好ましい電圧に対して容量を変化させるように駆動電圧(電極供給ライン電圧より小さい)に保たれる。

40

【0035】

プログラミング段階の間に、表示素子2により電流は駆動されず、図3の画素回路は、この段階の間にイネーブルライン36によりオフにされる分離トランジスタ34を有する。表示素子2の陰極のアース接続は、代替として、スイッチにより与えられることが可能であり、そのスイッチは、駆動トランジスタ22をオフにするように電力供給ライン電圧に又はオープン回路にスイッチングされることができる。このスイッチは、それ故、表示素子全てに対して共通である。そのような場合、駆動トランジスタ22のドレインは、表示素子2の陽極に、直接、接続される。

【0036】

50

下で更に説明するように、階段状電圧波形における階段の高さは、駆動トランジスタの線形動作範囲におけるゲート - ソース電圧の範囲より大きい。これは、それらの段階の1つが線形動作範囲においてトランジスタを駆動することなく駆動トランジスタのオン状態とオフ状態との間の遷移を与えることを可能にする。実際には、階段状電圧波形における階段の高さは、ディスプレイの画素全ての駆動トランジスタの線形動作範囲に置けるゲート - ソース電圧の範囲より大きい。このように、TFT 閾値電圧における変動の影響は、線形動作範囲のいずれかの側において電圧に対して画素全てが駆動されるため、削除される。

【0037】

図4は、その回路の動作について、更に詳細に説明するために用いられる。

10

【0038】

画素駆動スキームは、プログラミングフェーズから始まる。プロット40は、アドレスライン33における電圧を示している。プログラミングフェーズの間に、アドレスライン電圧は、PMOS アドレスタランジスタ32においてオンになるように、低くスイッチングされる。容量30は、次いで、列6に供給される電圧に依存する電圧に対してアドレスタランジスタ32により充電される。プロット42は列に供給される電圧を示しており、そのプロットの一部42aは46として示されている階段高さを有する画素駆動レベルであり、その画素駆動レベルは容量30に保持される電圧を決定する。プログラミングフェーズの間、分離トランジスタはオフにされ、プロット44はイネーブルライン36における電圧を示している。プログラミングフェーズの間の低い電圧はNMOS 分離トランジスタ34をオフにする。

20

【0039】

プログラミングフェーズの終わりには、アドレスライン電圧40は、アドレスタランジスタ32をオフにするために、高くなり、電圧46が容量30に保持される。

【0040】

高レベルのアドレス電圧は、駆動トランジスタ22のゲートへの電圧に関係なく、アドレスタランジスタ32がオフのまま保たれる(前方方向と同様に逆方向においても)ことを確実にするために、表示素子を駆動するとき、供給電圧 V_{SUPPLY} より大きいことが必要である。図4に示すように、高アドレスライン電圧は、供給電圧 $V_{SUPPLY} +$ 最大シフト電圧46に設定されることができる。

30

【0041】

列電圧42の階段状ランプ部分42bが、次いで、列6に印加され、容量の効果はこれをプロット48にシフトさせ、そのプロット48は駆動トランジスタ22のゲートに印加される電圧である。

【0042】

電圧48は、最初は、PMOS 駆動トランジスタ22がオフにされるように、供給ライン電圧より大きい。その電圧が、駆動トランジスタ22の閾値電圧に等しい量だけ供給ライン電圧より下に階段を形成するときのみ、電流が表示素子2により駆動されるときを示すプロット50により表されているように、トランジスタはオンになる。

40

【0043】

電圧シフト46のレベルはLED電流プロファイルのデューティサイクルを決定し、この電圧シフトは、それ故、パルス幅変調駆動スキームを実行することは明らかである。

【0044】

アレイにおける異なるトランジスタに対する閾値電圧は僅かに異なる。更に、閾値電圧に近いゲート - ソース電圧に対して、駆動トランジスタはそれらの線形動作範囲において動作する。これは、駆動トランジスタ22の駆動状態の完全なオンと完全なオフとの間の範囲である。

【0045】

図5は、表示素子ロードを駆動するときの駆動トランジスタのオン特性と、ソース - ドレイン電流に対するゲート - ソース電圧のプロットとを模式的に示している。電圧 V_L 以

50

下で、トランジスタはオフにされる。これは、例えば、電流がピーク電流の1%である電圧であることが可能である。電圧 V_H 以上で、トランジスタはオンにされる。これは、例えば、電流が一定であり、これにより、駆動されるロードにより限定される電圧であることが可能である。例えば、この電圧は、電流が5%以下だけ(破壊電圧以下)変動する電圧として定義される。 V_L と V_H との間の電圧範囲はトランジスタの線形動作範囲である。他の定義を用いることが可能であるが、その線形動作範囲は、本質的には、電流がゲート-ソース電圧に応答して実質的に増加する動作範囲であり、トランジスタが完全にオン又はオフにされるとき、電流は実質的に一定である。

【0046】

V_L と V_H との正確な値は基板における異なるトランジスタに対して変動する。しかしながら、この変動範囲は予測可能又は測定可能であり、それ故、それらの電圧値の範囲は既知である。更に、変動の範囲は比較的小さく、例えば、10乃至15%である。

10

【0047】

図4を再び参照するに、階段の高さがトランジスタ22の線形動作範囲の電圧幅、即ち、 V_L と V_H との間の電圧幅より大きいように、波形42の階段は選択される。これは、ディスプレイの画素全てに対して確実にされる。図4に示すように、最小値 V_L と最大値 V_H との間の電圧範囲“ V_{ON} Range”は、プロット48の階段52と54との間にあるように配置される。

【0048】

これは、 V_L (MIN)と V_H (MAX)との間の範囲より大きい階段の高さを選択することにより達成されるが又、範囲 V_{ON} Rangeが常に電圧の階段の遷移の間にあるように、多くの離散的な有効値を有するように電圧レベル46を選択することにより達成される。

20

【0049】

要求される階段の高さは、低閾値電圧TFTに対しては1V乃至1.5Vであるが、それらの値は用いられる特定のトランジスタ技術に依存し、非常に高いことが可能である。図4、8に示す例においては、約16Vのゲートは開電圧以下で容易に達成されることができる階段を示している。それ故、8個の有効PWMレベルが得られる。

【0050】

図6は、更に階調レベルを与えるためのスキームを示しているが、図4のプロット42、48及び50のみを示している。アクティブマトリクスエレクトロルミネッセンス表示装置は2つの連続フェーズにおいて動作する。2つのフェーズの順序は重要ではないが、図6においては、第1フェーズ60は、より重要なPWM出力、即ち、より低い分解能(より長い)PWM階段を与え、第2フェーズ62は、より高い分解能の(より短い)PWM段階を与える。これは、細かい分解能の駆動により後継される粗い分解能の駆動を有することにより、更なる階調レベルが与えられることを可能にする。各々のフェーズにおいて、駆動トランジスタに対する線形動作電圧範囲は、図示しているように、階段間の遷移に対応するように配置される。

30

【0051】

表示画素のアレイをアドレス指定するために、アレイにおける全ての容量を、最初に、好ましい値に充電することができる。一旦、画素容量が充電されると、同時に、列における画素全てを駆動するために、同じ列駆動信号(非シフト階段状波形)を用いることができる。更に又、列全てを同時に駆動することができる。

40

【0052】

図6においては、全フレーム期間は、60Hzのフレームレートから導き出される約17msであることが可能である。フレーム期間の50%が発光に対して利用可能であり、残りがシーケンス間のガード時間に対して及びプログラミングシーケンスに対して利用可能である場合、各々のプログラムサイクルに対して約4msが利用可能である。より長い表示シーケンス60は約7ms続き、より短い表示シーケンス62は約1ms続く。短い表示シーケンスにおける8個の階段に対して、最も短い階段は、それ故

50

、約 0.1 msec 続く。

【0053】

図 7 は、画素のアレイをアドレス指定するために 1 つの有効なタイミングスキームを説明するために用いられる。プログラミングフェーズ 70 の間、図 4 のパルス 42a のシーケンスが各々の列導体に同時に印加される。図 7 は、1 つの列導体に対する列電圧波形を 72 で示している。行はアドレスパルス 74 により順にアドレス指定され、これらのアドレスパルス 74 は、生成されたレベル 42a を、個々の画素の保持容量を変化させるように用いることが可能である。

【0054】

プログラミングフェーズ 70 の終わりに、アレイの画素全ては容量において保持された選択電圧を有する。駆動フェーズ 76 は、列全部に同じ列波形（非シフト階段状ランプ）を印加することを有する。全ての画素は、それ故、列における画素全てのアドレス指定のために用いられる個々の列導体波形と、同時に列全てに印加される列導体波形とを用いて、同時に駆動される。

【0055】

列に印加される信号を多重化することが可能であり、それ故、列のグループを、全部同時にではなく、順にプログラムすることができる。これは周知の技術であり、プログラミングシーケンスを生成するための回路構成が列間に共有されることができ、必要とされる個別の信号生成回路の数を減少させることができる。全ての画素を駆動することは列全てに同じ信号を印加することを有するため、このフェーズ 76 に対していずれの多重化配列を考慮する必要はない。

【0056】

図 7 は 1 つのアドレスシーケンスのみを示している（又、列信号は立ち下がりの代わりに立ち上がることができることを示している）が、図 7 を参照して説明するタイミングを、図 6 の 2 つのシーケンス動作を与えるために拡張することができる。

【0057】

列ドライバについては上の詳細説明において説明していないが、図 1 の従来のドライバ 9 は、必要な階段状波形と初めの画素プログラミング電圧プロファイルの生成を可能にするルーチン方法において変更されることができる。必要な列ドライバの回路構成についての詳細説明は省略する。

【0058】

上記の実施例においては、1 つの特定の画素配置についてのみ説明した。NMOS トランジスタ及び PMOS トランジスタの異なる組み合わせを用いることが可能であり、画素回路は、画素メモリのような付加機能を実施するために上記のトランジスタに付加回路素子を有することが可能である。

【0059】

ランプ階段状電圧波形は均一な階段高さ及び幅を有するように示したが、階段高さ及び / 又は幅は、最小の階段高さが決定された電圧範囲を超えない場合、本発明の範囲から逸脱することなく、非均一であることが可能である。

【0060】

種々の他の変更が可能であることは、当業者には明らかであろう。

【図面の簡単な説明】

【0061】

【図 1】従来の EL 表示装置を示す図である。

【図 2】入力駆動電圧を用いて EL 表示画素を電流アドレス指定するための従来の画素回路の模式図である。

【図 3】本発明の表示装置のための画素配置の模式図である。

【図 4】図 3 の回路の動作を説明するためのタイミング図である。

【図 5】図 3 の画素回路の駆動トランジスタのオン特性を示す図であり、電圧波形がどのように選択されるかを説明するために用いる図である。

10

20

30

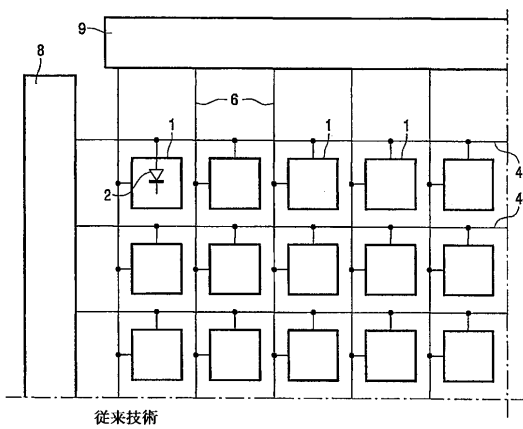
40

50

【図6】図3の回路の変形の動作を説明するためのタイミング図である。

【図7】本発明のアドレス動作が画素のアレイにどのように適用されるかを示すためのタイミング図である。

【図1】



【図3】

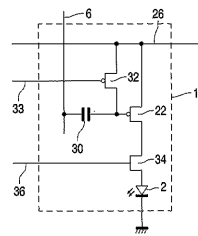
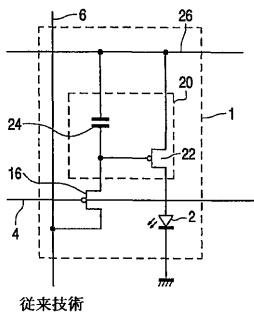
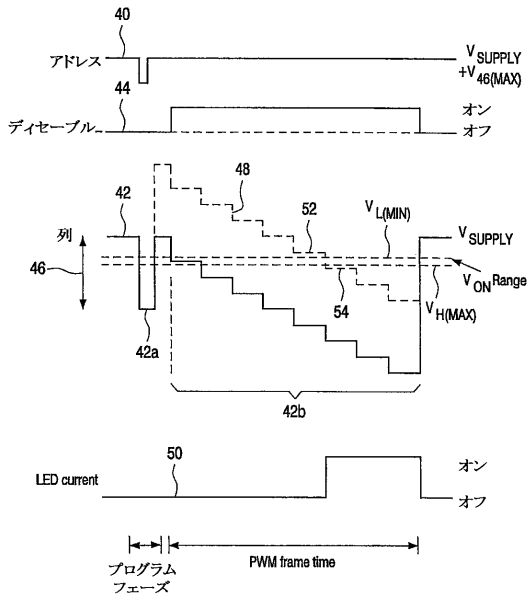


FIG.3

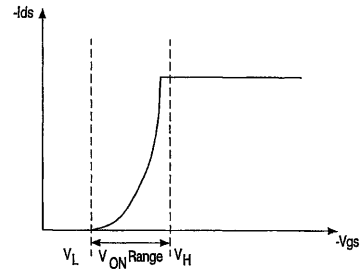
【図2】



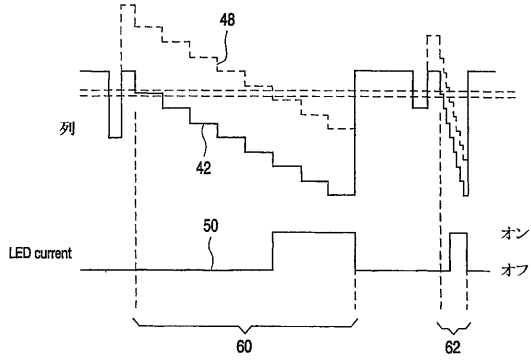
【 図 4 】



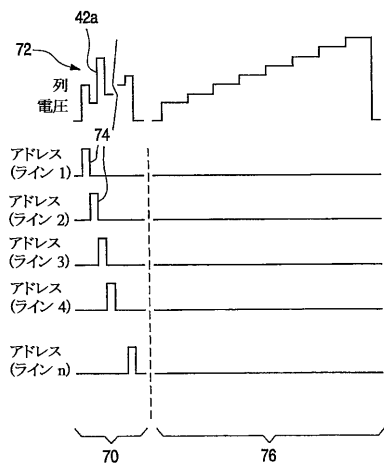
【 図 5 】



【 図 6 】



【 図 7 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/IB 03/04428
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01 54107 A (EMAGIN CORP) 26 July 2001 (2001-07-26) cited in the application page 7, line 1 -page 9, line 27; figures 1,2	1-8, 10-15
A	US 2002/047817 A1 (TAM SIMON) 25 April 2002 (2002-04-25) paragraph '0014! - paragraph '0018!; figures 1-3	1-8, 10-15
A	US 2002/140659 A1 (MIKAMI YOSHIRO ET AL) 3 October 2002 (2002-10-03) paragraph '0035! - paragraph '0037!; figures 1,2	1-8, 10-15
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 9 January 2004		Date of mailing of the international search report 19/01/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Morris, D

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB 03/04428

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 170 155 A (HARWOOD LEOPOLD A ET AL) 8 December 1992 (1992-12-08) column 3, line 34 -column 5, line 30 column 5, line 50 -column 5, line 56; figures 1,2 ---	1,10
A	EP 1 005 013 A (LUCENT TECHNOLOGIES INC) 31 May 2000 (2000-05-31) paragraph '0026! paragraph '0029! - paragraph '0030! paragraph '0041! - paragraph '0045! paragraph '0053! - paragraph '0054!; figures 1,4,7,9,10 ---	1-8
A	WO 02 075709 A (KONDO SHIGEKI ;CANON KK (JP)) 26 September 2002 (2002-09-26) the whole document -& US 2003/016190 A1 (CANON KABUSHIKI KAISHI) 23 January 2003 (2003-01-23) paragraph '0057! - paragraph '0072!; figures 1-5 ---	1,4-6
A, P		1,4-6
A	EP 0 973 148 A (SEIKO INSTR INC) 19 January 2000 (2000-01-19) paragraph '0030! - paragraph '0037! paragraph '0044! - paragraph '0048!; figures 1-8 -----	9,16,17

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/IB 03/04428

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 0154107	A	26-07-2001	WO 0154107 A1 26-07-2001 US 2001045929 A1 29-11-2001
US 2002047817	A1	25-04-2002	GB 2367414 A 03-04-2002 CN 1346121 A 24-04-2002 GB 2370906 A ,B 10-07-2002 JP 2002189446 A 05-07-2002
US 2002140659	A1	03-10-2002	JP 2002297097 A 09-10-2002
US 5170155	A	08-12-1992	DE 69124988 D1 10-04-1997 DE 69124988 T2 12-06-1997 EP 0506906 A1 07-10-1992 WO 9207351 A1 30-04-1992 JP 3270034 B2 02-04-2002 JP 2000155558 A 06-06-2000 JP 5503175 T 27-05-1993 JP 3128073 B2 29-01-2001 KR 221106 B1 15-09-1999
EP 1005013	A	31-05-2000	US 6384804 B1 07-05-2002 DE 69900197 D1 30-08-2001 DE 69900197 T2 22-11-2001 EP 1005013 A1 31-05-2000 JP 2000163015 A 16-06-2000 KR 2000035688 A 26-06-2000 TW 508554 B 01-11-2002
WO 02075709	A	26-09-2002	WO 02075709 A1 26-09-2002 US 2003016190 A1 23-01-2003
EP 0973148	A	19-01-2000	JP 2000029439 A 28-01-2000 US 6377234 B1 23-04-2002 EP 0973148 A1 19-01-2000

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 A
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 スティア, ウィリアム エイ

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

Fターム(参考) 3K007 AB05 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 DD26 EE28 EE29 FF11 JJ02 JJ03 JJ04
JJ05

专利名称(译)	有源矩阵有机电致发光显示装置		
公开(公告)号	JP2006503327A	公开(公告)日	2006-01-26
申请号	JP2004544574	申请日	2003-10-08
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	スティアウヰリアムエイ		
发明人	スティア,ウヰリアム エイ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3258 G09G3/2014 G09G3/2018 G09G3/2077 G09G3/3291 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2300/0876 G09G2310/0259 G09G2320/043 G09G2330/021		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.A G09G3/20.611.H G09G3/20.621.A G09G3/20.623.C G09G3/20.624.B G09G3/20.641.A G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	伊藤忠彦		
优先权	2002024277 2002-10-18 GB		
外部链接	Espacenet		

摘要(译)

在输入像素使用步进电压波形的有源矩阵电致发光显示装置中，所述阶梯状电压波形是由预先存储的像素驱动电压施加之前转移到驱动晶体管的栅极的电压。电压偏移的电平确定驱动显示元件的占空比，从而控制灰度级输出。阶梯电压波形中的阶梯高度大于驱动晶体管的线性工作范围的电压宽度，使得所选的阶梯状阶梯由驱动晶体管在全开和全关之间转换它被定义。以这种方式，驱动晶体管不在线性范围内驱动。

